

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-58455

(P2012-58455A)

(43) 公開日 平成24年3月22日(2012.3.22)

(51) Int.Cl.	F I	テーマコード (参考)
<b>GO2F 1/13 (2006.01)</b>	GO2F 1/13 101	2H088
<b>GO2F 1/1333 (2006.01)</b>	GO2F 1/1333 500	2H090
<b>GO2F 1/1339 (2006.01)</b>	GO2F 1/1339 505	2H189
	GO2F 1/1333	2H190

審査請求 未請求 請求項の数 2 O L (全 16 頁)

(21) 出願番号 特願2010-200923 (P2010-200923)  
 (22) 出願日 平成22年9月8日 (2010.9.8)

(71) 出願人 308036402  
 株式会社 JVCケンウッド  
 神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 杉原 正人  
 神奈川県横浜市神奈川区守屋町3丁目12番地

Fターム(参考) 2H088 FA06 FA07 FA26 HA01 HA08  
 MA20  
 2H090 JA16 JB02 JB04 JC13 LA03  
 LA04  
 2H189 CA18 CA21 CA25 FA61 HA12  
 LA01 LA10  
 2H190 JA16 JB02 JB04 JC13 LA03  
 LA04

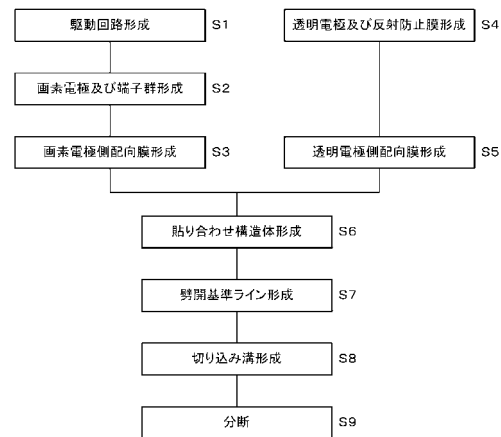
(54) 【発明の名称】 液晶表示素子の製造方法

(57) 【要約】

【課題】オリフラと結晶方位との半導体ウエハ毎のばらつきの影響を受けず、半導体基板の欠けの量を制御または低減することが可能な液晶表示素子の製造方法を提供する。

【解決手段】複数の画素電極が素子単位で規則的に配置されたパターン領域を有する半導体ウエハと、透明電極が形成された透明基板とを液晶を介してシール材で貼り合わせて貼り合わせ構造体を形成する(S6)。パターン領域から第1の方向に第1の距離を有する位置で半導体ウエハを劈開して第1の基準ラインを形成し、パターン領域から第2の方向に第2の距離を有する位置で前記半導体ウエハを劈開して第2の基準ラインを形成する(S7)。第1の基準ラインを基準にしてこれと平行な第1の切り込み溝を複数形成し、第2の基準ラインを基準にしてこれと平行な第2の切り込み溝を複数形成する(S8)。第1及び第2の切り込み溝が形成されている各位置で貼り合わせ構造体を分断する(S9)。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の画素電極が素子単位で規則的に配置されたパターン領域を有する半導体ウエハと、透明電極が形成された透明基板とを液晶を介してシール材で貼り合わせ、前記画素電極と前記透明電極とが前記液晶を介して向き合うと共に前記液晶が前記シール材で封止された貼り合わせ構造体を形成する貼り合わせ構造体形成ステップと、

前記貼り合わせ構造体形成ステップの後に、前記パターン領域から第 1 の方向に第 1 の距離を有する位置で前記半導体ウエハを劈開して第 1 の基準ラインを形成し、前記パターン領域から前記第 1 の方向とは異なる第 2 の方向に第 2 の距離を有する位置で前記半導体ウエハを劈開して第 2 の基準ラインを形成する基準ライン形成ステップと、

前記基準ライン形成ステップの後に、前記半導体ウエハに、前記第 1 の基準ラインを基準にして前記第 1 の基準ラインと平行な第 1 の切り込み溝を第 1 のピッチを有して複数形成し、前記第 2 の基準ラインを基準にして前記第 2 の基準ラインと平行な第 2 の切り込み溝を第 2 のピッチを有して複数形成する切り込み溝形成ステップと、

前記切り込み溝形成ステップの後に、前記複数の第 1 の切り込み溝及び前記複数の第 2 の切り込み溝が形成されている各位置で前記半導体ウエハを分断し、かつ前記透明基板を所定の位置で分断して、前記貼り合わせ構造体から複数の液晶表示素子を一度に得る分断工程と、

を含むことを特徴とする液晶表示素子の製造方法。

**【請求項 2】**

前記第 1 の基準ラインの仮想延長線と前記第 2 の基準ラインの仮想延長線とは互いに直交することを特徴とする請求項 1 記載の液晶表示素子の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は液晶表示素子の製造方法に関する。

**【背景技術】****【0002】**

現在、液晶表示素子は、プロジェクタやヘッドマウントディスプレイ等のディスプレイ分野に広く採用されている。

液晶表示素子は、一般的に、画素電極及び駆動回路が形成された半導体基板と、画素電極に対向する透明電極を有するガラス基板とが液晶を介して対向配置された構造を有している。

**【0003】**

このような液晶表示素子の製造方法として、画素電極及び駆動回路が素子ごとにマトリクス状に複数形成された単結晶 Si (シリコン) ウエハ、及び透明電極が形成された大判のガラス基板を予め素子ごとに切断して、上記の半導体基板及びガラス基板を複数形成した後、これら半導体基板及びガラス基板をそれぞれ素子ごとに貼り合わせる、個別貼り合わせ方法がある。

また、他の液晶表示素子の製造方法として、画素電極及び駆動回路が素子ごとにマトリクス状に複数形成された単結晶 Si ウエハと、透明電極が形成された大判のガラス基板とを一括で貼り合わせて貼り合わせ構造体を形成し、その後、この貼り合わせ構造体を素子ごとに分断する、一括貼り合わせ方法がある。

一括貼り合わせ方法は、個別貼り合わせ方法に比べて、素子ごとに半導体基板とガラス基板とを貼り合わせる必要がないので、生産性に優れ、コストダウンの点についても有利な製造方法である。

**【0004】**

このような一括貼り合わせ方法の一例が特許文献 1 に開示されている。

特許文献 1 に開示されている一括貼り合わせ方法は、単結晶 Si ウエハと大判のガラス基板とを一括で貼り合わせた後、単結晶 Si ウエハ及び大判のガラス基板のそれぞれの外

10

20

30

40

50

側の面に切り欠き溝を形成し、さらにこれらの切り欠き溝を利用して単結晶Siウエハ及び大判のガラス基板を素子ごとに分断するものである。なお、単結晶Siウエハ及び大判のガラス基板をそれぞれ完全に切断しないのは、完全に切断すると切断かすが後述する端子群に付着してしまうことを防止するためである。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-357799号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

ここで、特許文献1に開示されているような従来の一括貼り合わせ方法の課題について図17を用いて説明する。図17は、従来の一括貼り合わせ方法の課題を説明するための液晶表示素子の模式的断面図である。

【0007】

図17に示すように、液晶表示素子100は、半導体基板110と、透明基板120と、これらを所定の間隙を有して貼り合わせるシール部130と、上記所定の間隙に充填された液晶140と、を有して構成されている。

半導体基板110の表面には、マトリクス状に形成された複数の画素電極111、及びこれらを覆うように形成された配向膜112が形成されている。また、半導体基板110の表面には、外部から液晶140を駆動するための駆動電圧を供給するための端子群113が形成されている。

20

一方、透明基板120の表面には透明電極121及び配向膜122が積層されており、反対側の面には反射防止膜123が形成されている。

シール部130は、樹脂131、及びこれに分散されて所定の直径を有する球状のスペーサ132を有して構成されている。

【0008】

半導体基板110には、通常、結晶面方位(100)の表面を有する単結晶Si(シリコン)ウエハが用いられる。

そのため、前述したように、単結晶Siウエハと大判のガラス基板との貼り合わせ構造体を素子ごとに分断する際に、特に単結晶Siウエハの切り込み溝の残りしろの部分が結晶面に沿って劈開されるため、図17(a)に示すように、端子群113側に欠けて端子群113を破損させてしまう場合がある。

30

単結晶Siウエハに対して半導体基板110のサイズが小さい方が面付け数(取り数)を増やすことができるので、素子当たりの半導体基板の単価を低減することができる。そのため、端子群113は、シール部130と半導体基板110の端面との間の極狭い領域に形成されており、半導体基板110の欠け115による影響(破損)を受けやすい。

【0009】

また、図17(b)に示すように、欠け116が外側に向けて発生する場合がある。このような場合は、端子群113は欠け116そのものによる影響(破損)を受けないが、液晶表示素子100の外形寸法が変わってしまうため、例えば液晶表示素子100を液晶表示装置等に外形基準で位置決めして実装する際に、実装精度を悪化させる要因となる。

40

また、欠け116は欠けやすいため、欠けた欠け116が近傍の端子群113に付着する可能性が高い。端子群113に欠け116が付着すると接点不良となる場合がある。

【0010】

ところで、単結晶Siウエハにはオリフラ(オリエンテーションフラット)やノッチが形成されているものがある。

略円柱状の単結晶SiのインゴットにX線回折分光分析を行って結晶方位を検出し、このインゴットの軸方向に沿って切り欠きを形成した後、軸方向に直交する方向に所定のピッチで切断(輪切り)することにより、オリフラやノッチを有する単結晶Siウエハが複

50

数形成される。

しかしながら、インゴットを引き上げる際に、結晶軸がぶれる場合があり、実際、単結晶 Si ウエハの結晶方位とオリフラ（ノッチ）の方向とに誤差が生じている。

このオリフラ（ノッチ）を基準にして単結晶 Si ウエハに切り欠き溝を形成するが、単結晶 Si ウエハの結晶方位とオリフラ（ノッチ）の方向との誤差が大きいと、切り欠き溝が結晶方位とはずれた状態で形成されるため、上記欠け 115, 116 の程度が大きくなる。

#### 【0011】

そこで、単結晶 Si ウエハに切り欠き溝を深く形成することが考えられるが、切り欠き溝を深く形成すると残りしろが少なくなるため、単結晶 Si ウエハの強度が不足して製造途中に単結晶 Si ウエハが破損してしまう場合がある。

#### 【0012】

そこで、本発明は、オリフラ（ノッチ）と結晶方位との単結晶 Si ウエハごとのばらつきの影響を受けることなく、半導体基板の欠けの量を制御または低減することが可能な液晶表示素子の製造方法を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0013】

上記の課題を解決するために、本発明は次の液晶表示素子の製造方法を提供する。

1) 複数の画素電極 (3) が素子単位 (AA) で規則的に配置されたパターン領域 (BB) を有する半導体ウエハ (1) と、透明電極 (11) が形成された透明基板 (10) とを液晶 (LC) を介してシール材 (20) で貼り合わせ、前記画素電極 (3) と前記透明電極 (11) とが前記液晶 (LC) を介して向き合うと共に前記液晶 (LC) が前記シール材 (20) で封止された貼り合わせ構造体 (25) を形成する貼り合わせ構造体形成ステップ (S6) と、前記貼り合わせ構造体形成ステップ (S6) の後に、前記パターン領域 (BB) から第 1 の方向に第 1 の距離 (Xa) を有する位置で前記半導体ウエハ (1) を劈開して第 1 の基準ライン (30) を形成し、前記パターン領域 (BB) から前記第 1 の方向とは異なる第 2 の方向に第 2 の距離 (Ya) を有する位置で前記半導体ウエハ (1) を劈開して第 2 の基準ライン (31) を形成する基準ライン形成ステップ (S7) と、前記基準ライン形成ステップ (S7) の後に、前記半導体ウエハに、前記第 1 の基準ライン (30) を基準にして前記第 1 の基準ライン (30) と平行な第 1 の切り込み溝 (32) を第 1 のピッチを有して複数形成し、前記第 2 の基準ライン (31) を基準にして前記第 2 の基準ライン (31) と平行な第 2 の切り込み溝 (33) を第 2 のピッチを有して複数形成する切り込み溝形成ステップ (S8) と、前記切り込み溝形成ステップ (S8) の後に、前記複数の第 1 の切り込み溝 (32) 及び前記複数の第 2 の切り込み溝 (33) が形成されている各位置で前記半導体ウエハ (1) を分断し、かつ前記透明基板 (10) を所定の位置で分断して、前記貼り合わせ構造体 (25) から複数の液晶表示素子 (40) を一度に得る分断工程 (S9) と、を含むことを特徴とする液晶表示素子の製造方法。

2) 前記第 1 の基準ライン (30) の仮想延長線と前記第 2 の基準ライン (31) の仮想延長線とは互いに直交することを特徴とする 1) 記載の液晶表示素子の製造方法。

#### 【発明の効果】

#### 【0014】

本発明によれば、オリフラ（ノッチ）と結晶方位との半導体ウエハごとのばらつきの影響を受けることなく、半導体基板の欠けの量を制御または低減することが可能になるという効果を奏する。

#### 【図面の簡単な説明】

#### 【0015】

【図 1】本発明の液晶表示素子の製造方法の実施例 1 を説明するためのフローチャートである。

【図 2】単結晶 Si ウエハに液晶表示素子 (所定の領域 AA) が複数面付けされていることを説明するための模式的平面図である。

10

20

30

40

50

【図 3】実施例 1 の駆動回路形成工程を説明するための模式的断面図である。

【図 4】実施例 1 の画素電極及び端子群形成工程を説明するための模式的断面図である。

【図 5】実施例 1 の画素電極側配向膜形成工程を説明するための模式的断面図である。

【図 6】実施例 1 の透明電極及び反射防止膜形成工程を説明するための模式的断面図である。

【図 7】実施例 1 の透明電極側配向膜形成工程を説明するための模式的断面図である。

【図 8】実施例 1 の貼り合わせ構造体形成工程を説明するための模式的断面図である。

【図 9】実施例 1 の劈開基準ライン形成工程を説明するための模式的平面図であり、貼り合わせ構造体を単結晶 Si ウエハ側から見たものである。

【図 10】実施例 1 の切り込み溝形成工程を説明するための模式的平面図であり、貼り合わせ構造体を単結晶 Si ウエハ側から見たものである。

【図 11】実施例 1 の切り込み溝形成工程を説明するための模式的断面図である。

【図 12】実施例 1 の分断工程、及び実施例 1 の液晶表示素子を説明するための模式的断面図である。

【図 13】本発明の液晶表示素子の製造方法の実施例 2 を説明するためのフローチャートである。

【図 14】実施例 2 の画素電極側溝形成工程を説明するための模式的断面図である。

【図 15】実施例 2 の切り込み溝形成工程を説明するための模式的断面図である。

【図 16】実施例 2 の分断工程、及び実施例 2 の液晶表示素子を説明するための模式的断面図である。

【図 17】従来課題を説明するための模式的断面図である。

【発明を実施するための形態】

【0016】

本発明の実施の形態を、好ましい実施例により図 1 ~ 図 16 を用いて説明する。

【0017】

<実施例 1>

まず、実施例 1 の液晶表示素子の製造方法について図 1 ~ 図 12 を用いて説明する。

【0018】

[駆動回路形成工程] (図 1 の「S1」, 図 2 及び図 3 参照)

図 2 に示す、結晶面方位 (100) の表面 1a、及び結晶方向 [111] にオリフラ (オリエンテーションフラット) OF を有する単結晶 Si (シリコン) ウエハ 1 に、所定の半導体プロセスを用いて所定の領域 AA ごとに駆動回路 2 を形成する (図 1 の S1、及び図 3 参照)。駆動回路 2 はオリフラ OF を基準にして形成される。

ここで、所定の領域 AA とは、1 つの液晶表示素子に対応する領域である。即ち、単結晶 Si ウエハ 1 には駆動回路 2 が液晶表示素子 (所定の領域 AA) ごとに複数形成される。なお、図 3 (図 4 ~ 図 8 及び図 11 も同様) には複数の液晶表示素子 (所定の領域 AA) のうちの 2 つを示している。

【0019】

実施例 1 では、単結晶 Si ウエハ 1 の厚さを 700  $\mu\text{m}$  とした。

【0020】

[画素電極及び端子群形成工程] (図 1 の「S2」及び図 4 参照)

単結晶 Si ウエハ 1 の表面 1a 上に、マトリクス状に複数配置された画素電極 3 と、端子群 4 と、を所定の領域 AA ごとに形成する。画素電極 3 及び端子群 4 は上記のオリフラ OF 又は駆動回路 2 を基準にして形成される。なお、駆動回路 2 を形成する際に画素電極 3 及び端子群 4 を位置合わせ形成するための位置合わせパターンを形成しておいてもよい。

【0021】

実施例 1 では、厚さが 0.2  $\mu\text{m}$  の Al (アルミニウム) 膜を真空蒸着法を用いて形成した後、さらにフォトリソグラフィ法及びドライエッチング法を用いてパターンングを行うことにより、上記の画素電極 3 及び端子群 4 を形成した。

10

20

30

40

50

## 【 0 0 2 2 】

[ 画素電極側配向膜形成工程 ] ( 図 1 の「 S 3 」 , 図 5 参照 )

上記工程を経た単結晶 S i ウエハ 1 を超純水で超音波洗浄した後、画素電極 3 を覆うように、単結晶 S i ウエハ 1 の表面 1 a 上に配向膜 5 を所定の領域 A A ごとに形成する。配向膜 5 は上記のオリフラ O F , 駆動回路 2 , 画素電極 3 , 又は端子群 4 を基準にして形成される。なお、画素電極 3 及び端子群 4 を形成する際に配向膜 5 を位置合わせ形成するための位置合わせパターンを形成しておいてもよい。

## 【 0 0 2 3 】

実施例 1 では、選択的に配向膜を形成するマスクを通して、厚さが 0 . 1 μ m の S i O<sub>2</sub> 膜を斜方蒸着法を用いて形成することにより、上記の配向膜 5 を形成した。

10

## 【 0 0 2 4 】

[ 透明電極及び反射防止膜形成工程 ] ( 図 1 の「 S 4 」及び図 6 参照 )

大判のガラス基板 1 0 の一面側に透明電極 1 1 を形成し、他面側に反射防止膜 1 2 を形成する。

## 【 0 0 2 5 】

実施例 1 では、大判のガラス基板 1 0 の一面全面側に、厚さが 0 . 0 8 μ m の I T O 膜をスパッタリング法を用いて成膜し、上記の透明電極 1 1 を形成した。

また、実施例 1 では、大判のガラス基板 1 0 の他面側に、総厚が 0 . 3 μ m の N b<sub>2</sub> O<sub>5</sub> 膜と S i O<sub>2</sub> 膜との積層膜を真空蒸着法を用いて形成することにより、上記の反射防止膜 1 2 を形成した。

20

## 【 0 0 2 6 】

[ 透明電極側配向膜形成工程 ] ( 図 1 の「 S 5 」及び図 7 参照 )

上記工程を経た大判のガラス基板 1 0 を超純水で超音波洗浄した後、透明電極 1 1 上の所定の領域に配向膜 1 3 を形成する。

実施例 1 では、選択的に配向膜を形成するマスクを通して、厚さが 0 . 1 μ m の S i O<sub>2</sub> 膜を斜方蒸着法を用いて形成することにより、上記の配向膜 1 3 を形成した。

## 【 0 0 2 7 】

[ 貼り合わせ構造体形成工程 ] ( 図 1 の「 S 6 」及び図 8 参照 )

まず、上述の工程 ( 図 1 の S 1 ~ S 3 ) を経た単結晶 S i ウエハ 1 の表面 1 a 上に、所定の領域 A A ごとに画素電極 3 を囲うようにシール材 2 0 を塗布する。

30

シール材 2 0 は所定の直径を有する球状のスペーサ 2 1 が樹脂 2 2 に分散したものである。

## 【 0 0 2 8 】

次に、液晶 L C を、所定の領域 A A ごとに画素電極 3 が形成されている領域上に所定の量、滴下する。

## 【 0 0 2 9 】

その後、減圧環境下で、配向膜 5 , 1 3 が互いに向き合うようにして単結晶 S i ウエハ 1 と大判のガラス基板 1 0 とを対向配置し、さらに単結晶 S i ウエハ 1 と大判のガラス基板 1 0 との相対位置を位置合わせした後、単結晶 S i ウエハ 1 と大判のガラス基板 1 0 とを貼り合わせ、シール材 2 0 ( 樹脂 2 2 ) を硬化させる。

40

大判のガラス基板 1 0 , 透明電極 1 1 , 反射防止膜 1 2 , 及び配向膜 1 3 はいずれも透明なので、大判のガラス基板 1 0 を介して単結晶 S i ウエハ 1 の画素電極 3 や端子群 4 の位置を検出することができる。

## 【 0 0 3 0 】

上記手順により、単結晶 S i ウエハ 1 と大判のガラス基板 1 0 とがシール材 2 0 で所定の隙間を有して貼り合わされ、シール材 2 0 で囲われた領域ごとに液晶 L C が充填された、貼り合わせ構造体 2 5 を得る。

## 【 0 0 3 1 】

[ 劈開基準ライン形成工程 ] ( 図 1 の「 S 7 」及び図 9 参照 )

貼り合わせ構造体 2 5 の単結晶 S i ウエハ 1 における複数の所定の領域 A A からなるバ

50

ターン領域 B B ( 図 9 における斜線で示す領域 ) からオフセット量 X a の位置に切り欠きを形成し、この切り欠きを利用して単結晶 S i ウエハ 1 の端部を劈開することにより、劈開基準ライン 3 0 を形成する。

また、パターン領域 B B からオフセット量 Y a の位置に切り欠きを形成し、この切り欠きを利用して単結晶 S i ウエハ 1 の端部を劈開することにより、劈開基準ライン 3 1 を形成する。

劈開基準ライン 3 0 の仮想延長線と劈開基準ライン 3 1 の仮想延長線とは互いに直交する。

オフセット量 X a , Y a は、大判のガラス基板 1 0 を介して確認することができる。

#### 【 0 0 3 2 】

[ 切り込み溝形成工程 ] ( 図 1 の「 S 8 」, 図 1 0 及び図 1 1 参照 )

劈開基準ライン 3 0 を基準にして、劈開基準ライン 3 0 と平行に複数の切り込み溝 3 2 を所定のピッチで形成する。

また、劈開基準ライン 3 1 を基準にして、劈開基準ライン 3 1 と平行に複数の切り込み溝 3 3 を所定のピッチで形成する。

#### 【 0 0 3 3 】

上記手順によれば、単結晶 S i ウエハ 1 ごとにオリフラ O F と結晶方位との誤差にばらつきがある場合でも、切り込み溝 3 2 , 3 3 を、単結晶 S i ウエハ 1 ごとに形成した劈開基準ライン 3 0 , 3 1 を基準にしてそれぞれ形成するため、単結晶 S i ウエハ 1 ごとに結晶方位に一致させて形成することができる。

また、劈開基準ライン 3 0 , 3 1 は、パターン領域 B B から所定のオフセット量 X a , Y a を有して形成されているため、単結晶 S i ウエハ 1 の裏面側から画素電極 3 や端子群 4 等のパターンを認識する必要がなく、劈開基準ライン 3 0 , 3 1 を基準にして切り込み溝 3 2 , 3 3 を高い位置精度で形成することができる。

#### 【 0 0 3 4 】

切り込み溝 3 2 , 3 3 の深さ ( 残りしろの厚さ ) が深い ( 薄い ) ほど、後述する欠け 4 1 , 4 2 の量は低減するが、切り込み溝 3 2 , 3 3 の深さ ( 残りしろの厚さ ) が深すぎる ( 薄すぎる ) と、単結晶 S i ウエハ 1 の機械的強度が低下するため、製造過程で単結晶 S i ウエハ 1 が破損してしまう場合がある。

そのため、残りしろの厚さは 5 0 μ m ~ 1 0 0 μ m の範囲が好ましく、実施例 1 では、切り込み溝 3 2 , 3 3 の深さ ( 残りしろの厚さ ) を 6 3 0 μ m ( 7 0 μ m とした。

また、実施例 1 では、切り込み溝 3 2 , 3 3 をダイシングによって形成した。

#### 【 0 0 3 5 】

同様に大判のガラス基板 1 0 にも、単結晶 S i ウエハ 1 の劈開ライン 3 0 , 3 1 をそれぞれ基準にして切り込み溝 3 4 , 3 5 を形成する。

#### 【 0 0 3 6 】

ところで、単結晶 S i ウエハ 1 及び大判のガラス基板 1 0 に切り込み溝 3 2 , 3 3 及び切り込み溝 3 4 , 3 5 を形成せずに、単結晶 S i ウエハ 1 及び大判のガラス基板 1 0 をそれぞれ完全に切断する方法も考えられるが、単結晶 S i ウエハ 1 及び大判のガラス基板 1 0 をそれぞれ完全に切断すると、露出した端子群 4 に切断かすが付着してしまう場合がある。端子群 4 に切断かすが付着すると接続不良が発生する場合があるので、単結晶 S i ウエハ 1 及び大判のガラス基板 1 0 をそれぞれ完全に切断することは好ましくない。

#### 【 0 0 3 7 】

[ 分断工程 ] ( 図 1 の「 S 9 」及び図 1 2 参照 )

貼り合わせ構造体 2 5 に外部から所定の圧力を加えることにより、貼り合わせ構造体 2 5 を切り込み溝 3 2 ~ 3 5 に沿って分断する。

この分断により、1つの貼り合わせ構造体 2 5 から、複数の液晶表示素子 4 0 を得る。

#### 【 0 0 3 8 】

図 1 2 に示すように、液晶表示素子 4 0 は、単結晶 S i ウエハ 1 が切り込み溝 3 2 , 3 3 ( 図 1 0 及び図 1 1 参照 ) ごとに素子単位で分断された半導体基板 4 1 と、大判のガラ

10

20

30

40

50

ス基板 10 が切り込み溝 34, 35 (図 10 及び図 11 参照) ごとに素子単位で分断された透明基板 42 と、半導体基板 41 と透明基板 42 とを所定の間隙を有して貼り合わせるシール部 43 と、上記所定の間隙に充填された液晶 LC と、を有して構成されている。

【0039】

半導体基板 41 の表面 41a (単結晶 Siウエハ 1 の表面 1a に相当する) には駆動回路 2 が形成されている。半導体基板 41 の表面 41a 上には、マトリクス状に配置された複数の画素電極 3 と、複数の画素電極 3 を覆う配向膜 5 と、外部から液晶 LC を駆動するための駆動電圧が供給される端子群 4 と、が形成されている。

【0040】

一方、透明基板 42 における複数の画素電極 3 と対向する側の表面 42a には透明電極 11 及び配向膜 13 が順次積層形成されており、上記表面 42a とは反対側の裏面 42b には反射防止膜 12 が形成されている。

10

【0041】

シール部 43 は、上述したシール材 20 (樹脂 22) が硬化したものであり、半導体基板 41 と透明基板 42 との間隙 (セルギャップ) はシール部 43 のスペーサ 21 の直径によって規定される。

【0042】

上述した貼り合わせ構造体 25 (図 10 及び図 11 参照) を素子ごとに分断する際に、特に単結晶 Siウエハ 1 の切り込み溝 32, 33 の残りしろの部分が結晶面に沿って劈開されるため、図 12 (a) に示すように、端子群 4 側に欠けてしまう場合がある。

20

そこで、上述した手順により、貼り合わせ構造体 25 を素子ごとに分断する際に、切り込み溝 32, 33 が単結晶 Siウエハ 1 ごとに結晶方位に沿って精度良く形成されているため、欠け 45 の量を一定に制御することができる。

そのため、この欠け 45 の量を予めオフセットした位置に端子群 4 を設計配置することにより、シール部 43 と半導体基板 41 の端面との間の極狭い領域に端子群 4 を形成しても、半導体基板 41 の欠け 45 による端子群 4 の破損を防止することができる。

【0043】

また、図 12 (b) に示すように、欠け 46 が外側に向けて発生する場合においても、上述した理由と同様の理由により、欠け 46 の量を一定に制御することができる。そのため、液晶表示素子 40 の外形寸法精度を従来よりも向上させることのできるため、例えば液晶表示素子 40 を液晶表示装置等に外形基準で位置決めして実装する際に、実装精度を従来よりも向上させることができる。

30

【0044】

<実施例 2>

次に、実施例 2 の液晶表示素子の製造方法について図 13 ~ 図 16 をさらに用いて説明する。

実施例 2 の液晶表示素子の製造方法は、実施例 1 の液晶表示素子の製造方法に対して、単結晶 Siウエハ 1 の表面 1a にも切り込み溝 52, 53 を切り込み溝 54, 55 (実施例 1 の切り込み溝 32, 33 に相当する) にそれぞれ対応させて形成する (手順としては切り込み溝 54, 55 を切り込み溝 52, 53 にそれぞれ対応させて形成する) 点で相違し、それ以外の手順は実施例 1 と同じである。

40

そこで、単結晶 Siウエハ 1 の表面 1a に切り込み溝 52, 53 を形成する手順について詳細に説明し、他の手順は簡略的に説明する。なお、実施例 2 では、実施例 1 と同じ構成部には説明をわかりやすくするために同じ符号を付して説明する。

【0045】

まず、実施例 1 の「駆動回路形成工程」、「画素電極及び端子群形成工程」、及び「画素電極側配向膜形成工程」と同様の工程を行う (図 13 の S11 ~ S13)。

【0046】

次に、図 14 に示すように、上記工程を経た単結晶 Siウエハ 1 の表面 1a にそれぞれ所定のピッチで複数の浅い切り込み溝 52, 53 を形成する (図 13 の S14)。

50

切り込み溝 5 2 , 5 3 は、オリフラ O F , 駆動回路 2 , 画素電極 3 , 又は端子群 4 を基準にして形成される。なお、画素電極 3 及び端子群 4 を形成する際に切り込み溝 5 2 , 5 3 を位置合わせ形成するための位置合わせパターンを形成しておいてもよい。

その後、単結晶 S i ウエハ 1 を洗浄して単結晶 S i ウエハ 1 に付着した切りかすを除去する。

【 0 0 4 7 】

実施例 2 では、切り込み溝 5 2 , 5 3 をダイシングによって後述する切り込み溝 5 4 , 5 5 よりも浅い V 溝状に形成した。

【 0 0 4 8 】

実施例 1 の「透明電極及び反射防止膜形成工程」及び「透明電極側配向膜形成工程」と同様の工程を行う（図 1 3 の S 1 5 及び S 1 6 ）。

10

【 0 0 4 9 】

次に、実施例 1 の「貼り合わせ構造体形成工程」及び「劈開ライン形成工程」と同様の工程を行う（図 1 3 の S 1 7 及び S 1 8 ）。

【 0 0 5 0 】

次に、図 1 5 に示すように、実施例 1 の「切り込み溝形成工程」と同様の工程を行い、劈開基準ライン 3 0 （図 9 及び図 1 0 参照）を基準にして、複数の切り込み溝 5 2 が形成されている位置に対応する位置に複数の切り込み溝 5 4 をそれぞれ対向形成する。

また、劈開基準ライン 3 1 （図 9 及び図 1 0 参照）を基準にして、複数の切り込み溝 5 3 が形成されている位置に対応する位置に複数の切り込み溝 5 5 をそれぞれ対向形成する。

20

また、大判のガラス基板 1 0 にも、実施例 1 と同様に単結晶 S i ウエハ 1 の劈開基準ライン 3 0 , 3 1 をそれぞれ基準にして切り込み溝 3 4 , 3 5 を形成する（図 1 3 の S 1 9 ）。

【 0 0 5 1 】

その後、図 1 6 に示すように、実施例 1 の「分断工程」と同様の工程を行うことにより、複数の液晶表示素子 6 0 を得る（図 1 3 の S 2 0 ）。

【 0 0 5 2 】

実施例 1 では単結晶 S i ウエハ 1 の一面側からのみ切り込み溝 3 2 , 3 3 を形成するため、切り込み溝 3 2 , 3 3 を深く形成しなければならない。切り込み溝 3 2 , 3 3 を深く形成しようとする、単結晶 S i ウエハ 1 へのダメージが大きくなるため単結晶 S i ウエハ 1 が破損する可能性が高くなる。

30

一方、実施例 2 では、単結晶 S i ウエハ 1 の一面側に浅い切り込み溝 5 2 , 5 3 を形成した後に他面側に切り込み溝 5 4 , 5 5 を形成するため、切り込み溝 5 4 , 5 5 の深さを実施例 1 の切り込み溝 3 2 , 3 3 の深さよりも浅くすることができるので、切り込み溝 5 4 , 5 5 を形成する際の単結晶 S i ウエハ 1 へのダメージを実施例 1 よりも低減することができる。このため、単結晶 S i ウエハ 1 の破損の可能性を実施例 1 よりも低減することができる。

【 0 0 5 3 】

また、実施例 2 では、貼り合わせ構造体（ 2 5 ）を分断する際、対向形成された互いの切り込み溝（ 5 2 , 5 3 ）, （ 5 4 , 5 5 ）の残りしるの部分が結晶面に沿って劈開されるが、これら劈開が互いの切り込み溝（ 5 2 , 5 3 ）, （ 5 4 , 5 5 ）によって規定されるため、実施例 1 よりも欠け 4 7 の量を低減することができる。

40

【 0 0 5 4 】

本発明の実施例は、上述した構成及び手順に限定されるものではなく、本発明の要旨を逸脱しない範囲において変形例としてもよいのは言うまでもない。

【 0 0 5 5 】

例えば、「駆動回路形成工程」、「画素電極及び端子群形成工程」、及び「画素電極側配向膜形成工程」を行った後に「透明電極及び反射防止膜形成工程」及び「透明電極側配向膜形成工程」を行ってもよいし、これとは逆に「透明電極及び反射防止膜形成工程」及

50

び「透明電極側配向膜形成工程」を行った後に「駆動回路形成工程」、「画素電極及び端子群形成工程」、及び「画素電極側配向膜形成工程」をを行ってもよい。別々の製造ラインで「駆動回路形成工程」、「画素電極及び端子群形成工程」、及び「画素電極側配向膜形成工程」と、「透明電極及び反射防止膜形成工程」及び「透明電極側配向膜形成工程」とを同時に行ってもよい。

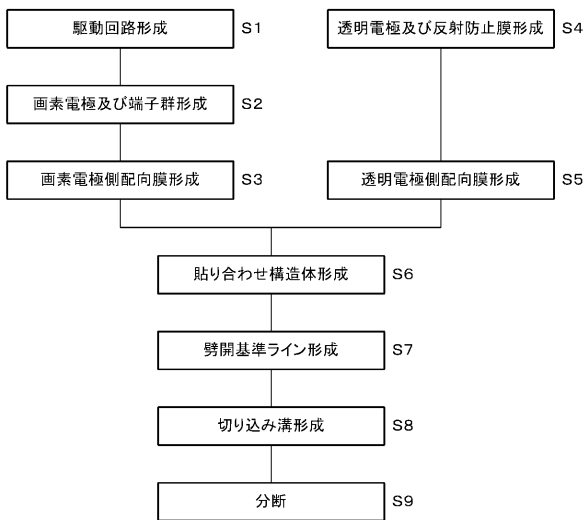
【符号の説明】

【0056】

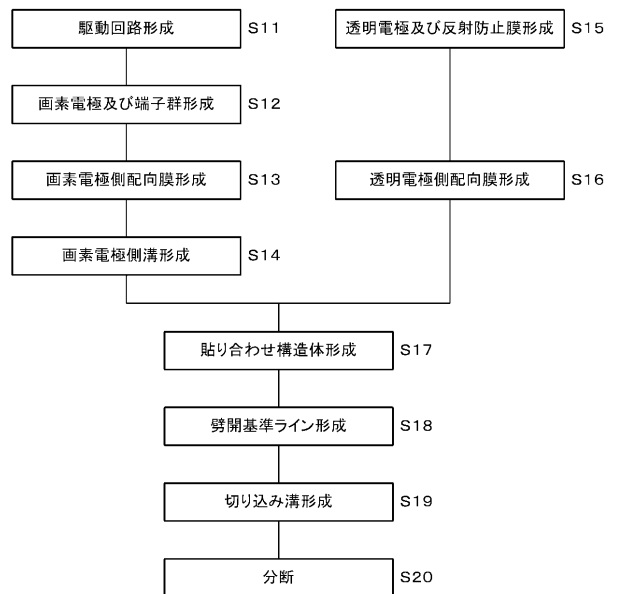
1 \_\_単結晶Siウエハ、 1a, 41a \_\_表面、 2 \_\_駆動回路、 3 \_\_画素電極、 4 \_\_端子群、 5, 13 \_\_配向膜、 10 \_\_ガラス基板、 11 \_\_透明電極、 12 \_\_反射防止膜、 20 \_\_シール材、 21 \_\_スペーサ、 22 \_\_樹脂、 25 \_\_貼り合わせ構造体、 30, 31 \_\_劈開基準ライン、 32~35, 52~55 \_\_切り込み溝、 40 \_\_液晶表示素子、 41 \_\_半導体基板、 42 \_\_透明基板、 43 \_\_シール部、 42b \_\_裏面、 45~47 \_\_欠け、 OP \_\_オリフラ、 AA \_\_所定の領域(素子単位領域)、 LC \_\_液晶、 BB \_\_パターン領域、 Xa, Ya \_\_オフセット量

10

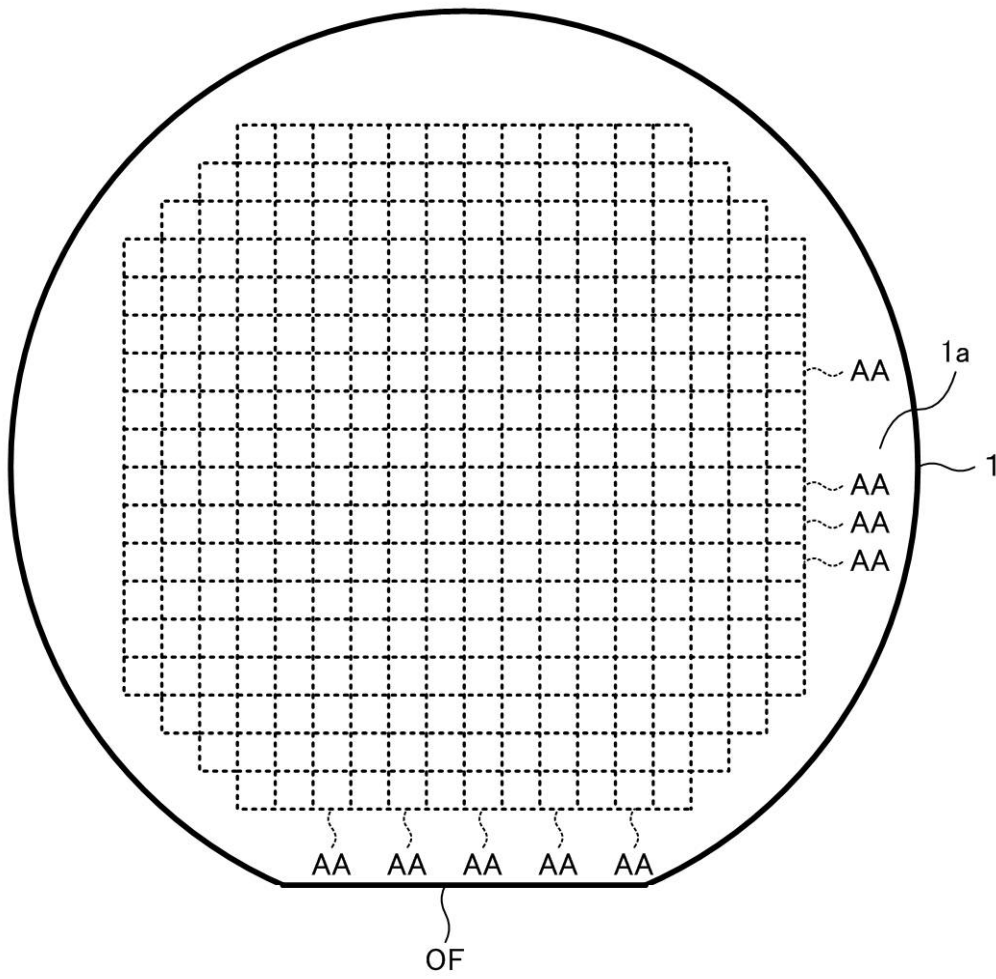
【図1】



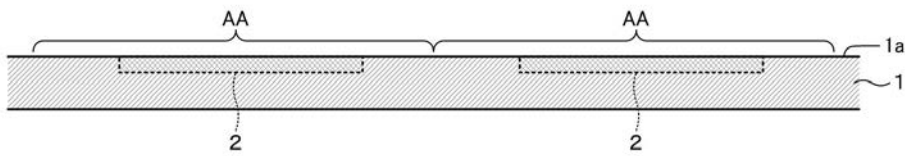
【図13】



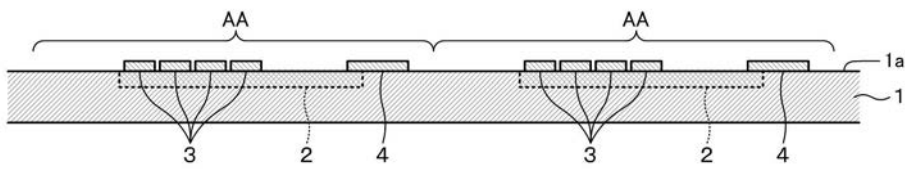
【 図 2 】



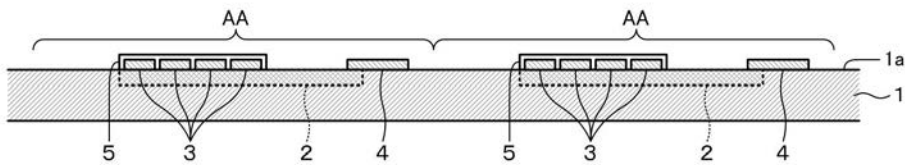
【 図 3 】



【 図 4 】

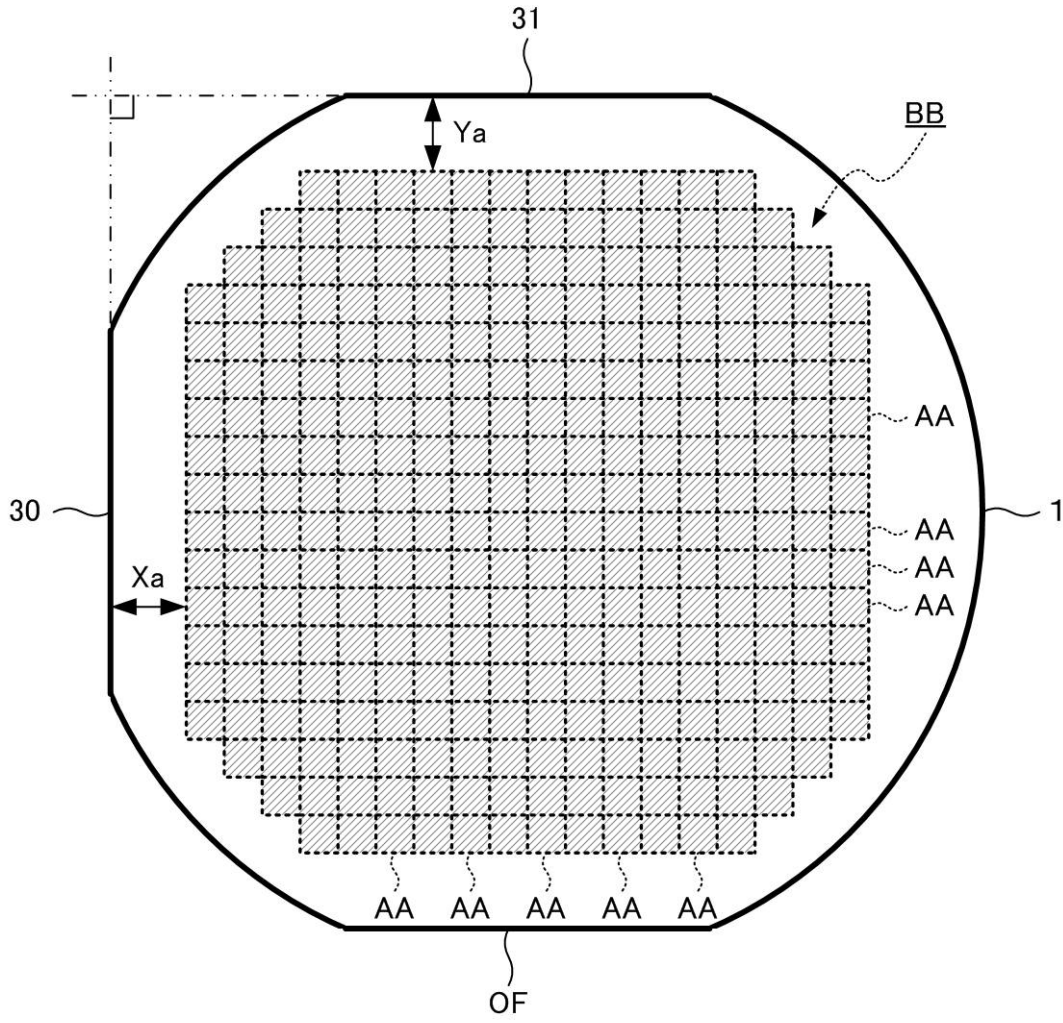


【 図 5 】

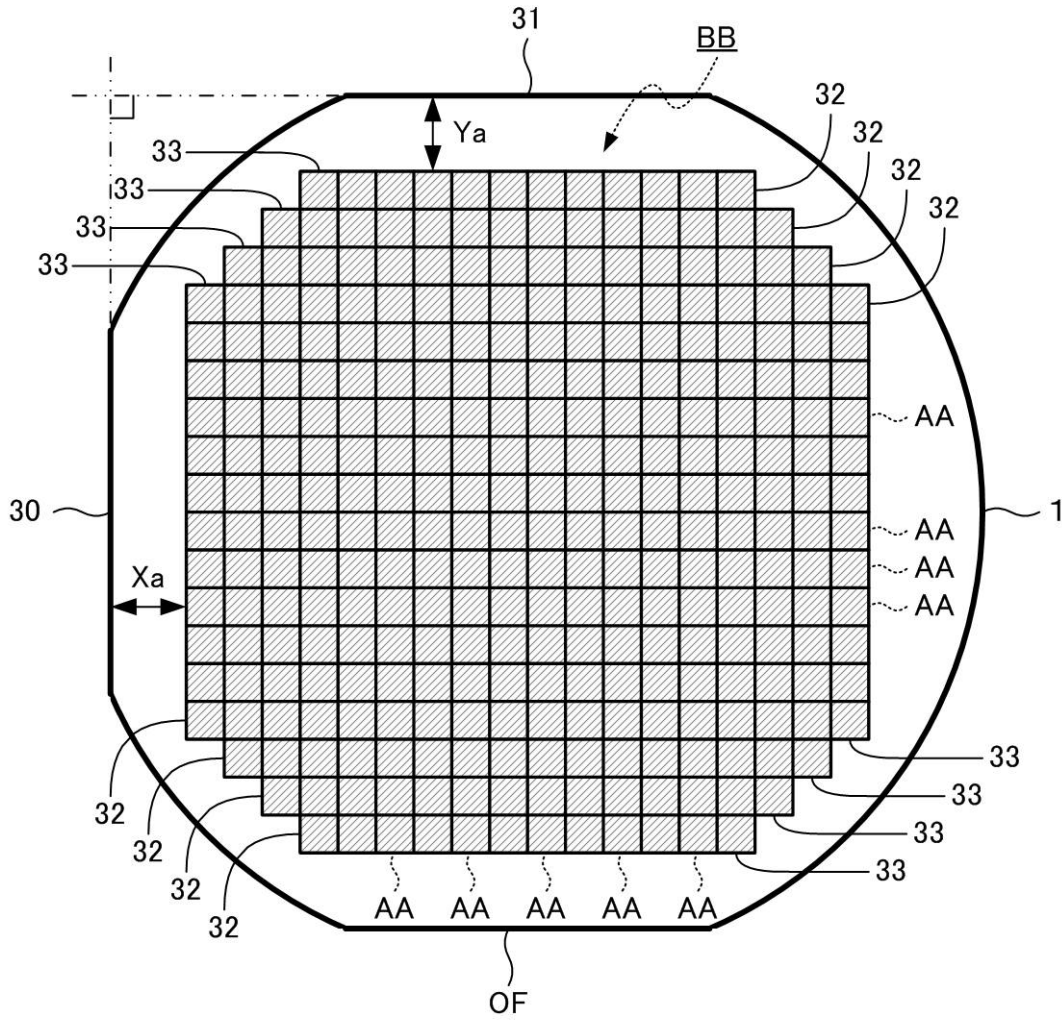




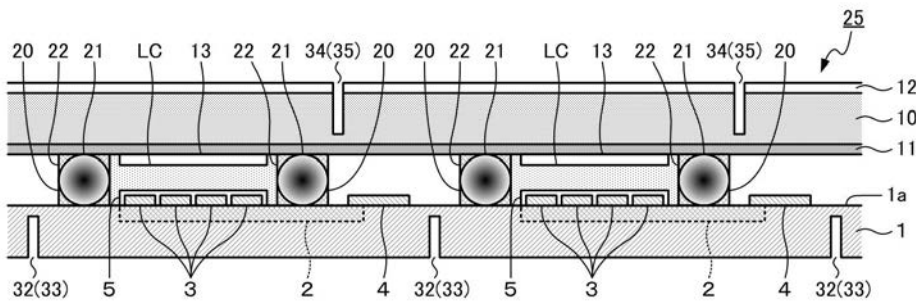
【 図 9 】



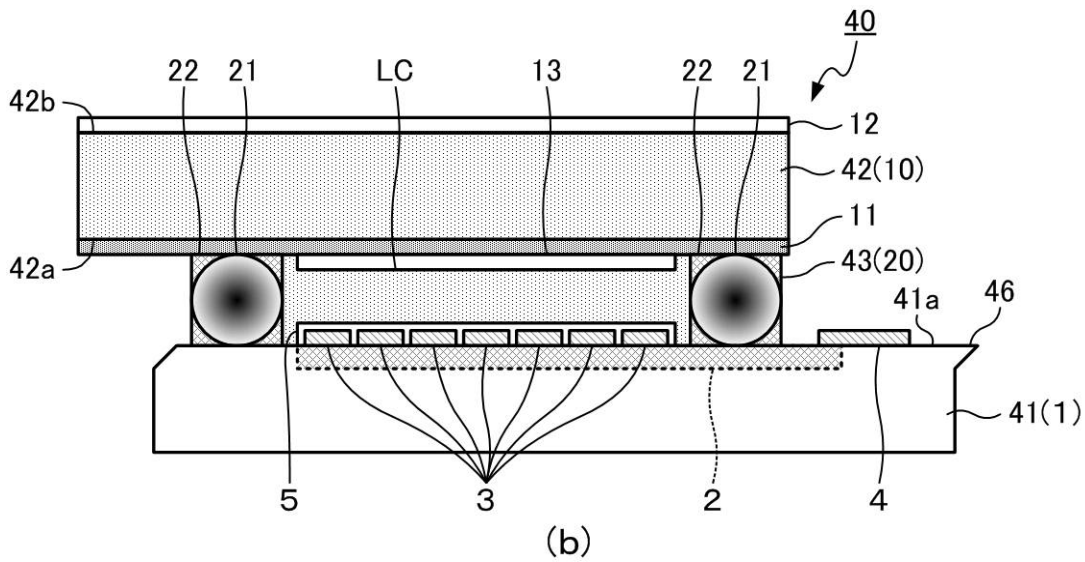
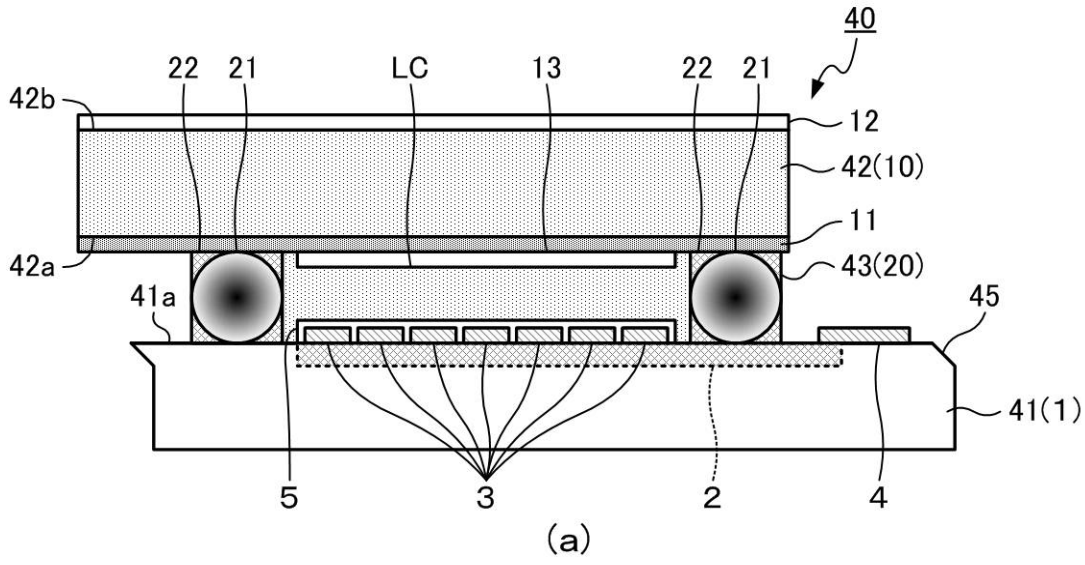
【 図 1 0 】



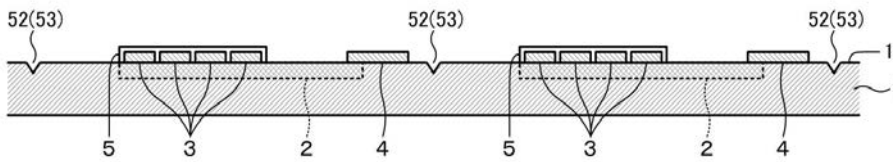
【 図 1 1 】



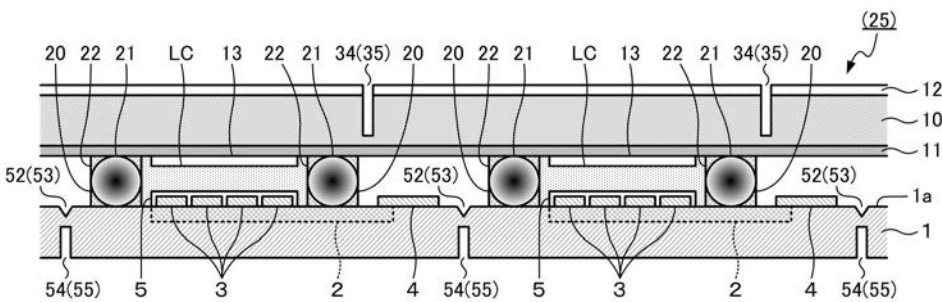
【 図 1 2 】



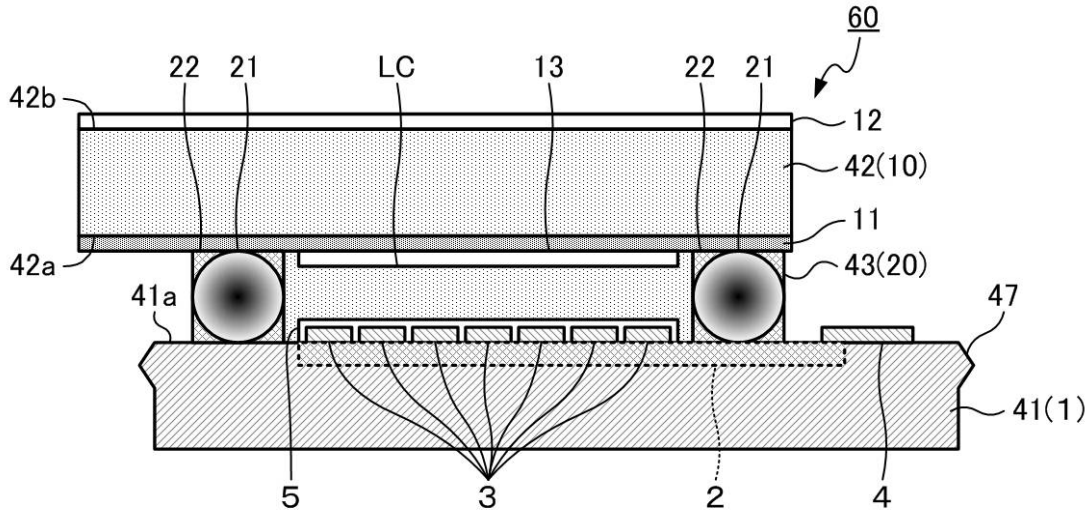
【 図 1 4 】



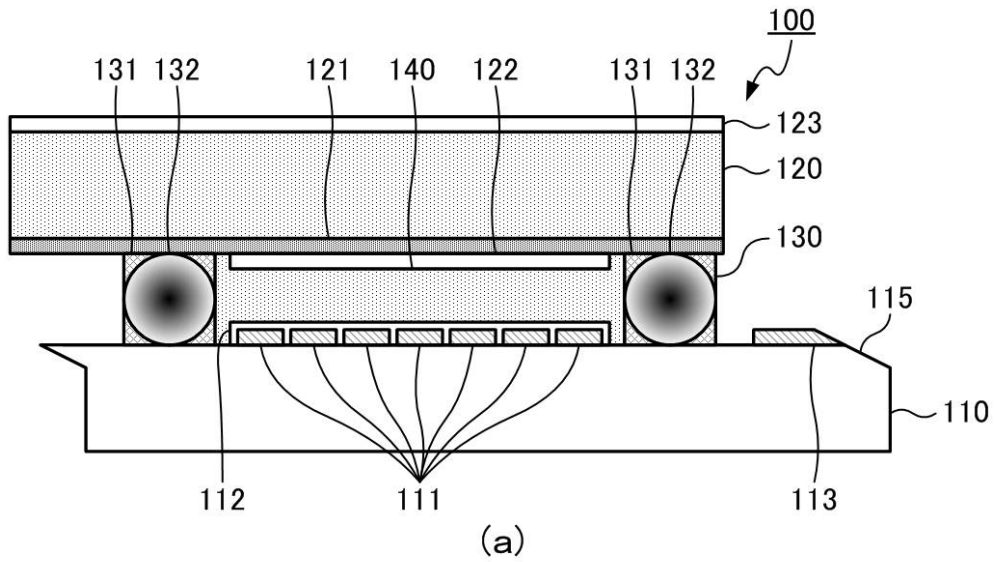
【 図 1 5 】



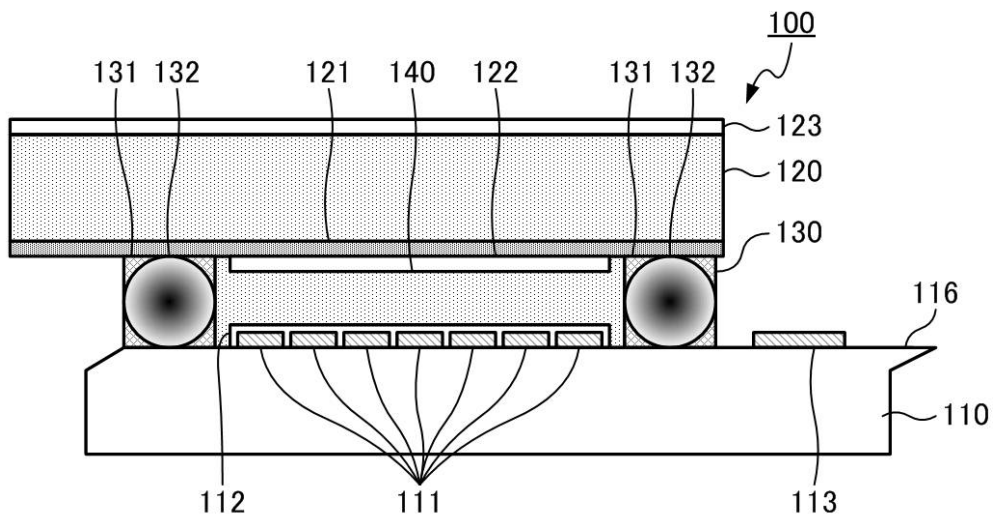
【図16】



【図17】



(a)



(b)

专利名称(译)	液晶显示元件的制造方法		
公开(公告)号	<a href="#">JP2012058455A</a>	公开(公告)日	2012-03-22
申请号	JP2010200923	申请日	2010-09-08
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	杉原正人		
发明人	杉原 正人		
IPC分类号	G02F1/13 G02F1/1333 G02F1/1339		
FI分类号	G02F1/13.101 G02F1/1333.500 G02F1/1339.505 G02F1/1333		
F-TERM分类号	2H088/FA06 2H088/FA07 2H088/FA26 2H088/HA01 2H088/HA08 2H088/MA20 2H090/JA16 2H090/JB02 2H090/JB04 2H090/JC13 2H090/LA03 2H090/LA04 2H189/CA18 2H189/CA21 2H189/CA25 2H189/FA61 2H189/HA12 2H189/LA01 2H189/LA10 2H190/JA16 2H190/JB02 2H190/JB04 2H190/JC13 2H190/LA03 2H190/LA04		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种液晶显示元件的制造方法，该方法不受从一个半导体晶片到另一个半导体晶片的取向平面和晶体取向的波动的影响，并且允许控制或减少半导体衬底中的缺陷量。溶剂：层压结构通过液晶堆叠密封材料形成半导体晶片，该半导体晶片具有图案区域和透明基板，在图案区域中，多个像素电极逐层规则地排列，在透明基板上形成透明电极（S6）。通过与第一方向上的图案区域具有第一距离的位置处切割半导体晶片来形成第一参考线，并且通过在距图案区域具有第二距离的位置处切割半导体晶片来形成第二参考线。在第二方向上（S7）。参考第一参考线并且平行于第一参考线形成多个第一切入槽，并且参考第二参考线并且平行于第二参考线形成多个第二切入槽（S8）。层叠结构在形成第一和第二切入槽的位置处分段（S9）。

