

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-250304

(P2010-250304A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/136 (2006.01)	G09G 3/20 670K	5C080
G02F 1/1368 (2006.01)	G09G 3/20 623H	5J055
H03K 17/687 (2006.01)	G09G 3/20 623X	
審査請求 未請求 請求項の数 9 O L (全 96 頁) 最終頁に続く		

(21) 出願番号 特願2010-69222 (P2010-69222)
 (22) 出願日 平成22年3月25日 (2010. 3. 25)
 (31) 優先権主張番号 特願2009-77203 (P2009-77203)
 (32) 優先日 平成21年3月26日 (2009. 3. 26)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H092 GA59 JA25 JA26 JA46 JB13
 JB69 KA08 NA25 PA06
 5C006 AC22 BB16 BC03 BC20 BC23
 BF03 BF34 FA33 FA42

最終頁に続く

(54) 【発明の名称】 液晶表示装置、及び液晶表示装置を具備した電子機器

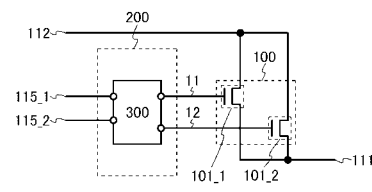
(57) 【要約】

【課題】駆動回路におけるトランジスタの特性劣化を抑制することを課題の一つとする。

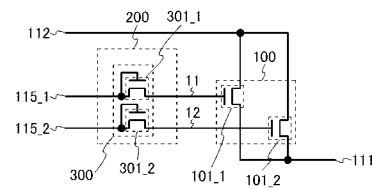
【解決手段】第1のトランジスタと、ゲート並びにソース及びドレインの一方に第2の信号が入力される第2のトランジスタと、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第4のトランジスタと、を有する。

【選択図】 図6

(A)



(B)



【特許請求の範囲】

【請求項 1】

第 1 の入力信号及び第 2 の入力信号が入力され、出力信号を出力する駆動回路と、
液晶素子を有し、前記出力信号に応じて前記液晶素子に印加される電圧が設定される画
素と、を有し、

前記駆動回路は、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレイン
の一方に前記第 1 の信号が入力される第 1 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレイン
の一方に前記第 2 の信号が入力される第 2 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲートが前記第 1 のトランジスタの前記ソ
ース及び前記ドレインの他方に電氣的に接続され、オン又はオフになることにより前記出
力信号の電圧状態を設定するか否かを制御する第 3 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲートが前記第 2 のトランジスタの前記ソ
ース及び前記ドレインの他方に電氣的に接続され、オン又はオフになることにより前記出
力信号の電圧状態を設定するか否かを制御する第 4 のトランジスタと、を有する液晶表示
装置。

10

【請求項 2】

第 1 の入力信号、第 2 の入力信号、及び第 3 の入力信号が入力され、出力信号を出力す
る駆動回路と、

液晶素子を有し、前記出力信号に応じて前記液晶素子に印加される電圧が設定される画
素と、を有し、

前記駆動回路は、

前記第 1 の入力信号が入力される第 1 の配線と、

前記第 2 の入力信号が入力される第 2 の配線と、

前記第 3 の入力信号が入力される第 3 の配線と、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレイン
の一方が前記第 1 の配線に電氣的に接続された第 1 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレイン
の一方が前記第 2 の配線に電氣的に接続された第 2 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲートが前記第 1 のトランジスタの前記ソ
ース及び前記ドレインの他方に電氣的に接続され、前記ソース及び前記ドレインの一方が
前記第 3 の配線に電氣的に接続された第 3 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲートが前記第 2 のトランジスタの前記ソ
ース及び前記ドレインの他方に電氣的に接続され、前記ソース及び前記ドレインの一方が
前記第 3 の配線に電氣的に接続された第 4 のトランジスタと、

前記第 3 のトランジスタの前記ソース及び前記ドレインの他方並びに前記第 4 のトラン
ジスタの前記ソース及び前記ドレインの他方に電氣的に接続され、与えられる電圧が前記
出力信号の電圧となる第 4 の配線と、を有する液晶表示装置。

20

30

【請求項 3】

第 1 の入力信号、第 2 の入力信号、第 3 の入力信号、及び第 4 の入力信号が入力され、
出力信号を出力する駆動回路と、

液晶素子を有し、前記出力信号に従って前記液晶素子に印加される電圧が設定される画
素と、を有し、

前記駆動回路は、

前記第 1 の入力信号が入力される第 1 の配線と、

前記第 2 の入力信号が入力される第 2 の配線と、

前記第 3 の入力信号が入力される第 3 の配線と、

前記第 4 の入力信号が入力される第 4 の配線と、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレイン

40

50

の一方が前記第 1 の配線に電氣的に接続された第 1 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレインの一方が前記第 2 の配線に電氣的に接続された第 2 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲートが前記第 1 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続され、前記ソース及び前記ドレインの一方が前記第 3 の配線に電氣的に接続された第 3 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲートが前記第 2 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続され、前記ソース及び前記ドレインの一方が前記第 4 の配線に電氣的に接続された第 4 のトランジスタと、

前記第 3 のトランジスタの前記ソース及び前記ドレインの他方並びに前記第 4 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続され、与えられる電圧が前記出力信号の電圧となる第 5 の配線と、を有する液晶表示装置。

10

【請求項 4】

第 1 の入力信号及び第 2 の入力信号が入力され、出力信号を出力する駆動回路と、

液晶素子を有し、前記出力信号に従って前記液晶素子に印加される電圧が設定される画素と、を有し、

前記駆動回路は、

前記第 1 の入力信号が入力される第 1 の配線と、

前記第 2 の入力信号が入力される第 2 の配線と、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレインの一方が前記第 1 の配線に電氣的に接続された第 1 のトランジスタと、

20

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレインの一方が前記第 2 の配線に電氣的に接続された第 2 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレインの一方が前記第 1 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続された第 3 のトランジスタと、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレインの一方が前記第 2 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続された第 4 のトランジスタと、

前記第 3 のトランジスタの前記ソース及び前記ドレインの他方並びに前記第 4 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続され、与えられる電位が前記出力信号の電位となる第 3 の配線と、を有する液晶表示装置。

30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 3 のトランジスタのチャンネル幅は、前記第 4 のトランジスタのチャンネル幅と等しい液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 のトランジスタのチャンネル幅は、前記第 3 のトランジスタのチャンネル幅よりも小さく、

40

前記第 2 のトランジスタのチャンネル幅は、前記第 4 のトランジスタのチャンネル幅よりも小さい液晶表示装置。

【請求項 7】

第 1 の入力信号及び第 2 の入力信号が入力され、出力信号を出力する駆動回路と、

前記出力信号に従って前記液晶素子に印加される電圧が設定される画素と、を有し、

前記駆動回路は、

前記第 1 の入力信号が入力される第 1 の配線と、

前記第 2 の入力信号が入力される第 2 の配線と、

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレインの一方が前記第 1 の配線に電氣的に接続された第 1 のトランジスタと、

50

ゲート、ソース、及びドレインを有し、前記ゲート並びに前記ソース及び前記ドレインの一方が前記第 2 の配線に電氣的に接続された第 2 のトランジスタと、

正極及び負極を有し、前記正極が前記第 1 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続された第 1 のダイオードと、

正極及び負極を有し、前記正極が前記第 2 のトランジスタの前記ソース及び前記ドレインの他方に電氣的に接続された第 2 のダイオードと、

前記第 1 のダイオードの前記負極及び前記第 2 のダイオードの前記負極に電氣的に接続され、与えられる電位が前記出力信号の電位となる第 3 の配線と、を有する液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記第 1 のトランジスタのチャネル幅は、前記第 2 のトランジスタのチャネル幅と等しい液晶表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかに記載の液晶表示装置と、

前記液晶表示装置の動作を制御する操作スイッチと、を少なくとも有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、表示装置、液晶表示装置、発光装置、それらの駆動方法、又はそれらを生産する方法に関する。特に、画素部と同じ基板に形成される駆動回路を有する半導体装置、表示装置、液晶表示装置、発光装置、又はそれらの駆動方法に関する。又は、当該半導体装置、当該表示装置、当該液晶表示装置、又は当該発光装置を有する電子機器に関する。

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基板にゲートドライバなどの駆動回路を構成する技術は、コストの低減、信頼性の向上に大きく貢献するため、活発に開発が進められている。

【0003】

非単結晶半導体によって構成されるトランジスタは、閾値電圧の変動、又は移動度の低下などの劣化を生じる。このトランジスタの劣化が進むと、駆動回路が動作しづらくなり、画像を表示できなくなるといった問題がある。そこで、特許文献 1、特許文献 2、及び非特許文献 1 には、フリップフロップの出力信号をロウレベルに維持する機能、又は出力信号をロウレベルに下げる機能を有するトランジスタ（以下、プルダウントランジスタともいう）の劣化を抑制することができるシフトレジスタが開示されている。これらの文献では、二つのプルダウントランジスタが用いられる。この二つのプルダウントランジスタは、フリップフロップの出力端子と、低電源電圧（電圧 V_{ss} 又は負電源ともいう）が供給される配線との間に接続される。そして、一方のプルダウントランジスタと、他方のプルダウントランジスタとが交互にオン（オン状態ともいう）になる。こうすることによって、それぞれのプルダウントランジスタがオンになる時間が短くなるので、プルダウントラ

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2005 - 50502 号公報

【特許文献 2】特開 2006 - 24350 号公報

【非特許文献】

【0005】

【非特許文献 1】Yong Ho Jang, et al., "Integrated Gate Driver Circuit Using a-Si TFT wi

10

20

30

40

50

th Dual Pull-down Structure", Proceeding
s of The 11th International Display Work
shops 2004, pp. 333 - 336

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来技術の構成において、出力信号をハイレベルに制御するためのトランジスタ（以下、プルアップトランジスタともいう）のゲートの電圧は、正電源電圧、又はクロック信号のハイレベルの電圧よりも高くなる場合がある。このために、プルアップトランジスタには、大きな電圧が印加される場合がある。又は、プルアップトランジスタのゲートと接続されるトランジスタには、大きな電圧が印加される場合がある。又は、トランジスタが劣化しても、シフトレジスタが動作するように、トランジスタのチャネル幅は大きくなる場合がある。又は、トランジスタのチャネル幅が大きくなると、トランジスタのゲートと、ソース又はドレインとの間でショートしやすくなる場合がある。又は、トランジスタのチャネル幅が大きくなると、シフトレジスタを構成する各トランジスタでの寄生容量が増加してしまう場合がある。

10

【0007】

本発明の一態様は、トランジスタの特性劣化を抑制することを課題とする。又は、本発明の一態様は、トランジスタのチャネル幅を小さくすることを課題とする。又は、本発明の一態様は、プルアップトランジスタの特性劣化の抑制、又はチャネル幅を小さくすることを課題とする。又は、本発明の一態様は、出力信号の振幅を大きくすることを課題とする。又は、本発明の一態様は、画素が有するトランジスタのオン時間を長くすることを課題とする。又は、本発明の一態様は、画素への書き込み不足を改善することを課題とする。又は、本発明の一態様は、出力信号の立ち下がり時間を短くすることを課題とする。又は、本発明の一態様は、出力信号の立ち上がり時間を短くすることを課題とする。又は、本発明の一態様は、ある行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれることを防止することを課題とする。又は、本発明の一態様は、駆動回路の出力信号の立ち下がり時間のばらつきを低減することを課題とする。又は、本発明の一態様は、各画素へのフィードスルーの影響を一定にすることを課題とする。又は、本発明の一態様は、クロストークを低減することを課題とする。又は、本発明の一態様は、レイアウト面積を小さくすることを課題とする。又は、本発明の一態様は、表示装置の額縁を狭くすることを課題とする。又は、本発明の一態様は、表示装置を高精細にすることを課題とする。又は、本発明の一態様は、歩留まりを高くすることを課題とする。又は、本発明の一態様は、製造コストを低減することを課題とする。又は、本発明の一態様は、出力信号のなまりを低減することを課題とする。又は、本発明の一態様は、出力信号の遅延を低減することを課題とする。又は、本発明の一態様は、消費電力を低減することを課題とする。又は、本発明の一態様は、外部回路の電流供給能力を小さくすることを課題とする。又は、本発明の一態様は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これら課題の全てを解決する必要はないものとする。

20

30

40

【課題を解決するための手段】

【0008】

本発明の一態様は、第1の入力信号及び第2の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の信号が入力される第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第2の信号が入力される第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース

50

、及びドレインを有し、ゲートが第２のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第４のトランジスタと、を有する液晶表示装置である。

【０００９】

本発明の一態様は、第１の入力信号、第２の入力信号、及び第３の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第１の入力信号が入力される第１の配線と、第２の入力信号が入力される第２の配線と、第３の入力信号が入力される第３の配線と、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第１の配線に電氣的に接続された第１のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第２の配線に電氣的に接続された第２のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第１のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第３の配線に電氣的に接続された第３のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第２のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第３の配線に電氣的に接続された第４のトランジスタと、第３のトランジスタのソース及びドレインの他方並びに第４のトランジスタのソース及びドレインの他方に電氣的に接続され、与えられる電圧が出力信号の電圧となる第４の配線と、を有する液晶表示装置である。

10

20

【００１０】

本発明の一態様は、第１の入力信号、第２の入力信号、第３の入力信号、及び第４の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に従って液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第１の入力信号が入力される第１の配線と、第２の入力信号が入力される第２の配線と、第３の入力信号が入力される第３の配線と、第４の入力信号が入力される第４の配線と、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第１の配線に電氣的に接続された第１のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第２の配線に電氣的に接続された第２のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第１のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第３の配線に電氣的に接続された第３のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第２のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第４の配線に電氣的に接続された第４のトランジスタと、記第３のトランジスタのソース及びドレインの他方並びに第４のトランジスタのソース及びドレインの他方に電氣的に接続され、与えられる電圧が出力信号の電圧となる第５の配線と、を有する液晶表示装置である。

30

40

【００１１】

本発明の一態様は、第１の入力信号及び第２の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に従って液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第１の入力信号が入力される第１の配線と、第２の入力信号が入力される第２の配線と、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第１の配線に電氣的に接続された第１のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第２の配線に電氣的に接続された第２のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第１のトランジスタのソース及びドレインの他方に電氣的に接続された第３のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第２のトランジスタのソース及びドレインの他方に電氣的に接続された第４のトランジスタと、記第３のトランジスタのソース及びドレインの他方並びに第４のトランジスタのソース及びドレインの他方に電氣的に接続され、与えられる電圧が出力信号の電圧となる第３の配線と、を有する液晶表示装置である。

50

【００１２】

なお、本発明の一態様において、第3のトランジスタのチャネル幅を第4のトランジスタのチャネル幅と等しくすることもできる。

【0013】

また、本発明の一態様において、第1のトランジスタのチャネル幅を第3のトランジスタのチャネル幅よりも小さくすることもでき、また、第2のトランジスタのチャネル幅を第4のトランジスタのチャネル幅よりも小さくすることもできる。

【0014】

本発明の一態様は、第1の入力信号及び第2の入力信号が入力され、出力信号を出力する駆動回路と、出力信号に従って液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第1の入力信号が入力される第1の配線と、第2の入力信号が入力される第2の配線と、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第1の配線に電氣的に接続された第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第2の配線に電氣的に接続された第2のトランジスタと、正極及び負極を有し、正極が第1のトランジスタのソース及びドレインの他方に電氣的に接続された第1のダイオードと、正極及び負極を有し、正極が第2のトランジスタのソース及びドレインの他方に電氣的に接続された第2のダイオードと、記第1のダイオードの負極及び第2のダイオードの負極に電氣的に接続され、与えられる電圧が出力信号の電圧となる第3の配線と、を有する液晶表示装置である。

【0015】

また、本発明の一態様において、第1のトランジスタのチャネル幅を第2のトランジスタのチャネル幅と等しくすることもできる。

【0016】

本発明の一態様は、上記いずれか一項に記載の液晶表示装置と、上記液晶表示装置の表示を制御する操作スイッチと、を少なくとも有する電子機器である。

【0017】

本発明の一態様は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の信号が入力される第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第2の信号が入力される第2のトランジスタと、互いに並列接続で接続されたスイッチであり、一方のスイッチは、第1の入力信号に応じてオン又はオフになることにより出力信号の電圧状態を設定するか否かを制御し、他方のスイッチは、第2の入力信号に応じてオン又はオフになることにより出力信号の電圧状態を設定するか否かを制御し、一方のスイッチがオンのときに他方のスイッチがオフであり、他方のスイッチがオンのときに一方のスイッチがオフである第1のスイッチ及び第2のスイッチと、を有するものである。

【0018】

なお、スイッチとしては、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator or Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることができる。又は、これらを組み合わせた論理回路をスイッチとして用いることができる。

【0019】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことができる電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0020】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS

10

20

30

40

50

型のスイッチをスイッチとして用いてもよい。

【0021】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも含むものとする。

【0022】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電圧レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電圧レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

10

20

【0023】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0024】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態にすることができ、また、様々な素子を有することができる。例えば、表示素子、表示装置、発光素子又は発光装置は、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、デジタルマイクロミラーデバイス（DMD）、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。また、表示装置をプラズマディスプレイ又は圧電セラミックディスプレイとすることもできる。なお、EL素子を用いた表示装置としてはELディスプレイがあり、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがあり、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）があり、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

30

40

【0025】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過又は非透過を制御する素子であり、一对の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶

50

にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（P D L C）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（P A L C）、バナナ型液晶などを挙げることができる。また液晶の駆動方式としては、T N（T w i s t e d N e m a t i c）モード、S T N（S u p e r T w i s t e d N e m a t i c）モード、I P S（I n - P l a n e - S w i t c h i n g）モード、F F S（F r i n g e F i e l d S w i t c h i n g）モード、M V A（M u l t i - d o m a i n V e r t i c a l A l i g n m e n t）モード、P V A（P a t t e r n e d V e r t i c a l A l i g n m e n t）モード、A S V（A d v a n c e d S u p e r V i e w）モード、A S M（A x i a l l y S y m m e t r i c a l i g n e d M i c r o - c e l l）モード、O C B（O p t i c a l l y C o m p e n s a t e d B i r e f r i n g e n c e）モード、E C B（E l e c t r i c a l l y C o n t r o l l e d B i r e f r i n g e n c e）モード、F L C（F e r r o e l e c t r i c L i q u i d C r y s t a l）モード、A F L C（A n t i F e r r o e l e c t r i c L i q u i d C r y s t a l）モード、P D L C（P o l y m e r D i s p e r s e d L i q u i d C r y s t a l）モード、ゲストホストモード、ブルー相（B l u e P h a s e）モードなどを用いたものがある。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

10

20

【 0 0 2 6 】

なお、トランジスタとして、様々な構造のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（T F T）などを用いることができる。

【 0 0 2 7 】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

30

【 0 0 2 8 】

なお、シリコンの結晶性を、多結晶又は微結晶などへと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみににおいて、シリコンの結晶性を向上させてもよい。

【 0 0 2 9 】

又は、Z n O、a - I n G a Z n O、S i G e、G a A s、I Z O（インジウム亜鉛酸化物）、I T O（インジウム錫酸化物）、S n O、T i O、A l Z n S n O（A Z T O）などの化合物半導体又は酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体又は酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体又は酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

40

【 0 0 3 0 】

又は、インクジェットや印刷法を用いて形成したトランジスタなどを用いることができる。

【 0 0 3 1 】

50

又は、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。このような基板を用いた半導体装置は、衝撃に強くすることができる。

【0032】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることができる。

【0033】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。

10

【0034】

なお、トランジスタは、様々な基板を用いて形成することができる。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、半導体基板（例えば単結晶基板（例えばシリコン基板））、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板などを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。又は、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。又は、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

20

30

【0035】

なお、トランジスタの構造は、特定の構造に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。

【0036】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。なお、チャンネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続された構成と同等の回路構成となる。

40

【0037】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、又はチャンネル領域が直列に接続する構造も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。

【0038】

なお、トランジスタは、様々な基板を用いて形成することができる。したがって、所定の

50

機能を実現させるために、必要な回路の全てを同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てを同一のガラス基板、プラスチック基板、単結晶基板、又はSOI基板などの様々な基板を用いて形成することも可能である。あるいは、所定の機能を実現させるために必要な回路の一部をある基板に形成し、所定の機能を実現させるために必要な回路の別の一部を別の基板に形成することも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続することも可能である。

10

20

30

40

50

【0039】

なお、トランジスタとして、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子を用いることもできる。該素子は、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。又は、ソース及びドレインの一方、ソース及びドレインの他方と表記する場合がある。また、ゲートを第3端子又は第3電極と表記する場合もある。

【0040】

また、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子などと表記する場合がある。なお、ベースをゲートと表記することが可能である。よって、ゲート、第1端子、第2端子という表記は、各々、ベース、エミッタ及びコレクタの一方、エミッタ及びコレクタの他方と言い換えることが可能である。

【0041】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0042】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0043】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよ

いし、複層でもよい。

【0044】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

【0045】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0046】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

10

【0047】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0048】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0049】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多く、これに限定されない。

【0050】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【0051】

なお、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

30

【0052】

なお、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、Aの上にB、と明示的に示される場合は、BがAの上にあることに限定されない。図中のデバイスは反転、又は180°回転することが可能なので、BがAの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの他の方向を含むことが可能である。

40

【0053】

本発明の一態様は、第1のトランジスタと第2のトランジスタとを有し、第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、第1のトランジスタのゲートは、第3の配線と電氣

50

的に接続され、第 2 のトランジスタの第 1 の端子は、第 1 の配線と電氣的に接続され、第 2 のトランジスタの 2 の端子は、第 2 の配線と電氣的に接続され、第 2 のトランジスタのゲートは、第 4 の配線と電氣的に接続されるものである。

【 0 0 5 4 】

本発明の一態様は、第 1 の期間と第 2 の期間とを有し、第 1 の期間は、第 1 のサブ期間と第 2 のサブ期間とを有し、第 2 の期間は、第 3 のサブ期間と第 4 のサブ期間とを有し、第 1 のサブ期間において、第 1 のトランジスタはオンになり、且つ第 2 のトランジスタはオフになり、第 2 のサブ期間において、第 1 のトランジスタはオフになり、且つ第 2 のトランジスタはオフになり、第 3 のサブ期間において、第 1 のトランジスタはオフになり、且つ第 2 のトランジスタはオンになり、第 4 のサブ期間において、第 1 のトランジスタはオフになり、且つ第 2 のトランジスタはオフになるものである。

10

【 0 0 5 5 】

本発明の一態様は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタとを有し、第 1 のトランジスタの第 1 の端子は、第 1 の配線と電氣的に接続され、第 1 のトランジスタの第 2 の端子は、第 2 の配線と電氣的に接続され、第 2 のトランジスタの第 1 の端子は、第 1 の配線と電氣的に接続され、第 2 のトランジスタの第 2 の端子は、第 2 の配線と電氣的に接続され、第 3 のトランジスタの第 1 の端子は、第 3 の配線と電氣的に接続され、第 3 のトランジスタ第 2 の端子は、第 1 のトランジスタのゲートと電氣的に接続され、第 3 のトランジスタのゲートは、第 3 の配線と電氣的に接続され、第 4 のトランジスタの第 1 の端子は、第 4 の配線と電氣的に接続され、第 4 のトランジスタの第 2 の端子は、第 2 のトランジスタのゲートと電氣的に接続され、第 4 のトランジスタのゲートは、第 4 の配線と電氣的に接続され、第 3 のトランジスタのゲートは、第 5 の配線と電氣的に接続され、第 4 のトランジスタのゲートは、第 5 の配線と電氣的に接続されるものである。

20

【 0 0 5 6 】

本発明の一態様は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の回路とを有し、第 1 のトランジスタの第 1 の端子は、第 1 の配線と電氣的に接続され、第 1 のトランジスタの第 2 の端子は、第 2 の配線と電氣的に接続され、第 2 のトランジスタの第 1 の端子は、第 1 の配線と電氣的に接続され、第 2 のトランジスタの第 2 の端子は、第 2 の配線と電氣的に接続され、第 1 の回路は、第 1 のトランジスタを第 1 の信号が第 1 の電圧状態の場合にオンさせる機能と、第 2 のトランジスタを第 2 の信号が第 1 の電圧状態の場合にオンさせる機能と、を有するものである。

30

【 0 0 5 7 】

なお、本発明の一態様は、第 2 の回路を有し、第 2 の回路は、一定の期間第 1 のトランジスタのゲートの電圧を第 2 の電圧状態に維持する機能と、第 2 のトランジスタのゲートの電圧を第 2 の電圧状態に維持する機能と、第 2 の配線の電圧を第 2 の電圧状態に維持する機能と、を有するものとしてもよい。

【 0 0 5 8 】

なお、本発明の一態様は、第 3 の回路を有し、第 3 の回路は、第 1 のトランジスタのゲートの電圧を第 2 の電圧状態にさせる機能と、第 2 のトランジスタのゲートの電圧を第 2 の電圧状態にさせる機能と、第 2 の配線の電圧を第 2 の電圧状態にさせる機能と、を有するものとしてもよい。

40

【 発明の効果 】

【 0 0 5 9 】

本発明の一態様は、トランジスタの特性劣化を抑制することができる。又は、本発明の一態様は、トランジスタのチャネル幅を小さくすることができる。特に、プルアップトランジスタの特性劣化の抑制、又はチャネル幅の縮小を図ることができる。又は、本発明の一態様は、信号の振幅を大きくすることができる。又は、本発明の一態様は、画素が有するトランジスタのオン時間を長くすることができる。又は、本発明の一態様は、画素への書き込み不足を改善することができる。又は、本発明の一態様は、信号の立ち下がり時間を

50

短くすることができる。又は、本発明の一態様は、信号の立ち上がり時間を短くすることができる。又は、ある行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれることを防止することができる。又は、信号の立ち下がり時間のばらつきを低減することができる。又は、画素へのフィードスルーの影響を一定にすることができる。又は、クロストークを低減することができる。又は、本発明の一態様は、レイアウト面積を小さくすることができる。又は、本発明の一態様は、表示装置の額縁を狭くすることができる。又は、本発明の一態様は、表示装置を高精細にすることができる。又は、本発明の一態様は、歩留まりを高くすることができる。又は、本発明の一態様は、コストを低減することができる。又は、本発明の一態様は、信号のなまりを低減することができる。又は、本発明の一態様は、信号の遅延を低減することができる。又は、本発明の一態様は、消費電力を低減することができる。又は、本発明の一態様は、外部回路の電流供給能力を小さくすることができる。又は、本発明の一態様は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることができる。

10

【図面の簡単な説明】

【0060】

【図1】実施の形態1における半導体装置の回路図の一例。

【図2】図1の半導体装置の動作を説明するためのタイミングチャートの一例。

【図3】図1の半導体装置の動作を説明するための模式図の一例。

【図4】図1の半導体装置の動作を説明するための模式図の一例。

【図5】図1の半導体装置の動作を説明するためのタイミングチャートの一例。

20

【図6】実施の形態2における半導体装置の回路図の一例。

【図7】図6の半導体装置の動作を説明するための模式図の一例。

【図8】図6の半導体装置の動作を説明するための模式図の一例。

【図9】実施の形態2における半導体装置の回路図の一例。

【図10】実施の形態2における半導体装置の回路図の一例。

【図11】実施の形態2における半導体装置の回路図の一例。

【図12】実施の形態2における半導体装置の回路図の一例。

【図13】実施の形態2における半導体装置の回路図の一例。

【図14】実施の形態2における半導体装置の回路図の一例と、その動作を説明するためのタイミングチャートの一例。

30

【図15】実施の形態3における半導体装置の回路図の一例。

【図16】実施の形態3における半導体装置の回路図の一例と、その動作を説明するためのタイミングチャートの一例。

【図17】実施の形態3における半導体装置の回路図の一例。

【図18】実施の形態3における半導体装置の回路図の一例。

【図19】実施の形態3における半導体装置の回路図の一例。

【図20】実施の形態3における半導体装置の回路図の一例。

【図21】実施の形態3における半導体装置の回路図の一例。

【図22】実施の形態3における半導体装置の回路図の一例。

【図23】実施の形態3における半導体装置の回路図の一例。

40

【図24】実施の形態1における半導体装置の回路図の一例。

【図25】図24の半導体装置の動作を説明するためのタイミングチャートの一例。

【図26】実施の形態4における表示装置のブロック図の一例。

【図27】実施の形態4におけるシフトレジスタの回路図の一例。

【図28】図27のシフトレジスタの動作を説明するためのタイミングチャートの一例。

【図29】実施の形態5における信号線駆動回路の回路図の一例。

【図30】実施の形態6における画素の回路図の一例と、その動作を説明するためのタイミングチャートの一例。

【図31】実施の形態6における画素の回路図の一例。

【図32】実施の形態7におけるトランジスタの断面図の一例。

50

- 【図 3 3】実施の形態 8 における表示装置の上面図の一例と、表示装置の断面図の一例。
 【図 3 4】実施の形態 9 におけるトランジスタの作製工程を説明する断面図の一例。
 【図 3 5】実施の形態 10 における半導体装置レイアウト図の一例。
 【図 3 6】実施の形態 11 における電子機器を説明するための図の一例。
 【図 3 7】実施の形態 11 における電子機器を説明するための図の一例。
 【図 3 8】図 1 2 の半導体装置の動作を説明するための模式図の一例。
 【図 3 9】図 1 2 の半導体装置の動作を説明する模式図の一例。
 【図 4 0】図 1 6 の半導体装置の動作を説明する模式図の一例。
 【図 4 1】図 1 6 の半導体装置の動作を説明する模式図の一例。
 【図 4 2】図 1 6 の半導体装置の動作を説明する模式図の一例。
 【図 4 3】図 1 6 の半導体装置の動作を説明する模式図の一例。
 【図 4 4】図 2 3 の半導体装置の動作を説明する模式図の一例。
 【図 4 5】図 2 3 の半導体装置の動作を説明する模式図の一例。
 【図 4 6】図 2 3 の半導体装置の動作を説明する模式図の一例。
 【図 4 7】図 2 3 の半導体装置の動作を説明する模式図の一例。
 【図 4 8】実施の形態 3 における半導体装置の回路図の一例。
 【図 4 9】実施の形態 3 における半導体装置の回路図の一例。
 【図 5 0】実施の形態 3 における半導体装置の回路図の一例。
 【図 5 1】実施の形態 3 における半導体装置の計算結果を示すタイミングチャート。
 【発明を実施するための形態】

10

20

【0061】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0062】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び / 又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことで一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、製造方法などが単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクトル図、状態図、波形図、写真、化学式など）又は文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。一例としては、 N 個（ N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、 M 個（ M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 N 個の層を有して構成される断面図から、 M 個の層を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 N 個の要素を有して構成されるフローチャートから、 M 個の要素を抜き出して、発明の一態様を構成することは可能である。

30

40

【0063】

（実施の形態 1）

本実施の形態では、本発明の一態様である半導体装置の一例について説明する。本実施の形態の半導体装置は、一例として、シフトレジスタ、ゲートドライバ、又はソースドライバなどの様々な駆動回路に用いることが可能である。なお、本実施の形態の半導体装置を

50

駆動回路、又は回路と示すことも可能である。

【0064】

まず、本実施の形態の半導体装置の回路構成について、図1(A)を参照して説明する。図1(A)の半導体装置は、回路100(第2の制御回路ともいう)、及び回路200(第1の制御回路ともいう)を有する。回路100は、トランジスタ101__1~101__2という複数のトランジスタを有する。

【0065】

なお、トランジスタ101__1~101__2は、一例としてNチャネル型であるものとする。Nチャネル型のトランジスタは、ゲートとソースとの間の電位差(V_{gs})が閾値電圧(V_{th})を上回った場合にオンになるものとする。ただし、これに限定されず、トランジスタ101__1、及び/又は、トランジスタ101__2は、Pチャネル型であることが可能である。Pチャネル型トランジスタは、ゲートとソースとの間の電位差(V_{gs})が閾値電圧(V_{th})を下回った場合にオンになるものとする。

10

【0066】

次に、図1(A)の半導体装置の接続関係について説明する。トランジスタ101__1の第1端子は、配線112と接続され、トランジスタ101__1の第2端子は、配線111と接続される。トランジスタ101__2の第1端子は、配線112と接続され、トランジスタ101__2の第2端子は、配線111と接続される。また、回路200は、図1(A)に示すように、配線113、配線114、配線115__1~115__2、配線116__1~116__2、配線117、配線118、トランジスタ101__1のゲート、トランジスタ101__2のゲート、及び配線111と接続される。ただし、これに限定されず、図1(A)に示す半導体装置と接続される配線は一例である。よって、本実施の形態において、半導体装置と接続される配線を増やすことが可能であるし、半導体装置と接続される配線を減らすことが可能である。例えば、回路200は、その構成に応じて、様々な配線、又は様々なノードと接続されることが可能である。又は、回路200は、上述した配線のいずれかと接続されていないことが可能である。

20

【0067】

なお、図1(A)において、トランジスタ101__1のゲートと回路200との接続箇所をノード11と示し、トランジスタ101__2のゲートと回路200との接続箇所をノード12と示す。

30

【0068】

次に、各配線に入力又は出力される電圧又は信号などについて説明する。

【0069】

配線111からは、一例として、信号OUTが出力されるものとする。信号OUTは、半導体装置に入力される信号に応じて電圧状態が設定される。また、信号OUTは、例えば第1の電圧状態及び第2の電圧状態を有する信号とすることができる。例えば信号OUTは、ハイレベルとロウレベルとの2つの電圧状態を有するデジタル信号である場合が多く、半導体装置の出力信号としての機能を有することが可能である。よって、配線111は、信号線、又は出力信号線としての機能を有することが可能である。ただし、これに限定されない。例えば、配線111は、画素部に延伸して配置されることが可能である。そして、配線111は、画素と接続されることが可能である。例えば液晶表示装置の場合は、配線111を液晶素子を有する画素に接続し、配線111の電圧に応じて液晶素子に印加される電圧を設定する構成とすることができる。又は、配線111は、画素が有するトランジスタ(例えば選択用トランジスタ、又はスイッチングトランジスタ)のゲートと接続されることが可能である。よって、配線111は、ゲート信号線(以下、ゲート線ともいう)、又は走査線としての機能を有することが可能である。このような場合、信号OUTは、ゲート信号、又は走査信号としての機能を有することが可能である。

40

【0070】

配線112には、一例として、信号CK1が入力されるものとする。信号CK1は、例えば第1の電圧状態及び第2の電圧状態を有する信号とすることができる。例えば信号CK

50

1 は、ハイレベルとロウレベルとの 2 つの電圧状態を繰り返すデジタル信号である場合が多く、クロック信号としての機能を有することが可能である。よって、配線 1 1 2 は、信号線、又はクロック信号線（以下、クロック線又はクロック供給線ともいう）としての機能を有することが可能である。ただし、これに限定されず、配線 1 1 2 には電圧が供給されることが可能である。よって、配線 1 1 2 は、電源線としての機能を有することが可能である。

【 0 0 7 1 】

配線 1 1 3 には、一例として、信号 C K 2 が入力されるものとする。信号 C K 2 は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 C K 2 は、ハイレベルとロウレベルとの 2 つの電圧状態を繰り返すデジタル信号である場合が多く、反転クロック信号としての機能を有することが可能である。なお、信号 C K 2 は、信号 C K 1 の反転信号、又は信号 C K 1 から位相がおおむね 1 8 0 ° ずれた信号であることが可能である。よって、配線 1 1 3 は、信号線、又は反転クロック信号線（以下、反転クロック線又は反転クロック供給線ともいう）としての機能を有することが可能である。

10

【 0 0 7 2 】

配線 1 1 4 には、一例として、電圧 V 2 が供給されるものとする。電圧 V 2 は、ハイレベルの信号とおおむね等しい値である場合が多く、電源電圧、基準電圧、又は正電源電圧としての機能を有することが可能である。よって、配線 1 1 4 は、電源線としての機能を有することが可能である。

20

【 0 0 7 3 】

配線 1 1 5 __ 1 には、一例として、信号 S P 1 が入力されるものとする。信号 S P 1 は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 S P 1 は、ハイレベル及びロウレベルとなるデジタル信号である場合が多く、スタート信号としての機能を有することが可能である。よって、配線 1 1 5 __ 1 は、信号線としての機能を有することが可能である。ただし、これに限定されない。例えば、複数の半導体装置が従属接続される場合、配線 1 1 5 __ 1 は、別の段（例えば前段）の配線 1 1 1、又はその他の配線と接続されることが可能である。よって、配線 1 1 5 __ 1 は、出力信号線、ゲート信号線、又は走査線としての機能を有することが可能である。このような場合、信号 S P 1 は、転送信号、ゲート信号、又は走査信号としての機能を有することが可能である。

30

【 0 0 7 4 】

配線 1 1 5 __ 2 には、一例として、信号 S P 2 が入力されるものとする。信号 S P 2 は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 S P 2 は、デジタル信号である場合が多く、スタート信号としての機能を有することが可能である。よって、配線 1 1 5 __ 2 は、信号線としての機能を有することが可能である。ただし、これに限定されない。例えば、複数の半導体装置が従属接続される場合、配線 1 1 5 __ 2 は、別の段（例えば前段）の配線 1 1 1、又はその他の配線と接続されることが可能である。よって、配線 1 1 5 __ 2 は、出力信号線、ゲート信号線、又は走査線としての機能を有することが可能である。このような場合、信号 S P 2 は、転送信号、ゲート信号、又は走査信号としての機能を有することが可能である。

40

【 0 0 7 5 】

配線 1 1 6 __ 1 には、一例として、信号 S E L 1 が入力されるものとする。信号 S E L 1 は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 S E L 1 は、ある期間毎（例えばフレーム期間毎）に、ハイレベルとロウレベルとの 2 つの電圧状態を繰り返すデジタル信号である場合が多く、制御信号、又はクロック信号としての機能を有することが可能である。よって、配線 1 1 6 __ 1 は、信号線、制御線、又はクロック信号線としての機能を有することが可能である。

【 0 0 7 6 】

配線 1 1 6 __ 2 には、一例として、信号 S E L 2 が入力されるものとする。信号 S E L 2 は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば

50

信号 S E L 2 は、ある期間毎（例えばフレーム期間毎）に、ハイレベルとロウレベルとの 2 つの状態を繰り返すデジタル信号である場合が多い。そして、信号 S E L 2 は、信号 S E L 1 の反転信号、又は信号 S E L 1 から位相が 180°ずれた信号である場合が多く、制御信号、又は反転クロック信号としての機能を有することが可能である。よって、信号線、制御線、又は反転クロック信号線としての機能を有することが可能である。

【0077】

配線 117 には、一例として、信号 R E が入力されるものとする。信号 R E は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 R E は、デジタル信号である場合が多く、リセット信号としての機能を有することが可能である。よって、配線 117 は、信号線としての機能を有することが可能である。ただし、これに 10
限定されない。例えば、複数の半導体装置が従属接続される場合、配線 117 は、別の段（例えば次の段）の配線 111、又はその他の配線と接続されることが可能である。よって、配線 117 は、出力信号線、ゲート信号線、又は走査線としての機能を有することが可能である。このような場合、信号 R E は、転送信号、ゲート信号、又は走査信号としての機能を有することが可能である。

【0078】

配線 118 には、一例として、電圧 V 1 が供給されるものとする。電圧 V 1 は、ロウレベルの信号とおおむね等しい値である場合が多く、電源電圧、基準電圧、グランド電圧、又は負電源電圧としての機能を有することが可能である。よって、配線 118 は、電源線、 20
又はグランドとしての機能を有することが可能である。

【0079】

ただし、これに限定されず、配線 111、配線 112、配線 113、配線 114、配線 115 __ 1、配線 115 __ 2、配線 116 __ 1、配線 116 __ 2、配線 117、及び配線 118 には、様々な信号、又は様々な電圧を入力することが可能である。よって、これらの配線は、他にも様々な機能を有することが可能であるし、上記の機能のすべてを有する必要はない。

【0080】

なお、おおむねとは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、及び / 又は、測定誤差などの様々な誤差を含むものとする。

【0081】

なお、一般的に電圧とは、2 点間における電位差のことをいう場合があり、電位とは、ある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう場合があるが、電子回路において、ある一点における電位と基準となる電位（例えば接地電位）との差を該ある一点の電圧として示すことが多いため、本明細書では、特に指定する場合を除き、ある一点の電圧と示す場合にはある一点における電位と基準となる電位との差を示すものとする。

【0082】

なお、一例として、第 1 の電圧状態、すなわちロウレベルの信号の電圧を V 1 とし、第 2 の電圧状態、すなわちハイレベルの信号の電圧を V 2 とする。そして、 $V 2 > V 1$ とする。よって、電圧 V 1 と記載する場合、電圧 V 1 とは、信号のロウレベルとおおむね等しい 40
値であるものとする。一方で、電圧 V 2 と記載する場合、電圧 V 2 とは、信号のハイレベルとおおむね等しい値であるものとする。ただし、これに限定されず、ロウレベルの信号の電圧は、V 1 よりも低くすることが可能であるし、V 1 よりも高くすることが可能である。又は、ハイレベルの信号の電圧は、V 2 よりも低いことが可能であるし、V 2 よりも高いことが可能である。例えば、回路構成によっては、ハイレベルの信号として記載する場合でも、その電圧は V 2 よりも低い場合があるし、V 2 よりも高い場合がある。又は、回路構成によっては、ロウレベルの信号と記載する場合でも、その電圧は V 1 よりも低い場合があるし、V 1 よりも高い場合がある。

【0083】

なお、信号 C K 1、及び / 又は、信号 C K 2 は、平衡であることが可能であるし、非平衡 50

(不平衡ともいう)であることが可能である。平衡とは、1周期のうち、ハイレベルになる期間とロウレベルになる期間とがおおむね等しいことをいう。非平衡とは、ハイレベルになる期間とロウレベルになる期間とが異なることをいう。なお、ここでは異なるとはおおむね等しい場合の範囲以外のものであるとする。

【0084】

なお、信号CK1、及び信号CK2が非平衡である場合、信号CK2は、信号CK1の反転信号ではない場合がある。この場合、信号CK1のハイレベルになる期間と、信号CK2がハイレベルになる期間と、の長さはおおむね等しくすることが可能である。ただし、これに限定されない。

【0085】

次に、各回路、及び各トランジスタが有する機能について説明する。

【0086】

回路100は、一例として、回路200から入力された信号に従って信号OUTの電圧状態を設定する機能を有する。又は、回路100は、ノード11の電圧、及びノード12の電圧に応じて、配線112と配線111との導通状態を制御する機能を有する。又は、回路100は、配線112の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に、電圧V2などの電圧、又は信号CK1などの信号が供給される場合、回路100は、配線112に供給される電圧又は信号などを、配線111に供給するタイミングを制御する機能を有する。又は、回路100は、ハイレベルの信号(例えば信号CK1)を配線111に供給するタイミングを制御する機能を有する。又は、回路100は、配線111の電圧を例えばV2に上昇させるタイミングを制御する機能を有する。又は、回路100は、ロウレベルの信号(例えば信号CK1)を配線111に供給するタイミングを制御する機能を有する。又は、回路100は、配線111の電圧を例えばV1に減少させるタイミングを制御する機能を有する。又は、回路100は、配線111の電圧を維持する機能を有する。又は、回路100は、ノード11の電圧、及びノード12の電圧をブートストラップ動作によって例えばV2以上に上昇させるタイミングを制御する機能を有する。以上のように、回路100は、制御回路、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されず、回路100は、他にも様々な機能を有することが可能である。なお、回路100は、上記の機能のすべてを有する必要はない。

【0087】

回路200は、一例として、少なくとも2つの信号が入力され、入力された信号を選択的に出力する機能を有する。又は、回路200は、入力される信号又は電圧(信号CK2、信号SP1、信号SP2、信号RE、ノード11の電圧、ノード12の電圧、及びノード11の電圧を制御する機能を有する。又は、回路200は、ノード11、及びノード12に、ハイレベルの信号又は電圧V2を供給するタイミングを制御する機能を有する。又は、回路200は、ノード11、及びノード12に、ロウレベルの信号又は電圧V1を供給するタイミングを制御する機能を有する。又は、回路200は、ノード11、及びノード12に、信号又は電圧などを供給しない機能を有する。又は、回路200は、ノード11、及びノード12を浮遊状態にする機能を有する。又は、回路200は、配線111に、ロウレベルの信号又は電圧V1を供給するタイミングを制御する機能を有する。又は、回路200は、配線111の電圧を例えばV1に減少させるタイミングを制御する機能を有する。又は、回路200は、配線111の電圧を維持する機能を有する。以上のように、回路200は、制御回路としての機能を有することが可能である。ただし、これに限定されず、回路200は、他にも様々な機能を有することが可能である。なお、回路200は、上記の機能のすべてを有する必要はない。

【0088】

トランジスタ101__1は、一例として、ノード11の電圧に応じて、配線112と配線111との導通状態を制御する機能を有する。又は、トランジスタ101__1は、配線1

10

20

30

40

50

12の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に、電圧V2などの電圧、又は信号CK1などの信号が供給される場合、トランジスタ101__1は、配線112に供給される電圧又は信号などを、配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__1は、ハイレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__1は、配線111の電圧を上昇させるタイミングを制御する機能を有する。又は、トランジスタ101__1は、ロウレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__1は、配線111の電圧を例えばV1に減少させるタイミングを制御する、すなわちV1への配線111の電圧の設定を制御する機能を有する。又は、トランジスタ101__1は、配線111の電圧を維持する機能を有する。又は、トランジスタ101__1は、ブートストラップ動作を行う機能を有する。又は、トランジスタ101__1は、ノード11の電圧をブートストラップ動作によって例えばV2以上に上昇させる機能を有する。または、トランジスタ101__1は、オン又はオフになることにより、信号OUTの電圧状態を設定するか否かを制御する機能を有する。以上のように、トランジスタ101__1は、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ101__1は、他にも様々な機能を有することが可能である。なお、トランジスタ101__1は、上記の機能のすべてを有する必要はない。

10

【0089】

トランジスタ101__2は、一例として、ノード12の電圧に応じて、配線112と配線111との導通状態を制御する機能を有する。又は、トランジスタ101__2は、配線112の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に、電圧V2などの電圧、又は信号CK1などの信号が供給される場合、トランジスタ101__2は、配線112に供給される電圧又は信号などを、配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__2は、ハイレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__2は、配線111の電圧を例えばV2に上昇させるタイミングを制御する機能を有する。又は、トランジスタ101__2は、ロウレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__2は、配線111の電圧を例えばV1に減少させるタイミングを制御する、すなわちV1への配線111の電圧の設定を制御する機能を有する。又は、トランジスタ101__2は、配線111の電圧を維持する機能を有する。又は、トランジスタ101__2は、ブートストラップ動作を行う機能を有する。又は、トランジスタ101__2は、ノード12の電圧をブートストラップ動作によって例えばV2以上に上昇させる機能を有する。または、トランジスタ101__2は、オン又はオフになることにより、信号OUTの電圧状態を設定するか否かを制御する機能を有する。以上のように、トランジスタ101__2は、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ101__2は、他にも様々な機能を有することが可能である。なお、トランジスタ101__2は、上記の機能のすべてを有する必要はない。

20

30

【0090】

次に、図1(A)の半導体装置の動作について、図2のタイミングチャートを参照して説明する。図2のタイミングチャートには、信号SEL1、信号SEL2、信号CK1、信号CK2、信号SP1、信号SP2、信号RE、ノード11の電圧(Va1)、ノード12の電圧(Va2)、及び信号OUTを示す。なお、図1(A)の半導体装置は、図2のタイミングチャートに限定されず、様々なタイミングによって制御されることが可能である。

40

【0091】

なお、図2のタイミングチャートは、複数の期間（以下、期間のことをフレーム期間ともいう）を有し、各期間は、複数のサブ期間（以下、サブ期間のことを1ゲート選択期間ともいう）を有する。例えば、図2のタイミングチャートは、期間T1、及び期間T2とい

50

う複数の期間を有する。期間 T 1 は、期間 A 1、期間 B 1、期間 C 1、期間 D 1、及び期間 E 1 という複数のサブ期間を有し、期間 T 2 は、期間 A 2、期間 B 2、期間 C 2、期間 D 2、及び期間 E 2 という複数のサブ期間を有する。ただし、これに限定されない。例えば、図 2 のタイミングチャートは、期間 T 1、及び期間 T 2 とは別の期間を有することが可能であるし、期間 T 1 と期間 T 2 との一方を省略することが可能である。又は、期間 T 1 は、期間 A 1 ~ E 1 の他にも様々な期間を有することが可能であるし、期間 A 1 ~ E 1 のいずれかを省略することが可能である。又は、期間 T 2 は、期間 A 2 ~ E 2 の他にも様々な期間を有することが可能であるし、期間 A 2 ~ E 2 のいずれかを省略することが可能である。

【0092】

10

なお、一例として、期間 T 1 と期間 T 2 とは、交互に配置されるものとする。ただし、これに限定されず、期間 T 1 と期間 T 2 とは様々な順番に配置されることが可能である。

【0093】

なお、一例として、期間 T 1 において、期間 A 1、期間 B 1、及び期間 C 1 が順に配置される後、期間 T 1 の終わりまで（又は期間 T 2 の始まりまで）、期間 D 1 と期間 E 1 とが交互に配置されるものとする。ただし、これに限定されず、期間 A 1 ~ E 1 を様々な順番に配置することが可能である。例えば、期間 T 1 の始まりから、期間 A 1 の始まりまでの期間に、期間 D 1、及び / 又は、期間 E 1 を配置することが可能である。

【0094】

20

なお、一例として、期間 T 2 において、期間 A 2、期間 B 2、及び期間 C 2 が順に配置される後、期間 T 2 の終わりまで（又は期間 T 1 の始まりまで）、期間 D 2 と期間 E 2 とが交互に配置されるものとする。ただし、これに限定されず、期間 A 2 ~ E 2 を様々な順に配置することが可能である。例えば、期間 T 2 の始まりから、期間 A 2 の始まりまでの期間に、期間 D 2、及び / 又は、期間 E 2 を配置することが可能である。

【0095】

まず、期間 T 1 の動作について説明する。期間 T 1 では、信号 S P 1 は、期間 A 1 においてハイレベルになり、期間 B 1 ~ E 1 においてロウレベルになる。信号 S P 2 は、期間 A 1 ~ 期間 E 1 においてロウレベルになる。信号 S E L 1 は、ハイレベルになり、信号 S E L 2 は、ロウレベルになる。

【0096】

30

期間 A 1 において、図 3 (A) に示すように、信号 S P 1 はハイレベルになるので、回路 200 は、電圧 V 2、又はハイレベルの信号をノード 11 に供給する。よって、ノード 11 の電圧は上昇し始める。このとき、信号 S P 2 はロウレベルになるので、回路 200 は、電圧 V 1 又はロウレベルの信号をノード 12 に供給する。よって、ノード 12 の電圧は、V 1 になる。又は、回路 200 は、ノード 12 に電圧又は信号などを供給せず、回路 200 とノード 12 とは非導通状態になる。よって、ノード 12 の電圧の初期値が V 1 だとすると、ノード 12 の電圧は V 1 に維持される。この結果、トランジスタ 101 __ 2 はオフ（オフ状態ともいう）になる。その後、ノード 11 の電圧は、上昇し続ける。やがて、ノード 11 の電圧が $V_1 + V_{th101_1}$ (V_{th101_1} : トランジスタ 101 __ 1 の閾値電圧) + V_x になったところで、トランジスタ 101 __ 1 がオンになる。このとき V_x は 0 より大きい値である。よって、配線 112 と配線 111 とは、トランジスタ 101 __ 1 を介して導通状態になるので、ロウレベルの信号 C K 1 は、配線 112 からトランジスタ 101 __ 1 を介して配線 111 に供給される。この結果、信号 O U T は、ロウレベルになる。その後、ノード 11 の電圧はさらに上昇する。やがて、回路 200 は、ノード 11 への電圧又は信号の供給を止めるので、回路 200 とノード 11 とは非導通状態になる。この結果、ノード 11 は、浮遊状態になり、ノード 11 の電圧は、 $V_1 + V_{th101_1} + V_x$ に維持される。ただし、これに限定されない。例えば、回路 200 は、 $V_1 + V_{th101_1} + V_x$ の電圧をノード 11 に供給し続けることが可能である。

40

【0097】

なお、期間 A 1 において、回路 200 は、電圧 V 1 又はロウレベルの信号を配線 111 に

50

供給することが可能である。又は、回路 200 は、電圧又は信号などを配線 111 に供給しないことが可能である。

【0098】

次に、期間 B1 において、図 3 (B) に示すように、信号 SP1 はロウレベルになるので、回路 200 は、電圧又は信号などをノード 11 に供給しないままである。よって、ノード 11 は、浮遊状態のままであり、ノード 11 の電圧は、 $V1 + V_{th101} + Vx$ のままになる。つまり、トランジスタ 101 はオンのままになるので、配線 112 と配線 111 とはトランジスタ 101 を介して導通状態のままになる。一方で、信号 SP2 はロウレベルのままなので、回路 200 は、電圧 V1 又はロウレベルの信号をノード 12 に供給する。又は、回路 200 は、ノード 12 に電圧又は信号などを供給せずに、回路 200 とノード 12 とは非導通状態になる。よって、ノード 12 の電圧は、V1 になるように維持される。この結果、トランジスタ 101_2 はオフのままになる。このとき、信号 CK1 はロウレベルからハイレベルに上昇するので、配線 111 の電圧が上昇し始める。すると、ノード 11 は浮遊状態のままなので、ノード 11 の電圧は、トランジスタ 101_1 のゲートと第 2 端子との間の寄生容量によって上昇する。いわゆる、ブートストラップ動作である。こうして、ノード 11 の電圧は、 $V2 + V_{th101} + Vx$ まで上昇することによって、配線 111 の電圧が V2 より大きい値まで上昇することが可能になる。このようにして、信号 OUT は、ハイレベルになる。

10

【0099】

なお、期間 B1 において、回路 200 は、電圧又は信号などを配線 111 に供給していない場合が多い。ただし、これに限定されず、回路 200 は、電圧 V2 又はハイレベルの信号などを配線 111 に供給することが可能である。

20

【0100】

次に、期間 C1 において、図 3 (C) に示すように、信号 RE がハイレベルになるので、回路 200 は、電圧 V1 又はロウレベルの信号をノード 11、ノード 12、及びノード 13 に供給する。すると、ノード 11 の電圧、ノード 12 の電圧、及びノード 13 の電圧は、V1 になる。よって、トランジスタ 101_1、及びトランジスタ 101_2 はオフになるので、配線 112 と配線 111 とは非導通状態になる。そして、信号 OUT は、ロウレベルになる。

30

【0101】

なお、期間 C1 において、ノード 11 の電圧が減少するタイミングよりも、信号 CK1 がロウレベルになるタイミングの方が早い場合がある。つまり、トランジスタ 101_1 がオフになる前に、信号 CK1 がロウレベルになる場合がある。よって、ロウレベルの信号 CK1 は、配線 112 からトランジスタ 101_1 を介して配線 111 に供給される場合がある。このような場合、トランジスタ 101_1 のチャネル幅は、例えば他のトランジスタを有する場合に他のトランジスタのチャネル幅より大きい場合が多いので、信号 OUT の立ち下がり時間を短くすることができる。よって、期間 C1 においては、回路 200 がロウレベルの信号又は電圧 V1 を配線 111 に供給する場合と、配線 112 からトランジスタ 101_1 を介してロウレベルの信号が配線 111 に供給される場合と、回路 200 からロウレベルの信号又は電圧 V1 が配線 111 に供給され、且つ配線 112 からトランジスタ 101_1 を介してロウレベルの信号が配線 111 に供給される場合とがある。

40

【0102】

次に、期間 D1、及び期間 E1 において、図 3 (D) に示すように、回路 200 は、電圧 V1 又はロウレベルの信号をノード 11、ノード 12、及びノード 13 に供給する。すると、ノード 11 の電圧、ノード 12 の電圧、及びノード 13 の電圧は、V1 のままになる。よって、トランジスタ 101_1、及びトランジスタ 101_2 はオフのままになるので、配線 112 と配線 111 とは非導通状態のままになる。そして、信号 OUT は、ロウレベルのままになる。

【0103】

なお、期間 D1 と期間 E1 との一方の期間において、回路 200 は、電圧 V1 又はロウレ

50

ベルの信号をノード 1 1、ノード 1 2、及びノ又は、配線 1 1 1 に供給し、他方の期間において、回路 2 0 0 は、電圧 V_1 又はロウレベルの信号をノード 1 1、ノード 1 2、及びノ又は、配線 1 1 1 に供給しないことが可能である。

【0104】

次に、期間 T_2 の動作について説明する。期間 T_2 では、信号 SP_1 は、期間 $A_2 \sim E_2$ においてロウレベルになる。信号 SP_2 は、期間 A_2 においてハイレベルになり、期間 $B_2 \sim E_2$ においてロウレベルになる。信号 SEL_1 はロウレベルになり、信号 SEL_2 はハイレベルになる。

【0105】

期間 A_2 において、図 4 (A) に示すように、信号 SP_2 はハイレベルになるので、回路 2 0 0 は、電圧 V_2 、又はハイレベルの信号をノード 1 2 に供給する。よって、ノード 1 2 の電圧は上昇し始める。このとき、信号 SP_1 はロウレベルになるので、回路 2 0 0 は、電圧 V_1 又はロウレベルの信号をノード 1 1 に供給する。よって、ノード 1 1 の電圧は、 V_1 になる。又は、回路 2 0 0 は、ノード 1 1 に電圧又は信号などを供給せずに、回路 2 0 0 とノード 1 1 とは非導通状態になる。よって、ノード 1 1 の初期値が V_1 だとすると、ノード 1 1 の電圧は V_1 に維持される。この結果、トランジスタ 1 0 1 __ 1 はオフになる。その後、ノード 1 2 の電圧は、上昇し続ける。やがて、ノード 1 2 の電圧が $V_1 + V_{th101_2}$ (V_{th101_2} : トランジスタ 1 0 1 __ 2 の閾値電圧) + V_x となったところで、トランジスタ 1 0 1 __ 2 がオンになる。このとき V_x は 0 より大きい値である。よって、配線 1 1 2 と配線 1 1 1 とは、トランジスタ 1 0 1 __ 2 を介して導通状態になる。この結果、信号 OUT は、ロウレベルになる。その後、ノード 1 2 の電圧はさらに上昇する。やがて、回路 2 0 0 は、ノード 1 2 への電圧又は信号の供給を止めるので、回路 2 0 0 とノード 1 2 とは非導通状態になる。この結果、ノード 1 2 は、浮遊状態になり、ノード 1 2 の電圧は、 $V_1 + V_{th101_2} + V_x$ に維持される。ただし、これに限定されない。例えば、回路 2 0 0 は、 $V_1 + V_{th101_2} + V_x$ の電圧をノード 1 2 に供給し続けることが可能である。

【0106】

なお、期間 A_2 において、回路 2 0 0 は、電圧 V_1 又はロウレベルの信号を配線 1 1 1 に供給することが可能である。又は、回路 2 0 0 は、電圧又は信号などを配線 1 1 1 に供給しないことが可能である。

【0107】

次に、期間 B_2 において、図 4 (B) に示すように、信号 SP_2 はロウレベルになるので、回路 2 0 0 は、電圧又は信号などをノード 1 2 に供給しないままである。よって、ノード 1 2 は、浮遊状態のままであり、ノード 1 2 の電圧は、 $V_1 + V_{th101_2} + V_x$ のままになる。つまり、トランジスタ 1 0 1 __ 2 はオンのままになるので、配線 1 1 2 と配線 1 1 1 とはトランジスタ 1 0 1 __ 2 を介して導通状態のままになる。一方で、信号 SP_1 はロウレベルのままなので、回路 2 0 0 は、電圧 V_1 又はロウレベルの信号をノード 1 1 に供給する。又は、回路 2 0 0 は、ノード 1 1 に電圧又は信号などを供給せずに、回路 2 0 0 とノード 1 1 とは非導通状態になる。よって、ノード 1 1 の電圧は、 V_1 になるように維持される。この結果、トランジスタ 1 0 1 __ 1 はオフのままになる。このとき、信号 CK_1 はロウレベルからハイレベルに上昇するので、配線 1 1 1 の電圧が上昇し始める。すると、ノード 1 2 は浮遊状態のままなので、ノード 1 2 の電圧は、トランジスタ 1 0 1 __ 2 のゲートと第 2 端子との間の寄生容量によって上昇する。いわゆる、ブートストラップ動作である。こうして、ノード 1 2 の電圧は、 $V_2 + V_{th101_2} + V_x$ になるまで上昇することによって、配線 1 1 1 の電圧が V_2 より大きい値まで上昇することが可能になる。このようにして、信号 OUT は、ハイレベルになる。

【0108】

なお、期間 B_2 において、回路 2 0 0 は、電圧又は信号などを配線 1 1 1 に供給していない場合が多い。ただし、これに限定されず、回路 2 0 0 は、電圧 V_2 又はハイレベルの信

10

20

30

40

50

号を配線 1 1 1 に供給することが可能である。

【 0 1 0 9 】

次に、期間 C 2 において、図 4 (C) に示すように、信号 R E がハイレベルになるので、回路 2 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1、ノード 1 2、及びノ又は、配線 1 1 1 に供給する。すると、ノード 1 1 の電圧、ノード 1 2 の電圧、及びノ又は、配線 1 1 1 の電圧は、V 1 になる。よって、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 はオフになるので、配線 1 1 2 と配線 1 1 1 とは非導通状態になる。そして、信号 O U T は、ロウレベルになる。

【 0 1 1 0 】

なお、期間 C 2 において、ノード 1 2 が減少するタイミングよりも、信号 C K 1 がロウレベルになるタイミングの方が早い場合がある。つまり、トランジスタ 1 0 1 __ 2 がオフになる前に、信号 C K 1 がロウレベルになる場合がある。よって、ロウレベルの信号 C K 1 は、配線 1 1 2 からトランジスタ 1 0 1 __ 2 を介して配線 1 1 1 に供給される場合がある。このような場合、トランジスタ 1 0 1 __ 2 のチャネル幅は、例えば他のトランジスタを有する場合に他のトランジスタのチャネル幅より大きい場合が多いので、信号 O U T の立ち下がり時間を短くすることができる。よって、期間 C 2 においては、回路 2 0 0 からロウレベルの信号又は電圧 V 1 が配線 1 1 1 に供給される場合と、配線 1 1 2 からトランジスタ 1 0 1 __ 2 を介してロウレベルの信号が配線 1 1 1 に供給される場合と、回路 2 0 0 からロウレベルの信号又は電圧 V 1 が配線 1 1 1 に供給され、且つ配線 1 1 2 からトランジスタ 1 0 1 __ 2 を介してロウレベルの信号が配線 1 1 1 に供給される場合とがある。

【 0 1 1 1 】

次に、期間 D 2、及び期間 E 2 において、図 4 (D) に示すように、回路 2 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1、ノード 1 2、及びノ又は、配線 1 1 1 に供給する。すると、ノード 1 1 の電圧、ノード 1 2 の電圧、及びノ又は、配線 1 1 1 の電圧は、V 1 のままになる。よって、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 はオフのままになるので、配線 1 1 2 と配線 1 1 1 とは非導通状態のままになる。そして、信号 O U T は、ロウレベルのままになる。

【 0 1 1 2 】

なお、期間 D 2 と期間 E 2 との一方の期間においてのみ、回路 2 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1、ノード 1 2、及びノ又は、配線 1 1 1 に供給することが可能である。

【 0 1 1 3 】

以上のように、期間 T 1 において、トランジスタ 1 0 1 __ 2 はオフになり、期間 T 2 において、トランジスタ 1 0 1 __ 1 はオフになることが可能である。よって、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 がそれぞれオンになる回数、又はトランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 がそれぞれオンになる時間を少なくすることができるので、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 の特性劣化を抑制することができる。

【 0 1 1 4 】

又は、トランジスタの特性劣化を抑制できることによって、様々なメリットを得ることができる。例えば、配線 1 1 1 がゲート信号線又は走査線としての機能を有する場合、又は配線 1 1 1 が画素と接続される場合、画素が保持するビデオ信号は、信号 O U T の波形に影響を受けることがある。例えば、信号 O U T のハイレベルの電圧が V 2 まで上昇しない場合、画素が有するトランジスタ（例えば選択トランジスタ、又はスイッチングトランジスタ）がオンになる時間は短くなる。この結果、画素へのビデオ信号の書き込み不足を生じ、表示品位が低下してしまうことがある。又は、信号 O U T の立ち下がり時間、及び立ち上がり時間が長くなる場合、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれてしまうことがある。この結果、表示品位が低下してしまう。又は、信号 O U T の立ち下がり時間がばらつく場合、画素が保持するビデオ信号へのフィードスルーの影響がばらついてしまうことがある。この結果、クロストーク等の表示ムラを生

10

20

30

40

50

じてしまう。

【0115】

しかしながら、本実施の形態の半導体装置は、トランジスタの特性劣化を抑制することができる。よって、信号OUTのハイレベルの電圧をV₂まで上昇させることができるので、画素が有するトランジスタがオンになる時間を長くすることができる。この結果、画素に十分な時間の中でビデオ信号を書き込むことができるので、表示品位の向上を図ることができる。又は、信号OUTの立ち下がり時間、及び立ち上がり時間を短くすることができるので、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれてしまうことを防止することができる。この結果、表示品位の向上を図ることができる。又は、信号OUTの立ち下がり時間のばらつきを抑制することができるので、画素が保持するビデオ信号へのフィードスルーの影響のばらつきを抑制することができる。よって、表示ムラを抑制することができる。

10

【0116】

又は、本実施の形態の半導体装置では、全てのトランジスタの極性をNチャネル型又はPチャネル型とすることが可能である。全てのトランジスタの極性を同一とすることにより、CMOS回路と比較して、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、画素部などを含めて、全てのトランジスタがNチャネル型の場合、トランジスタの半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。ただし、これらの半導体を用いたトランジスタは、劣化しやすい場合が多い。しかし本実施の形態の半導体装置は、トランジスタの劣化を抑制することができる。

20

【0117】

又は、トランジスタの特性が劣化した場合でも、半導体装置が動作するように、トランジスタのチャネル幅を大きくする必要がない。よって、トランジスタのチャネル幅を小さくすることができる。なぜなら、本実施の形態の半導体装置では、トランジスタの劣化を抑制することができるからである。

【0118】

なお、期間T₁において、トランジスタ101__1がオンになる期間（期間A₁、及び期間B₁）を第1の期間又は第1のサブ期間と呼び、トランジスタ101__1がオフになる期間（期間C₁、期間D₁、及び期間E₁）を第2の期間又は第2のサブ期間と呼ぶことが可能である。同様に、期間T₂において、トランジスタ101__2がオンになる期間（期間A₂、及び期間B₂）を第3の期間又は第3のサブ期間と呼び、トランジスタ101__2がオフになる期間（期間C₂、期間D₂、及び期間E₂）を第4の期間又は第4のサブ期間と呼ぶことが可能である。

30

【0119】

なお、トランジスタ101__1がオンになる期間（期間A₁、及び期間B₁）は、トランジスタ101__1がオフになる期間（期間C₁～E₁）よりも短い場合が多い。又は、トランジスタ101__2がオンになる期間（期間A₂、及び期間B₂）は、トランジスタ101__2がオフになる期間（期間C₂～E₂）よりも短い場合が多い。又は、トランジスタ101__1がオンになる期間と、トランジスタ101__2がオンになる期間とは、おおむね等しい長さである場合が多い。ただし、これに限定されない。

40

【0120】

なお、期間T₁において、期間B₁は、選択期間としての機能を有し、期間A₁、期間C₁、期間D₁、及び期間E₁は、非選択期間として機能を有することが可能である。同様に、期間T₂において、期間B₂は、選択期間としての機能を有し、期間A₂、期間C₂、期間D₂、及び期間E₂は、非選択期間として機能を有することが可能である。

【0121】

なお、期間A₁及び期間A₂は、セット期間、又はスタート期間として機能を有することが可能である。期間B₁及び期間B₂は、選択期間としての機能を有することが可能である。又は、期間C₁及び期間C₂は、リセット期間としての機能を有することが可能であ

50

る。

【0122】

なお、期間 T 1、及び期間 T 2 は、フレーム期間としての機能を有することが可能である。なお、フレーム周波数は、おおむね 60 Hz（又は 50 Hz）であることが好ましい。ただし、これに限定されない。例えば、フレーム周波数を 60 Hz よりも高くすることによって、動画のぼやけ、又は残像を改善することができる。ただし、フレーム周波数が高すぎると、駆動周波数が高くなるので、消費電力が増加してしまう。よって、消費電力の増加を抑制するためには、フレーム周波数は、60 Hz 以上 360 Hz 以下であることが好ましい。より好ましくは、60 Hz 以上 240 Hz 以下であることが好ましい。さらに好ましくは、60 Hz 以上 120 Hz 以下であることが好ましい。一方で、フレーム周波数を 60 Hz よりも低くすることによって、外部回路を簡単な構成にすることができる。又は、消費電力を低減することができる。よって、携帯電話などのモバイル機器に搭載しやすくなる。ただし、フレーム周波数が遅すぎると、画素の保持容量が大きくなり、画素の開口率が下がってしまう。よって、開口率の低下を抑制するためには、フレーム周波数は、15 Hz 以上 60 Hz 以下であることが好ましい。より好ましくは、30 Hz 以上 60 Hz 以下であることが好ましい。

10

【0123】

なお、期間 A 1 ~ E 1、及び期間 A 2 ~ E 2 は、サブ期間、又は 1 ゲート選択期間としての機能を有することが可能である。

【0124】

なお、期間又はサブ期間のことを、ステップ、処理、又は動作と言い換えることが可能である。例えば、第 1 の期間と記載する場合、第 1 のステップ、第 1 の処理、又は第 1 の動作と言い換えることが可能である。

20

【0125】

なお、期間 T 1 において、期間 A 1 の前に、期間 D 1 と期間 E 1 とが交互に配置され、期間 T 2 において、期間 A 2 の前に、期間 D 2 と期間 E 2 とが交互に配置される場合、期間 T 1 の開始時刻から、期間 A 1 の開始時刻までの時間は、期間 T 2 の開始時刻から、期間 A 2 の開始時刻までの時間とおおむね等しいことが好ましい。ただし、これに限定されない。

【0126】

なお、信号 C K 1、及び信号 C K 2 は、非平衡であることが可能である。図 5 (A) には、一例として、1 周期のうち、ハイレベルになる期間がロウレベルになる期間よりも短い場合のタイミングチャートを示す。こうすることによって、期間 C 1、又は期間 C 2 において、ロウレベルの信号 C K 1 を配線 1 1 1 に供給することが可能になるので、信号 O U T の立ち下がり時間を短くすることができる。特に、配線 1 1 1 が画素部に延伸して形成される場合、画素への不正なビデオ信号の書き込みを防止することができる。ただし、これに限定されず、1 周期のうち、ハイレベルになる期間がロウレベルになる期間よりも長いことが可能である。

30

【0127】

なお、半導体装置には、多相のクロック信号を用いることが可能である。例えば、半導体装置には、 n (n は 2 以上の自然数) 相のクロック信号を用いることが可能である。 n 相のクロック信号とは、周期がそれぞれ $1/n$ 周期ずつずれた n 個のクロック信号のことである。図 5 (B) には、一例として、半導体装置に 3 相のクロック信号を用いる場合のタイミングチャートを示す。ただし、これに限定されない。

40

【0128】

なお、 n が大きいほど、クロック周波数が小さくなるので、消費電力の低減を図ることができる。ただし、 n が大きすぎると、信号の数が増えるので、レイアウト面積が大きくなったり、外部回路の規模が大きくなったりする場合がある。よって、 $n < 8$ であることが好ましい。より好ましくは、 $n < 6$ であることが好ましい。さらに好ましくは、 $n = 4$ 、又は $n = 3$ であることが好ましい。ただし、これに限定されない。

50

【 0 1 2 9 】

なお、トランジスタ 1 0 1 __ 1 とトランジスタ 1 0 1 __ 2 とは、同時にオンになることが可能である。この場合、例えば、回路 2 0 0 は、ノード 1 1、及びノード 1 2 に、電圧 V 2 又はハイレベルの信号を供給することが可能である。

【 0 1 3 0 】

なお、トランジスタ 1 0 1 __ 1 のチャネル幅と、トランジスタ 1 0 1 __ 2 のチャネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。又は、トランジスタの劣化の程度をおおむね等しくすることができる。よって、選択されるトランジスタが切り替わっても、信号 O U T の波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ 1 0 1 __ 1 のチャネル長と、トランジスタ 1 0 1 __ 2 のチャネル長とは、おおむね等しいことが好ましい。ただし、これに限定されず、トランジスタ 1 0 1 __ 1 のチャネル幅と、トランジスタ 1 0 1 __ 2 のチャネル幅とは、異なることが可能である。又は、トランジスタ 1 0 1 __ 1 のチャネル長と、トランジスタ 1 0 1 __ 2 のチャネル長とは、異なることが可能である。

【 0 1 3 1 】

なお、トランジスタのチャネル幅と記載する場合、トランジスタの W / L (W はチャネル幅、L はチャネル長) と言い換えることが可能である。

【 0 1 3 2 】

なお、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 はゲート信号線などの大きな負荷を駆動するので、トランジスタ 1 0 1 __ 1 のチャネル幅、及びトランジスタ 1 0 1 __ 2 のチャネル幅は、他のトランジスタのチャネル幅より大きい方が好ましい。例えば、トランジスタ 1 0 1 __ 1 のチャネル幅、及びトランジスタ 1 0 1 __ 2 のチャネル幅は、1 0 0 0 μ m ~ 3 0 0 0 0 μ m であることが好ましい。より好ましくは 2 0 0 0 μ m ~ 2 0 0 0 0 μ m であることが好ましい。さらに好ましくは、3 0 0 0 μ m ~ 8 0 0 0 μ m、又は 1 0 0 0 0 μ m ~ 1 8 0 0 0 μ m であることが好ましい。ただし、これに限定されない。

【 0 1 3 3 】

なお、図 1 (B) に示すように、回路 1 0 0 は、トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N (N は 2 以上の自然数) という複数のトランジスタを有することが可能である。トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N の第 1 端子は、配線 1 1 2 と接続される。トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N の第 2 端子は、配線 1 1 1 と接続される。トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N のゲートは、回路 2 0 0 と接続される。なお、トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N のゲートと回路 2 0 0 との接続箇所を、各々、ノード 1 1 ~ 1 N と示す。

【 0 1 3 4 】

なお、N が大きいことによって、それぞれのトランジスタがオンになる回数、又はそれぞれのトランジスタがオンになる時間を減らすことができる。ただし、N が大きすぎると、トランジスタの数が増えすぎてしまい、回路規模が大きくなってしまう。よって、N は、6 以下であることが好ましい。より好ましくは 4 以下であることが好ましい。さらに好ましくは、N = 2、又は N = 3 であることが好ましい。

【 0 1 3 5 】

なお、図 1 (B) と同様に、図 1 (A) で述べる構成においても、回路 1 0 0 は、トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N という複数のトランジスタを有することが可能である。

【 0 1 3 6 】

なお、図 1 (C) に示すように、トランジスタ 1 0 1 __ 1 の第 1 端子とトランジスタ 1 0 1 __ 2 の第 1 端子とは、別々の配線と接続されることが可能である。図 1 (C) の一例では、配線 1 1 2 は配線 1 1 2 A ~ 1 1 2 B という複数の配線に分割される。そして、トランジスタ 1 0 1 __ 1 の第 1 端子は、配線 1 1 2 A と接続され、トランジスタ 1 0 1 __ 2 の第 1 端子は、配線 1 1 2 B と接続される。ただし、これに限定されず、トランジスタ 1 0 1 __ 1 の第 1 端子、及びトランジスタ 1 0 1 __ 2 の第 1 端子は、様々な配線、又は様々な

10

20

30

40

50

ノードと接続されることが可能である。なお、配線 1 1 2 A ~ 1 1 2 B は、配線 1 1 2 と同様の機能を有することが可能である。よって、配線 1 1 2 A ~ 1 1 2 B には、信号 C K 1 などの信号を入力することが可能である。ただし、これに限定されず、配線 1 1 2 A ~ 1 1 2 B には、様々な信号、様々な電圧、又は様々な電流を入力することが可能である。又は、配線 1 1 2 A と配線 1 1 2 B とに、別々の電圧、又は別々の信号を供給することが可能である。

【 0 1 3 7 】

なお、図 1 (C) と同様に、図 1 (A) ~ (B) で述べる構成においても、回路 1 0 0 が有するトランジスタ (例えばトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2、又はトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N) の第 1 端子は、別々の配線と接続されることが可能である。

10

【 0 1 3 8 】

なお、図 1 (D) に示すように、トランジスタ 1 0 1 __ 1 のゲートと第 2 端子との間に容量素子 1 0 2 __ 1 を接続し、トランジスタ 1 0 1 __ 2 のゲートと第 2 端子との間に容量素子 1 0 2 __ 2 を接続することが可能である。こうすることによって、ブートストラップ動作時に、ノード 1 1 の電圧、又はノード 1 2 の電圧が上昇しやすくなる。よって、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 の V_{gs} を大きくすることができるので、これらのトランジスタのチャネル幅を小さくすることができる。又は、信号 O U T の立ち上がり時間、又は立ち上がり時間を短くすることができる。ただし、これに限定されず、容量素子 1 0 2 __ 1 と容量素子 1 0 2 __ 2 との一方を省略することが可能である。又は、容量素子として、例えば M I S 容量を用いることが可能である。

20

【 0 1 3 9 】

なお、容量素子 1 0 2 __ 1、及び容量素子 1 0 2 __ 2 の一方の電極の材料は、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 のゲートと同様な材料であることが好ましい。容量素子 1 0 2 __ 1、及び容量素子 1 0 2 __ 2 の他方の電極の材料は、トランジスタ 1 0 1 __ 1、及びトランジスタ 1 0 1 __ 2 のソース又はドレインと同様な材料であることが好ましい。こうすることによって、レイアウト面積を小さくすることができる。又は、容量値を大きくすることができる。ただし、これに限定されず、容量素子 1 0 2 __ 1、及び容量素子 1 0 2 __ 2 の一方の電極の材料、及び他方の電極の材料としては、様々な材料を用いることが可能である。

30

【 0 1 4 0 】

なお、容量素子 1 0 2 __ 1 の容量値と、容量素子 1 0 2 __ 2 の容量値とはおおむね等しいことが好ましい。又は、容量素子 1 0 2 __ 1 の一方の電極と他方の電極とが重なる面積と、容量素子 1 0 2 __ 2 の一方の電極と他方の電極とが重なる面積とは、おおむね等しいことが好ましい。こうすることによって、トランジスタを切り替えて用いても、トランジスタ 1 0 1 __ 1 の V_{gs} とトランジスタ 1 0 1 __ 2 の V_{gs} とをおおむね等しくすることが可能なので、信号 O U T の波形をおおむね等しくすることができる。ただし、これに限定されず、容量素子 1 0 2 __ 1 の容量値と、容量素子 1 0 2 __ 2 の容量値とは、異なることが可能である。又は、容量素子 1 0 2 __ 1 の一方の電極と他方の電極とが重なる面積と、容量素子 1 0 2 __ 2 の一方の電極と他方の電極とが重なる面積とは、異なることが可能である。

40

【 0 1 4 1 】

なお、図 1 (D) と同様に、図 1 (A) ~ (C) で述べる構成においても、トランジスタ (例えばトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2、又はトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N) のゲートと第 2 端子との間に容量素子を接続することが可能である。

【 0 1 4 2 】

なお、図 1 (E) に示すように、トランジスタ 1 0 1 __ 1 を、一方の端子 (以下、正極ともいう) がノード 1 1 と接続され、他方の端子 (以下、負極ともいう) が配線 1 1 1 と接続されるダイオード 1 0 1 a __ 1 と置き換えることが可能である。同様に、トランジスタ 1 0 1 __ 2 を、一方の端子 (以下、正極ともいう) がノード 1 2 と接続され、他方の端子 (以下、負極ともいう) が配線 1 1 1 と接続されるダイオード 1 0 1 a __ 2 と置き換える

50

ことが可能である。ただし、これに限定されない。例えば、図 1 (F) に示すように、トランジスタ 1 0 1 __ 1 の第 1 端子がノード 1 1 に接続されることによって、トランジスタ 1 0 1 __ 1 はダイオード接続された構成とすることが可能である。同様に、トランジスタ 1 0 1 __ 2 の第 1 端子がノード 1 2 に接続されることによって、トランジスタ 1 0 1 __ 2 はダイオード接続された構成とすることが可能である。

【 0 1 4 3 】

なお、図 1 (E) ~ (F) と同様に、図 1 (A) ~ (D) で述べる構成においても、トランジスタ (例えばトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2 、又はトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N) をダイオードに置き換えることが可能であるし、トランジスタ (例えばトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2 、又はトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N) をダイオード接続することが可能である。

10

【 0 1 4 4 】

なお、図 2 4 (A) に示すように、信号 O U T とは別に、転送用の信号を生成することが可能である。例えば、複数の半導体装置が従属接続されるとする。この場合、転送用の信号は、ゲート信号線に入力されずに、次の段の半導体装置にスタート信号として入力される場合が多いので、転送用の信号の遅延又はなまりは、信号 O U T と比較して小さくなる場合が多い。したがって、遅延又はなまりが小さい信号を用いて、半導体装置を駆動することができるので、半導体装置の出力信号の遅延を低減することができる。又は、ノード 1 1 、又はノード 1 2 に信号を入力するタイミングを早くすることができるので、動作範囲を広くすることができる。また、図 2 4 (A) に示す半導体装置の動作において、各期間における各信号の波形は、図 2 5 に示すとおりである。

20

【 0 1 4 5 】

このために、半導体装置は、回路 7 0 0 を有することが可能である。回路 7 0 0 は、トランジスタ 7 0 1 __ 1 ~ 7 0 1 __ 2 という複数のトランジスタを有する。トランジスタ 7 0 1 __ 1 ~ 7 0 1 __ 2 は、トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2 と同じ極性であることが好ましく、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ 7 0 1 __ 1 ~ 7 0 1 __ 2 は、Pチャネル型であることが可能である。

【 0 1 4 6 】

トランジスタ 7 0 1 __ 1 の第 1 端子は、配線 1 1 2 と接続され、トランジスタ 7 0 1 __ 1 の第 2 端子は、配線 7 1 1 __ 1 と接続され、トランジスタ 7 0 1 __ 1 のゲートは、ノード 1 1 と接続される。トランジスタ 7 0 1 __ 2 の第 1 端子は、配線 1 1 2 と接続され、トランジスタ 7 0 1 __ 2 の第 2 端子は、配線 7 1 1 __ 2 と接続され、トランジスタ 7 0 1 __ 2 のゲートは、ノード 1 2 と接続される。なお、複数の半導体装置が従属接続されるとすると、配線 7 1 1 __ 1 は、一例として、次の段の半導体装置の配線 1 1 5 __ 1 と接続されることが可能である。配線 7 1 1 __ 2 は、一例として、次の段の半導体装置の配線 1 1 5 __ 2 と接続されることが可能である。このような場合、配線 1 1 1 は、画素部に延伸して形成されることが可能である。又は、画素が有するトランジスタ (例えばスイッチングトランジスタ、選択トランジスタ) のゲートと接続されることが可能である。ただし、これに限定されない。

30

【 0 1 4 7 】

配線 7 1 1 __ 1 からは、信号 S O U T 1 が出力されるものとする。信号 S O U T 1 は、ハイレベルとロウレベルとを有するデジタル信号である場合が多く、半導体装置の出力信号としての機能を有することが可能である。よって、配線 7 1 1 __ 1 は、信号線としての機能を有することが可能である。配線 7 1 1 __ 2 からは、信号 S O U T 2 が出力されるものとする。信号 S O U T 2 は、ハイレベルとロウレベルとを有するデジタル信号である場合が多く、半導体装置の出力信号としての機能を有することが可能である。よって、配線 7 1 1 __ 2 は、信号線としての機能を有することが可能である。

40

【 0 1 4 8 】

回路 7 0 0 は、一例として、ノード 1 1 の電圧に応じて、配線 1 1 2 と配線 7 1 1 __ 1 との導通状態を制御する機能、及び / 又は、ノード 1 2 の電圧に応じて、配線 1 1 2 と配線

50

7 1 1 __ 2 との導通状態を制御する機能を有する。又は、回路 7 0 0 は、配線 1 1 2 の電圧を配線 7 1 1 __ 1、及び / 又は、配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。例えば、配線 1 1 2 に、電圧 V 2 などの電圧、又は信号 C K 1 などの信号が供給される場合、回路 7 0 0 は、配線 1 1 2 に供給される電圧又は信号などを、配線 7 1 1 __ 1、及び / 又は、配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。又は、回路 7 0 0 は、ハイレベルの信号（例えば信号 C K 1）を配線 7 1 1 __ 1、及び / 又は、配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。又は、回路 7 0 0 は、配線 7 1 1 __ 1、及び / 又は、配線 7 1 1 __ 2 の電圧を上昇させるタイミングを制御する機能を有する。又は、回路 7 0 0 は、ロウレベルの信号（例えば信号 C K 1）を配線 7 1 1 __ 1、及び / 又は、配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。又は、回路 7 0 0 は、配線 7 1 1 __ 1、及び / 又は、配線 7 1 1 __ 2 の電圧を例えば V 1 に減少させるタイミングを制御する機能を有する。又は、回路 7 0 0 は、配線 7 1 1 __ 1、及び / 又は、配線 7 1 1 __ 2 の電圧を維持する機能を有する。又は、回路 7 0 0 は、ノード 1 1 の電圧、及び / 又は、ノード 1 2 の電圧をブートストラップ動作によって例えば V 2 以上に上昇させる機能を有する。以上のように、回路 7 0 0 は、制御回路、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されず、回路 7 0 0 は、他にも様々な機能を有することが可能である。なお、回路 7 0 0 は、上記の機能のすべてを有する必要はない。

10

【 0 1 4 9 】

トランジスタ 7 0 1 __ 1 は、一例として、ノード 1 1 の電圧に応じて、配線 1 1 2 と配線 7 1 1 __ 1、との導通状態を制御する機能を有する。又は、トランジスタ 7 0 1 __ 1 は、配線 1 1 2 の電圧を配線 7 1 1 __ 1 に供給するタイミングを制御する機能を有する。例えば、配線 1 1 2 に、電圧 V 2 などの電圧、又は信号 C K 1 などの信号が供給される場合、トランジスタ 7 0 1 __ 1 は、配線 1 1 2 に供給される電圧又は信号などを配線 7 1 1 __ 1 に供給するタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 1 は、ハイレベルの信号（例えば信号 C K 1）を配線 7 1 1 __ 1 に供給するタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 1 は、配線 7 1 1 __ 1 の電圧を上昇させるタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 1 は、ロウレベルの信号（例えば信号 C K 1）を配線 7 1 1 __ 1 に供給するタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 1 は、配線 7 1 1 __ 1 の電圧を例えば V 1 に減少させるタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 1 は、配線 7 1 1 __ 1 の電圧を維持する機能を有する。又は、トランジスタ 7 0 1 __ 1 は、ブートストラップ動作を行う機能を有する。又は、トランジスタ 7 0 1 __ 1 は、ノード 1 1 の電圧をブートストラップ動作によって例えば V 2 以上に上昇させる機能を有する。以上のように、トランジスタ 7 0 1 __ 1 は、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ 7 0 1 __ 1 は、他にも様々な機能を有することが可能である。なお、トランジスタ 7 0 1 __ 1 は、上記の機能のすべてを有する必要はない。

20

30

【 0 1 5 0 】

トランジスタ 7 0 1 __ 2 は、一例として、ノード 1 2 の電圧に応じて、配線 1 1 2 と配線 7 1 1 __ 2 との導通状態を制御する機能を有する。又は、トランジスタ 7 0 1 __ 2 は、配線 1 1 2 の電圧を配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。例えば、配線 1 1 2 に、電圧 V 2 などの電圧、又は信号 C K 1 などの信号が供給される場合、トランジスタ 7 0 1 __ 2 は、配線 1 1 2 に供給される電圧又は信号などを配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 2 は、ハイレベルの信号（例えば信号 C K 1）を配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 2 は、配線 7 1 1 __ 2 の電圧を上昇させるタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 2 は、ロウレベルの信号（例えば信号 C K 1）を配線 7 1 1 __ 2 に供給するタイミングを制御する機能を有する。又は、トランジスタ 7 0 1 __ 2 は、配線 7 1 1 __ 2 の電圧を例えば V 1 に減少させるタイミン

40

50

グを制御する機能を有する。又は、トランジスタ701__2は、配線711__2の電圧を維持する機能を有する。又は、トランジスタ701__2は、ブートストラップ動作を行う機能を有する。又は、トランジスタ701__2は、ノード12の電圧をブートストラップ動作によって例えばV2以上に上昇させる機能を有する。以上のように、トランジスタ701__2は、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ701__2は、他にも様々な機能を有することが可能である。なお、トランジスタ701__2は、上記の機能のすべてを有する必要はない。

【0151】

なお、信号SOUT1、及び信号SOUT2が転送用の信号として用いられる場合、配線711__1の負荷、及び配線711__2の負荷は、配線111の負荷よりも小さい場合が多い。よって、トランジスタ701__1のチャネル幅は、トランジスタ101__1のチャネル幅よりも小さいことが好ましい。同様に、トランジスタ701__2のチャネル幅は、トランジスタ101__2のチャネル幅よりも小さいことが好ましい。ただし、これに限定されない。

10

【0152】

なお、トランジスタ701__1のチャネル長は、トランジスタ101__1のチャネル長とおおむね等しくすることが可能である。又は、トランジスタ701__2のチャネル長は、トランジスタ101__2のチャネル長とおおむね等しいことが可能である。ただし、これに限定されず、トランジスタ701__1のチャネル長は、トランジスタ101__1のチャネル長と異なることが可能であり、トランジスタ701__2のチャネル長は、トランジスタ101__2のチャネル長と異なることが可能である。

20

【0153】

なお、トランジスタ701__1のチャネル幅、及びトランジスタ701__2のチャネル幅は、100 μ m～5000 μ mであることが好ましい。より好ましくは、300 μ m～2000 μ mであることが好ましい。さらに好ましくは、500 μ m～1000 μ mであることが好ましい。ただし、これに限定されない。

【0154】

なお、トランジスタ701__1のチャネル幅と、トランジスタ701__2のチャネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。又は、トランジスタの劣化の程度をおおむね等しくすることができる。よって、信号SOUT1の波形と信号SOUT2の波形とをおおむね等しくすることができる。なお、同様の理由で、トランジスタ701__1のチャネル長と、トランジスタ701__2のチャネル長とは、おおむね等しいことが好ましい。ただし、これに限定されず、トランジスタ701__1のチャネル幅と、トランジスタ701__2のチャネル幅とは、異なることが可能である。

30

【0155】

なお、図24(B)に示すように、図1(B)と同様に、回路700は、トランジスタ701__1～701__Nという複数のトランジスタを有することが可能である。トランジスタ701__1～701__Nの第1端子は、配線112と接続される。トランジスタ701__1～701__Nの第2端子は、各々、配線711__1～711__Nと接続される。トランジスタ701__1～701__Nのゲートは、各々、ノード11～1Nと接続される。

40

【0156】

なお、図24(B)と同様に、図24(A)で述べる構成においても、回路700は、トランジスタ701__1～701__Nという複数のトランジスタを有することが可能である。

【0157】

なお、図24(C)に示すように、図1(C)と同様に、トランジスタ701__1の第1端子とトランジスタ701__2の第1端子とは、別々の配線と接続されることが可能である。図1(C)の一例では、配線112は112C～112Dという複数の配線に分割さ

50

れる。そして、トランジスタ 701__1 の第 1 端子は、配線 112C と接続され、トランジスタ 701__2 の第 1 端子は、配線 112D と接続される。ただし、これに限定されず、トランジスタ 701__1 の第 1 端子、及びトランジスタ 701__2 の第 1 端子は、様々な配線、又は様々なノードと接続されることが可能である。なお、配線 112C ~ 112D は、配線 112 と同様の機能を有することが可能である。よって、配線 112C ~ 112D には、信号 CK1 などの信号を入力することが可能である。ただし、これに限定されず、配線 112C ~ 112D には、様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

【0158】

なお、図 24 (C) と同様に、図 24 (A) ~ (B) で述べる構成においても、回路 700 が有するトランジスタ (例えばトランジスタ 701__1 ~ 701__2、又はトランジスタ 701__1 ~ 701__N) の第 1 端子は、別々の配線と接続されることが可能である。

10

【0159】

なお、図 24 (D) に示すように、図 1 (D) と同様に、トランジスタ 701__1 のゲートと第 2 端子との間に容量素子 702__1 を接続し、トランジスタ 701__2 のゲートと第 2 端子との間に容量素子 702__2 を接続することが可能である。

【0160】

なお、図 24 (D) と同様に、図 24 (A) ~ (C) で述べる構成においても、トランジスタ (例えばトランジスタ 701__1 ~ 701__2、又はトランジスタ 701__1 ~ 701__N) のゲートと第 2 端子との間に容量素子を接続することが可能である。

20

【0161】

なお、図 24 (E) に示すように、図 1 (E) と同様に、トランジスタ 701__1 を、一方の端子 (以下、正極ともいう) がノード 11 と接続され、他方の端子 (以下、負極ともいう) が配線 711__1 と接続されるダイオード 701a__1 と置き換えることが可能である。同様に、トランジスタ 701__2 を、一方の端子 (以下、正極ともいう) がノード 12 と接続され、他方の端子 (以下、負極ともいう) が配線 711__2 と接続されるダイオード 701a__2 と置き換えることが可能である。ただし、これに限定されない。例えば、図 24 (F) に示すように、図 1 (F) と同様に、トランジスタ 701__1 の第 1 端子がノード 11 に接続されることによって、トランジスタ 701__1 はダイオード接続されることが可能である。同様に、トランジスタ 701__2 の第 1 端子がノード 12 に接続されることによって、トランジスタ 701__2 はダイオード接続されることが可能である。

30

【0162】

なお、図 24 (E) ~ (F) と同様に、図 24 (A) ~ (D) で述べる構成においても、トランジスタ (例えばトランジスタ 701__1 ~ 701__2、又はトランジスタ 701__1 ~ 701__N) をダイオードに置き換えること、又はトランジスタ (例えばトランジスタ 701__1 ~ 701__2、又はトランジスタ 701__1 ~ 701__N) をダイオード接続する構成とすることが可能である。

【0163】

(実施の形態 2)

本実施の形態では、実施の形態 1 で述べる回路 200 の具体例について説明する。なお、回路 200 を半導体装置、又は駆動回路と示すことが可能である。なお、実施の形態 1 で述べる内容は、その説明を省略する。なお、本実施の形態で述べる内容は、実施の形態 1 で述べる内容と自由に組み合わせることができる。

40

【0164】

まず、回路 200 の一例について、図 6 (A) を参照して説明する。図 6 (A) の一例では、回路 200 は、回路 300 を有する。回路 300 は、回路 200 の一部を示す。回路 300 は、一例として、一つ又は複数のトランジスタを有することが可能である。これらのトランジスタは、トランジスタ 101__1 ~ 101__2 と同じ極性であることが好ましい。ただし、これに限定されない。

50

【 0 1 6 5 】

回路 3 0 0 は、一例として、配線 1 1 5 __ 1、配線 1 1 5 __ 2、ノード 1 1、及びノード 1 2 と接続される。ただし、これに限定されず、回路 3 0 0 は、その構成に応じて、他にも、様々な配線、様々なノード、又は様々な端子と接続されることが可能である。例えば、回路 3 0 0 が電源電圧を必要とする構成である場合、回路 3 0 0 は、配線 1 1 4、及び / 又は、配線 1 1 8 と接続されることが可能である。又は、回路 3 0 0 が他にも信号を必要とする場合、回路 3 0 0 は、配線 1 1 2、配線 1 1 3、配線 1 1 6 __ 1、配線 1 1 6 __ 2、配線 1 1 7、及び / 又は、配線 1 1 1 と接続されることが可能である。

【 0 1 6 6 】

回路 3 0 0 は、一例として、入力される信号又は電圧（例えば信号 S P 1、及び信号 S P 2 など）に応じて、ノード 1 1 の電圧、ノード 1 2 の電圧の設定を制御する機能を有する。又は、回路 3 0 0 は、ノード 1 1、及び / 又は、ノード 1 2 に、ハイレベルの信号又は電圧 V 2 を供給するタイミングを制御する機能を有する。又は、回路 3 0 0 は、ノード 1 1、及び / 又は、ノード 1 2 に、ロウレベルの信号又は電圧 V 1 を供給するタイミングを制御する機能を有する。又は、回路 3 0 0 は、ノード 1 1、及び / 又は、ノード 1 2 に、信号又は電圧などを選択的に供給しない機能を有する。又は、回路 3 0 0 は、ノード 1 1、及び / 又は、ノード 1 2 を浮遊状態にする機能を有する。ただし、これに限定されず、回路 3 0 0 は、他にも様々な機能を有することが可能である。なお、回路 3 0 0 は、上記の機能のすべてを有する必要はない。

【 0 1 6 7 】

次に、図 6 (A) の回路 3 0 0 の動作の一例について、図 2 のタイミングチャートを参照して説明する。

【 0 1 6 8 】

期間 A 1 において、信号 S P 1 はハイレベルになるので、回路 3 0 0 は、電圧 V 2、又はハイレベルの信号をノード 1 1 に供給する。その後、ノード 1 1 の電圧が $V_1 + V_{th1} + V_x$ になるところで、回路 3 0 0 は、ノード 1 1 への電圧又は信号の供給を止める。一方で、信号 S P 2 はロウレベルになるので、回路 3 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 2 に供給することが可能である。又は、回路 3 0 0 は、ノード 1 2 に電圧又は信号などを供給しないことが可能である。

【 0 1 6 9 】

期間 B 1 において、回路 3 0 0 は、電圧又は信号などをノード 1 1 に供給しないままとなる。一方で、回路 3 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 2 に供給することが可能である。又は、回路 3 0 0 は、ノード 1 2 に電圧又は信号などを供給しないことが可能である。

【 0 1 7 0 】

期間 C 1 ~ 期間 E 1 において、回路 3 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1 に供給することが可能である。又は、回路 3 0 0 は、ノード 1 1 に電圧又は信号などを供給しないことが可能である。一方で、回路 3 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 2 に供給することが可能である。又は、回路 3 0 0 は、ノード 1 2 に電圧又は信号などを供給しないことが可能である。

【 0 1 7 1 】

期間 A 2 において、信号 S P 1 はロウレベルになるので、回路 3 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1 に供給することが可能である。又は、回路 3 0 0 は、ノード 1 1 に電圧又は信号などを供給しないことが可能である。一方で、信号 S P 2 がハイレベルになるので、回路 3 0 0 は、電圧 V 2、又はハイレベルの信号をノード 1 2 に供給する。その後、ノード 1 2 の電圧が $V_1 + V_{th1} + V_x$ になるところで、回路 3 0 0 は、ノード 1 2 への電圧又は信号の供給を止める。

【 0 1 7 2 】

期間 B 2 において、回路 3 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1 に供給することが可能である。又は、回路 3 0 0 は、ノード 1 1 に電圧又は信号などを供給しない

ことが可能である。一方で、回路 300 は、電圧又は信号などをノード 12 に供給しないままとなる。

【0173】

期間 C2 ~ 期間 E2 において、回路 300 は、電圧 V1 又はロウレベルの信号をノード 11 に供給することが可能である。又は、回路 300 は、ノード 11 に電圧又は信号などを供給しないことが可能である。一方で、回路 300 は、電圧 V1 又はロウレベルの信号をノード 12 に供給することが可能である。又は、回路 300 は、ノード 12 に電圧又は信号などを供給しないことが可能である。

【0174】

次に、回路 300 の具体例について、図 6 (B) を参照して説明する。回路 300 は、トランジスタ 301__1 ~ 301__2 という複数のトランジスタを有する。トランジスタ 301__1 ~ 301__2 は、トランジスタ 101__1 ~ 101__2 と同じ極性であることが好ましく、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 301__1 ~ 301__2 は、P チャネル型であることが可能である。

【0175】

トランジスタ 301__1 の第 1 端子は、配線 115__1 と接続され、トランジスタ 301__1 の第 2 端子は、ノード 11 と接続され、トランジスタ 301__1 のゲートは、配線 115__1 と接続される。トランジスタ 301__2 の第 1 端子は、配線 115__2 と接続され、トランジスタ 301__2 の第 2 端子は、ノード 12 と接続され、トランジスタ 301__2 のゲートは、配線 115__2 と接続される。

【0176】

トランジスタ 301__1 は、一例として、配線 115__1 とノード 11 との導通状態を制御する機能を有する。又は、トランジスタ 301__1 は、配線 115__1 の電圧をノード 11 に供給するタイミングを制御する機能を有する。例えば、配線 115__1 に、電圧 V1 若しくは電圧 V2 などの電圧、又は信号 SP1 などの信号が供給される場合、トランジスタ 301__1 は、配線 115__1 に供給される電圧又は信号などを、ノード 11 に供給するタイミングを制御する機能を有する。又は、トランジスタ 301__1 は、ハイレベルの信号 (例えば信号 SP1) 又は電圧 V2 をノード 11 に供給するタイミングを制御する機能を有する。又は、トランジスタ 301__1 は、ノード 11 の電圧を上昇させるタイミングを制御する機能を有する。又は、トランジスタ 301__1 は、信号又は電圧などをノード 11 に供給しない機能を有する。又は、トランジスタ 301__1 は、ノード 11 を浮遊状態にする機能を有する。以上のように、トランジスタ 301__1 は、ダイオード、又はダイオード接続のトランジスタなどの整流素子としての機能を有する。ただし、これに限定されず、トランジスタ 301__1 は、他にも様々な機能を有することが可能である。なお、トランジスタ 301__1 は、上記の機能のすべてを有する必要はない。

【0177】

トランジスタ 301__2 は、一例として、配線 115__2 とノード 12 との導通状態を制御する機能を有する。又は、トランジスタ 301__2 は、配線 115__2 の電圧をノード 12 に供給するタイミングを制御する機能を有する。例えば、配線 115__2 に、電圧 V1 若しくは電圧 V2 などの電圧、又は信号 SP2 などの信号が供給される場合、トランジスタ 301__2 は、配線 115__2 に供給される電圧又は信号などを、ノード 12 に供給するタイミングを制御する機能を有する。又は、トランジスタ 301__2 は、ハイレベルの信号 (例えば信号 SP2) 又は電圧 V2 をノード 12 に供給するタイミングを制御する機能を有する。又は、トランジスタ 301__2 は、ノード 12 の電圧を上昇させるタイミングを制御する機能を有する。又は、トランジスタ 301__2 は、信号又は電圧などをノード 12 に供給しない機能を有する。又は、トランジスタ 301__2 は、ノード 12 を浮遊状態にする機能を有する。以上のように、トランジスタ 301__2 は、ダイオード、又はダイオード接続のトランジスタなどの整流素子としての機能を有する。ただし、これに限定されず、トランジスタ 301__2 は、他にも様々な機能を有することが可能である。なお、トランジスタ 301__2 は、上記の機能のすべてを有する必要はない。

【 0 1 7 8 】

次に、図 6 (B) の回路 3 0 0 の動作の一例について、図 2 のタイミングチャートを参照して説明する。なお、期間 A 1 における半導体装置の動作の模式図を図 7 (A) に示し、期間 B 1 における半導体装置の動作の模式図を図 7 (B) に示し、期間 C 1 における半導体装置の動作の模式図を図 7 (C) に示し、期間 D 1 及び期間 E 1 における半導体装置の動作の模式図を図 7 (D) に示す。なお、期間 A 2 における半導体装置の動作の模式図を図 8 (A) に示し、期間 B 2 における半導体装置の動作の模式図を図 8 (B) に示し、期間 C 2 における半導体装置の動作の模式図を図 8 (C) に示し、期間 D 2 及び期間 E 2 における半導体装置の動作の模式図を図 8 (D) に示す。

【 0 1 7 9 】

期間 A 1 において、信号 S P 1 はハイレベルになるので、トランジスタ 3 0 1 __ 1 はオンになる。よって、配線 1 1 5 __ 1 とノード 1 1 とは、トランジスタ 3 0 1 __ 1 を介して導通状態になるので、ハイレベルの信号 S P 1 は、配線 1 1 5 __ 1 からトランジスタ 3 0 1 __ 1 を介してノード 1 1 に供給される。この結果、ノード 1 1 の電圧は上昇する。その後、ノード 1 1 の電圧がトランジスタ 3 0 1 __ 1 のゲートの電圧 (信号 S P 1 のハイレベルの電圧 (V 2)) からトランジスタ 3 0 1 __ 1 の閾値電圧 (V t h 3 0 1 __ 1) を引いた値 (V 2 - V t h 3 0 1 __ 1) より上昇したところで、トランジスタ 3 0 1 __ 1 はオフになる。よって、配線 1 1 5 __ 1 とノード 1 1 とは非導通状態になるので、ノード 1 1 は浮遊状態になる。一方で、信号 S P 2 はロウレベルになるので、トランジスタ 3 0 1 __ 2 はオフになる。よって、配線 1 1 5 __ 2 とノード 1 2 とは非導通状態になる。

【 0 1 8 0 】

期間 B 1 ~ E 1 において、信号 S P 1 はロウレベルになるので、トランジスタ 3 0 1 __ 1 はオフになる。よって、配線 1 1 5 __ 1 とノード 1 1 とは非導通状態になる。一方で、信号 S P 2 はロウレベルになるので、トランジスタ 3 0 1 __ 2 はオフになる。よって、配線 1 1 5 __ 2 とノード 1 2 とは非導通状態になる。

【 0 1 8 1 】

期間 A 2 において、信号 S P 1 はロウレベルになるので、トランジスタ 3 0 1 __ 1 はオフになる。よって、配線 1 1 5 __ 1 とノード 1 1 とは非導通状態になる。一方で、信号 S P 2 はハイレベルになるので、トランジスタ 3 0 1 __ 2 はオンになる。よって、配線 1 1 5 __ 2 とノード 1 2 とは、トランジスタ 3 0 1 __ 2 を介して導通状態になるので、ハイレベルの信号 S P 2 は、配線 1 1 5 __ 2 からトランジスタ 3 0 1 __ 2 を介してノード 1 2 に供給される。この結果、ノード 1 2 の電圧は上昇する。その後、ノード 1 2 の電圧がトランジスタ 3 0 1 __ 2 のゲートの電圧 (信号 S P 2 のハイレベルの電圧 (V 2)) からトランジスタ 3 0 1 __ 2 の閾値電圧 (V t h 3 0 1 __ 2) を引いた値 (V 2 - V t h 3 0 1 __ 2) より上昇したところで、トランジスタ 3 0 1 __ 2 はオフになる。よって、配線 1 1 5 __ 2 とノード 1 2 とは非導通状態になるので、ノード 1 2 は浮遊状態になる。

【 0 1 8 2 】

期間 B 2 ~ E 2 において、信号 S P 1 はロウレベルになるので、トランジスタ 3 0 1 __ 1 はオフになる。よって、配線 1 1 5 __ 1 とノード 1 1 とは非導通状態になる。一方で、信号 S P 2 はロウレベルになるので、トランジスタ 3 0 1 __ 2 はオフになる。よって、配線 1 1 5 __ 2 とノード 1 2 とは非導通状態になる。

【 0 1 8 3 】

以上のように、配線 1 1 5 __ 1 に供給する信号 (例えば S P 1) と、配線 1 1 5 __ 2 に供給する信号 (S P 2) 一方をハイレベルにする。こうして、トランジスタ 1 0 1 __ 1 とトランジスタ 1 0 1 __ 2 とのどちらをオンにするかを選択する。ただし、これに限定されない。例えば、配線 1 1 5 __ 1 に供給する信号と、配線 1 1 5 __ 2 に供給する信号との両方をハイレベルにすることが可能である。この場合、トランジスタ 1 0 1 __ 1 とトランジスタ 1 0 1 __ 2 との両方がオンになるので、配線 1 1 2 と配線 1 1 1 とは、トランジスタ 1 0 1 __ 1 とトランジスタ 1 0 1 __ 2 とを並列に介して導通状態になる。よって、信号 O U T の立ち下がり時間又は立ち上がり時間を短くすることができる。

【0184】

なお、トランジスタ301__1とトランジスタ301__2とは同様の機能を有するので、トランジスタ301__1のチャンネル幅と、トランジスタ301__2のチャンネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。又は、トランジスタの劣化の程度をおおむね等しくすることができる。よって、ノード11の電圧とノード12の電圧とおおむね等しくすることができるので、信号OUTの波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ301__1のチャンネル長と、トランジスタ301__2のチャンネル長とは、おおむね等しいことが好ましい。ただし、これに限定されず、トランジスタ301__1のチャンネル幅と、トランジスタ301__2のチャンネル幅とは、異なることが可能である。又は、トランジスタ301__1のチャンネル長と、トランジスタ301__2のチャンネル長とは、異なることが可能である。

10

【0185】

なお、トランジスタ301__1の負荷（例えばノード11）は、トランジスタ101__1の負荷（例えば配線111）よりも小さい場合が多いので、トランジスタ301__1のチャンネル幅は、トランジスタ101__1のチャンネル幅よりも小さいことが好ましい。同様に、トランジスタ301__2の負荷（例えばノード12）は、トランジスタ101__2の負荷（例えば配線112）よりも小さい場合が多いので、トランジスタ301__2のチャンネル幅は、トランジスタ101__2のチャンネル幅よりも小さいことが好ましい。ただし、これに限定されず、トランジスタ301__1のチャンネル幅は、トランジスタ101__1のチャンネル幅よりも大きいことが可能である。又は、トランジスタ301__2のチャンネル幅は、トランジスタ101__2のチャンネル幅よりも大きいことが可能である。

20

【0186】

なお、トランジスタ301__1のチャンネル幅、及びトランジスタ301__2のチャンネル幅は、500 μ m～3000 μ mであることが好ましい。より好ましくは、800 μ m～2500 μ mであることが好ましい。さらに好ましくは、1000 μ m～2000 μ mであることが好ましい。ただし、これに限定されない。

【0187】

なお、図9（A）に示すように、トランジスタ301__1のゲート、及びトランジスタ301__2のゲートは、配線113と接続されることが可能である。このような場合、配線113に信号CK2が入力されているとすると、期間A1及び期間A2において、信号CK2がハイレベルになるので、トランジスタ301__1、及びトランジスタ301__2はオンになる。よって、期間A1において、ハイレベルの信号SP1は、配線115__1からトランジスタ301__1を介してノード11に供給され、ロウレベルの信号SP2は、配線115__2からトランジスタ301__2を介してノード12に供給される。一方で、期間A2において、ロウレベルの信号SP1は、配線115__1からトランジスタ301__1を介してノード11に供給され、ハイレベルの信号SP2は、配線115__2からトランジスタ301__2を介してノード12に供給される。このように、所定の期間において、ノード11の電圧、又はノード12の電圧を固定することができるので、ノイズに強い半導体装置を得ることができる。ただし、これに限定されない。

30

40

【0188】

例えば、トランジスタ301__1のゲート、及びトランジスタ301__2のゲートは、配線113の他にも様々な配線と接続されることが可能である。例えば、トランジスタ301__1のゲート、及びトランジスタ301__2のゲートは、期間A1、及び/又は、期間A2において、ハイレベルの信号又は電圧V2が供給される配線（例えば、配線114、配線116__1、又は配線116__2など）と接続されることが可能である。

【0189】

別の例として、図9（B）に示すように、配線113を配線113A～113Bという複数の配線に分割することが可能である。トランジスタ301__1のゲートは配線113Aと接続され、トランジスタ301__2のゲートは配線113Bと接続される。

50

【 0 1 9 0 】

別の例として、図 9 (C) に示すように、トランジスタ 3 0 1 _ 1 のゲートは、配線 1 1 6 _ 1 と接続され、トランジスタ 3 0 1 _ 2 のゲートは、配線 1 1 6 _ 2 と接続されることが可能である。ただし、これに限定されない。例えば、トランジスタ 3 0 1 _ 1 のゲートは、期間 A 1 においてハイレベルの信号又は電圧 V 2 が供給される配線（例えば、配線 1 1 3、配線 1 1 4、配線 1 1 5 _ 1、又は配線 1 1 6 _ 1 など）と接続されることが可能である。同様に、トランジスタ 3 0 1 _ 2 のゲートは、期間 A 2 においてハイレベルの信号又は電圧 V 2 が供給される配線（例えば、配線 1 1 3、配線 1 1 4、配線 1 1 5 _ 2、又は配線 1 1 6 _ 2 など）と接続されることが可能である。

【 0 1 9 1 】

なお、図 9 (D) に示すように、トランジスタ 3 0 1 _ 1 の第 1 端子は、配線 1 1 4 と接続され、トランジスタ 3 0 1 _ 1 の第 2 端子は、ノード 1 1 と接続され、トランジスタ 3 0 1 _ 1 のゲートは、配線 1 1 5 _ 1 と接続されることが可能である。同様に、トランジスタ 3 0 1 _ 2 の第 1 端子は、配線 1 1 4 と接続され、トランジスタ 3 0 1 _ 2 の第 2 端子は、ノード 1 2 と接続され、トランジスタ 3 0 1 _ 2 のゲートは、配線 1 1 5 _ 2 と接続されることが可能である。このような場合、期間 A 1 において、信号 S P 1 がハイレベルになると、トランジスタ 3 0 1 _ 1 がオンになる。よって、配線 1 1 4 に電圧 V 2 が供給されるとすると、電圧 V 2 は、配線 1 1 4 からトランジスタ 3 0 1 _ 1 を介してノード 1 1 に供給される。一方で、期間 A 2 において、信号 S P 2 がハイレベルになると、トランジスタ 3 0 1 _ 2 がオンになる。よって、電圧 V 2 は、配線 1 1 4 からトランジスタ 3 0 1 _ 2 を介してノード 1 2 に供給される。ただし、これに限定されない。

【 0 1 9 2 】

例えば、トランジスタ 3 0 1 _ 1 の第 1 端子、及びトランジスタ 3 0 1 _ 2 の第 1 端子は、配線 1 1 4 の他にも様々な配線と接続されることが可能である。例えば、トランジスタ 3 0 1 _ 1 の第 1 端子、及びトランジスタ 3 0 1 _ 2 は、期間 A 1、及び / 又は、期間 A 2 において、ハイレベルの信号又は電圧 V 2 が供給される配線（例えば、配線 1 1 3、配線 1 1 6 _ 1、又は配線 1 1 6 _ 2）と接続されることが可能である。このような場合、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を抑制することができる。

【 0 1 9 3 】

別の例として、図 9 (E) に示すように、配線 1 1 4 を配線 1 1 4 A ~ 1 1 4 B という複数の配線に分割することが可能である。トランジスタ 3 0 1 _ 1 の第 1 端子は、配線 1 1 4 A と接続され、トランジスタ 3 0 1 _ 2 の第 1 端子は、配線 1 1 4 B と接続される。

【 0 1 9 4 】

別の例として、図 9 (F) に示すように、トランジスタ 3 0 1 _ 1 の第 1 端子が配線 1 1 6 _ 1 と接続され、トランジスタ 3 0 1 _ 2 の第 1 端子が配線 1 1 6 _ 2 と接続されることが可能である。このような場合、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を抑制することができる。ただし、これに限定されない。例えば、トランジスタ 3 0 1 _ 1 の第 1 端子は、期間 A 1 において、ハイレベルの信号又は電圧 V 2 が供給される配線（例えば、配線 1 1 3、配線 1 1 4、配線 1 1 5 _ 1、又は配線 1 1 6 _ 1 など）と接続されることが可能である。同様に、トランジスタ 3 0 1 _ 2 の第 1 端子は、期間 A 2 において、ハイレベルの信号又は電圧 V 2 が供給される配線（例えば、配線 1 1 3、配線 1 1 4、配線 1 1 5 _ 2、又は配線 1 1 6 _ 2 など）と接続されることが可能である。

【 0 1 9 5 】

なお、図 1 (B) に示すように、回路 1 0 0 がトランジスタ 1 0 1 _ 1 ~ 1 0 1 _ N という複数のトランジスタを有する場合、回路 3 0 0 は、図 1 0 (B) に示すようにトランジスタ 3 0 1 _ 1 ~ 3 0 1 _ N という複数のトランジスタを有することが可能である。トランジスタ 3 0 1 _ 1 ~ 3 0 1 _ N の第 1 端子は、各々、配線 1 1 5 _ 1 ~ 1 1 5 _ N と接続される。トランジスタ 3 0 1 _ 1 ~ 3 0 1 _ N の第 2 端子は、各々、ノード 1 1 ~ 1 N

10

20

30

40

50

と接続される。トランジスタ 301__1 ~ 301__N のゲートは、各々、配線 115__1 ~ 115__N と接続される。

【0196】

なお、図 10 (A) と同様に、図 9 (A) ~ (F) で述べる構成においても、回路 300 は、トランジスタ 301__1 ~ 301__N という複数のトランジスタを有することが可能である。図 10 (B) には、一例として、図 9 (A) において、回路 300 がトランジスタ 301__1 ~ 301__N という複数のトランジスタを有する場合の構成を示す。

【0197】

なお、図 10 (C) に示すように、配線 115__1 と配線 115__2 とを共有することが可能である。トランジスタ 301__2 の第 2 端子及びゲートは、配線 115__1 と接続される。ただし、これに限定されない。例えば、トランジスタ 301__1 の第 2 端子及びゲート、並びにトランジスタ 301__2 の第 2 端子及びゲートは、配線 115__1 とは異なる配線と接続されることが可能である。なお、複数の配線を共有するとは、各配線と接続される素子を、同じ配線と接続することをいう。又は、一方の配線を省略し、一方の配線と接続される素子を、他方の配線と接続することをいう。

【0198】

なお、図 10 (C) と同様に、図 9 (A) ~ (F)、及び図 10 (A) ~ (B) で述べる構成においても、配線 115__1 と配線 115__2 とを共有することが可能である。特に、図 10 (A) ~ (B) においては、配線 115__1 ~ 115__N を共有することが可能である。図 10 (D) には、一例として、図 9 (D) において、配線 115__1 と配線 115__2 とを共有する場合の構成を示す。

【0199】

なお、図 11 (A) に示すように、回路 300 は、トランジスタ 302__1 ~ 302__2 という複数のトランジスタを有することが可能である。トランジスタ 302__1 ~ 302__2 は、トランジスタ 301__1 ~ 301__2 と同じ極性であることが好ましく、N チャネル型である場合が多い。ただし、これに限定されず、トランジスタ 302__1 ~ 302__2 は、P チャネル型であることが可能である。

【0200】

なお、トランジスタ 302__1 は、一例として、ノード 11 を浮遊状態にする機能を有する。又は、トランジスタ 302__1 は、ノード 11 からの電荷の漏れを防止する機能を有する。又は、トランジスタ 302__1 は、ノード 11 の電圧の減少を防止する機能を有する。このように、トランジスタ 302__1 は、例えばダイオード、又はダイオード接続のトランジスタなどの整流素子としての機能を有する。ただし、これに限定されず、トランジスタ 302__1 は、他にも様々な機能を有することが可能である。なお、トランジスタ 302__1 は、上記の機能のすべてを有する必要はない。

【0201】

なお、トランジスタ 302__2 は、一例として、ノード 12 を浮遊状態にする機能を有する。又は、トランジスタ 302__2 は、ノード 12 からの電荷の漏れを防止する機能を有する。又は、トランジスタ 302__2 は、ノード 12 の電圧の減少を防止する機能を有する。このように、トランジスタ 302__2 は、ダイオード、又はダイオード接続のトランジスタなどの整流素子としての機能を有する。ただし、これに限定されず、トランジスタ 302__2 は、他にも様々な機能を有することが可能である。なお、トランジスタ 302__2 は、上記の機能のすべてを有する必要はない。

【0202】

なお、トランジスタ 302__1 は、トランジスタ 301__1 の第 2 端子とノード 11 との間に接続され、トランジスタ 302__2 は、トランジスタ 301__2 の第 2 端子とノード 12 との間に接続される。トランジスタ 302__1 の第 1 端子は、トランジスタ 301__1 の第 2 端子と接続され、トランジスタ 302__1 の第 2 端子は、ノード 11 と接続され、トランジスタ 302__1 のゲートは、トランジスタ 301__1 の第 2 端子と接続される。トランジスタ 302__2 の第 1 端子は、トランジスタ 301__2 の第 2 端子と接続され

10

20

30

40

50

、トランジスタ 302 __ 2 の第 2 端子は、ノード 12 と接続され、トランジスタ 302 __ 2 のゲートは、トランジスタ 301 __ 2 の第 2 端子と接続される。ただし、これに限定されない。

【0203】

なお、図 11 (A) と同様に、図 9 (A) ~ (F)、及び図 10 (A) ~ (D) で述べる構成においても、回路 300 は、トランジスタ 302 __ 1 ~ 302 __ 2 という複数のトランジスタを有することが可能である。図 11 (B) には、一例として、図 9 (A) において、回路 300 がトランジスタ 302 __ 1 ~ 302 __ 2 という複数のトランジスタを有する場合の構成を示す。図 11 (C) には、一例として、図 9 (D) において、回路 300 がトランジスタ 302 __ 1 ~ 302 __ 2 という複数のトランジスタを有する場合の構成を示す。

10

【0204】

なお、図 11 (D) に示すように、トランジスタ 302 __ 1 のゲートが配線 115 __ 1 と接続されることが可能である。又は、トランジスタ 302 __ 2 のゲートが配線 115 __ 2 と接続されることが可能である。ただし、これに限定されず、トランジスタ 302 __ 1 のゲート、及びトランジスタ 302 __ 2 のゲートは、様々な配線、又は様々な端子と接続されることが可能である。例えば、トランジスタ 302 __ 1 のゲートは、トランジスタ 301 __ 1 の第 1 端子又はゲートと接続されることが可能である。又は、トランジスタ 302 __ 2 のゲートは、トランジスタ 301 __ 2 の第 1 端子又はゲートと接続されることが可能である。

20

【0205】

なお、図 11 (D) と同様に、図 9 (A) ~ (F)、図 10 (A) ~ (D)、及び図 11 (A) ~ (C) で述べる構成においても、トランジスタ 302 __ 1 のゲートは、トランジスタ 301 __ 1 の第 1 端子及びゲートと接続され、トランジスタ 302 __ 2 のゲートは、トランジスタ 301 __ 1 の第 1 端子及びゲートと接続されることが可能である。図 11 (E) には、一例として、図 11 (C) で述べる構成において、トランジスタ 302 __ 1 のゲートが配線 114 と接続され、トランジスタ 302 __ 2 のゲートが配線 114 と接続される場合の構成を示す。

【0206】

なお、図 11 (F) に示すように、トランジスタ 302 __ 1 は、トランジスタ 301 __ 1 の第 2 端子側に限定されず、トランジスタ 301 __ 1 の第 1 端子側に接続されることが可能である。又は、トランジスタ 302 __ 2 は、トランジスタ 301 __ 2 の第 2 端子側に限定されず、トランジスタ 301 __ 2 の第 1 端子側に接続されることが可能である。例えば、トランジスタ 302 __ 1 がトランジスタ 301 __ 1 の第 1 端子と配線 115 __ 1 との間に接続されることが可能である。又は、トランジスタ 302 __ 2 がトランジスタ 301 __ 2 の第 1 端子と配線 115 __ 2 との間に接続されることが可能である。トランジスタ 302 __ 1 の第 1 端子は、配線 115 __ 1 と接続され、トランジスタ 302 __ 1 の第 2 端子は、トランジスタ 301 __ 1 の第 1 端子と接続され、トランジスタ 302 __ 1 のゲートは、配線 115 __ 1 と接続される。トランジスタ 302 __ 2 の第 1 端子は、配線 115 __ 2 と接続され、トランジスタ 302 __ 2 の第 2 端子は、トランジスタ 301 __ 2 の第 1 端子と接続され、トランジスタ 302 __ 2 のゲートは、配線 115 __ 2 と接続される。ただし、これに限定されない。

30

40

【0207】

なお、図 11 (F) と同様に、図 9 (A) ~ (F)、図 10 (A) ~ (D)、及び図 11 (A) ~ (E) で述べる構成においても、トランジスタ 302 __ 1 は、トランジスタ 301 __ 1 の第 2 端子側に限定されず、トランジスタ 301 __ 1 の第 1 端子側に接続されることが可能である。又は、トランジスタ 302 __ 2 は、トランジスタ 301 __ 2 の第 2 端子側に限定されず、トランジスタ 301 __ 2 の第 1 端子側に接続されることが可能である。図 11 (G) には、一例として、図 11 (C) で述べる構成において、トランジスタ 302 __ 1 がトランジスタ 301 __ 1 の第 1 端子と配線 114 との間に接続され、トランジスタ

50

タ 3 0 2 __ 2 がトランジスタ 3 0 1 __ 2 の第 1 端子と配線 1 1 4 との間に接続される場合の構成を示す。トランジスタ 3 0 2 __ 1 の第 1 端子は、配線 1 1 4 と接続され、トランジスタ 3 0 2 __ 1 の第 2 端子は、トランジスタ 3 0 1 __ 1 の第 1 端子と接続され、トランジスタ 3 0 2 __ 1 のゲートは、配線 1 1 4 と接続される。トランジスタ 3 0 2 __ 2 の第 1 端子は、配線 1 1 4 と接続され、トランジスタ 3 0 2 __ 2 の第 2 端子は、トランジスタ 3 0 1 __ 2 の第 1 端子と接続され、トランジスタ 3 0 2 __ 2 のゲートは、配線 1 1 4 と接続される。

【 0 2 0 8 】

なお、図 1 2 (A) に示すように、回路 3 0 0 は、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 という複数のトランジスタを有することが可能である。トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 は、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2 と同じ極性であることが好ましく、N チャネル型である場合が多い。ただし、これに限定されず、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 は、P チャネル型であることが可能である。

10

【 0 2 0 9 】

トランジスタ 3 0 3 __ 1 は、一例として、信号 S E L 1 に応じて、配線 1 1 8 とノード 1 2 との導通状態を制御する機能を有する。又は、トランジスタ 3 0 3 __ 1 は、配線 1 1 8 の電圧をノード 1 2 に供給するタイミングを制御する機能を有する。例えば、配線 1 1 8 に、電圧 V 1 などの信号、又は信号が供給される場合、トランジスタ 3 0 3 __ 1 は、配線 1 1 8 に供給される電圧又は信号などを、ノード 1 2 に供給するタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 1 は、電圧 V 1 をノード 1 2 に供給するタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 1 は、ロウレベルの信号（例えば、信号 S P 1、信号 S P 2、信号 S E L 1、又は信号 S E L 2 など）をノード 1 2 に供給するタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 1 は、ノード 1 2 の電圧を例えば V 1 に減少させるタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 1 は、ノード 1 2 の電圧を維持する機能を有する。以上のように、トランジスタ 3 0 3 __ 1 は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ 3 0 3 __ 1 は、他にも様々な機能を有することが可能である。なお、トランジスタ 3 0 3 __ 1 は、上記の機能のすべてを有する必要はない。

20

【 0 2 1 0 】

トランジスタ 3 0 3 __ 2 は、一例として、信号 S E L 2 に応じて、配線 1 1 8 とノード 1 1 との導通状態を制御する機能を有する。又は、トランジスタ 3 0 3 __ 2 は、配線 1 1 8 の電圧をノード 1 1 に供給するタイミングを制御する機能を有する。例えば、配線 1 1 8 に、電圧 V 1 などの信号、又は信号が供給される場合、トランジスタ 3 0 3 __ 2 は、配線 1 1 8 に供給される電圧又は信号などを、ノード 1 1 に供給するタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 2 は、電圧 V 1 をノード 1 1 に供給するタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 2 は、ロウレベルの信号（例えば、信号 S P 1、信号 S P 2、信号 S E L 1、又は信号 S E L 2 など）をノード 1 1 に供給するタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 2 は、ノード 1 1 の電圧を例えば V 1 に減少させるタイミングを制御する機能を有する。又は、トランジスタ 3 0 3 __ 2 は、ノード 1 1 の電圧を維持する機能を有する。以上のように、トランジスタ 3 0 3 __ 2 は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ 3 0 3 __ 2 は、他にも様々な機能を有することが可能である。なお、トランジスタ 3 0 3 __ 2 は、上記の機能のすべてを有する必要はない。

30

40

【 0 2 1 1 】

トランジスタ 3 0 3 __ 1 の第 1 端子は、配線 1 1 8 と接続され、トランジスタ 3 0 3 __ 1 の第 2 端子は、ノード 1 2 と接続され、トランジスタ 3 0 3 __ 1 のゲートは、配線 1 1 6 __ 1 と接続される。トランジスタ 3 0 3 __ 2 の第 1 端子は、配線 1 1 8 と接続され、トランジスタ 3 0 3 __ 2 の第 2 端子は、ノード 1 1 と接続され、トランジスタ 3 0 3 __ 2 のゲートは、配線 1 1 6 __ 2 と接続される。ただし、これに限定されない。

【 0 2 1 2 】

50

図 1 2 (A) の半導体装置の動作について、図 2 のタイミングチャートを参照して説明する。なお、期間 A 1 における半導体装置の動作の模式図を図 3 8 (A) に示し、期間 B 1 における半導体装置の動作の模式図を図 3 8 (B) に示し、期間 C 1 における半導体装置の動作の模式図を図 3 8 (C) に示し、期間 D 1 及び期間 E 1 における半導体装置の動作の模式図を図 3 8 (D) に示す。なお、期間 A 2 における半導体装置の動作の模式図を図 3 9 (A) に示し、期間 B 2 における半導体装置の動作の模式図を図 3 9 (B) に示し、期間 C 2 における半導体装置の動作の模式図を図 3 9 (C) に示し、期間 D 2 及び期間 E 2 における半導体装置の動作の模式図を図 3 9 (D) に示す。なお、図 3 8 ~ 図 3 9 には、図 6 (B) の半導体装置と、図 1 2 (A) の半導体装置とを組み合わせた場合の動作の模式図を示す。

10

【 0 2 1 3 】

期間 A 1 ~ E 1 において、信号 S E L 1 がハイレベルになるので、トランジスタ 3 0 3 __ 1 はオンになる。よって、配線 1 1 8 とノード 1 2 とは、トランジスタ 3 0 3 __ 1 を介して導通状態になるので、電圧 V 1 は、配線 1 1 8 からトランジスタ 3 0 3 __ 1 を介してノード 1 2 に供給される。この結果、ノード 1 2 の電圧は、V 1 になるように維持される。一方で、信号 S E L 2 がロウレベルになるので、トランジスタ 3 0 3 __ 2 はオフになる。よって、配線 1 1 8 とノード 1 1 とは非導通状態になる。

【 0 2 1 4 】

期間 A 2 ~ E 2 において、信号 S E L 1 がロウレベルになるので、トランジスタ 3 0 3 __ 1 はオフになる。よって、配線 1 1 8 とノード 1 2 とは非導通状態になる。一方で、信号 S E L 2 がハイレベルになるので、トランジスタ 3 0 3 __ 2 はオンになる。よって、配線 1 1 8 とノード 1 1 とは、トランジスタ 3 0 3 __ 2 を介して導通状態になるので、電圧 V 1 は、配線 1 1 8 からトランジスタ 3 0 3 __ 2 を介してノード 1 1 に供給される。この結果、ノード 1 1 の電圧は、V 1 になるように維持される。

20

【 0 2 1 5 】

このように、トランジスタ 3 0 1 __ 1 がオフである場合でも、トランジスタ 3 0 3 __ 2 がオンになることによって、ノード 1 1 の電圧を固定することができる。又は、トランジスタ 3 0 1 __ 2 がオフである場合でも、トランジスタ 3 0 3 __ 1 がオンになることによって、ノード 1 2 の電圧を固定することができる。こうして、ノード 1 1 の電圧、又はノード 1 2 の電圧を固定することができるので、ノイズに強い半導体装置を得ることができる。

30

【 0 2 1 6 】

なお、図 1 2 (A) と同様に、図 9 (A) ~ (F)、図 1 0 (A) ~ (D)、及び図 1 1 (A) ~ (G) で述べる構成においても、回路 3 0 0 は、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 という複数のトランジスタを有することが可能である。図 1 2 (B) には、一例として、図 9 (A) で述べる構成において、回路 3 0 0 がトランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 という複数のトランジスタを有する場合の構成を示す。図 1 2 (C) には、一例として、図 9 (D) で述べる構成において、回路 3 0 0 がトランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 という複数のトランジスタを有する場合の構成を示す。図 1 2 (D) には、一例として、図 1 1 (B) で述べる構成において、回路 3 0 0 がトランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 という複数のトランジスタを有する場合の構成を示す。図 1 2 (E) には、一例として、図 1 1 (C) で述べる構成において、回路 3 0 0 がトランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 という複数のトランジスタを有する場合の構成を示す。図 1 3 (A) には、一例として、図 1 1 (F) で述べる構成において、回路 3 0 0 がトランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2 という複数のトランジスタを有する場合の構成を示す。

40

【 0 2 1 7 】

なお、図 1 3 (B) に示すように、トランジスタ 3 0 3 __ 1 の第 2 端子がトランジスタ 3 0 1 __ 2 の第 2 端子とトランジスタ 3 0 2 __ 2 の第 1 端子との接続箇所と接続されることが可能である。又は、トランジスタ 3 0 3 __ 2 の第 2 端子がトランジスタ 3 0 1 __ 1 の第 2 端子とトランジスタ 3 0 2 __ 1 の第 1 端子との接続箇所と接続されることが可能である。ただし、これに限定されず、トランジスタ 3 0 3 __ 1 の第 2 端子は、様々な配線又は様

50

々なノードと接続されることが可能である。又は、トランジスタ303__2の第2端子は、様々な配線又は様々なノードと接続されることが可能である。例えば、トランジスタ303__1の第2端子は、トランジスタ301__2の第2端子とトランジスタ302__2の第1端子との接続箇所、又はトランジスタ301__2の第1端子とトランジスタ302__2の第2端子との接続箇所など、と接続されることが可能である。又は、トランジスタ303__2の第2端子は、トランジスタ301__1の第2端子とトランジスタ302__1の第1端子との接続箇所、又はトランジスタ301__2の第1端子とトランジスタ302__1の第2端子との接続箇所など、と接続されることが可能である。

【0218】

なお、図13(B)と同様に、図9(A)~(F)、図10(A)~(D)、図11(A)~(G)、図12(A)~(E)、及び図13(A)で述べる構成においても、トランジスタ303__1の第2端子は、トランジスタ301__2の第2端子とトランジスタ302__2の第1端子との接続箇所、又はトランジスタ301__2の第1端子とトランジスタ302__2の第2端子との接続箇所など、と接続されることが可能である。又は、トランジスタ303__2の第2端子は、トランジスタ301__1の第2端子とトランジスタ302__1の第1端子との接続箇所、又はトランジスタ301__1の第1端子とトランジスタ302__1の第2端子との接続箇所など、と接続されることが可能である。

10

【0219】

なお、図13(C)に示すように、トランジスタ303__1の第1端子とトランジスタ303__2の第1端子とは、別々の配線と接続されることが可能である。図13(C)の一例では、配線118は、配線118A~118Bという複数の配線に分割される。そして、トランジスタ303__1の第1端子は、配線118Aと接続され、トランジスタ303__2の第1端子は、配線118Bと接続される。ただし、これに限定されず、トランジスタ303__1の第1端子、及びトランジスタ303__2の第1端子は、様々な配線、又は様々なノードと接続されることが可能である。なお、配線118A~118Bは、配線118と同様の機能を有することが可能である。よって、配線118A~118Bには、信号CK1などの信号を入力することが可能である。ただし、これに限定されず、配線118A~Bには、様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

20

【0220】

なお、図13(C)と同様に、図9(A)~(F)、図10(A)~(D)、図11(A)~(G)、図12(A)~(E)、及び図13(A)~(B)で述べる構成においても、トランジスタ303__1の第1端子と、トランジスタ303__2の第1端子とは、別々の配線と接続されることが可能である。

30

【0221】

なお、図13(D)に示すように、トランジスタ303__1の第1端子は、配線116__2と接続されることが可能である。又は、トランジスタ303__2の第1端子は、配線116__1と接続されることが可能である。こうすることによって、トランジスタ303__1がオフになる期間においては、第1端子にハイレベルの信号が供給されることが可能になる。同様に、トランジスタ303__2がオフになる期間においては、第1端子にハイレベルの信号が供給されることが可能になる。よって、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を緩和することができる。

40

【0222】

なお、図13(D)と同様に、図9(A)~(F)、図10(A)~(D)、図11(A)~(G)、図12(A)~(E)、及び図13(A)~(C)で述べる構成においても、トランジスタ303__1の第1端子は、配線116__2と接続されることが可能である。又は、トランジスタ303__2の第1端子は、配線116__1と接続されることが可能である。

【0223】

なお、図13(E)に示すように、トランジスタ301__1を、一方の端子(以下、正極ともいう)がノード12と接続され、他方の端子(以下、負極ともいう)が配線116__

50

1と接続されるダイオード303a__1と置き換えることが可能である。又は、トランジスタ301__2を、一方の端子(以下、正極ともいう)がノード11と接続され、他方の端子(以下、負極ともいう)が配線116__2と接続されるダイオード303a__2と置き換えることが可能である。ただし、これに限定されない。例えば、図13(F)に示すように、トランジスタ303__1の第1端子がノード12に接続されることによって、トランジスタ303__1はダイオード接続される構成とすることが可能である。同様に、トランジスタ303__2の第1端子がノード11に接続されることによって、トランジスタ303__2はダイオード接続される構成とすることが可能である。

【0224】

なお、図13(E)~(F)と同様に、図9(A)~(F)、図10(A)~(D)、図11(A)~(G)、図12(A)~(E)、及び図13(A)~(D)で述べる構成においても、トランジスタ(例えばトランジスタ303__1~303__2)をダイオードに置き換えること、又はトランジスタ(例えばトランジスタ303__1~303__2)をダイオード接続された構成とすることが可能である。

10

【0225】

なお、図11(H)に示すように、トランジスタ302__1~302__2を、抵抗素子304__1~304__2に置き換えることが可能である。又は、図12(F)に示すように、トランジスタ302__1~302__2を、ダイオード305__1~305__2に置き換えることが可能である。ただし、これに限定されない。

20

【0226】

なお、図11(H)又は図12(F)と同様に、図9(A)~(F)、図10(A)~(D)、図11(A)~(G)、図12(A)~(E)、及び図13(A)~(F)で述べる構成においても、トランジスタを抵抗素子又はダイオードに置き換えることが可能である。

【0227】

なお、図14(A)に示すように、トランジスタとして、Pチャネル型トランジスタを用いることが可能である。トランジスタ101p__1~101p__2は、トランジスタ101__1~101__2に対応し、Pチャネル型である。トランジスタ301p__1~301p__2は、トランジスタ301__1~301__2に対応し、Pチャネル型である。そして、図14(B)に示すように、トランジスタの極性がPチャネル型の場合、配線113には電圧V1が供給され、配線118には電圧V2が供給され、信号CK1、信号CK2、信号SP1、信号SP2、信号SEL1、信号SEL2、信号RE、ノード11の電圧、ノード12の電圧、及び信号OUTは、図2のタイミングチャートと比較して反転していることを付記する。

30

【0228】

なお、図14(A)と同様に、図9(A)~(F)、図10(A)~(D)、図11(A)~(H)、図12(A)~(F)、及び図13(A)~(F)で述べる構成においても、トランジスタとして、Pチャネル型トランジスタを用いることが可能である。

【0229】

(実施の形態3)

本実施の形態では、実施の形態2とは異なる回路200の具体例について説明する。なお、実施の形態1~実施の形態2で述べる内容は、その説明を省略する。なお、本実施の形態で述べる内容は、実施の形態1~実施の形態2で述べる内容と適宜組み合わせることができる。

40

【0230】

まず、回路200の一例について、図15(A)を参照して説明する。図15(A)の一例では、回路200は、回路400を有する。回路400は、回路200の一部を示す。回路400は、一例として、一つ又は複数のトランジスタを有することが可能である。これらのトランジスタは、トランジスタ101__1~101__2と同じ極性であることが好ましい。ただし、これに限定されない。

50

【 0 2 3 1 】

なお、図 1 5 (B) に示すように、回路 2 0 0 は、回路 4 0 0 に加え、実施の形態 2 で述べる回路 3 0 0 を有することが可能である。なお、回路 3 0 0 と回路 4 0 0 とは、回路の一部又は全部が共有されることが可能である。

【 0 2 3 2 】

回路 4 0 0 は、一例として、配線 1 1 4、配線 1 1 8、ノード 1 1、ノード 1 2、及び配線 1 1 1 と接続される。ただし、これに限定されず、回路 4 0 0 は、その構成に応じて、他にも、様々な配線、様々なノード、又は様々な端子と接続されることが可能である。例えば、回路 4 0 0 が信号を必要とする場合、回路 4 0 0 は、配線 1 1 2、配線 1 1 3、配線 1 1 5 __ 1、配線 1 1 5 __ 2、配線 1 1 6 __ 1、配線 1 1 6 __ 2、及び / 又は、配線 1 1 7 と接続されることが可能である。

10

【 0 2 3 3 】

回路 4 0 0 は、一例として、ノード 1 1 の電圧、ノード 1 2 の電圧、及び / 又は、配線 1 1 1 の電圧に応じて、ノード 1 1 の電圧、ノード 1 2 の電圧、及び / 又は、配線 1 1 1 の電圧を制御する機能を有する。又は、回路 4 0 0 は、ノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 に、ロウレベルの信号又は電圧 V 1 を供給するタイミングを制御する機能を有する。又は、回路 4 0 0 は、ノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 を浮遊状態にする機能を有する。又は、回路 4 0 0 は、配線 1 1 1 とノード 1 1 との導通状態を制御する機能を有する。又は、回路 4 0 0 は、配線 1 1 1 とノード 1 2 との導通状態を制御する機能を有する。ただし、これに限定されず、回路 4 0 0 は、他にも様々な機能を有することが可能である。なお、回路 4 0 0 は、上記の機能のすべてを有する必要はない。

20

【 0 2 3 4 】

次に、図 1 5 (A) の回路 4 0 0 の動作の一例について、図 2 のタイミングチャートを参照して説明する。

【 0 2 3 5 】

期間 A 1 において、回路 4 0 0 は、信号又は電圧などをノード 1 1 に供給しない場合が多い。一方で、回路 4 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 2、及び / 又は、配線 1 1 1 に供給することが可能である。又は、回路 4 0 0 は、電圧又は信号などをノード 1 2、及び / 又は、配線 1 1 1 に供給しないことが可能である。

30

【 0 2 3 6 】

期間 B 1 において、回路 4 0 0 は、信号又は電圧などをノード 1 1、及び / 又は、配線 1 1 1 に供給しない場合が多い。一方で、回路 4 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 2 に供給することが可能である。又は、回路 4 0 0 は、電圧又は信号などをノード 1 2 に供給しないことが可能である。

【 0 2 3 7 】

期間 C 1 ~ E 1 において、回路 4 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 に供給することが可能である。又は、回路 4 0 0 は、電圧又は信号などをノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 に供給しないことが可能である。

40

【 0 2 3 8 】

期間 A 2 において、回路 4 0 0 は、信号又は電圧などをノード 1 2 に供給しない場合が多い。一方で、回路 4 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1、及び / 又は、配線 1 1 1 に供給することが可能である。又は、回路 4 0 0 は、電圧又は信号などをノード 1 1、及び / 又は、配線 1 1 1 に供給しないことが可能である。

【 0 2 3 9 】

期間 B 2 において、回路 4 0 0 は、信号又は電圧などをノード 1 2、及び / 又は、配線 1 1 1 に供給しない場合が多い。一方で、回路 4 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1 に供給することが可能である。又は、回路 4 0 0 は、電圧又は信号などをノード 1 1 に供給しないことが可能である。

50

【 0 2 4 0 】

期間 C 2 ~ E 2 において、回路 4 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 に供給することが可能である。又は、回路 4 0 0 は、電圧又は信号などをノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 に供給しないことが可能である。

【 0 2 4 1 】

次に、回路 4 0 0 の具体例について、図 1 6 (A) を参照して説明する。回路 4 0 0 は、回路 5 0 0、トランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2 という複数のトランジスタ、及びトランジスタ 4 0 2 を有する。トランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2 という複数のトランジスタ、及びトランジスタ 4 0 2 は、トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2 と同じ極性であることが好ましく、Nチャネル型であるものとする。ただし、これに限定されない。例えば、トランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2、及びトランジスタ 4 0 2 のいずれかを省略することが可能である。又は、トランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2 という複数のトランジスタ、及びトランジスタ 4 0 2 は、Pチャネル型であることが可能である。

【 0 2 4 2 】

トランジスタ 4 0 1 __ 1 の第 1 端子は、配線 1 1 8 と接続され、トランジスタ 4 0 1 __ 1 の第 2 端子は、ノード 1 1 と接続される。トランジスタ 4 0 1 __ 2 の第 1 端子は、配線 1 1 8 と接続され、トランジスタ 4 0 1 __ 2 の第 2 端子は、ノード 1 2 と接続される。トランジスタ 4 0 2 の第 1 端子は、配線 1 1 8 と接続され、トランジスタ 4 0 2 の第 2 端子は、配線 1 1 1 と接続される。回路 5 0 0 は、配線 1 1 8、配線 1 1 4、ノード 1 1、ノード 1 2、配線 1 1 1、トランジスタ 4 0 1 __ 1 のゲート、トランジスタ 4 0 1 __ 2 のゲート、及び / 又は、トランジスタ 4 0 2 のゲートと接続される。ただし、これに限定されず、回路 5 0 0 は、その構成に応じて、様々な配線、又は様々なノードと接続されることが可能である。

【 0 2 4 3 】

なお、トランジスタ 4 0 1 __ 1 のゲートと回路 5 0 0 との接続箇所をノード 2 1 と示し、トランジスタ 4 0 1 __ 2 のゲートと回路 5 0 0 との接続箇所をノード 2 2 と示し、トランジスタ 4 0 2 のゲートと回路 5 0 0 との接続箇所をノード 3 1 と示す。

【 0 2 4 4 】

トランジスタ 4 0 1 __ 1 は、一例として、配線 1 1 8 とノード 1 1 との導通状態を制御する機能を有する。又は、トランジスタ 4 0 1 __ 1 は、配線 1 1 8 の電圧をノード 1 1 に供給するタイミングを制御する機能を有する。例えば、配線 1 1 8 に、電圧 V 1 などの電圧、又は信号 C K 2 などの信号が供給される場合、トランジスタ 4 0 1 __ 1 は、配線 1 1 8 に供給される電圧又は信号などを、ノード 1 1 に供給するタイミングを制御する機能を有する。以上のように、トランジスタ 4 0 1 __ 1 は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ 4 0 1 __ 1 は、他にも様々な機能を有することが可能である。なお、トランジスタ 4 0 1 __ 1 は、上記の機能のすべてを有する必要はない。

【 0 2 4 5 】

トランジスタ 4 0 1 __ 2 は、一例として、配線 1 1 8 とノード 1 2 との導通状態を制御する機能を有する。又は、トランジスタ 4 0 1 __ 2 は、配線 1 1 8 の電圧をノード 1 2 に供給するタイミングを制御する機能を有する。例えば、配線 1 1 8 に、電圧 V 1 などの電圧、又は信号 C K 2 などの信号が供給される場合、トランジスタ 4 0 1 __ 2 は、配線 1 1 8 に供給される電圧又は信号などを、ノード 1 2 に供給するタイミングを制御する機能を有する。以上のように、トランジスタ 4 0 1 __ 2 は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ 4 0 1 __ 2 は、他にも様々な機能を有することが可能である。なお、トランジスタ 4 0 1 __ 2 は、上記の機能のすべてを有する必要はない。

【 0 2 4 6 】

トランジスタ 4 0 2 は、一例として、配線 1 1 8 と配線 1 1 1 との導通状態を制御する機

10

20

30

40

50

能を有する。又は、トランジスタ402は、配線118の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線118に、電圧V1などの電圧、又は信号CK2などの信号が供給される場合、トランジスタ402は、配線118に供給される電圧又は信号などを、配線111に供給するタイミングを制御する機能を有する。以上のように、トランジスタ402は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ402は、他にも様々な機能を有することが可能である。なお、トランジスタ402は、上記の機能のすべてを有する必要はない。

【0247】

回路500は、一例として、ノード11の電圧、ノード12の電圧、及び/又は、配線111に依じて、ノード21の電圧、ノード22の電圧、及び/又は、ノード31の電圧を制御するタイミングを制御する機能を有する。又は、回路500は、ノード21、ノード22、及び/又は、ノード31に、ハイレベルの信号、ロウレベルの信号、電圧V1、又は電圧V2などの電圧を供給するタイミングを制御する機能を有する。以上のように、回路500は、制御回路としての機能を有する。ただし、これに限定されず、回路500は、他にも様々な機能を有することが可能である。なお、回路500は、上記の機能のすべてを有する必要はない。

10

【0248】

次に、図16(A)の回路400の動作の一例について、16(B)のタイミングチャートを参照して説明する。なお、期間A1における半導体装置の動作の模式図を図40(A)に示し、期間B1における半導体装置の動作の模式図を図40(B)に示し、期間C1における半導体装置の動作の模式図を図41(A)に示し、期間D1及び期間E1における半導体装置の動作の模式図を図41(B)に示す。なお、期間A2における半導体装置の動作の模式図を図42(A)に示し、期間B2における半導体装置の動作の模式図を図42(B)に示し、期間C2における半導体装置の動作の模式図を図43(A)に示し、期間D2及び期間E2における半導体装置の動作の模式図を図43(B)に示す。なお、図40~図43には、回路300として図6(B)の半導体装置を用い、回路400として図16(A)の半導体装置を用いる場合の構成を示す。

20

【0249】

期間A1において、信号SP1はハイレベルになるので、ノード11の電圧が上昇する。よって、回路500は、ロウレベルの信号又は電圧V1をノード21に供給する。すると、トランジスタ401__1はオフになるので、配線118とノード11とは非導通状態になる。信号SP2はロウレベルになるので、ノード12はおおむねV1になるように維持される。よって、回路500は、ハイレベルの信号又は電圧V2をノード22に供給する。すると、トランジスタ401__2はオンになるので、配線118とノード12とはトランジスタ401__2を介して導通状態になる。よって、電圧V1がトランジスタ401__2を介してノード12に供給される。配線111には、ロウレベルの信号CK1が供給されるので、配線111の電圧はV1になる。よって、回路500は、ハイレベルの信号又は電圧V2をノード31に供給する。すると、トランジスタ402はオンになるので、配線118と配線111とはトランジスタ402を介して導通状態になる。よって、電圧V1がトランジスタ402を介して配線111に供給される。ただし、これに限定されない。例えば、期間A1において、回路500は、ロウレベルの信号又は電圧V1をノード22に供給することが可能である。この場合、トランジスタ401__2はオフになるので、配線118とノード12とは非導通状態になることが可能である。別の例として、期間A1において、回路500は、ロウレベルの信号又は電圧V1をノード31に供給することが可能である。この場合、トランジスタ402はオフになるので、配線118と配線111とは非導通状態になることが可能である。

30

40

【0250】

期間B1において、ノード11の電圧は、ブートストラップ動作によって上昇するので、回路500は、ロウレベルの信号又は電圧V1をノード21に供給する。すると、トランジスタ401__1はオフになるので、配線118とノード11とは非導通状態になる。ノ

50

ード１２の電圧はおおむねＶ１になるように維持されるので、回路５００は、ハイレベルの信号又は電圧Ｖ２をノード２２に供給する。すると、トランジスタ４０１―２はオンになるので、配線１１８とノード１２とはトランジスタ４０１―２を介して導通状態になる。よって、電圧Ｖ１がトランジスタ４０１―２を介してノード１２に供給される。配線１１１には、ハイレベルの信号ＣＫ１が供給されるので、配線１１１の電圧はＶ２になる。よって、回路５００は、ロウレベルの信号又は電圧Ｖ１をノード３１に供給する。すると、トランジスタ４０２はオフになるので、配線１１８と配線１１１とは非導通状態になる。ただし、これに限定されない。例えば、期間Ｂ１において、回路５００は、ロウレベルの信号又は電圧Ｖ１をノード２２に供給することが可能である。この場合、トランジスタ４０１―２はオフになるので、配線１１８とノード１２とは非導通状態になることが可能である。

10

【０２５１】

期間Ｃ１～期間Ｅ１において、ノード１１の電圧がおおむねＶ１になるので、回路５００は、ハイレベルの信号又は電圧Ｖ２をノード２１に供給する。よって、トランジスタ４０１―１はオンになるので、配線１１８とノード１１とはトランジスタ４０１―１を介して導通状態になる。すると、電圧Ｖ１は、配線１１８からトランジスタ４０１―１を介してノード１１に供給される。ノード１２の電圧がおおむねＶ１になるので、回路５００は、ハイレベルの信号又は電圧Ｖ２をノード２２に供給する。よって、トランジスタ４０１―２はオンになるので、配線１１８とノード１２とはトランジスタ４０１―２を介して導通状態になる。すると、電圧Ｖ１は、配線１１８からトランジスタ４０１―２を介してノード１２に供給される。配線１１１の電圧がおおむねＶ１になるので、回路５００は、ハイレベルの信号又は電圧Ｖ２をノード３１に供給する。よって、トランジスタ４０２はオンになるので、配線１１８と配線１１１とはトランジスタ４０２を介して導通状態になる。すると、電圧Ｖ１は、配線１１８からトランジスタ４０２を介して配線１１１に供給される。ただし、これに限定されない。例えば、期間Ｄ１と期間Ｅ１との一方において、回路５００は、ロウレベルの信号又は電圧Ｖ１をノード２１、ノード２２、及び／又は、ノード３１に供給することが可能である。よって、トランジスタ４０１―１、トランジスタ４０１―２、及び／又は、トランジスタ４０２はオフになることが可能である。そして、配線１１８とノード１１、配線１１８とノード１２、及び／又は、配線１１８と配線１１１とは非導通状態になることが可能である。

20

30

【０２５２】

期間Ａ２において、信号ＳＰ１はロウレベルになるので、ノード１１はおおむねＶ１に維持される。よって、回路５００は、ハイレベルの信号又は電圧Ｖ２をノード２１に供給する。すると、トランジスタ４０１―１はオンになるので、配線１１８とノード１１とはトランジスタ４０１―１を介して導通状態になる。よって、電圧Ｖ１がトランジスタ４０１―１を介してノード１１に供給される。また、信号ＳＰ２はハイレベルになるので、ノード１２の電圧が上昇する。よって、回路５００は、ロウレベルの信号又は電圧Ｖ１をノード２２に供給する。すると、トランジスタ４０１―２はオフになるので、配線１１８とノード１２とは非導通状態になる。配線１１１には、ロウレベルの信号ＣＫ１が供給されるので、配線１１１の電圧はＶ１になる。よって、回路５００は、ハイレベルの信号又は電圧Ｖ２をノード３１に供給する。すると、トランジスタ４０２はオンになるので、配線１１８と配線１１１とはトランジスタ４０２を介して導通状態になる。よって、電圧Ｖ１がトランジスタ４０２を介して配線１１１に供給される。ただし、これに限定されない。例えば、期間Ａ２において、回路５００は、ロウレベルの信号又は電圧Ｖ１をノード２１に供給することが可能である。この場合、トランジスタ４０１―１はオフになるので、配線１１８とノード１１とは非導通状態になることが可能である。別の例として、期間Ａ２において、回路５００は、ロウレベルの信号又は電圧Ｖ１をノード３１に供給することが可能である。この場合、トランジスタ４０２はオフになるので、配線１１８と配線１１１とは非導通状態になることが可能である。

40

【０２５３】

50

期間 B 2 において、ノード 1 1 の電圧はおおむね V 1 に維持されるので、回路 5 0 0 は、ハイレベルの信号又は電圧 V 2 をノード 2 1 に供給する。すると、トランジスタ 4 0 1 __ 1 はオンになるので、配線 1 1 8 とノード 1 1 とはトランジスタ 4 0 1 __ 1 を介して導通状態になる。よって、電圧 V 1 がトランジスタ 4 0 1 __ 1 を介してノード 1 1 に供給される。ノード 1 2 の電圧は、ブートストラップ動作によって上昇するので、回路 5 0 0 は、ロウレベルの信号又は電圧 V 1 をノード 2 2 に供給する。すると、トランジスタ 4 0 1 __ 2 はオフになるので、配線 1 1 8 とノード 1 2 とは非導通状態になる。配線 1 1 1 には、ハイレベルの信号 C K 1 が供給されるので、配線 1 1 1 の電圧は V 2 になる。よって、回路 5 0 0 は、ロウレベルの信号又は電圧 V 1 をノード 3 1 に供給する。すると、トランジスタ 4 0 2 はオフになるので、配線 1 1 8 と配線 1 1 1 とは非導通状態になる。ただし、これに限定されない。例えば、期間 B 2 において、回路 5 0 0 は、ロウレベルの信号又は電圧 V 1 をノード 2 1 に供給することが可能である。この場合、トランジスタ 4 0 1 __ 1 はオフになるので、配線 1 1 8 とノード 1 1 とは非導通状態になることが可能である。

10

【 0 2 5 4 】

期間 C 2 ~ 期間 E 2 において、ノード 1 1 の電圧がおおむね V 1 になるので、回路 5 0 0 は、ハイレベルの信号又は電圧 V 2 をノード 2 1 に供給する。よって、トランジスタ 4 0 1 __ 1 はオンになるので、配線 1 1 8 とノード 1 1 とはトランジスタ 4 0 1 __ 1 を介して導通状態になる。すると、電圧 V 1 は、配線 1 1 8 からトランジスタ 4 0 1 __ 1 を介してノード 1 1 に供給される。ノード 1 2 の電圧がおおむね V 1 になるので、回路 5 0 0 は、ハイレベルの信号又は電圧 V 2 をノード 2 2 に供給する。よって、トランジスタ 4 0 1 __ 2 はオンになるので、配線 1 1 8 とノード 1 2 とはトランジスタ 4 0 1 __ 2 を介して導通状態になる。すると、電圧 V 1 は、配線 1 1 8 からトランジスタ 4 0 1 __ 2 を介してノード 1 2 に供給される。配線 1 1 1 の電圧がおおむね V 1 になるので、回路 5 0 0 は、ハイレベルの信号又は電圧 V 2 をノード 3 1 に供給する。よって、トランジスタ 4 0 2 はオンになるので、配線 1 1 8 と配線 1 1 1 とはトランジスタ 4 0 2 を介して導通状態になる。すると、電圧 V 1 は、配線 1 1 8 からトランジスタ 4 0 2 を介して配線 1 1 1 に供給される。ただし、これに限定されない。例えば、期間 D 2 と期間 E 2 との一方において、回路 5 0 0 は、ロウレベルの信号又は電圧 V 1 をノード 2 1、ノード 2 2、及びノード 3 1 に供給することが可能である。よって、トランジスタ 4 0 1 __ 1、トランジスタ 4 0 1 __ 2、及びノード 3 1 は、トランジスタ 4 0 2 はオフになることが可能である。そして、配線 1 1 8 とノード 1 1、配線 1 1 8 とノード 1 2、及びノード 3 1 とは非導通状態になることが可能である。

20

30

【 0 2 5 5 】

なお、トランジスタ 4 0 1 __ 1 のチャネル幅とトランジスタ 4 0 1 __ 2 のチャネル幅とはおおむね等しいことが好ましい。こうすることによって、期間 T 1 におけるノード 1 1 の電圧の変化と、期間 T 2 におけるノード 1 2 の電圧の変化とおおむね等しくすることができる。よって、信号 O U T の波形をおおむね等しくすることができる。ただし、これに限定されず、トランジスタ 4 0 1 __ 1 のチャネル幅とトランジスタ 4 0 1 __ 2 のチャネル幅とは、異なることが可能である。

【 0 2 5 6 】

なお、トランジスタ 4 0 1 __ 1 のチャネル幅、及びトランジスタ 4 0 1 __ 2 のチャネル幅は、 $100\mu\text{m} \sim 4000\mu\text{m}$ であることが好ましい。より好ましくは $500\mu\text{m} \sim 3000\mu\text{m}$ であることが好ましい。さらに好ましくは、 $1000\mu\text{m} \sim 2000\mu\text{m}$ であることが好ましい。ただし、これに限定されない。

40

【 0 2 5 7 】

なお、トランジスタ 4 0 2 のチャネル幅は、 $500\mu\text{m} \sim 5000\mu\text{m}$ であることが好ましい。より好ましくは、 $1000\mu\text{m} \sim 3000\mu\text{m}$ であることが好ましい。さらに好ましくは、 $2000\mu\text{m} \sim 3000\mu\text{m}$ であることが好ましい。ただし、これに限定されない。

【 0 2 5 8 】

50

なお、図 17 (A) に示すように、複数のトランジスタを並列になるように接続することが可能である。そして、当該複数のトランジスタは順番又はランダムにオンになることが可能である。図 17 (A) には、一例として、二つのトランジスタが並列に接続される場合の構成を示す。この場合、二つのトランジスタは、1 ゲート選択期間毎に、又はクロック信号の半周期毎に、オンとオフとを繰り返すことが可能である。トランジスタ 401 __ 1 ~ 401 __ 2、及びトランジスタ 402 において、それぞれのトランジスタと並列になるように、トランジスタが接続される。例えば、トランジスタ 401 __ 1 と並列に接続されるように、トランジスタ 411 __ 1 が新たに追加される。トランジスタ 411 __ 1 の第 1 端子は配線 118 と接続され、トランジスタ 411 __ 1 の第 2 端子はノード 11 と接続され、トランジスタ 411 __ 1 のゲートは回路 500 と接続される。又は、トランジスタ 401 __ 2 と並列に接続されるように、トランジスタ 411 __ 2 が新たに追加される。トランジスタ 411 __ 2 の第 1 端子は配線 118 と接続され、トランジスタ 411 __ 2 の第 2 端子はノード 11 と接続され、トランジスタ 411 __ 2 のゲートは回路 500 と接続される。トランジスタ 402 と並列に接続されるように、トランジスタ 412 が新たに追加される。トランジスタ 412 の第 1 端子は配線 118 と接続され、トランジスタ 412 の第 2 端子はノード 11 と接続され、トランジスタ 412 のゲートは回路 500 と接続される。ただし、これに限定されず、トランジスタ 411 __ 1 ~ 411 __ 2、及びトランジスタ 412 のいずれかのみを追加することが可能である。

10

【0259】

なお、図 17 (B) に示すように、トランジスタ 411 __ 1 の第 1 端子は、配線 115 __ 1 と接続され、トランジスタ 411 __ 1 のゲートは、配線 113 と接続されることが可能である。又は、トランジスタ 411 __ 2 の第 1 端子は、配線 115 __ 2 と接続され、トランジスタ 411 __ 2 のゲートは、配線 113 と接続されることが可能である。又は、トランジスタ 412 のゲートは、配線 113 と接続されることが可能である。こうすることによって、トランジスタ 411 __ 1 ~ 411 __ 2、及びトランジスタ 412 の導通状態を制御するための回路を省略することができる。ただし、これに限定されず、トランジスタは、様々な構成になるように接続されることが可能である。例えば、トランジスタ 401 __ 1 の第 2 端子、トランジスタ 401 __ 2 の第 2 端子、及び / 又は、トランジスタ 402 の第 2 端子は、配線 113 と接続されることが可能である。こうすることによって、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を抑制することが可能である。

20

30

【0260】

なお、図 18 (A) 及び図 18 (B) に示すように、トランジスタ 401 __ 1 ~ 401 __ 2 のゲート、及びトランジスタ 402 のゲートは、お互いに接続されることが可能である。図 18 (A) に示す半導体装置では、トランジスタ 401 __ 1 ~ 401 __ 2 がトランジスタ 402 のゲートに接続された構成であり、図 18 (B) は、トランジスタ 401 __ 1 又は 401 __ 2 がトランジスタ 402 のゲートに接続された構成である。この場合、回路 500 は、期間 A1 ~ B1、及び期間 A2 ~ B2 において、ロウレベルの信号又は電圧 V1 をトランジスタ 401 __ 1、トランジスタ 401 __ 2、及びトランジスタ 402 のゲートに供給する。一方で、回路 500 は、期間 C1 ~ E1、及び期間 C2 ~ E2 において、ハイレベルの信号又は電圧 V2 をこれらのトランジスタのゲートに供給する。よって、トランジスタ 401 __ 1 ~ 401 __ 2、及びトランジスタ 402 は、期間 A1 ~ B1、及び期間 A2 ~ B2 においてオフになり、期間 C1 ~ E1、及び期間 C2 ~ E2 においてオンになることが可能である。こうして、トランジスタ 401 __ 1 ~ 401 __ 2、及びトランジスタ 402 の導通状態を制御するための回路を共通にすることができるので、回路規模の簡略化を図ることができる。ただし、これに限定されない。例えば、回路 500 は、期間 D1 と期間 E1 との一方、及び期間 D2 と期間 E2 との一方において、ロウレベルの信号又は電圧 V1 をトランジスタ 401 __ 1 ~ 401 __ 2、及びトランジスタ 402 のゲートに供給することが可能である。又は、回路 500 は、期間 C1 ~ E1 と、期間 C2 ~ E2 との一方において、ロウレベルの信号又は電圧 V1 をトランジスタ 401 __ 1 ~ 401

40

50

__ 2、及びトランジスタ 4 0 2 のゲートに供給することが可能である。こうすることによって、トランジスタが 1 ゲート選択期間毎、又は 1 フレーム毎に、オンとオフとを繰り返すことが可能になるので、トランジスタの特性劣化を抑制することができる。別の例として、トランジスタ 4 0 2 のゲートは、トランジスタ 4 0 1 __ 1 のゲートとトランジスタ 4 0 1 __ 2 のゲートとの一方のみと接続されることが可能である。

【 0 2 6 1 】

なお、図 1 8 (C) に示すように、トランジスタ 4 0 1 __ 1 の第 1 端子、トランジスタ 4 0 1 __ 2 の第 1 端子、及びトランジスタ 4 0 2 の第 1 端子は、別々の配線と接続されることが可能である。図 1 8 (C) では、一例として、配線 1 1 8 は、配線 1 1 8 C ~ 1 1 8 F という複数の配線に分割される。そして、回路 5 0 0 は、配線 1 1 8 C と接続され、トランジスタ 4 0 1 __ 1 の第 1 端子は、配線 1 1 8 D と接続され、トランジスタ 4 0 1 __ 2 の第 1 端子は、配線 1 1 8 E と接続され、トランジスタ 4 0 2 の第 1 端子は、配線 1 1 8 F と接続される。ただし、これに限定されない。例えば、トランジスタ 4 0 1 __ 1 の第 1 端子、トランジスタ 4 0 1 __ 2 の第 1 端子、及びトランジスタ 4 0 2 の第 1 端子は、様々な配線、又は様々なノードと接続されることが可能である。なお、配線 1 1 8 C ~ 1 1 8 F は、配線 1 1 8 と同様の機能を有することが可能である。よって、配線 1 1 8 C ~ 1 1 8 F には、電圧 V 1 などの電圧を入力することが可能である。ただし、これに限定されず、配線 1 1 8 C ~ 1 1 8 F には、様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

10

【 0 2 6 2 】

なお、図 1 8 (A) と同様に、図 1 6 (A)、図 1 7 (A) ~ (B)、及び図 1 8 (B) ~ (C) で述べる構成においても、トランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2 の第 2 端子、及びトランジスタ 4 0 2 の第 2 端子は、別々の配線と接続されることが可能である。特に、図 1 7 (A) ~ (B) で述べる構成においては、トランジスタ 4 1 1 __ 1 ~ 4 1 1 __ 2 の第 2 端子、及びトランジスタ 4 1 2 の第 2 端子は、別々の配線と接続されることが可能である。

20

【 0 2 6 3 】

なお、図 1 9 (A) に示すように、トランジスタ 4 0 1 __ 1 を、一方の端子 (以下、正極ともいう) がノード 1 1 と接続され、他方の端子 (以下、負極ともいう) がノード 2 1 と接続されるダイオード 4 0 1 a __ 1 と置き換えることが可能である。又は、トランジスタ 4 0 1 __ 2 を、一方の端子 (以下、正極ともいう) がノード 1 2 と接続され、他方の端子 (以下、負極ともいう) がノード 2 2 と接続されるダイオード 4 0 1 a __ 2 と置き換えることが可能である。又は、トランジスタ 4 0 2 を、一方の端子 (以下、正極ともいう) が配線 1 1 1 と接続され、他方の端子 (以下、負極ともいう) がノード 3 1 と接続されるダイオード 4 0 2 a と置き換えることが可能である。ただし、これに限定されない。例えば、図 1 9 (A) に示すように、トランジスタ 4 0 1 __ 1 の第 1 端子がノード 2 1 と接続され、トランジスタ 4 0 1 __ 1 の第 2 端子がノード 1 1 と接続されることによって、トランジスタ 4 0 1 __ 1 は、ダイオード接続されることが可能である。又は、トランジスタ 4 0 1 __ 2 の第 1 端子がノード 2 2 と接続され、トランジスタ 4 0 1 __ 2 の第 2 端子がノード 1 2 と接続されることによって、トランジスタ 4 0 1 __ 2 は、ダイオード接続されることが可能である。トランジスタ 4 0 2 の第 1 端子がノード 3 1 と接続され、トランジスタ 4 0 2 の第 2 端子が配線 1 1 1 と接続されることによって、トランジスタ 4 0 2 は、ダイオード接続されることが可能である。

30

40

【 0 2 6 4 】

なお、図 1 9 (A) ~ (B) と同様に、図 1 6 (A)、図 1 7 (A) ~ (B)、及び図 1 8 (A) ~ (C) で述べる構成においても、トランジスタをダイオードに置き換えることが可能であるし、これらのトランジスタをダイオード接続することが可能である。

【 0 2 6 5 】

次に、回路 5 0 0 の具体例について、図 2 0 (A) を参照して説明する。回路 5 0 0 は、回路 5 0 1 __ 1 ~ 5 0 1 __ 2、及び回路 5 0 2 を有する。回路 5 0 1 __ 1 ~ 5 0 1 __ 2、

50

及び回路 5 0 2 は、一例として、NOT 回路、又はインバータとしての機能を有することが可能である。回路 5 0 1 __ 1 の入力端子は、ノード 1 1 と接続され、回路 5 0 1 __ 1 の出力端子は、ノード 2 1 と接続される。回路 5 0 1 __ 2 の入力端子は、ノード 1 2 と接続され、回路 5 0 1 __ 2 の出力端子は、ノード 2 2 と接続される。回路 5 0 2 の入力端子は、配線 1 1 1 と接続され、回路 5 0 2 の出力端子は、ノード 3 1 と接続される。

【 0 2 6 6 】

回路 5 0 0 の別の例について、図 2 0 (B) を参照して説明する。回路 5 0 0 は、回路 5 0 3 を有する。回路 5 0 3 は、一例として、2 入力 NOR 回路としての機能を有することが可能である。回路 5 0 3 の一方の入力端子は、ノード 1 1 と接続され、回路 5 0 3 の他方の入力端子は、ノード 1 2 と接続され、回路 5 0 3 の出力端子は、トランジスタ 4 0 1 __ 1 のゲート、トランジスタ 4 0 1 __ 2 のゲート、及び / 又は、トランジスタ 4 0 2 のゲートと接続される。

10

【 0 2 6 7 】

回路 5 0 0 の別の例について、図 2 0 (C) を参照して説明する。回路 5 0 0 は、回路 5 1 1 __ 1 ~ 5 1 1 __ 2、及び回路 5 1 2 を有する。回路 5 1 1 __ 1 ~ 5 1 1 __ 2、及び回路 5 1 2 は、一例として、2 入力 AND 回路と NOT 回路とを組み合わせた論理回路としての機能を有することが可能である。回路 5 1 1 __ 1 の一方の入力端子は、配線 1 1 3 と接続され、回路 5 1 1 __ 1 の他方の入力端子は、ノード 1 1 と接続され、回路 5 1 1 __ 1 の出力端子は、ノード 2 1 と接続される。回路 5 1 1 __ 2 の一方の入力端子は、配線 1 1 3 と接続され、回路 5 1 1 __ 2 の他方の入力端子は、ノード 1 2 と接続され、回路 5 1 1 __ 2 の出力端子は、ノード 2 2 と接続される。回路 5 1 2 の一方の入力端子は、配線 1 1 3 と接続され、回路 5 1 2 の他方の入力端子は、配線 1 1 1 と接続され、回路 5 1 2 の出力端子は、ノード 3 1 と接続される。

20

【 0 2 6 8 】

回路 5 0 0 の別の例について、図 2 0 (D) を参照して説明する。回路 5 0 0 は、回路 5 1 3 を有する。回路 5 1 3 は、3 入力 AND 回路と NOT 回路とを組み合わせた論理回路としての機能を有することが可能である。回路 5 1 3 の第 1 の入力端子は、配線 1 1 3 と接続され、回路 5 1 3 の第 2 の入力端子は、ノード 1 1 と接続され、回路 5 1 3 の第 3 の入力端子は、ノード 1 2 と接続され、回路 5 1 3 の出力端子は、トランジスタ 4 0 1 __ 1 のゲート、トランジスタ 4 0 1 __ 2 のゲート、及び / 又は、トランジスタ 4 0 2 のゲートと接続される。

30

【 0 2 6 9 】

回路 5 0 0 の別の例について、図 2 0 (E) を参照して説明する。回路 5 0 0 は、回路 5 2 1 __ 1 ~ 5 2 1 __ 2、及び回路 5 2 2 を有する。回路 5 2 1 __ 1 ~ 5 2 1 __ 2、及び回路 5 2 2 は、一例として、2 入力 NOR 回路としての機能を有することが可能である。回路 5 2 1 __ 1 の一方の入力端子は、配線 1 1 3 と接続され、回路 5 2 1 __ 1 の他方の入力端子は、ノード 1 1 と接続され、回路 5 2 1 __ 1 の出力端子は、ノード 2 1 と接続される。回路 5 2 1 __ 2 の一方の入力端子は、配線 1 1 3 と接続され、回路 5 2 1 __ 2 の他方の入力端子は、ノード 1 2 と接続され、回路 5 2 1 __ 2 の出力端子は、ノード 2 2 と接続される。回路 5 2 2 の一方の入力端子は、配線 1 1 3 と接続され、回路 5 2 2 の他方の入力端子は、配線 1 1 1 と接続され、回路 5 2 2 の出力端子は、ノード 3 1 と接続される。

40

【 0 2 7 0 】

回路 5 0 0 の別の例について、図 2 0 (F) を参照して説明する。回路 5 0 0 は、回路 5 2 3 を有する。回路 5 2 3 は、3 入力 NOR 回路としての機能を有することが可能である。回路 5 2 3 の第 1 の入力端子は、配線 1 1 3 と接続され、回路 5 2 3 の第 2 の入力端子は、ノード 1 1 と接続され、回路 5 2 3 の第 3 の入力端子は、ノード 1 2 と接続され、回路 5 2 3 の出力端子は、トランジスタ 4 0 1 __ 1 のゲート、トランジスタ 4 0 1 __ 2 のゲート、及び / 又は、トランジスタ 4 0 2 のゲートと接続される。

【 0 2 7 1 】

回路 5 0 0 の別の例について、図 2 0 (G) を参照して説明する。回路 5 0 0 は、回路 5

50

14を有する。回路514は、2入力のAND回路とNOT回路とを組み合わせた論理回路としての機能を有することが可能である。回路514の第1の入力端子は、配線113と接続され、回路514の第2の入力端子は配線111と接続され、回路514の出力端子は、トランジスタ401__1のゲート、トランジスタ401__2のゲート、及び/又は、トランジスタ402のゲートと接続される。

【0272】

回路500の別の例について、図20(H)を参照して説明する。回路500は、回路524を有する。回路524は、2入力のNOR回路としての機能を有することが可能である。回路524の第1の入力端子は、配線113と接続され、回路524の第2の入力端子は、配線111と接続され、回路524の出力端子は、トランジスタ401__1のゲート、トランジスタ401__2のゲート、及び/又は、トランジスタ402のゲートと接続される。

10

【0273】

次に、図20(A)~(H)に示す回路501__1~501__2、回路502、回路503、回路511__1~511__2、回路512、回路513、回路514、回路521__1~521__2、回路522、及び回路523、回路524の一例について、図21(A)~(F)、及び図22(A)~(D)を参照して説明する。ただし、回路501__1~501__2、回路502、回路503、回路511__1~511__2、回路512、回路513、回路514、回路521__1~521__2、回路522、回路523、回路524としては、他にも様々な構成を用いることが可能である。

20

【0274】

図21(A)の回路は、第1端子が配線114と接続され、第2端子が出力端子591と接続され、ゲートが配線114と接続されるトランジスタ531と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子592と接続されるトランジスタ532を有する。図21(A)の回路は、回路501__1、501__2、及び/又は、回路502などに適用することが可能である。よって、出力端子591は、ノード21、ノード22、又はノード31などと接続されることが可能である。又は、入力端子592は、ノード11、ノード12、又は配線111などと接続されることが可能である。

30

【0275】

図21(B)の回路は、第1端子が配線114と接続され、第2端子がトランジスタ533のゲートと接続され、ゲートが配線114と接続されるトランジスタ531と、第1端子が配線118と接続され、第2端子がトランジスタ533のゲートと接続され、ゲートが入力端子592と接続されるトランジスタ532と、第1端子が配線114と接続され、第2端子が出力端子591と接続されるトランジスタ533と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子592と接続されるトランジスタ534とを有する。図21(B)の回路は、回路501__1、501__2、及び/又は、回路502などに適用することが可能である。よって、出力端子591は、ノード21、ノード22、又はノード31などと接続されることが可能である。又は、入力端子592は、ノード11、ノード12、又は配線111などと接続されることが可能である。

40

【0276】

図21(C)の回路は、第1端子が配線114と接続され、第2端子が出力端子591と接続され、ゲートが配線114と接続されるトランジスタ541と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子592と接続されるトランジスタ542と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子593と接続されるトランジスタ543とを有する。図21(C)の回路は、回路503、回路521__1、回路521__2、回路522、又は回路524などに適用することが可能である。よって、出力端子591は、トランジスタ401__1~401__2のゲートとトランジスタ402のゲートとの接続箇所、ノード2

50

1、ノード22、又はノード31などと接続されることが可能である。又は、入力端子592～593は、ノード11、ノード12、配線111、又は配線113などと接続されることが可能である。

【0277】

図21(D)の回路は、第1端子が配線114と接続され、第2端子がトランジスタ544のゲートと接続され、ゲートが配線114と接続されるトランジスタ541と、第1端子が配線118と接続され、第2端子がトランジスタ544のゲートと接続され、ゲートが入力端子592と接続されるトランジスタ542と、第1端子が配線118と接続され、第2端子がトランジスタ544のゲートと接続され、ゲートが入力端子593と接続されるトランジスタ543と、第1端子が配線114と接続され、第2端子が出力端子591と接続されるトランジスタ544と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子592と接続されるトランジスタ545と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子593と接続されるトランジスタ546とを有する。図21(D)の回路は、回路503、回路521__1、回路521__2、回路522、又は回路524などに適用することが可能である。よって、出力端子591は、トランジスタ401__1～401__2のゲートとトランジスタ402のゲートとの接続箇所、ノード21、ノード22、又はノード31などと接続されることが可能である。又は、入力端子592～593は、ノード11、ノード12、配線111、又は配線113などと接続されることが可能である。

10

【0278】

図21(E)の回路は、第1端子が配線114と接続され、第2端子が出力端子591と接続され、ゲートが配線114と接続されるトランジスタ541と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子592と接続されるトランジスタ542と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子593と接続されるトランジスタ543と、第1端子が配線118と接続され、第2端子が出力端子591と接続され、ゲートが入力端子595と接続されるトランジスタ547とを有する。図21(E)の回路は、回路523などに適用することが可能である。よって、出力端子591は、トランジスタ401__1～401__2のゲートとトランジスタ402のゲートとの接続箇所などと接続されることが可能である。又は、入力端子592～594は、ノード11、ノード12、又は配線113などと接続されることが可能である。

20

30

【0279】

図21(F)の回路は、第1端子が配線114と接続され、第2端子がトランジスタ544のゲートと接続され、ゲートが配線114と接続されるトランジスタ541と、第1端子が配線118と接続され、第2端子がトランジスタ544のゲートと接続され、ゲートが入力端子592と接続されるトランジスタ542と、第1端子が配線118と接続され、第2端子がトランジスタ544のゲートと接続され、ゲートが入力端子593と接続されるトランジスタ543と、第1端子が配線118と接続され、第2端子がトランジスタ544のゲートと接続され、ゲートが入力端子594と接続されるトランジスタ547と、第1端子が配線114と接続され、第2端子が出力端子595と接続されるトランジスタ544と、第1端子が配線118と接続され、第2端子が出力端子595と接続され、ゲートが入力端子592と接続されるトランジスタ545と、第1端子が配線118と接続され、第2端子が出力端子595と接続され、ゲートが入力端子593と接続されるトランジスタ546と、第1端子が配線118と接続され、第2端子が出力端子595と接続され、ゲートが入力端子594と接続されるトランジスタ548とを有する。図21(F)の回路は、回路523などに適用することが可能である。よって、出力端子595は、トランジスタ401__1～401__2のゲートとトランジスタ402のゲートとの接続箇所などと接続されることが可能である。又は、入力端子592～594は、ノード11、ノード12、又は配線113などと接続されることが可能である。

40

【0280】

50

図 2 2 (A) の回路は、第 1 端子が入力端子 5 9 2 と接続され、第 2 端子がトランジスタ 5 5 3 のゲートと接続され、ゲートが入力端子 5 9 2 と接続されるトランジスタ 5 5 1 と、第 1 端子が配線 1 1 8 と接続され、第 2 端子がトランジスタ 5 5 3 のゲートと接続され、ゲートが入力端子 5 9 3 と接続されるトランジスタ 5 5 2 と、第 1 端子が入力端子 5 9 2 と接続され、第 2 端子が出力端子 5 9 1 と接続されるトランジスタ 5 5 3 と、第 1 端子が配線 1 1 8 と接続され、第 2 端子が出力端子 5 9 1 と接続され、ゲートが入力端子 5 9 3 と接続されるトランジスタ 5 5 4 とを有する。図 2 2 (A) の回路は、回路 5 1 1 __ 1、回路 5 1 1 __ 2、回路 5 1 2、及び / 又は、回路 5 1 4 などに適用することが可能である。よって、出力端子 5 9 1 は、ノード 2 1、ノード 2 2、又はノード 3 1 などと接続されることが可能である。又は、入力端子 5 9 2 は、配線 1 1 3 などと接続されることが可能である。又は、入力端子 5 9 3 は、ノード 1 1、ノード 1 2、又は配線 1 1 1 などと接続されることが可能である。

10

【 0 2 8 1 】

図 2 2 (B) の回路は、第 1 端子が入力端子 5 9 2 と接続され、第 2 端子がトランジスタ 5 5 3 のゲートと接続され、ゲートが入力端子 5 9 2 と接続されるトランジスタ 5 5 1 と、第 1 端子が配線 1 1 8 と接続され、第 2 端子がトランジスタ 5 5 3 のゲートと接続され、ゲートが入力端子 5 9 3 と接続されるトランジスタ 5 5 2 と、第 1 端子が入力端子 5 9 2 と接続され、第 2 端子が出力端子 5 9 1 と接続されるトランジスタ 5 5 3 と、第 1 端子が配線 1 1 8 と接続され、第 2 端子が出力端子 5 9 1 と接続され、ゲートが入力端子 5 9 3 と接続されるトランジスタ 5 5 4 と、第 1 端子が配線 1 1 8 と接続され、第 2 端子がトランジスタ 5 5 3 のゲートと接続され、ゲートが入力端子 5 9 4 と接続されるトランジスタ 5 5 5 と、第 1 端子が配線 1 1 8 と接続され、第 2 端子が出力端子 5 9 1 と接続され、ゲートが入力端子 5 9 4 と接続されるトランジスタ 5 5 6 とを有する。図 2 2 (B) の回路は、回路 5 1 3 などに適用することが可能である。よって、出力端子 5 9 1 は、トランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2 のゲートとトランジスタ 4 0 2 のゲートとの接続箇所などと接続されることが可能である。又は、入力端子 5 9 2 は、配線 1 1 3 などと接続されることが可能である。又は、入力端子 5 9 3 ~ 5 9 4 は、ノード 1 1、又はノード 1 2 などと接続されることが可能である。

20

【 0 2 8 2 】

図 2 2 (C) の回路は、第 1 端子が配線 1 1 8 と接続され、第 2 端子が出力端子 5 9 1 と接続され、ゲートが入力端子 5 9 3 と接続されるトランジスタ 5 6 1 と、一方の電極が入力端子 5 9 2 と接続され、他方の電極が出力端子 5 9 1 と接続される容量素子 5 6 2 とを有する。図 2 2 (C) の回路は、回路 5 1 1 __ 1、回路 5 1 1 __ 2、回路 5 1 2、及び / 又は、回路 5 1 4 などに適用することが可能である。よって、出力端子 5 9 1 は、ノード 2 1、ノード 2 2、ノード 3 1、又はトランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2 のゲートとトランジスタ 4 0 2 のゲートとの接続箇所などと接続されることが可能である。又は、入力端子 5 9 2 は、配線 1 1 3 などと接続されることが可能である。又は、入力端子 5 9 3 は、ノード 1 1、ノード 1 2、又は配線 1 1 1 などと接続されることが可能である。

30

【 0 2 8 3 】

図 2 2 (D) の回路は、第 1 端子が配線 1 1 8 と接続され、第 2 端子が出力端子 5 9 1 と接続され、ゲートが入力端子 5 9 3 と接続されるトランジスタ 5 6 1 と、一方の電極が入力端子 5 9 2 と接続され、他方の電極が出力端子 5 9 1 と接続される容量素子 5 6 2 と、第 1 端子が配線 1 1 8 と接続され、第 2 端子が出力端子 5 9 1 と接続され、ゲートが入力端子 5 9 4 と接続されるトランジスタ 5 6 3 とを有する。図 2 2 (D) の回路は、図 2 0 D に示す回路 5 1 3 などに適用することが可能である。よって、出力端子 5 9 1 は、トランジスタ 4 0 1 __ 1 ~ 4 0 1 __ 2 のゲートとトランジスタ 4 0 2 のゲートとの接続箇所などと接続されることが可能である。又は、入力端子 5 9 2 は、配線 1 1 3 などと接続されることが可能である。又は、入力端子 5 9 3 ~ 5 9 4 は、ノード 1 1、又はノード 1 2 などと接続されることが可能である。

40

【 0 2 8 4 】

50

なお、回路構成は、図 2 1 (A) ~ (F)、及び図 2 2 (A) ~ (D) に限定されない。例えば、図 2 2 (E) に示すように、トランジスタの各端子は、別々の配線又は別々の端子と接続されることが可能である。又は、図 2 2 (E) の一例では、トランジスタ 5 5 1 の第 1 端子は、配線 5 8 1 と接続され、トランジスタ 5 5 3 の第 1 端子は、配線 5 8 2 と接続され、トランジスタ 5 5 2 の第 1 端子は、配線 5 8 3 と接続され、トランジスタ 5 5 4 の第 1 端子は、配線 5 8 4 と接続される。これらのトランジスタの各端子と接続される配線（例えば配線 5 8 1 ~ 5 8 4）は、様々な配線、又は様々なノードと接続されることが可能である。又は、これらのトランジスタの各端子と接続される配線は、電圧又は信号などが入力されることが可能であり、電源線又は信号線として機能することが可能である。別の例として、図 2 2 (F) に示すように、ダイオード接続されるトランジスタの代わりに抵抗素子、又はダイオードなどの別の素子を用いることが可能である。トランジスタ 5 3 1 の代わりとして、素子 5 3 5 が用いられる。素子 5 3 5 の一方の端子は配線 1 1 4 と接続され、素子 5 3 5 の他方の端子は出力端子 5 9 1 と接続される。素子 5 3 5 は、抵抗成分を有する素子（例えばトランジスタ、抵抗素子、又はダイオードなど）としての機能を有する。別の例として、図 2 2 (G) に示すように、容量素子としては、トランジスタ、又は M I S 容量を用いることが可能である。容量素子 5 6 2 としては、トランジスタ 5 6 2 A が用いられる。トランジスタ 5 6 2 A の第 1 端子及び第 2 端子は、出力端子 5 9 1 と接続され、トランジスタ 5 6 2 A のゲートは入力端子 5 9 2 と接続される。

10

【 0 2 8 5 】

次に、回路 2 0 0 の別の一例について、図 2 3 (A) を参照して説明する。回路 2 0 0 は、回路 6 0 0 を有することが可能である。回路 6 0 0 は、回路 2 0 0 の一部を示す。なお、図 2 3 (A) には、一例として回路 2 0 0 が回路 3 0 0、回路 4 0 0、及び回路 6 0 0 を有する場合の構成を示す。回路 3 0 0 と回路 4 0 0 と回路 6 0 0 とは、回路の一部又は全部が共有されることが可能である。回路 6 0 0 は、一例として、一つ又は複数のトランジスタを有することが可能である。これらのトランジスタは、トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2 と同じ極性であることが好ましい。ただし、これに限定されない。

20

【 0 2 8 6 】

回路 6 0 0 は、一例として、配線 1 1 7、配線 1 1 8、ノード 1 1、ノード 1 2、及び配線 1 1 1 と接続される。ただし、これに限定されず、回路 6 0 0 は、その構成に応じて、他にも、様々な配線、様々なノード、又は様々な端子と接続されることが可能である。

30

【 0 2 8 7 】

回路 6 0 0 は、一例として、信号 R E に応じて、配線 1 1 8 とノード 1 1 との導通状態、配線 1 1 8 とノード 1 2 との導通状態、及び / 又は、配線 1 1 8 と配線 1 1 1 との導通状態を制御する機能を有する。例えば、配線 1 1 8 に、電圧 V 1 などの信号、又は信号 C K 2 などの電圧が供給される場合、回路 6 0 0 は、配線 1 1 8 に供給される電圧又は信号などを、ノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 に供給するタイミングを制御する機能を有する。又は、回路 6 0 0 は、配線 1 1 1 の電圧を例えば V 1 に減少させるタイミングを制御する機能を有する。以上のように、回路 6 0 0 は、制御回路、リセット動作を行う回路、又はスイッチなどとしての機能を有する。ただし、これに限定されず、回路 6 0 0 は他にも様々な機能を有することが可能である。なお、回路 6 0 0 は、上記の機能のすべてを有する必要はない。

40

【 0 2 8 8 】

次に、図 2 3 (A) の回路 6 0 0 の動作の一例について、図 2 のタイミングチャートを参照して説明する。

【 0 2 8 9 】

期間 A 1 ~ B 1、期間 D 1 ~ E 1、期間 A 2 ~ B 2、及び期間 D 2 ~ E 2 において、信号 R E がロウレベルなので、回路 6 0 0 は、信号又は電圧などをノード 1 1、ノード 1 2、及び配線 1 1 1 に供給しない場合が多い。ただし、これに限定されない。例えば、期間 A 1、期間 D 1 ~ E 1、期間 A 2、及び / 又は、期間 D 2 ~ E 2 においては、回路 6 0 0 は、電圧 V 1 又はロウレベルの信号をノード 1 1、ノード 1 2、及び / 又は、配線 1 1 1 に

50

供給することが可能である。

【0290】

期間C1、及び期間C2において、信号REがハイレベルになるので、回路600は、電圧V1又はロウレベルの信号をノード11、ノード12、及びノ又は、配線111に供給することが可能である。ただし、これに限定されず、回路600は、電圧又は信号などをノード11、ノード12、及びノ又は、配線111に供給しないことが可能である。

【0291】

次に、回路600の具体例について、図23(B)を参照して説明する。回路600は、トランジスタ601__1~601__2という複数のトランジスタ、及びトランジスタ602を有する。ただし、これに限定されず、回路600は、トランジスタ601__1~601__2、及びトランジスタ602のいずれか一、又は二つ以上のトランジスタのみを有することが可能である。トランジスタ601__1~601__2という複数のトランジスタ、及びトランジスタ602は、トランジスタ101__1~101__2と同じ極性であることが好ましく、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ601__1~601__2という複数のトランジスタ、及びトランジスタ602は、Pチャネル型であることが可能である。

10

【0292】

トランジスタ601__1の第1端子は、配線118と接続され、トランジスタ601__1の第2端子は、ノード11と接続され、トランジスタ601__1のゲートは、配線117と接続される。トランジスタ601__2の第1端子は、配線118と接続され、トランジスタ601__2の第2端子は、ノード12と接続され、トランジスタ601__1のゲートは、配線117と接続される。トランジスタ602の第1端子は、配線118と接続され、トランジスタ602の第2端子は、配線111と接続され、トランジスタ602のゲートは、配線117と接続される。

20

【0293】

トランジスタ601__1は、一例として、配線118とノード11との導通状態を制御する機能を有する。又は、トランジスタ601__1は、配線118の電圧をノード11に供給するタイミングを制御する機能を有する。例えば、配線118に、電圧V1などの電圧、又は信号CK2などの信号が供給される場合、トランジスタ601__1は、配線118に供給される電圧又は信号などを、ノード11に供給するタイミングを制御する機能を有する。以上のように、トランジスタ601__1は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ601__1は、他にも様々な機能を有することが可能である。なお、トランジスタ601__1は、上記の機能のすべてを有する必要はない。

30

【0294】

トランジスタ601__2は、一例として、配線118とノード12との導通状態を制御する機能を有する。又は、トランジスタ601__2は、配線118の電圧をノード12に供給するタイミングを制御する機能を有する。例えば、配線118に、電圧V1などの電圧、又は信号CK2などの信号が供給される場合、トランジスタ601__2は、配線118に供給される電圧又は信号などを、ノード12に供給するタイミングを制御する機能を有する。以上のように、トランジスタ601__2は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ601__2は、他にも様々な機能を有することが可能である。なお、トランジスタ601__2は、上記の機能のすべてを有する必要はない。

40

【0295】

トランジスタ602は、一例として、配線118と配線111との導通状態を制御する機能を有する。又は、トランジスタ602は、配線118の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線118に、電圧V1などの電圧、又は信号CK2などの信号が供給される場合、トランジスタ602は、配線118に供給される電圧又は信号などを、配線111に供給するタイミングを制御する機能を有する。以上の

50

ように、トランジスタ 602 は、スイッチとしての機能を有することが可能である。ただし、これに限定されず、トランジスタ 602 は、他にも様々な機能を有することが可能である。なお、トランジスタ 602 は、上記の機能のすべてを有する必要はない。

【0296】

次に、図 23 (A) の半導体装置の動作の一例について説明する。なお図 23 (A) の半導体装置の動作は、図 16 (A) の半導体装置の動作と同じ部分があるため、図 16 (B) のタイミングチャートを適宜参照して説明する。なお、期間 A1 における半導体装置の動作の模式図を図 44 (A) に示し、期間 B1 における半導体装置の動作の模式図を図 44 (B) に示し、期間 C1 における半導体装置の動作の模式図を図 45 (A) に示し、期間 D1 及び期間 E1 における半導体装置の動作の模式図を図 45 (B) に示す。なお、期間 A2 における半導体装置の動作の模式図を図 46 (A) に示し、期間 B2 における半導体装置の動作の模式図を図 46 (B) に示し、期間 C2 における半導体装置の動作の模式図を図 47 (A) に示し、期間 D2 及び期間 E2 における半導体装置の動作の模式図を図 47 (B) に示す。なお、図 45 ~ 図 47 には、回路 300 として図 6 (B) の構成を用い、回路 400 として図 16 (A) の半導体装置を用い、回路 600 として図 23 (B) の構成を用いた場合について示す。

10

【0297】

期間 A1 ~ B1、期間 D1 ~ E1、期間 A2 ~ B2、及び期間 D2 ~ E2 において、信号 RE はロウレベルになるので、トランジスタ 601__1 ~ 601__2、及びトランジスタ 602 はオフになる。よって、配線 118 とノード 11、配線 118 とノード 12、及び配線 118 と配線 111 とは、非導通状態になる。

20

【0298】

期間 C1、及び期間 C2 において、信号 RE はハイレベルになるので、トランジスタ 601__1 ~ 601__2、及びトランジスタ 602 はオンになる。よって、配線 118 とノード 11、配線 118 とノード 12、及び配線 118 と配線 111 とは、導通状態になる。

【0299】

なお、トランジスタ 601__1 のチャネル幅とトランジスタ 601__2 のチャネル幅とはおおむね等しいことが好ましい。こうすることによって、期間 T1 におけるノード 11 の電圧の変化と、期間 T2 におけるノード 12 の電圧の変化とをおおむね等しくすることができる。よって、信号 OUT の波形をおおむね等しくすることができる。ただし、これに限定されず、トランジスタ 601__1 のチャネル幅とトランジスタ 601__2 のチャネル幅とは、異なることが可能である。

30

【0300】

なお、トランジスタ 601__1 のチャネル幅、及びトランジスタ 601__2 のチャネル幅は、100 μm ~ 3000 μm であることが好ましい。より好ましくは、300 μm ~ 2000 μm であることが好ましい。さらに好ましくは、300 μm ~ 1000 μm であることが好ましい。ただし、これに限定されない。

【0301】

なお、トランジスタ 602 のチャネル幅は、500 μm ~ 5000 μm であることが好ましい。より好ましくは、1000 μm ~ 3000 μm であることが好ましい。さらに好ましくは、2000 μm ~ 3000 μm であることが好ましい。ただし、これに限定されない。

40

【0302】

なお、回路 600 は、トランジスタ 601__1 ~ 601__2、及びトランジスタ 602 のすべてを有する必要はない。これらのトランジスタのうち、一つ又は二つのトランジスタを有することが可能である。

【0303】

なお、図 23 (C) に示すように、トランジスタ 601__1 の第 1 端子、トランジスタ 601__2 の第 1 端子、及びトランジスタ 602 の第 1 端子は、別々の配線と接続されることが可能である。図 23 (C) の一例では、配線 118 は、配線 118 G ~ 118 I とい

50

う複数の配線に分割される。そして、トランジスタ601__1の第1端子は配線118Gと接続され、トランジスタ601__2の第1端子は配線118Hと接続され、トランジスタ602の第1端子は配線118Iと接続される。ただし、これに限定されず、トランジスタ601__1の第1端子、トランジスタ601__2の第1端子、及びトランジスタ602の第1端子は、様々な配線、又は様々なノードと接続されることが可能である。なお、配線118G~118Iは、配線118と同様の機能を有することが可能である。よって、配線118G~118Iには電圧V1などの電圧を入力することが可能であり、電源線として機能することが可能である。ただし、これに限定されず、配線118G~118Iには、様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

【0304】

なお、図23(D)に示すように、トランジスタ601__1を、一方の端子(以下、正極ともいう)がノード11と接続され、他方の端子(以下、負極ともいう)が配線118と接続されるダイオード601a__1と置き換えることが可能である。同様に、トランジスタ601__2を、一方の端子(以下、正極ともいう)がノード12と接続され、他方の端子(以下、負極ともいう)が配線118と接続されるダイオード601a__2と置き換えることが可能である。同様に、トランジスタ602を、一方の端子(以下、正極ともいう)が配線111と接続され、他方の端子(以下、負極ともいう)が配線118と接続されるダイオード602aと置き換えることが可能である。ただし、これに限定されない。例えば、図23(E)に示すように、トランジスタ601__1の第1端子がノード11に接続されることによって、トランジスタ601__1はダイオード接続される構成とすることが可能である。同様に、トランジスタ601__2の第1端子がノード12に接続されることによって、トランジスタ601__2はダイオード接続される構成とすることが可能である。同様に、トランジスタ602の第1端子が配線111に接続されることによって、トランジスタ602はダイオード接続される構成とすることが可能である。

【0305】

なお、図23(D)~(E)と同様に、図23(B)~(C)で述べる構成においても、トランジスタ(例えばトランジスタ601__1~601__2、又はトランジスタ602)をダイオードに置き換えることが可能であり、ダイオード接続することが可能である。

【0306】

ここで、実施の形態1~実施の形態3で述べる内容を組み合わせる場合の半導体装置の一例を図48~図49に示す。ただし、これに限定されず、他にも実施の形態1~実施の形態4で述べる内容を組み合わせて、半導体装置を様々な構成とすることが可能である。

【0307】

図48の半導体装置は、回路100及び回路200を有し、回路200は、回路300、回路400、及び回路600を有し、回路400は、回路500を有する。図48の半導体装置では、回路100として、図1(A)に示す構成が用いられる。回路200が有する回路300として、図6(B)に示す構成が用いられる。回路200が有する回路400として、図16(A)に示す構成が用いられる。回路200が有する回路600として、図23(B)に示す構成が用いられる。回路400が有する回路500として、図20(A)に示す構成が用いられる。回路500が有する回路501__1~501__2及び回路502としては、図21(A)の構成が用いられる。

【0308】

図49の半導体装置では、回路100として、図1(A)に示す構成が用いられる。回路200が有する回路300として、図12(A)に示す構成が用いられる。回路200が有する回路400として、図18(A)に示す構成が用いられる。回路200が有する回路600として、図23(B)に示す構成が用いられる。回路400が有する回路500として、図21(D)に示す構成が用いられる。

【0309】

図50の半導体装置では、回路100として、図1(A)に示す構成が用いられる。回路200が有する回路300として、図12(A)に示す構成が用いられる。回路200が

有する回路 400 として、図 17 (B) に示す構成が用いられる。回路 200 が有する回路 600 として、図 23 (B) に示す構成が用いられる。回路 400 が有する回路 500 として、図 22 (A) に示す構成が用いられる。

【0310】

なお、一例として、図 48 に示す半導体装置の動作について説明する。期間 A1 において、信号 SP1 がハイレベルになる。すると、トランジスタ 301₁ がオンになるので、配線 115₁ とノード 11 とが導通状態になる。よって、ハイレベルの信号 SP1 がノード 11 に供給されるので、ノード 11 の電圧が上昇する。このとき、トランジスタ 101₁ がオンになるので、配線 118 と配線 111 とが導通状態になる。ロウレベルの信号 CK1 が配線 111 に供給されるので、配線 111 の電圧が減少する。一方で、信号 SP2 がロウレベルになる。すると、トランジスタ 301₂ がオフになる。ここでは、ノード 12 の電圧の初期値が V1 とすると、ノード 12 の電圧が V1 のままになる。このとき、回路 501₁ において、トランジスタ 532A がオンになるので、配線 118 とトランジスタ 401₁ のゲートとは導通状態になる。よって、電圧 V1 がトランジスタ 401₁ のゲートに供給されるので、トランジスタ 401₁ のゲートの電圧が減少する。すると、トランジスタ 401₁ はオフになるので、配線 118 とノード 11 とは非導通状態になる。回路 501₂ において、トランジスタ 532B がオフになるので、配線 118 とトランジスタ 401₂ のゲートとは非導通状態になる。よって、電圧 V2 がトランジスタ 531B を介してトランジスタ 401₂ のゲートに供給されるので、トランジスタ 401₂ のゲートの電圧が上昇する。すると、トランジスタ 401₂ はオンになるので、配線 118 とノード 12 とは導通状態になる。よって、電圧 V1 がノード 12 に供給される。回路 502 において、トランジスタ 532C がオフになるので、配線 118 とトランジスタ 402 のゲートとは非導通状態になる。よって、電圧 V2 がトランジスタ 531C を介してトランジスタ 402 のゲートに供給されるので、トランジスタ 402 のゲートの電圧が上昇する。すると、トランジスタ 402 はオンになるので、配線 118 と配線 111 とは導通状態になる。よって、電圧 V1 が配線 111 に供給される。

【0311】

期間 B1 において、ノード 11 は $V2 + V_{th101_1} + V_x$ のままとなり、ノード 12 はおおむね V1 のままになる。よって、トランジスタ 101₁ はオンのままになるので、配線 112 と配線 111 とは導通状態のままになる。すると、ハイレベルの信号 CK1 が配線 111 に供給されるので、配線 111 の電圧が上昇する。このとき、回路 501₁ では、期間 A1 と同様に、トランジスタ 532A がオンのままになる。よって、トランジスタ 401₁ はオフのままになる。回路 501₂ では、期間 A1 と同様に、トランジスタ 532B がオフのままになる。よって、トランジスタ 401₂ はオンのままになる。回路 502 では、トランジスタ 532C がオンになるので、配線 118 とトランジスタ 402 のゲートとは導通状態になる。よって、電圧 V1 がトランジスタ 402 のゲートに供給されるので、トランジスタ 402 のゲートの電圧が減少する。すると、トランジスタ 402 がオフになるので、配線 118 と配線 111 とは非導通状態になる。

【0312】

期間 C1、及び期間 C2 では、信号 RE がハイレベルになる。すると、トランジスタ 601₁、トランジスタ 601₂、及びトランジスタ 602 はオンになるので、配線 118 とノード 11 とが導通状態になり、配線 118 とノード 12 とは導通状態になり、配線 118 と配線 111 とは導通状態になる。よって、電圧 V1 は、ノード 11、ノード 12、及び配線 111 に供給されるので、ノード 11 の電圧、ノード 12 の電圧、及び配線 111 の電圧は減少する。このとき、回路 501₁ では、トランジスタ 532A がオフになるので、配線 118 とトランジスタ 401₁ のゲートとは非導通状態になる。よって、電圧 V2 がトランジスタ 531A を介してトランジスタ 401₁ のゲートに供給されるので、トランジスタ 401₁ のゲートの電圧が上昇する。すると、トランジスタ 401₁ がオンになるので、配線 118 とノード 11 とが導通状態になる。回路 501₂ において、期間 A1 と同様に、トランジスタ 532B がオフのままになる。よって、トラ

ンジスタ 4 0 1 __ 2 はオンのままになる。回路 5 0 2 では、期間 A 1 と同様に、トランジスタ 5 3 2 C がオフのままになる。よって、トランジスタ 4 0 2 はオンのままになる。

【 0 3 1 3 】

期間 D 1 ~ E 1、及び期間 D 2 ~ E 2 では、トランジスタ 4 0 1 __ 1、トランジスタ 4 0 1 __ 2、及びトランジスタ 4 0 2 はオンになるので、配線 1 1 8 とノード 1 1 とは導通状態になり、配線 1 1 8 とノード 1 2 とは導通状態になり、配線 1 1 8 と配線 1 1 1 とは導通状態になる。よって、電圧 V 1 は、ノード 1 1、ノード 1 2、及び配線 1 1 1 に供給されるので、ノード 1 1 の電圧、ノード 1 2 の電圧、及び配線 1 1 1 の電圧はおおむね V 1 に維持される。このとき、回路 5 0 1 __ 1 では、期間 C 1 と同様に、トランジスタ 5 3 2 A がオフになる。よって、トランジスタ 4 0 1 __ 1 がオンになる。回路 5 0 1 __ 2 において、期間 A 1 と同様に、トランジスタ 5 3 2 B がオフのままになる。よって、トランジスタ 4 0 1 __ 2 はオンのままになる。回路 5 0 2 では、期間 A 1 と同様に、トランジスタ 5 3 2 C がオフのままになる。よって、トランジスタ 4 0 2 はオンのままになる。

10

【 0 3 1 4 】

期間 A 2 において、信号 S P 1 がロウレベルになる。すると、トランジスタ 3 0 1 __ 2 がオフになる。ここでは、ノード 1 1 の電圧の初期値が V 1 とすると、ノード 1 1 の電圧が V 1 のままになる。一方で、信号 S P 2 がハイレベルになる。すると、トランジスタ 3 0 1 __ 2 がオンになるので、配線 1 1 5 __ 2 とノード 1 2 とが導通状態になる。よって、ハイレベルの信号 S P 2 がノード 1 2 に供給されるので、ノード 1 2 の電圧が上昇する。このとき、トランジスタ 1 0 1 __ 2 がオンになるので、配線 1 1 8 と配線 1 1 1 とが導通状態になる。よって、ロウレベルの信号 C K 1 が配線 1 1 1 に供給されるので、配線 1 1 1 の電圧が減少する。このとき、回路 5 0 1 __ 1 において、期間 C 1 と同様に、トランジスタ 5 3 2 A がオフになる。よって、トランジスタ 4 0 1 __ 1 がオンになる。回路 5 0 1 __ 2 において、トランジスタ 5 3 2 B がオンになるので、配線 1 1 8 とトランジスタ 4 0 1 __ 2 のゲートとが導通状態になる。よって、電圧 V 1 がトランジスタ 5 3 1 B を介してトランジスタ 4 0 1 __ 2 のゲートに供給されるので、トランジスタ 4 0 1 __ 2 のゲートの電圧が減少する。すると、トランジスタ 4 0 1 __ 2 がオフになるので、配線 1 1 8 とノード 1 2 とは非導通状態になる。回路 5 0 2 において、期間 A 1 と同様に、トランジスタ 5 3 2 C がオフになる。よって、トランジスタ 4 0 2 がオフになる。

20

【 0 3 1 5 】

期間 B 2 において、ノード 1 1 はおおむね V 1 のままとなり、ノード 1 2 は $V_2 + V_{th101_2} + V_x$ のままになる。よって、トランジスタ 1 0 1 __ 2 はオンのままになるので、配線 1 1 2 と配線 1 1 1 とは導通状態のままになる。すると、ハイレベルの信号 C K 1 が配線 1 1 1 に供給されるので、配線 1 1 1 の電圧が上昇する。このとき、回路 5 0 1 __ 1 では、期間 A 2 と同様に、トランジスタ 5 3 2 A がオフのままになる。よって、トランジスタ 4 0 1 __ 1 はオンのままになる。回路 5 0 1 __ 2 では、期間 A 2 と同様に、トランジスタ 5 3 2 B がオンのままになる。よって、トランジスタ 4 0 1 __ 2 はオフのままになる。回路 5 0 2 では、期間 B 1 と同様に、トランジスタ 5 3 2 C がオンになる。よって、トランジスタ 4 0 2 がオフになる。

30

【 0 3 1 6 】

さらに、図 4 9 に示す半導体装置の動作検証を行った。検証結果について図 5 1 に示す。図 5 1 は、本実施の形態の半導体装置の計算結果を示す図である。なお検証は、S P I C E シミュレータを用いて行った。また、比較例として図 4 9 に示す半導体装置のトランジスタ 1 0 1 __ 2、トランジスタ 3 0 1 __ 2、トランジスタ 3 0 3 __ 1、トランジスタ 3 0 3 __ 2、トランジスタ 4 0 1 __ 2、トランジスタ 5 5 5、トランジスタ 5 5 6、及びトランジスタ 6 0 1 __ 2 を設けない回路構成の半導体装置についても動作検証を行った。また、検証は、 $V_{dd} = 30V$ 、 $V_{ss} = 0V$ 、クロック周波数 = $25kHz$ (1 周期 = $20\mu sec$)、各トランジスタの移動度 = $1cm^2/Vs$ 、各トランジスタの閾値電圧 = $5V$ 、出力容量 = $50pF$ として行った。

40

【 0 3 1 7 】

50

図 5 1 (A) は、比較例の半導体装置における検証結果のタイミングチャートである。図 5 1 (A) に示すように、比較例の半導体装置では、期間 T 1 及び期間 T 2 とともにノード n 1 の電圧に従ってトランジスタ 1 0 1 _ 1 がオンになり、配線 1 1 2 と配線 1 1 1 とは、トランジスタ 1 0 1 _ 1 を介して導通状態になり、信号 C K 1 が配線 1 1 2 からトランジスタ 1 0 1 _ 1 を介して配線 1 1 1 に供給される。

【 0 3 1 8 】

図 5 1 (B) は、図 4 8 に示す半導体装置における検証結果のタイミングチャートである。図 5 1 (B) に示すように、図 4 8 に示す半導体装置は、期間 T 1 では、信号 S E L 1 に従ってノード 1 1 の電圧が変化し、ノード 1 1 の電圧に従ってトランジスタ 1 0 1 _ 1 がオンになり、配線 1 1 2 と配線 1 1 1 とは、トランジスタ 1 0 1 _ 1 を介して導通状態になり、信号 C K 1 が配線 1 1 2 からトランジスタ 1 0 1 _ 1 を介して配線 1 1 1 に供給され、期間 T 2 では、信号 S E L 2 に従ってノード 1 2 の電圧が変化し、ノード 1 2 の電圧に従ってトランジスタ 1 0 1 _ 2 がオンになり、配線 1 1 2 と配線 1 1 1 とは、トランジスタ 1 0 1 _ 1 を介して導通状態になり、信号 C K 1 が配線 1 1 2 からトランジスタ 1 0 1 _ 1 を介して配線 1 1 1 に供給される。よって図 4 9 に示すように、本実施の形態の半導体装置では、各期間で異なるトランジスタをオンにして動作することにより、各トランジスタがオンになる回数及びオンになる時間を低減することができることがわかる。

【 0 3 1 9 】

(実施の形態 4)

本実施の形態では、表示装置、及び表示装置が有するシフトレジスタの一例について説明する。当該シフトレジスタは、実施の形態 1 ~ 実施の形態 3 の半導体装置を有することが可能である。なお、シフトレジスタを、半導体装置、又はゲートドライバを示すことが可能である。なお、実施の形態 1 ~ 実施の形態 3 で述べる内容は、その説明を省略する。なお、実施の形態 1 ~ 実施の形態 3 で述べる内容は、本実施の形態で述べる内容と自由に組み合わせることができる。

【 0 3 2 0 】

まず、図 2 6 (A) ~ (D) を参照して、表示装置の一例について説明する。図 2 6 (A) の表示装置は、回路 1 0 0 1、回路 1 0 0 2、回路 1 0 0 3 _ 1、画素部 1 0 0 4、及び端子 1 0 0 5 を有する。画素部 1 0 0 4 には、回路 1 0 0 3 _ 1 から複数の配線が延伸して配置されることが可能である。当該複数の配線は、ゲート信号線又は走査線としての機能を有することが可能である。又は、画素部 1 0 0 4 には、回路 1 0 0 2 又は端子 1 0 0 5 から複数の配線が延伸して配置されることが可能である。当該複数の配線は、ビデオ信号線又はデータ線としての機能を有する。又は、画素部 1 0 0 4 には、端子 1 0 0 5 から複数の配線が延伸して配置されることが可能である。当該複数の配線は、電源線又はアノード線としての機能を有することが可能である。ただし、これに限定されない。画素部 1 0 0 4 に配置される配線は、画素部 1 0 0 4 が有する画素の構成に応じて、様々な配線を配置することが可能である。

【 0 3 2 1 】

回路 1 0 0 1 は、回路 1 0 0 2、及び回路 1 0 0 3 に、信号、電圧、又は電流などを供給するタイミングを制御する機能を有する。又は、回路 1 0 0 1 は、回路 1 0 0 2、及び回路 1 0 0 3 を制御する機能を有する。このように、回路 1 0 0 1 は、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータなどとしての機能を有することが可能である。

【 0 3 2 2 】

回路 1 0 0 2 は、ビデオ信号を画素部 1 0 0 4 に供給するタイミングを制御する機能を有する。又は、回路 1 0 0 2 は、画素を有する画素部 1 0 0 4 と、画素部 1 0 0 4 が有する画素の輝度又は透過率などを制御する機能を有する。このように、回路 1 0 0 2 は、駆動回路、ソースドライバ、又は信号線駆動回路などとしての機能を有する。

【 0 3 2 3 】

回路 1 0 0 3 _ 1 は、走査信号、又はゲート信号を画素部 1 0 0 4 に供給するタイミング

10

20

30

40

50

を制御する機能を有する。又は、回路 1003__1 は、画素部 1004 が有する画素を選択する機能を有する。このように、回路 1003__1 は、駆動回路、ゲートドライバ、又は走査線駆動回路としての機能を有する。なお、回路 1003__1 は、画素部 1004 と同じ基板 1006 に形成される。ただし、これに限定されず、回路 1003__1 は、画素部 1004 とは別の基板に形成されることが可能である。

【0324】

なお、図 26 (B) に示すように、表示装置は、回路 1003__2 を有することが可能である。回路 1003__2 は、回路 1003__1 と同様の機能を有する。例えば、回路 1003__1 と回路 1003__2 とは、同じタイミングで信号を画素部 1004 に供給することが可能である。こうすることによって、負荷を低減することができるので、表示装置を大きくすることができる。又は、回路 1003__1 は奇数段の画素を選択し、回路 1003__2 は偶数段の画素を選択することが可能である。こうすることによって、駆動周波数が小さくなるので、消費電力の低減を図ることができる。又は、1 段当たりのレイアウトすることが可能な面積を広くすることができるので、表示装置を高精細にすることができる。

10

【0325】

なお、図 26 (C) に示すように、回路 1002 を画素部 1004 と同じ基板 1006 に形成することが可能である。又は、図 26 (D) に示すように、回路 1002 の一部の回路 1002a を画素部 1004 と同じ基板 1006 に形成することが可能である。そして、別の回路 1002b は、基板 1006 とは別の基板に形成することが可能である。

20

【0326】

次に、シフトレジスタの一例について、図 27 を参照して説明する。当該シフトレジスタは、回路 1002、回路 1003__1、及び / 又は、回路 1003__2 に含まれることが可能である。又は、当該シフトレジスタを半導体装置、駆動回路、又はゲートドライバと示すことが可能である。

【0327】

シフトレジスタ 1100 は、フリップフロップ 1101__1 ~ 1101__N (N は 2 以上の自然数) という複数のフリップフロップを有する。フリップフロップ 1101__1 ~ 1101__N は、実施の形態 1 ~ 実施の形態 3 で述べる半導体装置に対応する。図 27 の一例には、フリップフロップ 1101__1 ~ 1101__N として、各々、図 24 (A) の半導体装置が用いられる場合の構成を示す。ただし、これに限定されず、フリップフロップ 1101__1 ~ 1101__N としては、他にも例えば実施の形態 1 ~ 実施の形態 3 で述べる半導体装置若しくは回路を用いることが可能である。

30

【0328】

シフトレジスタ 1100 は、配線 1111__1 ~ 1111__N、配線 1112、配線 1113、配線 1114、配線 1115__1 ~ 1115__2、配線 1116__1 ~ 1116__2、配線 1117、配線 1118、配線 1200__1 ~ 1200__N、及び配線 1201__1 ~ 1201__N と接続される。そして、フリップフロップ 1101__i (i は、1 ~ N のいずれか) において、配線 111、配線 112、配線 113、配線 114、配線 115__1、配線 115__2、配線 116__1、配線 116__2、配線 117、配線 118、配線 711__1、及び配線 711__2 は、各々、配線 1111__i、配線 1112、配線 1113、配線 1114、配線 1200__i - 1、配線 1201__i - 1、配線 1116__1、配線 1116__2、配線 1111__i + 1、配線 1118、配線 1200__i、配線 1201__i と接続される。ただし、奇数段のフリップフロップと、偶数段のフリップフロップとでは、配線 112 及び配線 113 の接続先が異なる場合が多い。例えば、i 段目のフリップフロップにおいて、配線 112 が配線 1112 と接続され、配線 113 が配線 1113 と接続される場合、i + 1 段目のフリップフロップ又は i - 1 段目のフリップフロップでは、配線 112 は配線 1113 と接続され、配線 113 は配線 1112 と接続される場合が多い。なお、フリップフロップ 1101__1 において、配線 115__1 は、配線 1115__1 と接続され、配線 115__2 は、配線 1115__2 と接続される場合

40

50

が多い。なお、フリップフロップ 1101__Nにおいて、配線 117は、配線 1117と接続される場合が多い。ただし、これに限定されない。

【0329】

配線 1111__1~1111__Nからは、一例として、各々、信号 GOUT__1~GOUT__Nが出力されるものとする。信号 GOUT__1~GOUT__Nは、各々、フリップフロップ 1101__1~1101__Nの出力信号である。そして、信号 GOUT__1~GOUT__Nは、信号 OUTと同様の機能を有する。配線 1112には、一例として、信号 GCK1が入力され、配線 1113には、一例として、信号 GCK2が入力されるものとする。信号 GCK1、及び信号 GCK2は、信号 CK1又は信号 CK2と同様の機能を有する。配線 1114には、一例として、電圧 V2が供給されるものとする。配線 1115__1には、一例として、信号 GSP1が入力され、配線 1115__2には、一例として、信号 SSP2が入力されるものとする。信号 GSP1は、信号 SP1と同様の機能を有し、信号 GSP2は、信号 SP2と同様の機能を有する。配線 1116__1には、一例として、信号 SEL1が入力され、配線 1116__2には、一例として、信号 SEL2が入力されるものとする。配線 1117には、一例として、信号 GREが入力されるものとする。信号 GREは、信号 REと同様の機能を有する。配線 1118には、一例として、電圧 V1が供給されるものとする。配線 1200__1~1200__Nからは、一例として、信号 SOUT1__1~SOUT1__Nが出力され、配線 1201__1~1201__Nからは、一例として、信号 SOUT2__1~SOUT2__Nが出力されるものとする。信号 SOUT1__1~SOUT1__Nは、信号 SOUT1と同様の機能を有し、信号 SOUT2__1~SOUT2__Nは、信号 SOUT2と同様の機能を有する。ただし、これに限定されず、これらの配線には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

10

20

【0330】

次に、図 27のシフトレジスタの動作について、図 28のタイミングチャートを参照して説明する。図 28は、シフトレジスタの動作を説明するためのタイミングチャートの一例である。図 28には、信号 GCK1、信号 GCK2、信号 GSP1、信号 GSP2、信号 GRE、信号 SEL1、信号 SEL2、信号 GOUT__1~GOUT__N、信号 SOUT1__1~SOUT1__N、信号 SOUT2__1~SOUT2__Nの一例を示す。

30

【0331】

k (kは2以上の自然数)フレーム目におけるフリップフロップ 1101__iの動作について説明する。まず、信号 SOUT1__i-1がハイレベルになる。すると、フリップフロップ 1101__iは、期間 A1における動作を開始する。その後、信号 GCK1、及び信号 GCK2が反転する。すると、フリップフロップ 1101__iは、期間 B1における動作を開始し、信号 GOUT__i、及び信号 SOUT1__iがハイレベルになる。信号 SOUT1__iは、フリップフロップ 1101__i+1に入力されるので、フリップフロップ 1101__i+1は、期間 A1における動作を開始する。その後、信号 GCK1、及び信号 GCK2が再び反転すると、フリップフロップ 1101__i+1は、期間 B1における動作を開始し、信号 GOUT__i+1、及び信号 SOUT1__i+1がハイレベルになる。信号 GOUT__i+1は、フリップフロップ 1101__iに入力されるので、フリップフロップ 1101__iは、期間 C1における動作を開始する。よって、信号 GOUT__iは、ロウレベルになる。その後、再び信号 SOUT1__i-1がハイレベルになるまでは、フリップフロップ 1101__iは、期間 D1における動作と期間 E1における動作とを繰り返す。

40

【0332】

k+1フレーム目におけるフリップフロップ 1101__iの動作について説明する。まず、信号 SOUT2__i-1がハイレベルになる。すると、フリップフロップ 1101__iは、期間 A2における動作を開始する。その後、信号 GCK1、及び信号 GCK2が反転する。すると、フリップフロップ 1101__iは、期間 B2における動作を開始し、信号 GOUT__i、及び信号 SOUT2__iがハイレベルになる。信号 SOUT2__iは、フ

50

リップフロップ 1 1 0 1 __ i + 1 に入力されるので、リップフロップ 1 1 0 1 __ i + 1 は、期間 A 2 における動作を開始する。その後、信号 G C K 1、及び信号 G C K 2 が再び反転すると、リップフロップ 1 1 0 1 __ i + 1 は、期間 B 2 における動作を開始し、信号 G O U T __ i + 1、及び信号 S O U T 2 __ i + 1 がハイレベルになる。信号 G O U T __ i + 1 は、リップフロップ 1 1 0 1 __ i に入力されるので、リップフロップ 1 1 0 1 __ i は、期間 C 2 における動作を開始する。よって、信号 G O U T __ i は、ロウレベルになる。その後、再び信号 S O U T 2 __ i - 1 がハイレベルになるまでは、リップフロップ 1 1 0 1 __ i は、期間 D 2 における動作と期間 E 2 における動作とを繰り返す。

【 0 3 3 3 】

なお、リップフロップ 1 1 0 1 __ 1 では、前の段のリップフロップの出力信号の代わりに、信号 G S P 1 が配線 1 1 1 5 __ 1 を介して入力され、信号 G S P 2 が配線 1 1 1 5 __ 2 を介して入力される。よって、リップフロップ 1 1 0 1 __ 1 は、信号 G S P 1 がハイレベルになると期間 A 1 における動作を開始し、信号 G S P 2 がハイレベルになると期間 A 2 における動作を開始する。

10

【 0 3 3 4 】

なお、リップフロップ 1 1 0 1 __ N では、次の段のリップフロップの出力信号の代わりに、信号 G R E が配線 1 1 1 7 を介して入力される。よって、信号 G R E がハイレベルになると、リップフロップ 1 1 0 1 __ N は、期間 C 1 又は期間 C 2 における動作を開始する。

20

【 0 3 3 5 】

(実施の形態 5)

本実施の形態では、信号線駆動回路の一例について説明する。なお、信号線駆動回路を半導体装置、又は信号生成回路と示すことが可能である。

【 0 3 3 6 】

信号線駆動回路の一例について、図 2 9 (A) を参照して説明する。信号線駆動回路は、回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N (N は 2 以上の自然数) という複数の回路と、回路 2 0 0 0 と、回路 2 0 0 1 とを有する。そして、回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N は、各々、トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k (k は 2 以上の自然数) という複数のトランジスタを有する。トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k は、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k は、P チャネル型とすることが可能であるし、C M O S 型のスイッチとすることが可能である。

30

【 0 3 3 7 】

信号線駆動回路の接続関係について、回路 2 0 0 2 __ 1 を例にして説明する。トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k の第 1 端子は、配線 2 0 0 5 __ 1 と接続される。トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k の第 2 端子は、各々、配線 S 1 ~ S k と接続される。トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k のゲートは、各々、配線 2 0 0 4 __ 1 ~ 2 0 0 4 __ k と接続される。例えば、トランジスタ 2 0 0 3 __ 1 の第 1 端子は、配線 2 0 0 5 __ 1 と接続され、トランジスタ 2 0 0 3 __ 1 の第 2 端子は、配線 S 1 と接続され、トランジスタ 2 0 0 3 __ 1 のゲートは、配線 2 0 0 4 __ 1 と接続される。

40

【 0 3 3 8 】

回路 2 0 0 0 は、配線 2 0 0 4 __ 1 ~ 2 0 0 4 __ k を介して、信号を回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N に供給する機能を有し、シフトレジスタ、又はデコーダなどとして機能することが可能である。当該信号は、デジタル信号である場合が多く、選択信号として機能することが可能である。そして、配線 2 0 0 4 __ 1 ~ 2 0 0 4 __ k は、信号線として機能することが可能である。

【 0 3 3 9 】

回路 2 0 0 1 は、信号を回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N に出力する機能を有し、ビデオ信号生成回路などとして機能することが可能である。例えば、回路 2 0 0 1 は、配線 2 0 0 5 __ 1 を介して信号を回路 2 0 0 2 __ 1 に供給する。同時に、配線 2 0 0 5 __ 2 を介して信号を回路 2 0 0 2 __ 2 に供給する。当該信号は、アナログ信号である場合が多く、ビ

50

デオ信号として機能することが可能である。そして、配線 2 0 0 5 __ 1 ~ 2 0 0 5 __ N は、信号線として機能することが可能である。

【 0 3 4 0 】

回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N は、回路 2 0 0 1 の出力信号を、どの配線に出力するかを選択する機能を有し、セクタ回路として機能することが可能である。例えば、回路 2 0 0 2 __ 1 は、回路 2 0 0 1 が配線 2 0 0 5 __ 1 に出力する信号を、配線 S 1 ~ S k のうちのどの配線に出力するかを選択する機能を有する。

【 0 3 4 1 】

トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ N は、各々、回路 2 0 0 0 の出力信号に応じて、配線 2 0 0 5 __ 1 と、配線 S 1 ~ S k との導通状態を制御する機能を有し、スイッチとして機能する。

10

【 0 3 4 2 】

次に、図 2 9 (A) の信号線駆動回路の動作について、図 2 9 (B) のタイミングチャートを参照して説明する。図 2 9 (B) には、配線 2 0 0 4 __ 1 に入力される信号 6 1 4 __ 1、配線 2 0 0 4 __ 2 に入力される信号 6 1 4 __ 2、配線 2 0 0 4 __ k に入力される信号 6 1 4 __ k、配線 2 0 0 5 __ 1 に入力される信号 6 1 5 __ 1、及び配線 2 0 0 5 __ 2 に入力される信号 6 1 5 __ 2 の一例を示す。

【 0 3 4 3 】

なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間とは、ある行に属する画素が選択され、当該画素にビデオ信号を書き込むことが可能な期間のことをいう。

20

【 0 3 4 4 】

なお、1 ゲート選択期間は、期間 T 0、及び期間 T 1 ~ 期間 T k に分割される。期間 T 0 は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間として機能することが可能である。期間 T 1 ~ T k は、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間として機能することが可能である。

【 0 3 4 5 】

なお、便宜上、回路 2 0 0 2 __ 1 の動作を例にして、信号線駆動回路の動作を説明する。

【 0 3 4 6 】

まず、期間 T 0 において、回路 2 0 0 0 は、配線 2 0 0 4 __ 1 ~ 2 0 0 4 __ k にハイレベルの信号を出力する。すると、トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k がオンになるので、配線 2 0 0 5 __ 1 と、配線 S 1 ~ S k とが導通状態となる。このとき、回路 2 0 0 1 は、配線 2 0 0 5 __ 1 にプリチャージ電圧 V p を供給しているので、プリチャージ電圧 V p は、トランジスタ 2 0 0 3 __ 1 ~ 2 0 0 3 __ k を介して、配線 S 1 ~ S k にそれぞれ出力される。そして、プリチャージ電圧 V p は、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

30

【 0 3 4 7 】

次に、期間 T 1 において、回路 2 0 0 0 は、ハイレベルの信号を配線 2 0 0 4 __ 1 に出力する。すると、トランジスタ 2 0 0 3 __ 1 がオンになるので、配線 2 0 0 5 __ 1 と配線 S 1 とが導通状態となる。そして、配線 2 0 0 5 __ 1 と配線 S 2 ~ S k とが非導通状態となる。このとき、回路 2 0 0 1 は、信号 Data (S 1) を配線 2 0 0 5 __ 1 に出力しているとすると、信号 Data (S 1) は、トランジスタ 2 0 0 3 __ 1 を介して、配線 S 1 に出力される。こうして、信号 Data (S 1) は、配線 S 1 と接続される画素のうち、選択された行に属する画素に書き込まれる。

40

【 0 3 4 8 】

次に、期間 T 2 において、回路 2 0 0 0 は、ハイレベルの信号を配線 2 0 0 4 __ 2 に出力する。すると、トランジスタ 2 0 0 3 __ 2 がオンになるので、配線 2 0 0 5 __ 2 と配線 S 2 とが導通状態となる。そして、配線 2 0 0 5 __ 1 と配線 S 1 とが非導通状態となり、配線 2 0 0 5 __ 1 と配線 S 3 ~ S k とが非導通状態のままとなる。このとき、回路 2 0 0 1

50

は、信号 Data (S2) を配線 2005__1 に出力しているとする、信号 Data (S2) は、トランジスタ 2003__2 を介して、配線 S2 に出力される。こうして、信号 Data (S1) は、配線 S1 と接続される画素のうち、選択された行に属する画素に書き込まれる。

【0349】

その後、期間 Tk まで、回路 2000 は、配線 2004__1 ~ 2004__k にハイレベルの信号を順に出力するので、期間 T1 及び期間 T2 と同様に、期間 T3 から期間 Tk まで、回路 2000 は、配線 2004__3 ~ 2004__k にハイレベルの信号を順に出力する。よって、トランジスタ 2003__3 ~ 2003__k が順にオンになるので、トランジスタ 2003__1 ~ 2003__N が順にオンになる。したがって、回路 2001 から出力される信号は、配線 S1 ~ Sk に順に出力される。こうして、選択された行に属する画素に、信号を順に書き込むことが可能になる。

10

【0350】

以上、信号線駆動回路の一例について説明した。本実施の形態の信号線駆動回路は、セレクトアとして機能する回路を有するので、信号の数、又は配線の数減らすことができる。又は、画素にビデオ信号を書き込む前(期間 T0)に、プリチャージを行うための電圧を画素に書き込むので、ビデオ信号の書き込み時間を短くすることができる。したがって、表示装置の大型化、表示装置の高精細化を図ることができる。ただし、これに限定されず、期間 T0 を省略し、画素にプリチャージしないことが可能である。

20

【0351】

なお、k が大きすぎると、画素への書き込み時間が短くなるので、ビデオ信号の画素への書き込みが時間内に終了しない場合がある。したがって、k = 6 であることが好ましい。より好ましくは k = 3 であることが好ましい。さらに好ましくは k = 2 であることが好ましい。

【0352】

特に、画素の色要素が n (n は 2 以上の自然数) 個に分割される場合、k = n とすることが可能である。例えば、画素の色要素が赤 (R) と緑 (G) と青 (B) との三つに分割される場合、k = 3 であることが可能である。この場合、1 ゲート選択期間は、期間 T0、期間 T1、期間 T2、期間 T3 に分割される。そして、期間 T1、期間 T2、期間 T3 では、各々、赤 (R) の画素、緑 (G) の画素、青 (B) の画素にビデオ信号を書き込むことが可能である。ただし、これに限定されず、期間 T1、期間 T2、期間 T3 の順番は任意に設定することが可能である。

30

【0353】

特に、画素が n (n は 2 以上の自然数) 個のサブ画素(以下サブピクセル、又は副画素ともいう)に分割される場合、k = n とすることが可能である。例えば、画素が 2 個のサブ画素に分割される場合、k = 2 であることが可能である。この場合、1 ゲート選択期間は、期間 T0、期間 T1、期間 T2 に分割される。そして、期間 T1 では、2 個のサブ画素の一方にビデオ信号を書き込み、期間 T2 では、2 個のサブ画素の他方にビデオ信号を書き込むことが可能である。

40

【0354】

なお、回路 2000、及び回路 2002__1 ~ 2002__N の駆動周波数は、回路 2001 よりも低い場合が多く、画素部に形成されるトランジスタと同じ工程で形成されるトランジスタを回路 2000、及び回路 2002__1 ~ 2002__N に用いることができるので、回路 2000、及び回路 2002__1 ~ 2002__N は、画素部と同じ基板に形成することが可能である。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、又は信頼性の向上などを行うことができる。さらに、図 24 (C) のように、走査線駆動回路も画素部と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。

【0355】

なお、回路 2000 として、実施の形態 1 ~ 実施の形態 4 の半導体装置又はシフトレジス

50

タを用いることが可能である。この場合、回路 2 0 0 0 が有する全てのトランジスタの極性を N チャネル型、又は P チャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。

【 0 3 5 6 】

なお、回路 2 0 0 0 だけでなく、回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N が有する全てのトランジスタの極性も N チャネル型、又は P チャネル型とすることが可能である。したがって、回路 2 0 0 0、及び回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N が、画素部と同じ基板に形成される場合、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性を N チャネル型とすることによって、トランジスタの半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることができる。なぜなら、回路 2 0 0 0、及び回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N の駆動周波数は、回路 2 0 0 1 よりも低い場合が多く、画素部に形成されるトランジスタと同じ工程で形成されるトランジスタを回路 2 0 0 2 __ 1 ~ 2 0 0 2 __ N に用いることができるからである。

10

【 0 3 5 7 】

(実施の形態 6)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【 0 3 5 8 】

図 3 0 (A) は、画素の一例を示す。画素 3 0 2 0 は、トランジスタ 3 0 2 1、液晶素子 3 0 2 2、及び容量素子 3 0 2 3 を有する。そして、トランジスタ 3 0 2 1 の第 1 端子は、配線 3 0 3 1 と接続され、トランジスタ 3 0 2 1 の第 2 端子は、液晶素子 3 0 2 2 の一方の電極及び容量素子 3 0 2 3 の一方の電極と接続され、トランジスタ 3 0 2 1 のゲートは、配線 3 0 3 2 と接続される。液晶素子 3 0 2 2 の他方の電極は、電極 3 0 3 4 と接続され、容量素子 3 0 2 3 の他方の電極は、配線 3 0 3 3 と接続される。

20

【 0 3 5 9 】

配線 3 0 3 1 には、一例として、ビデオ信号が入力されることが可能である。配線 3 0 3 2 には、一例として、走査信号、選択信号、又はゲート信号が入力されることが可能である。配線 3 0 3 3 には、一例として、一定の電圧が供給されることが可能である。電極 3 0 3 4 には、一例として、一定の電圧が供給されることが可能である。ただし、これに限定されず、配線 3 0 3 1 にはプリチャージ電圧が供給されることによって、ビデオ信号の書き込み時間を短くすることが可能である。又は、配線 3 0 3 3 には信号が入力されることによって、液晶素子 3 0 2 2 に印加される電圧を制御することが可能である。又は、配線 3 0 3 3 又は電極 3 0 3 4 に信号が入力されることによって、フレーム反転駆動を実現することが可能である。

30

【 0 3 6 0 】

なお、配線 3 0 3 1 は、信号線、ビデオ信号線、又はソース線として機能することが可能である。配線 3 0 3 2 は、信号線、走査線、又はゲート信号線として機能することが可能である。配線 3 0 3 3 は、電源線、又は容量線として機能することが可能である。電極 3 0 3 4 は、共通電極、又は対向電極として機能することが可能である。ただし、これに限定されず、配線 3 0 3 1、配線 3 0 3 2 に、電圧が供給される場合、これらの配線は、電源線として機能することが可能である。又は、配線 3 0 3 3 に信号が入力される場合、配線 3 0 3 3 は信号線として機能することが可能である。

40

【 0 3 6 1 】

トランジスタ 3 0 2 1 は、配線 3 0 3 1 と液晶素子 3 0 2 2 の一方の電極との導通状態を制御することによって、画素にビデオ信号を書き込むタイミングを制御する機能を有し、スイッチとして機能することが可能である。容量素子 3 0 2 3 は、液晶素子 3 0 2 2 の一方の電極と、配線 3 0 3 3 との間の電圧差を保持し、液晶素子 3 0 2 2 に印加される電圧を一定に保持する機能を有し、保持容量として機能する。ただし、これに限定されない。

【 0 3 6 2 】

50

図 30 (B) には、図 30 (A) の画素の動作を説明するためのタイミングチャートの一例を示す。図 30 (B) には、信号 3042 $_j$ (j は自然数)、信号 3042 $_j + 1$ 、信号 3041 $_i$ (i は自然数)、信号 3041 $_i + 1$ 、及び電圧 3043 を示す。そして、図 30 (B) には、第 k (k は 2 以上の自然数) フレームと、第 $k + 1$ フレームを示す。なお、信号 3042 $_j$ 、信号 3042 $_j + 1$ 、信号 3041 $_i$ 、信号 3041 $_i + 1$ 、及び電圧 3043 は、各々、 j 行目の配線 3032 に入力される信号、 $j + 1$ 行目の配線 3032 に入力される信号、 i 列目の配線 3031 に入力される信号、 $i + 1$ 列目の配線 3031 に入力される信号、配線 3033 に供給される電圧の一例である。

【 0363 】

j 行 i 列目に属する画素 3020 の動作について説明する。信号 3042 $_j$ がハイレベルになると、トランジスタ 3021 がオンになる。よって、 i 列目の配線 3031 と液晶素子 3022 の一方の電極とが導通状態となるので、信号 3041 $_j$ がトランジスタ 3021 を介して液晶素子 3022 の一方の電極に入力される。そして、容量素子 3023 は、このときの液晶素子 3022 の一方の電極の電位と、配線 3033 の電位との電位差を保持する。よって、その後、再び信号 3042 $_j$ がハイレベルになるまで、液晶素子 3022 に印加される電圧は一定となる。そして、液晶素子 3022 は、印加される電圧に応じた階調を表現する。

【 0364 】

なお、図 30 (B) には、正極性の信号と負極性の信号とが、1 行選択期間毎に交互に配線 3031 に入力される場合の一例を示す。正極性の信号とは、電圧が基準の値 (例えば電極 3034 の電位) よりも高い信号のことであり、負極性の信号とは、電圧が基準の値 (例えば電極 3034 の電位) よりも低い信号のことである。ただし、これに限定されず、配線 3031 に入力される信号は、1 フレーム期間中、同じ極性であることが可能である。

【 0365 】

なお、図 30 (B) には、信号 3041 $_i$ の極性と信号 3041 $_i + 1$ の極性とがお互いに異なる場合の一例を示す。ただし、これに限定されず、信号 3041 $_i$ の極性と信号 3041 $_i + 1$ の極性とは同じであることが可能である。

【 0366 】

なお、図 30 (B) には、信号 3042 $_j$ がハイレベルとなる期間と、信号 3042 $_j + 1$ がハイレベルになる期間とは、重ならない場合の一例を示した。ただし、これに限定されず、図 30 (C) に示すように、信号 3042 $_j$ がハイレベルとなる期間と、信号 3042 $_j + 1$ がハイレベルになる期間とは重なることが可能である。この場合、配線 3031 には、1 フレーム期間中、同じ極性の信号が供給されることが好ましい。こうすることによって、 j 行目の画素へ書き込まれる信号 3041 $_j$ を用いて、 $j + 1$ 行目の画素をプリチャージすることができる。こうして、画素へのビデオ信号の書き込み時間を短くすることができる。よって、表示装置を高精細にすることができる。又は、表示装置の表示部を大きくすることができる。又は、1 フレーム期間において、配線 3031 に同じ極性の信号が入力されるので、消費電力を削減することができる。

【 0367 】

なお、図 31 (A) の画素構成と、図 30 (C) のタイミングチャートとを組み合わせることによって、ドット反転駆動を実現することができる。図 31 (A) の画素構成では、画素 3020 (i 、 j) は、配線 3031 $_i$ と接続される。一方、画素 3020 (i 、 $j + 1$) は、配線 3031 $_i + 1$ と接続される。つまり、 i 列目に属する画素は、1 行ずつ交互に、配線 3031 $_i$ と、配線 3031 $_i + 1$ と接続される。こうして、 i 列目に属する画素は、1 行ずつ交互に、正極性の信号と負極性の信号とが書き込まれるので、ドット反転駆動を実現することができる。ただし、これに限定されず、 i 列目に属する画素は、複数行 (例えば 2 行又は 3 行) ずつ交互に、配線 3031 $_i$ と、配線 3031 $_i + 1$ と接続されることが可能である。

10

20

30

40

50

【0368】

なお、画素構成としては、サブピクセル構造を用いることが可能である。図31(B)、及び(C)には、画素を二つのサブ画素に分割する場合の構成を示す。そして、図31(B)には、1S+2G(例えば1つの信号線と、2つの走査線を用いるもの)と呼ばれるサブピクセル構造を示し、図31(C)には、2S+1G(例えば2つの信号線と、1つの走査線を用いるもの)と呼ばれるサブピクセル構造を示す。サブ画素3020A及びサブ画素3020Bは、画素3020に対応する。トランジスタ3021A及びトランジスタ3021Bは、トランジスタ3021に対応する。液晶素子3022A及び液晶素子3022Bは、液晶素子3022に対応する。容量素子3023A及び容量素子3023Bは、容量素子3023に対応する。配線3031A及び配線3031Bは、配線3031に対応する。配線3032A及び配線3032Bは、配線3032に対応する。

10

【0369】

ここで、本実施の形態の画素と、実施の形態1～実施の形態5の半導体装置、シフトレジスタ、表示装置、又は信号線駆動回路とを組み合わせることによって、様々なメリットを得ることができる。例えば、画素として、サブピクセル構造を用いる場合、表示装置を駆動するために必要な信号の数が増えてしまう。このため、ゲート信号線の数、又はソース線の数が増えてしまう。この結果、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。しかし、ゲート信号線の数が増えても、実施の形態5に示すように、走査線駆動回路を画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。又は、ソース線の数が増えても、実施の形態5の信号線駆動回路を用いることによって、ソース線数を減らすことができる。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。

20

【0370】

又は、容量線に信号を入力する場合、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。そこで、容量線に、実施の形態1～実施の形態5の半導体装置又はシフトレジスタを用いて信号を供給することが可能である。そして、実施の形態1～実施の形態5の半導体装置又はシフトレジスタは、画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、容量線に信号を入力することができる。

30

【0371】

又は、交流駆動を用いる場合、画素へのビデオ信号の書き込み時間が長くなってしまう。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。同様に、サブピクセル構造の画素を用いる場合、画素へのビデオ信号の書き込み時間が短くなる。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。そこで、実施の形態5の信号線駆動回路を用いて、画素にビデオ信号を書き込むことが可能である。この場合、画素にビデオ信号を書き込む前に、画素にプリチャージ用の電圧を書き込むので、短い時間で画素にビデオ信号を書き込むことができる。又は、図21に示すように、ある行が選択される期間と、別の行が選択される期間とを重ねることによって、別の行のビデオ信号をプリチャージ用の電圧として用いることが可能である。

40

【0372】

(実施の形態7)

本実施の形態では、トランジスタの構造の一例について図32(A)、(B)、及び(C)を参照して説明する。

【0373】

図32(A)は、表示装置の構造の一例を示す図であり、また、トップゲート型のトランジスタの構造の一例を示す図である。図32(B)は、表示装置の構造の一例を示す図であり、また、ボトムゲート型のトランジスタの構造の一例を示す図である。図32(C)は、半導体基板を用いて作製されるトランジスタの構造の一例を示す図である。

50

【0374】

図32(A)のトランジスタの一例は、基板5260の上に形成される絶縁層5261と、絶縁層5261の上に形成され、領域5262a、領域5262b、領域5262c、領域5262d、及び5262eを有する半導体層5262と、半導体層5262を覆うように形成される絶縁層5263と、半導体層5262及び絶縁層5263の上に形成される導電層5264と、絶縁層5263及び導電層5264の上に形成され、開口部を有する絶縁層5265と、絶縁層5265の上及び絶縁層5265の開口部に形成される導電層5266と、を有する。

【0375】

図32(B)のトランジスタの一例は、基板5300と、基板5300の上に形成される導電層5301と、導電層5301を覆うように形成される絶縁層5302と、導電層5301及び絶縁層5302の上に形成される半導体層5303aと、半導体層5303aの上に形成される半導体層5303bと、半導体層5303bの上及び絶縁層5302の上に形成される導電層5304と、絶縁層5302の上及び導電層5304の上に形成され、開口部を有する絶縁層5305と、絶縁層5305の上及び絶縁層5305の開口部に形成される導電層5306と、を有する。

10

【0376】

図32(C)のトランジスタの一例は、領域5353及び領域5355を有する半導体基板5352と、半導体基板5352の上に形成される絶縁層5356と、半導体基板5352の上に形成される絶縁層5354と、絶縁層5356の上に形成される導電層5357と、絶縁層5354、絶縁層5356、及び導電層5357の上に形成され、開口部を有する絶縁層5358と、絶縁層5358の上及び絶縁層5358の開口部に形成される導電層5359とを有する。こうして、領域5350と領域5351とに、各々、トランジスタが作製される。

20

【0377】

なお、本実施の形態におけるトランジスタを用いて表示装置を構成する場合、例えば、図32(A)に示すように、導電層5266の上及び絶縁層5265の上に形成され、開口部を有する絶縁層5267と、絶縁層5267の上及び絶縁層5267の開口部に形成される導電層5268と、絶縁層5267の上及び導電層5268の上に形成され、開口部を有する絶縁層5269と、絶縁層5269の上及び絶縁層5269の開口部に形成される発光層5270と、絶縁層5269の上及び発光層5270の上に形成される導電層5271とを形成することが可能である。

30

【0378】

また、図32(B)に示すように、絶縁層5305の上及び導電層5306の上に配置される液晶層5307と、液晶層5307の上に形成される導電層5308とを形成することが可能である。

【0379】

絶縁層5261は、下地膜として機能することが可能である。絶縁層5354は、素子間分離層（例えばフィールド酸化膜）として機能する。絶縁層5263、絶縁層5302、絶縁層5356は、ゲート絶縁膜として機能することが可能である。導電層5264、導電層5301、導電層5357は、ゲート電極として機能することが可能である。絶縁層5265、絶縁層5267、絶縁層5305、及び絶縁層5358は、層間膜、又は平坦化膜として機能することが可能である。導電層5266、導電層5304、及び導電層5359は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。導電層5268、及び導電層5306は、画素電極、又は反射電極などとして機能することが可能である。絶縁層5269は、隔壁として機能することが可能である。導電層5271、及び導電層5308は、対向電極、又は共通電極などとして機能することが可能である。

40

【0380】

基板5260、及び基板5300の一例としては、ガラス基板、石英基板、半導体基板（

50

例えばシリコン基板)、S O I基板、プラスチック基板、金属基板、ステンレス基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板又は可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート(P E T)、ポリエチレンナフタレート(P E N)、ポリエーテルサルホン(P E S)に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム(ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど)、繊維状な材料を含む紙、基材フィルム(ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等)などがある。

【0381】

半導体基板5352としては、一例として、n型又はp型の導電性を有する単結晶S i基板を用いることが可能である。領域5353は、一例として、半導体基板5352に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板5352がp型の導電性を有する場合、領域5353は、n型の導電性を有し、nウェルとして機能する。一方で、半導体基板5352がn型の導電性を有する場合、領域5353は、p型の導電性を有し、pウェルとして機能する。領域5355は、一例として、不純物が半導体基板5352に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板5352に、L D D領域を形成することが可能である。

【0382】

絶縁層5261の一例としては、酸化珪素(S i O x)、窒化珪素(S i N x)、酸化窒化珪素(S i O x N y)(x > y > 0)、窒化酸化珪素(S i N x O y)(x > y > 0)などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。絶縁層5261が2層構造で設けられる場合の一例としては、1層目の絶縁層として窒化珪素膜を設け、2層目の絶縁層として酸化珪素膜を設けることが可能である。絶縁層5261が3層構造で設けられる場合の一例としては、1層目の絶縁層として酸化珪素膜を設け、2層目の絶縁層として窒化珪素膜を設け、3層目の絶縁層として酸化珪素膜を設けることが可能である。

【0383】

半導体層5262、半導体層5303a、及び半導体層5303bの一例としては、非単結晶半導体(例えば非晶質(アモルファス)シリコン、多結晶シリコン、微結晶シリコンなど)、単結晶半導体、酸化物半導体(例えばZ n O、I n G a Z n O、I Z O、I T O、S n O、T i O、A Z T O)、化合物半導体(例えば、S i G e、G a A s)、有機半導体、又はカーボンナノチューブなどがある。

【0384】

なお、例えば、領域5262aは、不純物が半導体層5262に添加されていない真性の状態であり、チャンネル領域として機能する。ただし、領域5262aに不純物を添加することが可能であり、領域5262aに添加される不純物は、領域5262b、領域5262c、領域5262d、又は領域5262eに添加される不純物の濃度よりも低いことが好ましい。領域5262b、及び領域5262dは、領域5262c又は領域5262eよりも低濃度の不純物が添加された領域であり、L D D(L i g h t l y D o p e d D r a i n : L D D)領域として機能する。ただし、領域5262b、及び領域5262dを省略することが可能である。領域5262c、及び領域5262eは、高濃度に不純物が半導体層5262に添加された領域であり、ソース領域又はドレイン領域として機能する。

【0385】

なお、半導体層5303bは、不純物元素としてリンなどが添加された半導体層であり、n型の導電性を有する。

【0386】

なお、半導体層5303aとして、酸化物半導体、又は化合物半導体が用いられる場合、半導体層5303bを省略することが可能である。

10

20

30

40

50

【0387】

絶縁層5263、絶縁層5273、及び絶縁層5356の一例としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y > 0$)、窒化酸化珪素(SiN_xO_y) ($x > y > 0$)などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

【0388】

導電層5264、導電層5266、導電層5268、導電層5271、導電層5301、導電層5304、導電層5306、導電層5308、導電層5357、及び導電層5359は、単層構造又は積層構造とすることができ、導電膜を用いて形成される。導電膜の一例としては、アルミニウム(Al)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マンガン(Mn)、コバルト(Co)、ニオブ(Nb)、シリコン(Si)、鉄(Fe)、パラジウム(Pd)、炭素(C)、スカンジウム(Sc)、亜鉛(Zn)、ガリウム(Ga)、インジウム(In)、錫(Sn)、ジルコニウム(Zr)、セシウム(Ce)によって構成される群から選ばれた一つの元素の単体膜、又は、群から選ばれた一つ又は複数の元素を含む化合物などがある。なお、単体膜又は化合物は、リン(P)、ボロン(B)、ヒ素(As)、及び/又は、酸素(O)などを含むことが可能である。なお、化合物の一例としては、前述した複数の元素から選ばれた一つ若しくは複数の元素を含む合金(例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化錫(SnO)、酸化錫カドミウム(CTO)、アルミニウムネオジム(Al-Nd)、アルミニウムタングステン(Al-Ta)、アルミニウムジルコニウム(Al-Zr)、アルミニウムチタン(Al-Ti)、アルミニウムセシウム(Al-Ce)、マグネシウム銀(Mg-Ag)、モリブデンニオブ(Mo-Nb)、モリブデンタングステン(Mo-W)、モリブデンタンタル(Mo-Ta)などの合金材料)、前述した複数の元素から選ばれた一つ若しくは複数の元素と窒素との化合物(例えば、窒化チタン、窒化タンタル、窒化モリブデンなどの窒化膜)、又は、前述した複数の元素から選ばれた一つ若しくは複数の元素とシリコンとの化合物(例えば、タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミニウムシリコン、モリブデンシリコンなどのシリサイド膜)などがある。他にも、例えば、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどのナノチューブ材料がある。

10

20

30

【0389】

絶縁層5265、絶縁層5267、絶縁層5269、絶縁層5305、及び絶縁層5358の一例としては、単層構造の絶縁層、又はこれらの積層構造などがある。絶縁層の一例としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、若しくは酸化窒化珪素(SiO_xN_y) ($x > y > 0$)、窒化酸化珪素(SiN_xO_y) ($x > y > 0$)等の酸素若しくは窒素を含む膜、 DLC (ダイヤモンドライクカーボン)等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

40

【0390】

発光層5270の一例としては、有機EL素子、又は無機EL素子などがある。有機EL素子の一例としては、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層など、若しくはこれらの材料のうち複数の材料を混合した層の単層構造、若しくはこれらの積層構造などがある。

【0391】

液晶層5307の一例、液晶層5307に適用可能な液晶材料の一例、又は液晶層5307を含む液晶素子に適用可能な液晶モードの一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピ

50

ックライオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（P D L C）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（P A L C）、パナナ型液晶、T N（T w i s t e d N e m a t i c）モード、S T N（S u p e r T w i s t e d N e m a t i c）モード、I P S（I n - P l a n e - S w i t c h i n g）モード、F F S（F r i n g e F i e l d S w i t c h i n g）モード、M V A（M u l t i - d o m a i n V e r t i c a l A l i g n m e n t）モード、P V A（P a t t e r n e d V e r t i c a l A l i g n m e n t）、A S V（A d v a n c e d S u p e r V i e w）モード、A S M（A x i a l l y S y m m e t r i c a l i g n e d M i c r o - c e l l）モード、O C B（O p t i c a l C o m p e n s a t e d B i r e f r i n g e n c e）モード、E C B（E l e c t r i c a l l y C o n t r o l l e d B i r e f r i n g e n c e）モード、F L C（F e r r o e l e c t r i c L i q u i d C r y s t a l）モード、A F L C（A n t i F e r r o e l e c t r i c L i q u i d C r y s t a l）モード、P D L C（P o l y m e r D i s p e r s e d L i q u i d C r y s t a l）モード、ゲストホストモード、ブルー相（B l u e P h a s e）モードなどがある。

10

【0392】

なお、絶縁層5305の上及び導電層5306の上には、配向膜として機能する絶縁層、突起部として機能する絶縁層などを形成することが可能である。

【0393】

なお、導電層5308の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層5308の下には、配向膜として機能する絶縁層を形成することが可能である。

20

【0394】

本実施の形態のトランジスタは、実施の形態1～実施の形態6に適用することが可能である。特に、図32（B）において、半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタが劣化してしまう場合がある。よって、本実施の形態のトランジスタを半導体装置、シフトレジスタ、又は表示装置に用いると、これらの寿命が短くなってしまう。しかし、実施の形態1～実施の形態6の半導体装置、シフトレジスタ、又は表示装置では、トランジスタの劣化を抑制することができる。したがって、本実施の形態のトランジスタを実施の形態1～実施の形態6の半導体装置、シフトレジスタ、又は表示装置に適用することによって、これらの寿命を長くすることができる。

30

【0395】

（実施の形態8）

本実施の形態では、表示装置の断面構造の一例について、図33（A）、（B）、及び（C）を参照して説明する。なお、ここでは、一例として液晶表示装置について説明する。

【0396】

図33（A）は、表示装置の上面図の一例である。基板5391に、駆動回路5392と画素部5393とが形成されている。駆動回路5392の一例としては、走査線駆動回路、又は信号線駆動回路などがある。画素部5393は画素を有し、画素は、駆動回路5392により動作が制御される。例えば液晶表示装置の場合には、駆動回路5392の出力信号により液晶素子に印加される電圧が設定される。

40

【0397】

図33（B）には、図33（A）のA-B断面の一例を示す。そして、図33（B）には、基板5400と、基板5400の上に形成される導電層5401と、導電層5401を覆うように形成される絶縁層5402と、導電層5401及び絶縁層5402の上に形成される半導体層5403aと、半導体層5403aの上に形成される半導体層5403bと、半導体層5403bの上及び絶縁層5402の上に形成される導電層5404と、絶縁層5402の上及び導電層5404の上に形成され、開口部を有する絶縁層5405と、絶縁層5405の上及び絶縁層5405の開口部に形成される導電層5406と、絶縁

50

層 5 4 0 5 の上及び導電層 5 4 0 6 の上に配置される絶縁層 5 4 0 8 と、絶縁層 5 4 0 5 の上に形成される液晶層 5 4 0 7 と、液晶層 5 4 0 7 の上及び絶縁層 5 4 0 5 の上に形成される導電層 5 4 0 9 と、導電層 5 4 0 9 の上に形成される基板 5 4 1 0 とを示す。

【 0 3 9 8 】

導電層 5 4 0 1 は、ゲート電極として機能することが可能である。絶縁層 5 4 0 2 は、ゲート絶縁膜として機能することが可能である。導電層 5 4 0 4 は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。絶縁層 5 4 0 5 は、層間膜、又は平坦化膜として機能することが可能である。導電層 5 4 0 6 は、配線、画素電極、又は反射電極として機能することが可能である。絶縁層 5 4 0 8 は、シール材として機能することが可能である。導電層 5 4 0 9 は、対向電極、又は共通電極として機能することが可能である。

10

【 0 3 9 9 】

ここで、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間には、寄生容量が生じることがある。この結果、駆動回路 5 3 9 2 の出力信号又は各ノードの電圧に、なまり又は遅延などが生じてしまう。又は、消費電力が大きくなってしまう。しかし、図 3 3 (B) に示すように、駆動回路 5 3 9 2 の上に、シール材として機能することが可能な絶縁層 5 4 0 8 を形成することによって、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間に生じる寄生容量を低減することができる。なぜなら、シール材の誘電率は、液晶層の誘電率よりも低い場合が多いからである。したがって、駆動回路 5 3 9 2 の出力信号又は各ノードの電圧のなまり又は遅延を低減することができる。又は、駆動回路 5 3 9 2 の消費電力を低減することができる。

20

【 0 4 0 0 】

なお、図 3 3 (C) に示すように、駆動回路 5 3 9 2 の一部の上に、シール材として機能することが可能な絶縁層 5 4 0 8 が形成されることが可能である。このような場合でも、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間に生じる寄生容量を低減することができるので、駆動回路 5 3 9 2 の出力信号又は各ノードの電圧のなまり又は遅延を低減することができる。ただし、これに限定されず、駆動回路 5 3 9 2 の上に、シール材として機能することが可能な絶縁層 5 4 0 8 が形成されていないことが可能である。

【 0 4 0 1 】

なお、表示素子は、液晶素子に限定されず、E L 素子、又は電気泳動素子などの様々な表示素子を用いることが可能である。

30

【 0 4 0 2 】

以上、本実施の形態では、表示装置の断面構造の一例について説明した。このような構造と、実施の形態 1 ~ 実施の形態 5 の半導体装置又はシフトレジスタとを組み合わせることが可能である。例えば、トランジスタの半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタのチャネル幅が大きくなる場合が多い。しかし、本実施の形態のように、駆動回路の寄生容量を小さくできると、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積の縮小を図ることができるので、表示装置の額縁を狭くすることができる。又は、表示装置を高精度にすることができる。

40

【 0 4 0 3 】

(実施の形態 9)

本実施の形態では、トランジスタ、及び容量素子の作製工程の一例を示す。特に、半導体層として、酸化物半導体を用いる場合の作製工程について説明する。

【 0 4 0 4 】

図 3 4 (A) ~ (C) を参照して、トランジスタ 5 4 4 1、及び容量素子 5 4 4 2 の作製工程の一例について説明する。図 3 4 (A) ~ (C) には、トランジスタ、及び容量素子の作製工程の一例である。トランジスタ 5 4 4 1 は、逆スタガ型薄膜トランジスタの一例であり、酸化物半導体層上にソース電極又はドレイン電極を介して配線が設けられているトランジスタの例である。

50

【 0 4 0 5 】

まず、基板 5 4 2 0 上に、スパッタリング法により第 1 導電層を全面に形成する。次に、第 1 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に第 1 導電層のエッチングを行い、導電層 5 4 2 1、及び導電層 5 4 2 2 を形成する。導電層 5 4 2 1 は、ゲート電極として機能することが可能であり、導電層 5 4 2 2 は、容量素子の一方の電極として機能することが可能である。ただし、これに限定されず、導電層 5 4 2 1、及び導電層 5 4 2 2 は、配線、ゲート電極、又は容量素子の電極として機能する部分を有することが可能である。この後、レジストマスクを除去する。

【 0 4 0 6 】

次に、絶縁層 5 4 2 3 をプラズマ C V D 法又はスパッタリング法を用いて導電層 5 4 2 1 及び導電層 5 4 2 2 を介して基板 5 4 2 0 の全面に形成する。絶縁層 5 4 2 3 は、ゲート絶縁層として機能することが可能であり、導電層 5 4 2 1、及び導電層 5 4 2 2 を覆うように形成される。なお、絶縁層 5 4 2 3 の膜厚は、5 0 n m ~ 2 5 0 n m である場合が多い。

10

【 0 4 0 7 】

次に、第 2 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、絶縁層 5 4 2 3 を選択的にエッチングして導電層 5 4 2 1 に達するコンタクトホール 5 4 2 4 を形成する。この後、レジストマスクを除去する。ただし、これに限定されず、コンタクトホール 5 4 2 4 を省略することが可能である。又は、酸化物半導体層の形成後に、コンタクトホール 5 4 2 4 を形成することが可能である。ここまでの段階での断面図が図 3 4 (A) に相当する。

20

【 0 4 0 8 】

次に、酸化物半導体層をスパッタリング法により全面に形成する。ただし、これに限定されず、酸化物半導体層をスパッタリング法により形成し、さらにその上にバッファ層（例えば n^+ 層）を形成することが可能である。なお、酸化物半導体層の膜厚は、5 n m ~ 2 0 0 n m である場合が多い。

【 0 4 0 9 】

次に、第 3 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に酸化物半導体層のエッチングを行う。この後、レジストマスクを除去する。

30

【 0 4 1 0 】

次に、スパッタリング法により第 2 導電層を全面に形成する。次に、第 4 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて選択的に第 2 導電層のエッチングを行い、導電層 5 4 2 9、導電層 5 4 3 0、及び導電層 5 4 3 1 を形成する。導電層 5 4 2 9 は、コンタクトホール 5 4 2 4 を介して導電層 5 4 2 1 と接続される。導電層 5 4 2 9、及び導電層 5 4 3 0 は、ソース電極又はドレイン電極として機能することが可能であり、導電層 5 4 3 1 は、容量素子の他方の電極として機能することが可能である。ただし、これに限定されず、導電層 5 4 2 9、導電層 5 4 3 0、及び導電層 5 4 3 1 は、配線、ソース若しくはドレイン電極、又は容量素子の電極として機能する部分を含むことが可能である。

40

【 0 4 1 1 】

なお、この後、熱処理（例えば 2 0 0 ~ 6 0 0 の）を行う場合、この熱処理に耐えられる耐熱性を第 2 導電層に持たせることが好ましい。よって、第 2 導電層は、A l と、耐熱性の高い導電性材料（例えば、T i、T a、W、M o、C r、N d、S c、Z r、C e などの元素、これらの元素を組み合わせた合金、又は、これらの元素を成分とする窒化物など）とを組み合わせた材料であることが好ましい。ただし、これに限定されず、第 2 導電膜を積層構造にすることによって、第 2 導電膜に高い耐熱性を持たせることができる。例えば、A l の上下に、T i、又は M o などの耐熱性の高い導電性材料を設けることが可能である。

【 0 4 1 2 】

50

なお、第2導電層のエッチングの際に、さらに、酸化物半導体層の一部をエッチングして、酸化物半導体層5425を形成する。このエッチングによって、導電層5421と重なる部分の酸化物半導体層5425、又は、上方に第2の導電層が形成されていない部分の酸化物半導体層5425は、削られるので、薄くなる場合が多い。ただし、これに限定されず、酸化物半導体層5425は、エッチングされないことが可能である。ただし、酸化物半導体層5425の上に n^+ 層が形成される場合は、酸化物半導体層5425はエッチングされる場合が多い。この後、レジストマスクを除去する。このエッチングが終了した段階でトランジスタ5441と容量素子5442とが完成する。ここまでの段階での断面図が図34(B)に相当する。

【0413】

次に、大気雰囲気下又は窒素雰囲気下で200 ~ 600 の加熱処理を行う。この熱処理により酸化物半導体層5425の原子レベルの再配列が行われる。このように、熱処理(光アニールも含む)によりキャリアの移動を阻害する歪が解放される。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体膜の形成後であれば、様々なタイミングで行うことが可能である。

【0414】

次に、絶縁層5432を全面に形成する。絶縁層5432は、単層構造であることが可能であるし、積層構造であることが可能である。例えば、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の材料である組成物を塗布し、大気雰囲気下又は窒素雰囲気下で200 ~ 600 の加熱処理を行って、有機絶縁層を形成する。このように、酸化物半導体層5425に接する有機絶縁層を形成することにより、信頼性の高い薄膜トランジスタを作製することができる。なお、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の下に、窒化珪素膜、又は酸化珪素膜を設けることが可能である。

【0415】

なお、図34(C)においては、非感光性樹脂を用いて絶縁層5432を形成した形態を示すため、コンタクトホールが形成される領域の断面において、絶縁層5432の端部が角張っている。しかしながら、感光性樹脂を用いて絶縁層5432を形成すると、コンタクトホールが形成される領域の断面において、絶縁層5432の端部を湾曲させることが可能になる。この結果、後に形成される第3導電層又は画素電極の被覆率が向上する。

【0416】

なお、組成物を塗布する代わりに、その材料に応じて、ディップ法、スプレー塗布法、インクジェット法、印刷法、ドクターナイフ、ロールコーター、カーテンコーター、又はナイフコーター等を用いることが可能である。

【0417】

なお、酸化物半導体層を形成した後の加熱処理をせず、有機絶縁層の材料である組成物の加熱処理時に、酸化物半導体層5425の加熱処理を兼ねることが可能である。

【0418】

なお、絶縁層5432の膜厚は、200 nm ~ 5 μ m、好ましくは300 nm ~ 1 μ mとすることが可能である。

【0419】

次に、第3導電層を全面に形成する。次に、第5フォトリソグラフィ工程により形成したレジストマスクを用いて第3導電層を選択的にエッチングして、導電層5433、及び導電層5434を形成する。ここまでの段階での断面図が図34(C)に相当する。導電層5433、及び導電層5434は、配線、画素電極、反射電極、透光性電極、又は容量素子の電極として機能することが可能である。特に、導電層5434は、導電層5422と接続されるので、容量素子5442の電極として機能することが可能である。ただし、これに限定されず、第1導電層を用いて形成された導電層と第2導電層を用いて形成された導電層とを接続する機能を有することが可能である。例えば、導電層5433と導電層5434とを接続することによって、導電層5422と導電層5430とを第3導電層(導電層5433及び導電層5434)を介して接続されることが可能

10

20

30

40

50

になる。

【0420】

なお、容量素子5442は、導電層5422と導電層5434とによって、導電層5431が挟まれる構造になるので、容量素子5442の容量値を大きくすることができる。ただし、これに限定されず、導電層5422と導電層5434との一方を省略することが可能である。

【0421】

なお、レジストマスクをウェットエッチングで除去した後、大気雰囲気下又は窒素雰囲気下で200～600の加熱処理を行うことが可能である。

【0422】

以上の工程により、トランジスタ5441と容量素子5442とを作製することができる。

【0423】

なお、図34(D)に示すように、酸化物半導体層5425の上に絶縁層5435を形成することが可能である。絶縁層5435は、第2導電層がパターニングされる場合に、酸化物半導体層5425が削られることを防止する機能を有し、ストップ膜として機能する。よって、酸化物半導体層5425の膜厚を薄くすることができるので、トランジスタの駆動電圧の低減、オフ電流の低減、ドレイン電流のオンオフ比の向上、又はS値の改善などを図ることができる。なお、絶縁層5435は、酸化物半導体層と絶縁層とを連続して全面に形成し、その後、フォトリソグラフィ工程により形成したレジストマスクを用いて選択的に当該絶縁層をパターニングすることによって、形成されることができる。その後、第2導電層を全面に形成し、第2導電層と同時に酸化物半導体層をパターニングする。つまり、同じマスク(レチクル)を用いて、酸化物半導体層と第2導電層とをパターニングすることが可能になる。この場合、第2導電層の下には、必ず酸化物半導体が形成されることになる。こうして、工程数を増やすことなく、絶縁層5435を形成することができる。このような製造プロセスでは、第2導電層の下に酸化物半導体層が形成される場合が多い。ただし、これに限定されず、酸化物半導体層をパターニングした後に、絶縁層を全面に形成し、当該絶縁層をパターニングすることによって、絶縁層5435を形成することが可能である。

【0424】

なお、図34(D)において、容量素子5442は、導電層5422と導電層5431とによって、絶縁層5423と酸化物半導体層5436とが挟まれる構造である。ただし、酸化物半導体層5436を省略することが可能である。そして、導電層5430と導電層5431とは、第3導電層をパターニングして形成される導電層5437を介して接続されている。このような構造は、一例として、液晶表示装置の画素に用いられることが可能である。例えば、トランジスタ5441はスイッチングトランジスタとして機能し、容量素子5442は保持容量として機能することが可能である。そして、導電層5421、導電層5422、導電層5429、導電層5437は、各々、ゲート信号線、容量線、ソース線、画素電極として機能することが可能である。ただし、これに限定されない。なお、図34(D)と同様に、図34(C)においても、導電層5430と導電層5431とを第3導電層を介して接続することが可能である。

【0425】

なお、図34(E)に示すように、第2導電層をパターニングした後に、酸化物半導体層5425を形成することが可能である。こうすることによって、第2導電層がパターニングされる場合、酸化物半導体は形成されていないので、酸化物半導体層が削られることがない。よって、酸化物半導体層の膜厚を薄くすることができるので、トランジスタの駆動電圧の低減、オフ電流の低減、ドレイン電流のオンオフ比の向上、又はS値の改善などを図ることができる。なお、酸化物半導体層5425は、第2導電層がパターニングされる後に、酸化物半導体層が全面に形成され、その後フォトリソグラフィ工程により形成したレジストマスクを用いて選択的に酸化物半導体層をパターニングする

10

20

30

40

50

ことによって形成されることができる。

【0426】

なお、図34(E)において、容量素子5442は、導電層5422と、第3導電層をパターンニングして形成される導電層5439とによって、絶縁層5423と絶縁層5432とが挟まれる構造である。そして、導電層5422と導電層5430とは、第3導電層をパターンニングして形成される導電層5438を介して接続される。さらに、導電層5439は、第2導電層をパターンニングして形成される導電層5440と接続される。なお、図34(E)と同様に、図34(C)及び(D)においても、導電層5430と導電層5422とは、導電層5438を介して接続されることが可能である。

【0427】

なお、酸化物半導体層（又はチャネル層）の膜厚を、トランジスタがオフの場合の空乏層の厚さ以下にすることによって、完全空乏化状態を作り出すことが可能になる。こうして、オフ電流を低減することができる。これを実現するために、酸化物半導体層5425の膜厚は、20nm以下であることが好ましい。より好ましくは10nm以下である。さらに好ましくは6nm以下であることが好ましい。

【0428】

なお、トランジスタの動作電圧の低減、オフ電流の低減、ドレイン電流のオンオフ比の向上、S値の改善などを図るために、酸化物半導体層の膜厚は、トランジスタを構成する層の中で、一番薄いことが好ましい。例えば、酸化物半導体層の膜厚は、絶縁層5423の膜厚よりも薄いことが好ましい。より好ましくは、酸化物半導体層の膜厚は、絶縁層5423の膜厚の1/2以下であることが好ましい。より好ましくは、1/5以下であることが好ましい。さらに好ましくは、1/10以下であることが好ましい。ただし、これに限定されず、信頼性を向上させるために、酸化物半導体層の膜厚は、絶縁層5423よりも厚いことが可能である。特に、図34(C)のように、酸化物半導体層が削られる場合には、酸化物半導体層の膜厚は厚いほうが好ましいので、酸化物半導体層の膜厚は、絶縁層5423よりも厚いことが可能である。

【0429】

なお、トランジスタの絶縁耐圧を高くするために、絶縁層5423の膜厚は、第1導電層の膜厚よりも厚いことが好ましい。より好ましくは、絶縁層5423の膜厚は、第1導電層の膜厚の5/4以上であることが好ましい。さらに好ましくは、4/3以上であることが好ましい。ただし、これに限定されず、トランジスタの移動度を高くするために、絶縁層5423の膜厚は、第1導電層よりも薄いことが可能である。

【0430】

なお、本実施の形態の基板、絶縁層、導電層、及び半導体層としては、他の実施の形態（例えば実施の形態7）に述べる材料、又は本明細書において述べる材料と同様なものを用いることが可能である。

【0431】

本実施の形態のトランジスタを実施の形態1～実施の形態5の半導体装置、シフトレジスタ、又は表示装置に用いることによって、表示部を大きくすることができる。又は、表示部を高精細にすることができる。

【0432】

（実施の形態10）

本実施の形態では、シフトレジスタのレイアウト図（以下、上面図ともいう）について説明する。本実施の形態では、一例として、実施の形態4に述べるシフトレジスタのレイアウト図について説明する。なお、本実施の形態において説明する内容は、実施の形態4に述べるシフトレジスタの他にも、実施の形態1～実施の形態6の半導体装置、シフトレジスタ、又は表示装置に適用することが可能である。なお、本実施の形態のレイアウト図は一例であって、これに限定されるものではないことを付記する。

【0433】

本実施の形態のレイアウト図について、図35を参照して説明する。図35には、一例と

10

20

30

40

50

して、図 9 (A) に示すシフトレジスタのレイアウト図を示す。なお、図 3 5 の右部に示すハッチングパターンは、それぞれのハッチングパターンに付されている符号の構成要素のハッチングパターンを示すものである。

【 0 4 3 4 】

図 3 5 に示すトランジスタ、又は配線などは、導電層 9 0 1、半導体層 9 0 2、導電層 9 0 3、導電層 9 0 4、及びコンタクトホール 9 0 5 によって構成される。ただし、これに限定されず、別の導電層、絶縁膜、又は別のコンタクトホールを形成することが可能である。例えば、導電層 9 0 1 と導電層 9 0 3 とを接続するためのコンタクトホールを追加することが可能である。

【 0 4 3 5 】

導電層 9 0 1 は、ゲート電極、又は配線として機能する部分を含むことが可能である。半導体層 9 0 2 は、トランジスタの半導体層として機能する部分を含むことが可能である。導電層 9 0 3 は、配線、ソース電極、又はドレイン電極として機能する部分を含むことが可能である。導電層 9 0 4 は、透光性電極、画素電極、又は配線として機能する部分を含むことが可能である。コンタクトホール 9 0 5 は、導電層 9 0 1 と導電層 9 0 4 とを接続する機能、又は導電層 9 0 3 と導電層 9 0 4 とを接続する機能を有する。

【 0 4 3 6 】

本実施の形態では、トランジスタ 1 0 1 __ 1、トランジスタ 1 0 1 __ 2、トランジスタ 2 0 1 __ 1、及び / 又は、トランジスタ 2 0 2 __ 2 において、第 2 端子としての機能を有する導電層 9 0 1 と、導電層 9 0 3 とが重なる面積は、第 1 端子としての機能を有する導電層 9 0 1 と、導電層 9 0 3 とが重なる面積よりも小さいことが好ましい。こうすることによって、第 2 端子への電界の集中を抑制することができるので、トランジスタの劣化、又はトランジスタの破壊を抑制することができる。ただし、これに限定されず第 2 端子としての機能を有する導電層 9 0 1 と、導電層 9 0 3 とが重なる面積は、第 1 端子としての機能を有する導電層 9 0 1 と、導電層 9 0 3 とが重なる面積よりも大きいことが可能である。

【 0 4 3 7 】

なお、導電層 9 0 1 と導電層 9 0 3 とが重なる部分には、半導体層 9 0 2 を形成することが可能である。こうすることによって、導電層 9 0 1 と導電層 9 0 3 との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層 9 0 3 と導電層 9 0 4 とが重なる部分には、半導体層 9 0 2 を形成することが可能である。

【 0 4 3 8 】

なお、導電層 9 0 1 の一部の上に導電層 9 0 4 を形成し、当該導電層 9 0 1 は、コンタクトホール 9 0 5 を介して導電層 9 0 4 と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。又は、導電層 9 0 1 の一部の上に導電層 9 0 3、及び導電層 9 0 4 を形成し、当該導電層 9 0 1 は、コンタクトホール 9 0 5 を介して当該導電層 9 0 4 と接続され、当該導電層 9 0 3 は、別のコンタクトホール 9 0 5 を介して当該導電層 9 0 4 と接続されることが可能である。こうすることによって、配線抵抗を下げる

【 0 4 3 9 】

なお、導電層 9 0 3 の一部の上に導電層 9 0 4 を形成し、当該導電層 9 0 3 は、コンタクトホール 9 0 5 を介して導電層 9 0 4 と接続されることが可能である。こうすることによって、配線抵抗を下げる

【 0 4 4 0 】

なお、導電層 9 0 4 の一部の下に導電層 9 0 1、又は導電層 9 0 3 を形成し、当該導電層 9 0 4 は、コンタクトホール 9 0 5 を介して、当該導電層 9 0 1、又は当該導電層 9 0 3 と接続されることが可能である。こうすることによって、配線抵抗を下げる

【 0 4 4 1 】

なお、すでに述べたように、トランジスタ 101__1 のゲートと第 1 端子との間の寄生容量よりも、トランジスタ 101__1 のゲートと第 2 端子との間の寄生容量を大きくすることが可能である。図 35 に示すように、トランジスタ 101__1 の第 1 端子として機能することが可能な導電層 903 の幅を幅 931 と示し、トランジスタ 101__1 の第 2 端子として機能することが可能な導電層 903 の幅を幅 932 と示す。そして、幅 931 は、幅 932 よりも大きいことが可能である。こうすることによって、トランジスタ 101__1 のゲートと第 1 端子との間の寄生容量よりも、トランジスタ 101__1 のゲートと第 2 端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

【0442】

なお、すでに述べたように、トランジスタ 101__2 のゲートと第 1 端子との間の寄生容量よりも、トランジスタ 101__2 のゲートと第 2 端子との間の寄生容量を大きくすることが可能である。図 35 に示すように、トランジスタ 101__2 の第 1 の電極として機能することが可能な導電層 903 の幅を幅 941 と示し、トランジスタ 101__2 の第 2 の電極として機能することが可能な導電層 903 の幅を幅 942 と示す。そして、幅 941 は、幅 942 よりも大きいことが可能である。こうすることによって、トランジスタ 101__2 のゲートと第 1 端子との間の寄生容量よりも、トランジスタ 101__2 のゲートと第 2 端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

【0443】

(実施の形態 11)

本実施の形態においては、電子機器の例について説明する。

【0444】

図 36 (A) 乃至図 36 (H)、図 37 (A) 乃至図 37 (D) は、電子機器を示す図である。これらの電子機器は、筐体 5000、表示部 5001、スピーカ 5003、LED ランプ 5004、操作キー 5005 (電源スイッチ、又は表示装置の動作を制御する操作スイッチを含む)、接続端子 5006、センサ 5007 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に問い又は赤外線を測定する機能を含むもの)、マイクロフォン 5008、等を有することができる。

【0445】

図 36 (A) はモバイルコンピュータであり、上述したものの他に、スイッチ 5009、赤外線ポート 5010、等を有することができる。図 36 (B) は記録媒体を備えた携帯型の画像再生装置 (たとえば、DVD 再生装置) であり、上述したものの他に、第 2 表示部 5002、記録媒体読込部 5011、等を有することができる。図 36 (C) はゴーグル型ディスプレイであり、上述したものの他に、第 2 表示部 5002、支持部 5012、イヤホン 5013、等を有することができる。図 36 (D) は携帯型遊技機であり、上述したものの他に、記録媒体読込部 5011、等を有することができる。図 36 (E) はプロジェクタであり、上述したものの他に、光源 5033、投射レンズ 5034、等を有することができる。図 36 (F) は携帯型遊技機であり、上述したものの他に、第 2 表示部 5002、記録媒体読込部 5011、等を有することができる。図 36 (G) はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図 36 (H) は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器 5017、等を有することができる。図 37 (A) はディスプレイであり、上述したものの他に、支持台 5018、等を有することができる。図 37 (B) はカメラであり、上述したものの他に、外部接続ポート 5019、シャッターボタン 5015、受像部 5016、等を有することができる。図 37 (C) はコンピュータであり、上述したものの他に、ポインティングデバイス 5020、外部接続ポート 5019、リーダ/ライタ 5021、等を有することができる。図 37 (D) は携帯電話機であり、上述したものの他に、アンテナ 5014、携帯電話・移動端末向けの 1 セグメント部分受信サービス用チューナ、等を有することができる。

10

20

30

40

50

【 0 4 4 6 】

図 3 6 (A) 乃至図 3 6 (H)、図 3 7 (A) 乃至図 3 7 (D) に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、又は、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動又は手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図 3 6 (A) 乃至図 3 6 (H)、図 3 7 (A) 乃至図 3 7 (D) に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

10

【 0 4 4 7 】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。本実施の形態の電子機器と、実施の形態 1 ～実施の形態 5 の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、信頼性の向上、歩留まりの向上、コストの削減、表示部の大型化、表示部の高精細化などを図ることができる。

20

【 0 4 4 8 】

次に、半導体装置の応用例を説明する。

【 0 4 4 9 】

図 3 7 (E) に、半導体装置を、建造物と一体にして設けた例について示す。図 3 7 (E) は、筐体 5 0 2 2、表示部 5 0 2 3、操作部であるリモコン装置 5 0 2 4、スピーカ 5 0 2 5 等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

30

【 0 4 5 0 】

図 3 7 (F) に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル 5 0 2 6 は、ユニットバス 5 0 2 7 と一体に取り付けられており、入浴者は表示パネル 5 0 2 6 の視聴が可能になる。

【 0 4 5 1 】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【 0 4 5 2 】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【 0 4 5 3 】

図 3 7 (G) は、半導体装置を、自動車に設けた例について示した図である。表示パネル 5 0 2 8 は、自動車の車体 5 0 2 9 に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

40

【 0 4 5 4 】

図 3 7 (H) は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図 3 7 (H) は、旅客用飛行機の座席上部の天井 5 0 3 0 に表示パネル 5 0 3 1 を設けたときの、使用時の形状について示した図である。表示パネル 5 0 3 1 は、天井 5 0 3 0 とヒンジ部 5 0 3 2 を介して一体に取り付けられており、ヒンジ部 5 0 3 2 の伸縮により乗客は表示パネル 5 0 3 1 の視聴が可能になる。表示パネル 5 0 3 1 は乗客が操作することで情報を表示する機能を有する。

50

【 0 4 5 5 】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

【符号の説明】

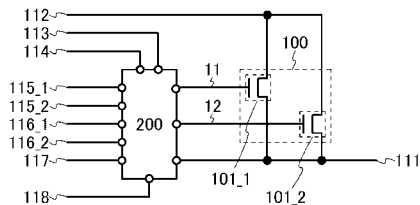
【 0 4 5 6 】

1	0	0	回路
2	0	0	回路
1	1	1	配線
1	1	2	配線

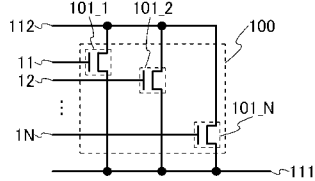
10

【 図 1 】

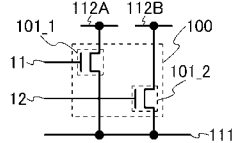
(A)



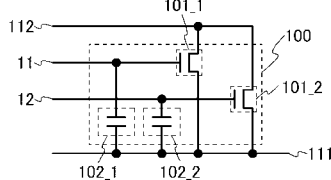
(B)



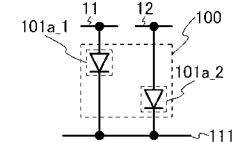
(C)



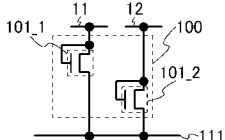
(D)



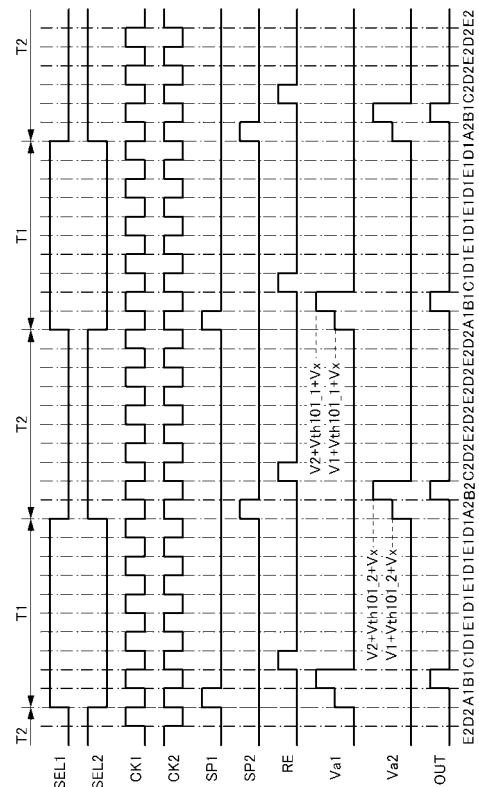
(E)



(F)

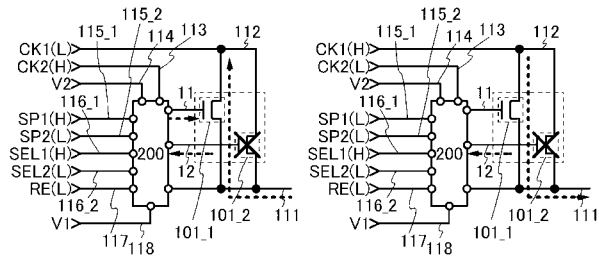


【 図 2 】

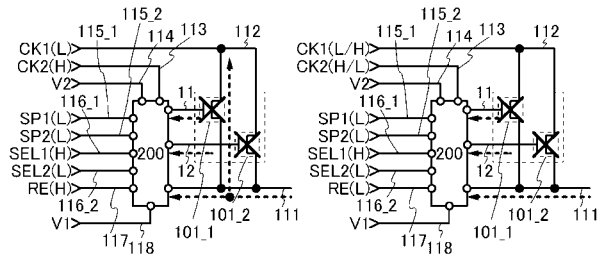


【 図 3 】

(A)期間A1

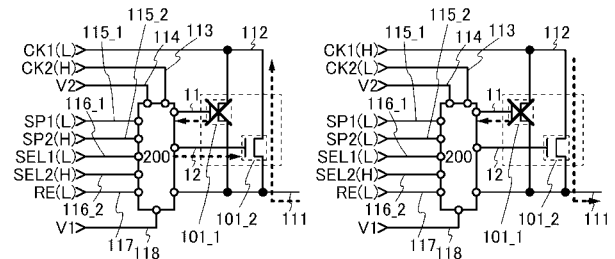


(C)期間C1

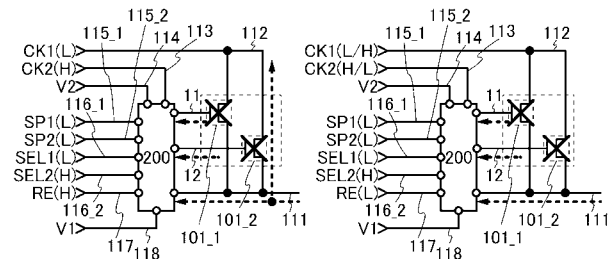


【 図 4 】

(A)期間A2

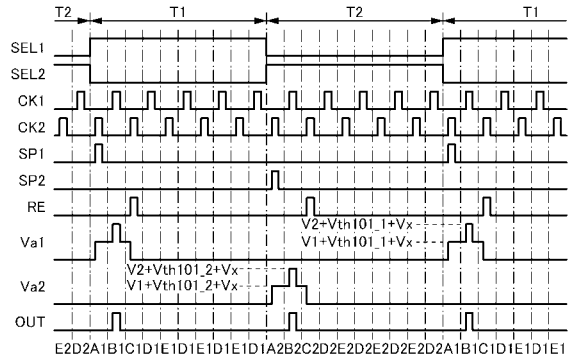


(C)期間C2



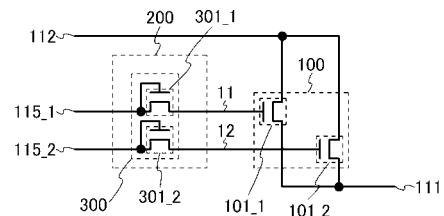
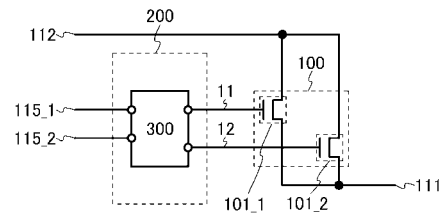
【 図 5 】

(A)

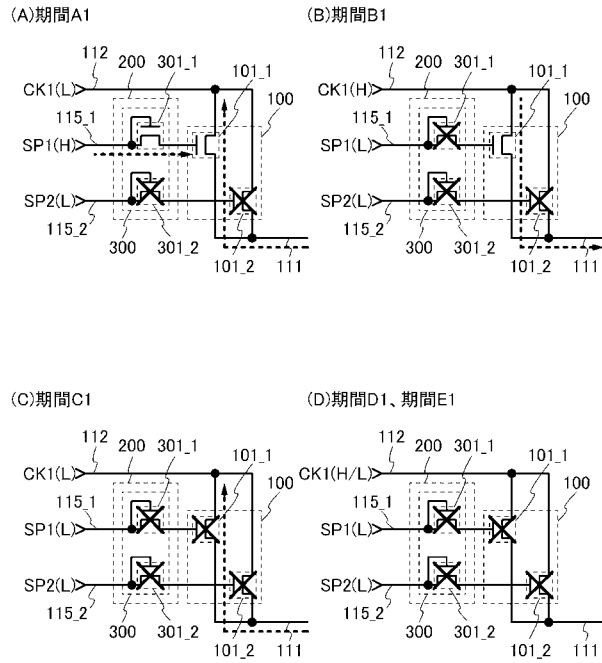


【 図 6 】

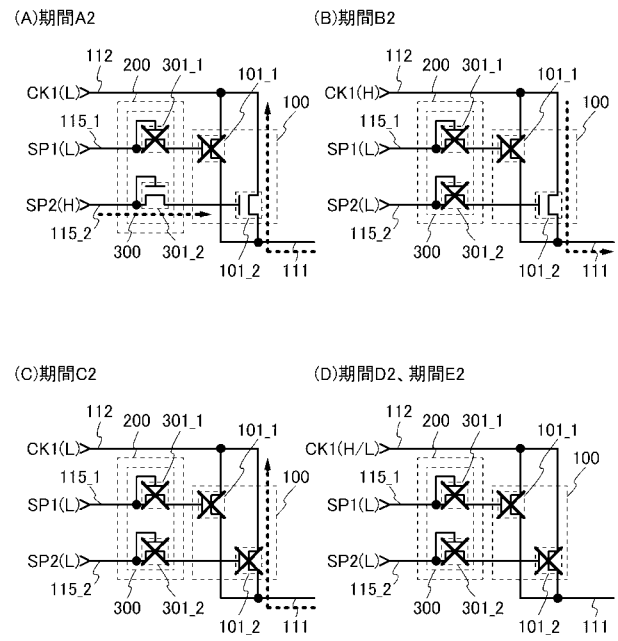
(A)



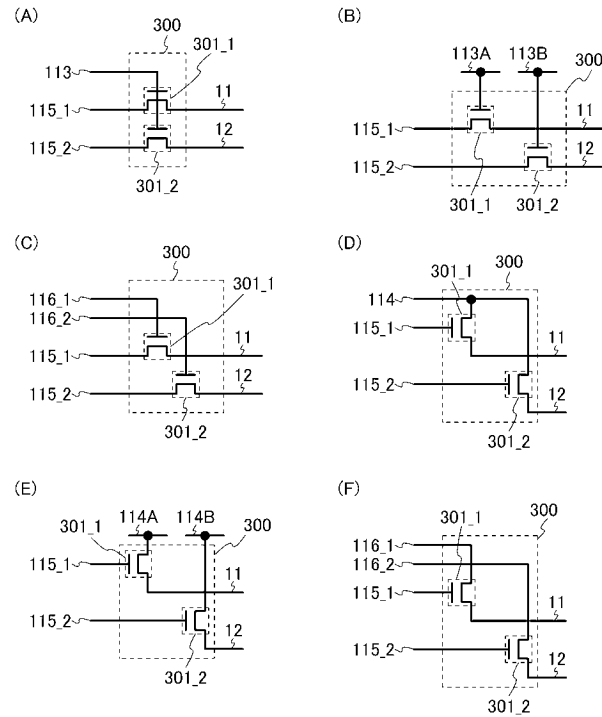
【図 7】



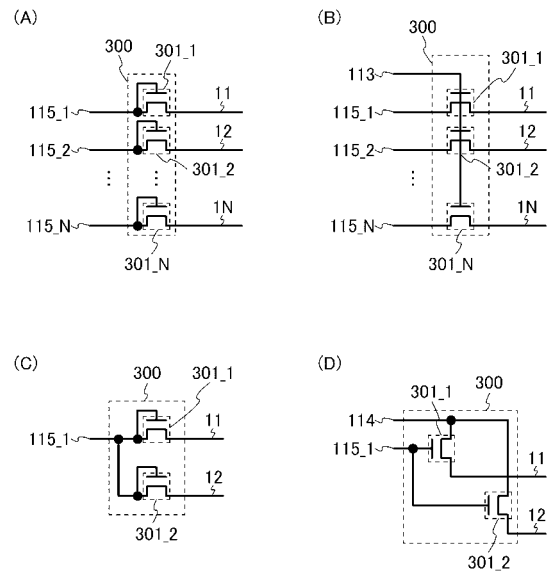
【図 8】



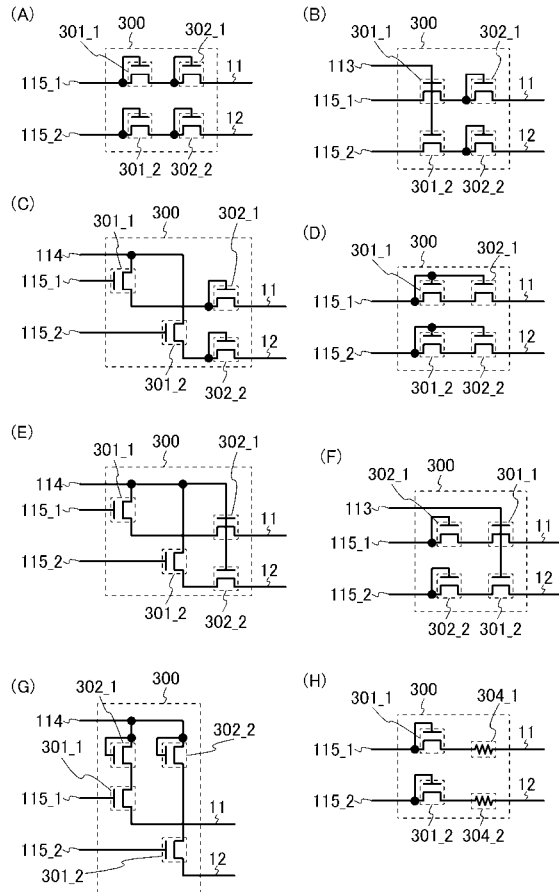
【図 9】



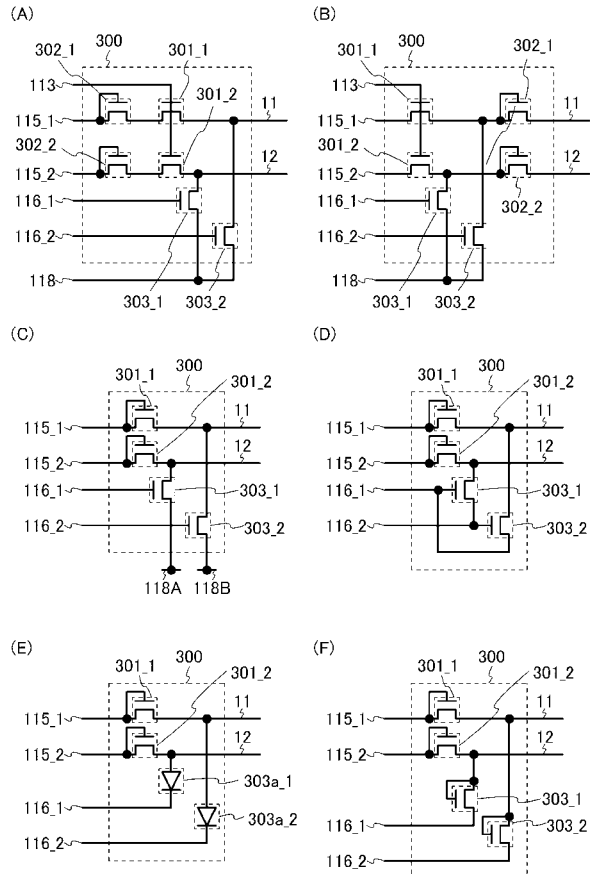
【図 10】



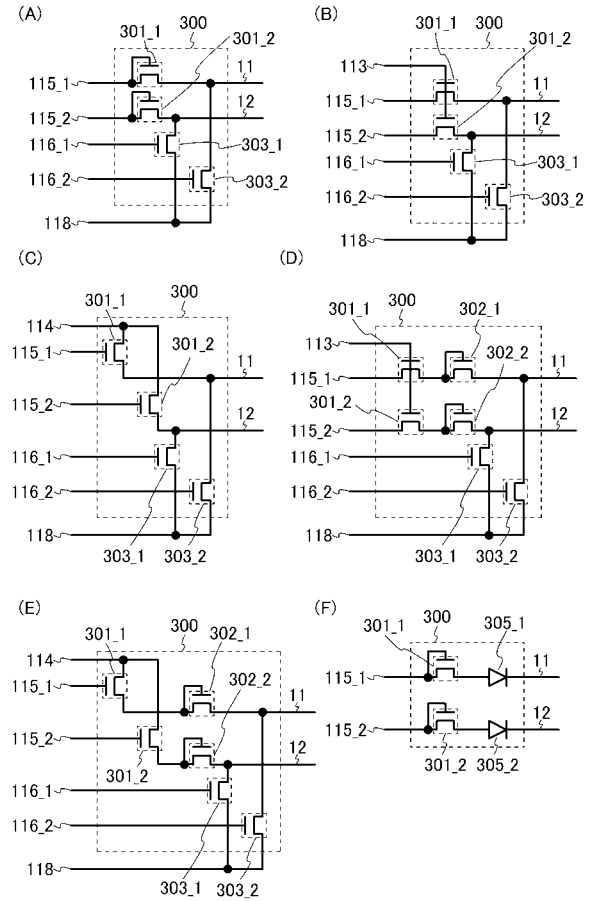
【図 1 1】



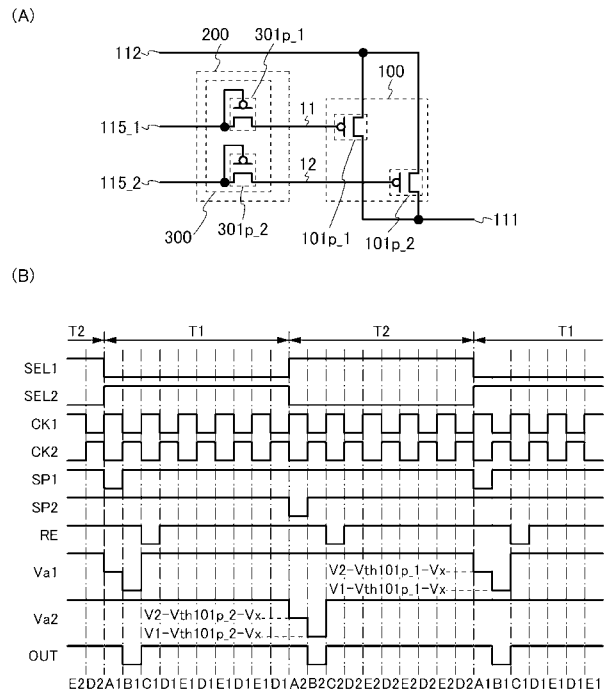
【図 1 3】



【図 1 2】

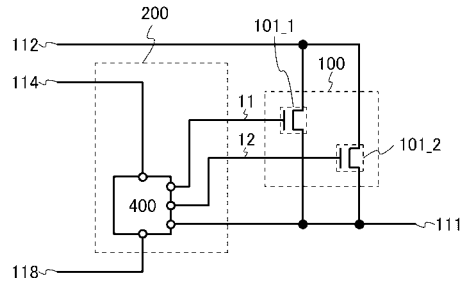


【図 1 4】

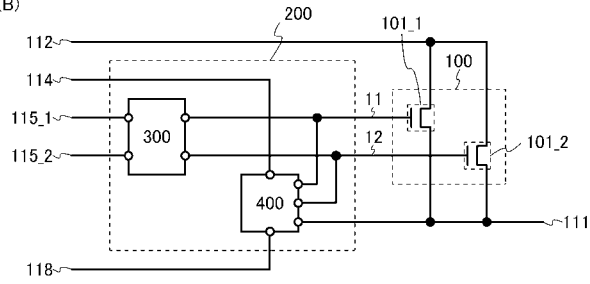


【図 15】

(A)

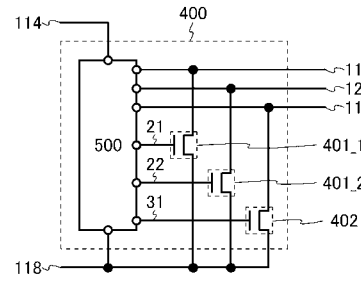


(B)

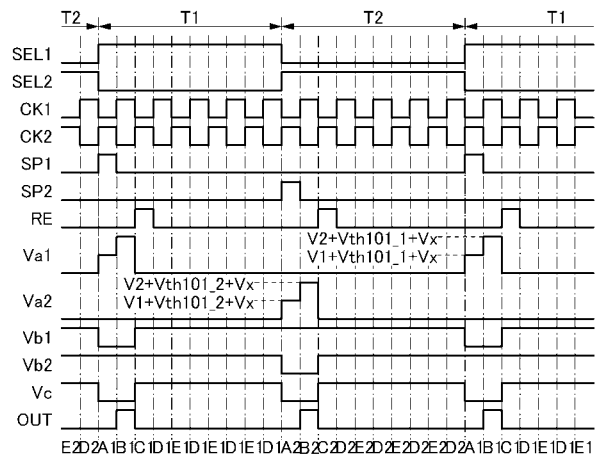


【図 16】

(A)

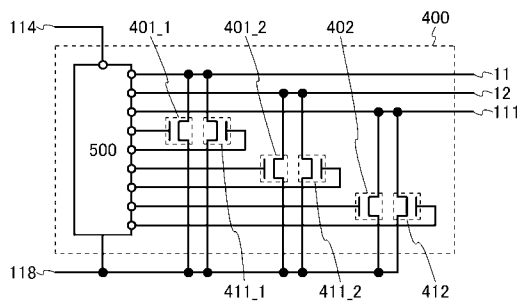


(B)

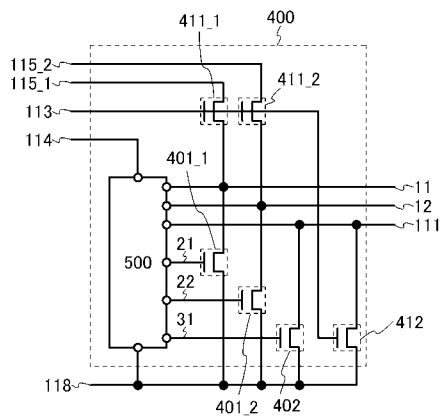


【図 17】

(A)

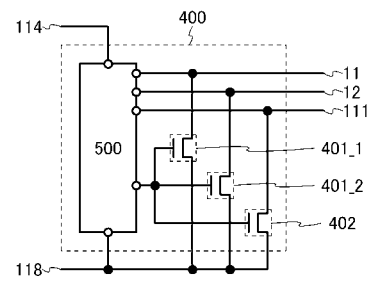


(B)

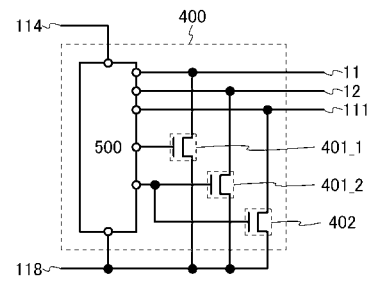


【図 18】

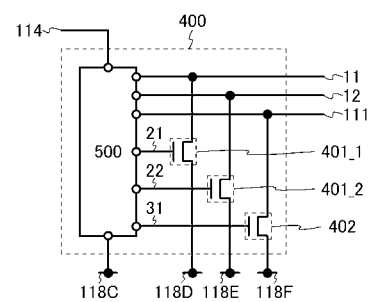
(A)



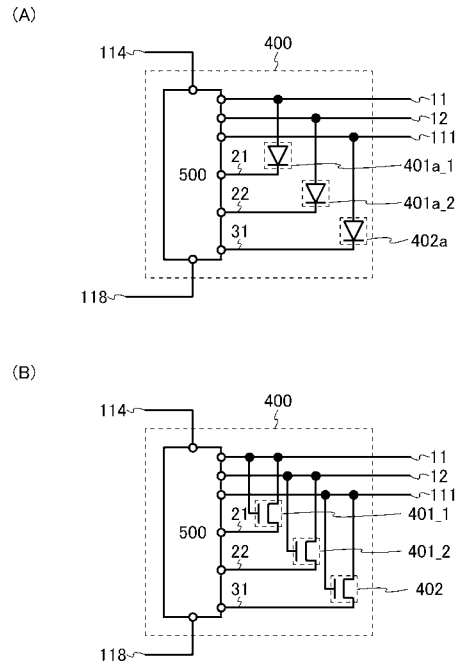
(B)



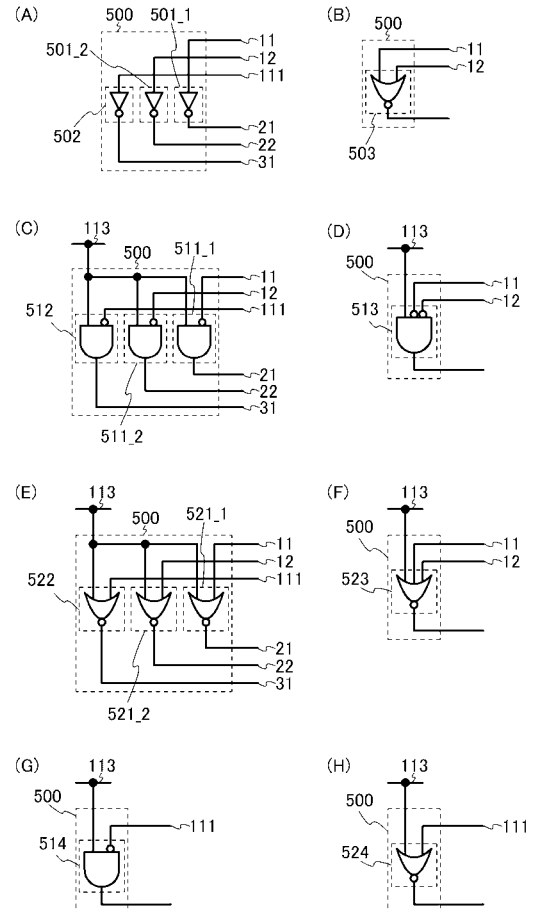
(C)



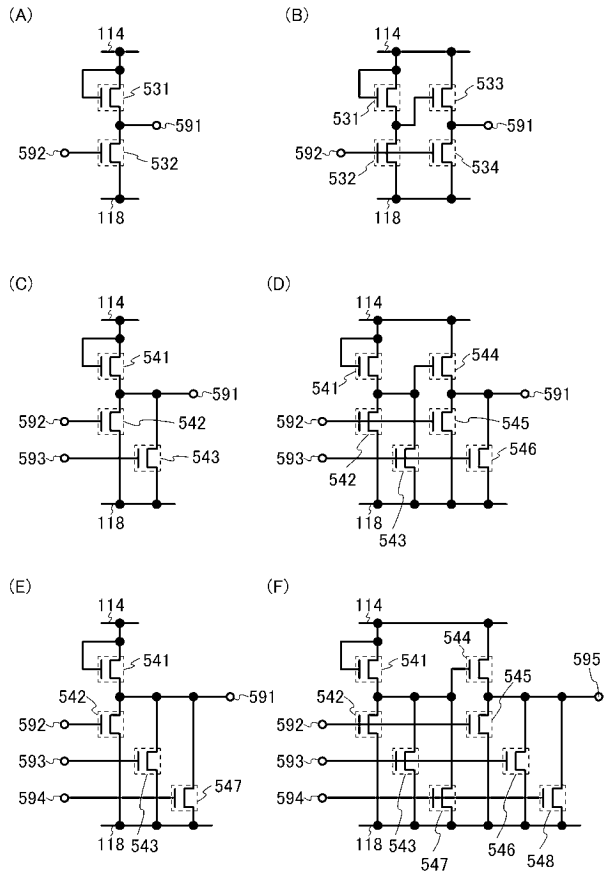
【図 19】



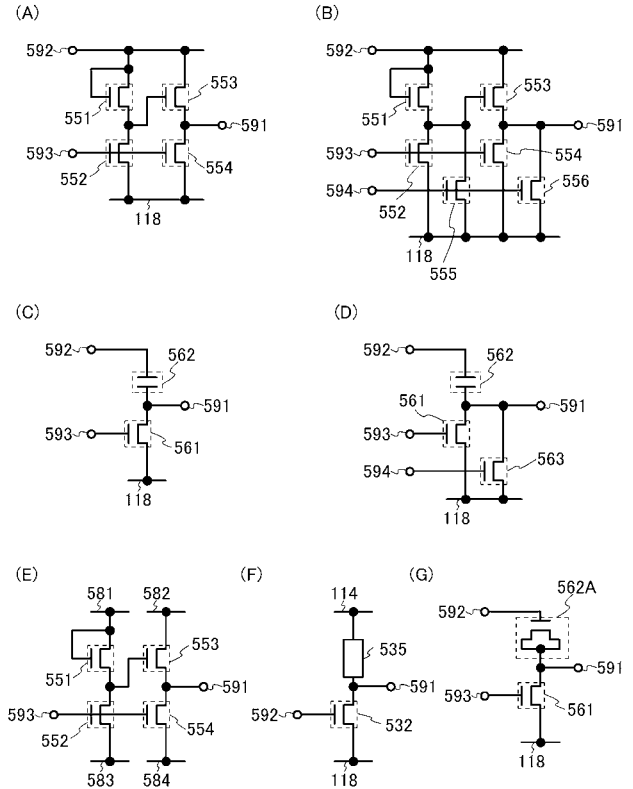
【図 20】



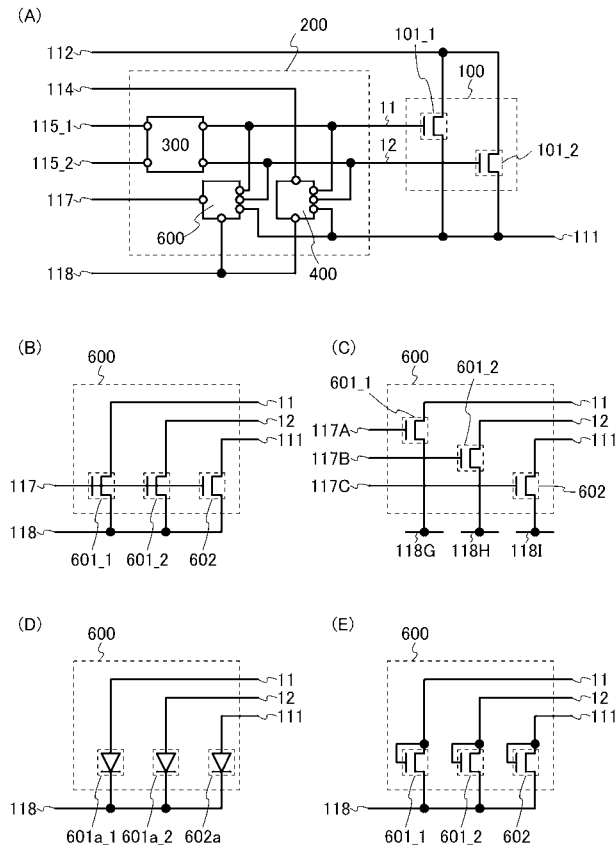
【図 21】



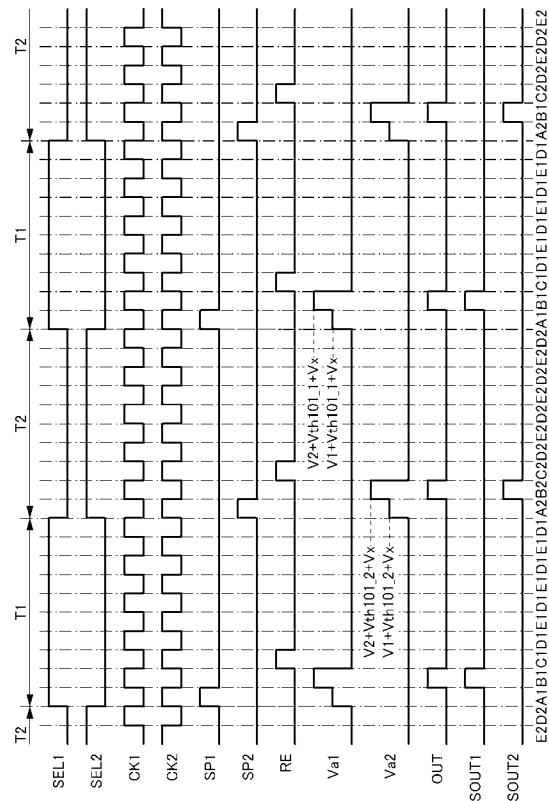
【図 22】



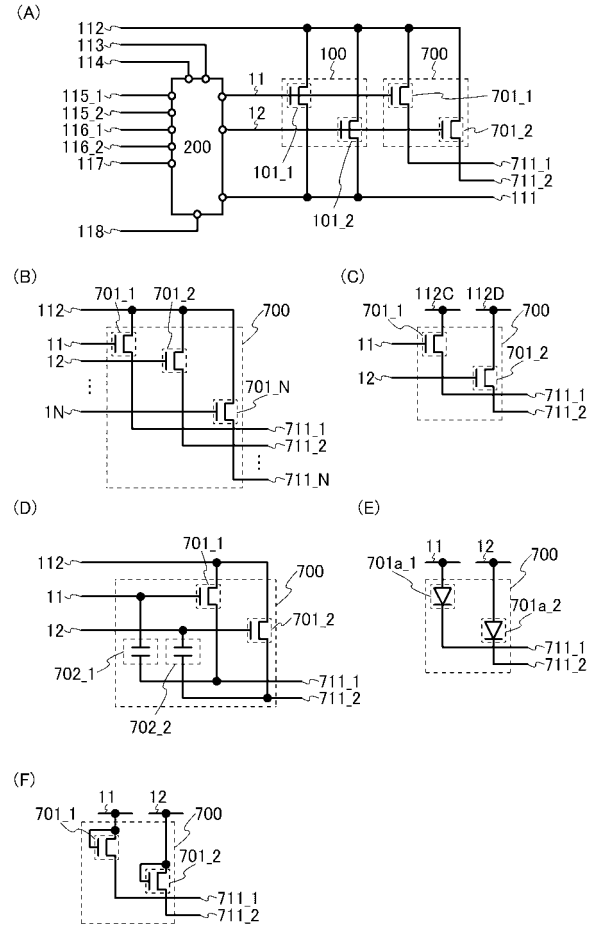
【図 2 3】



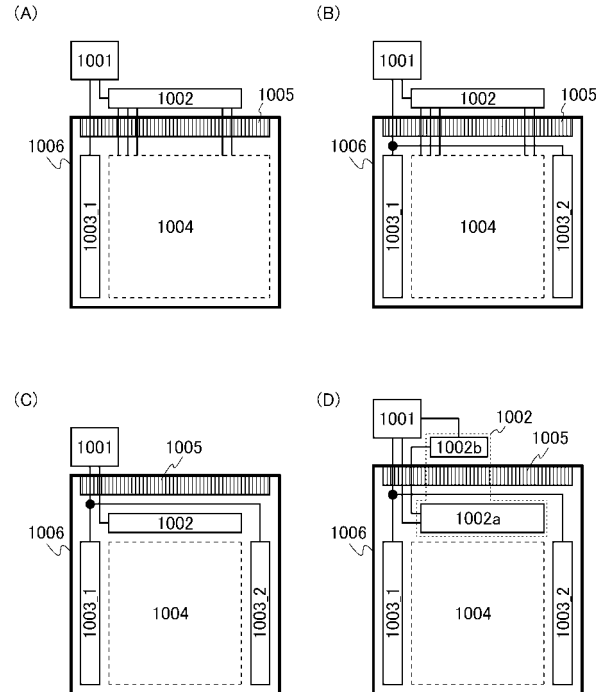
【図 2 5】



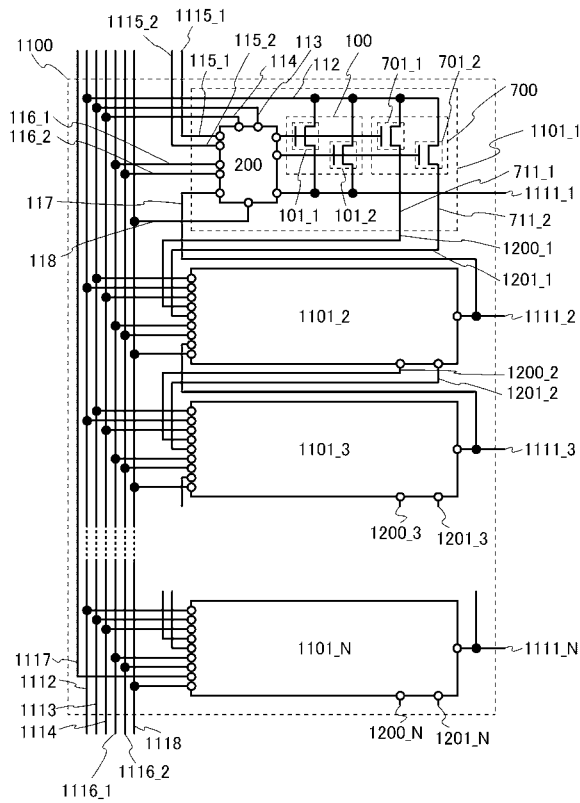
【図 2 4】



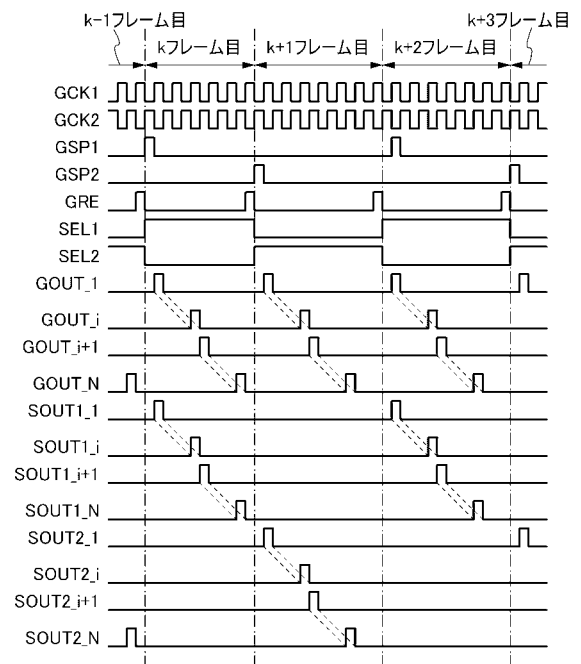
【図 2 6】



【図 27】

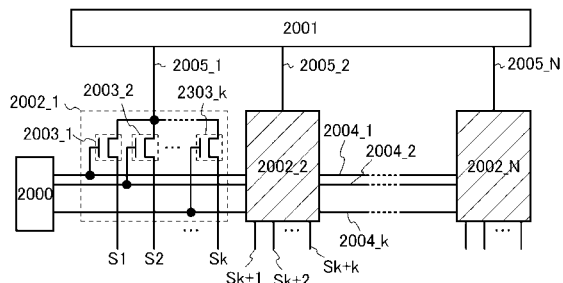


【図 28】

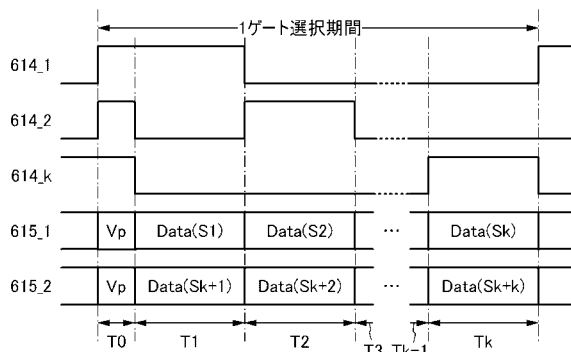


【図 29】

(A)

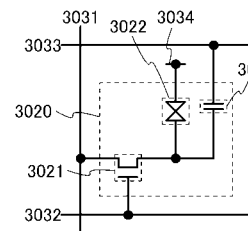


(B)

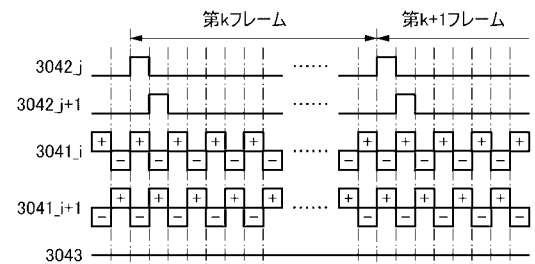


【図 30】

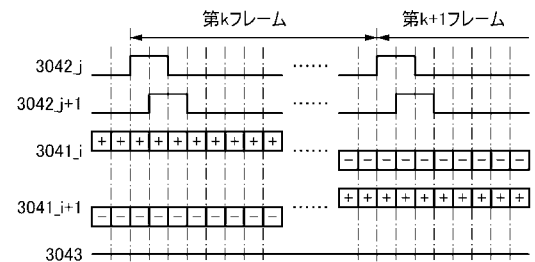
(A)



(B)

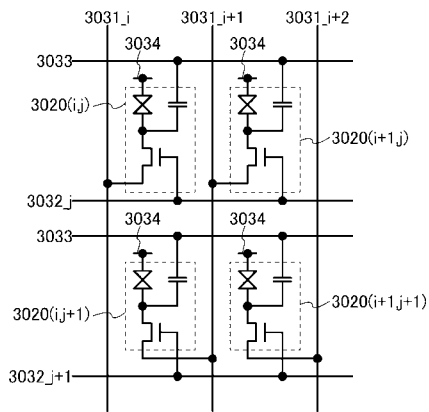


(C)

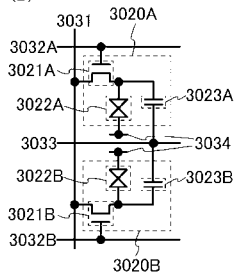


【図 3 1】

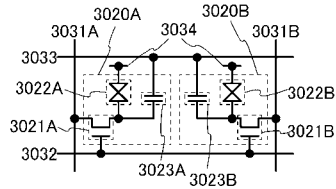
(A)



(B)

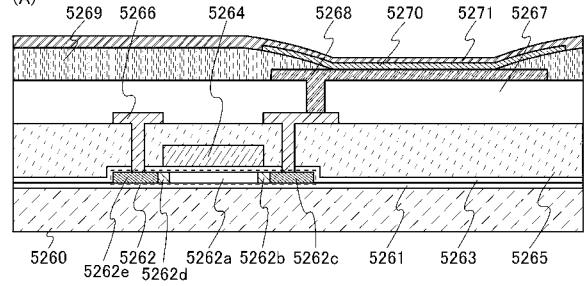


(C)

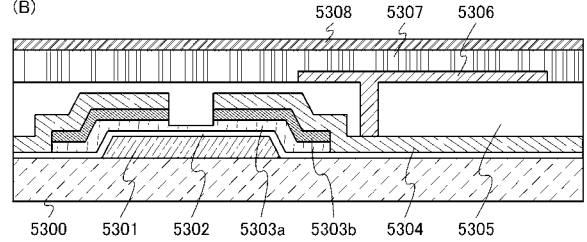


【図 3 2】

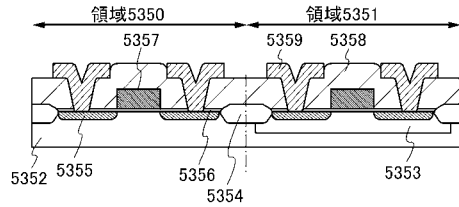
(A)



(B)

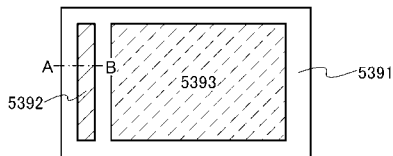


(C)

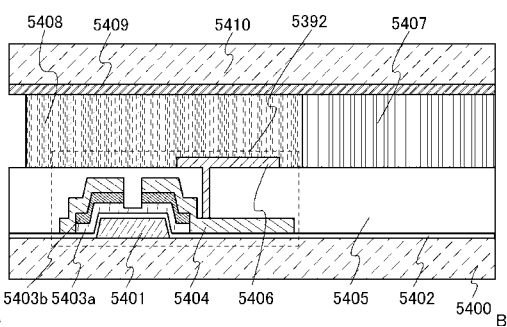


【図 3 3】

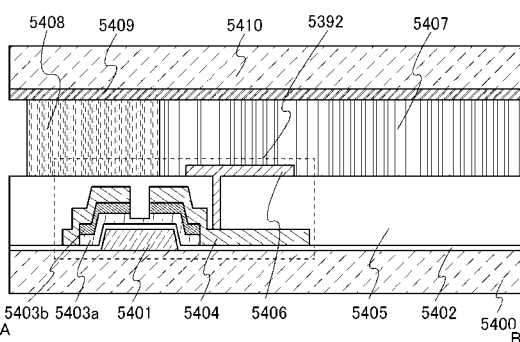
(A)



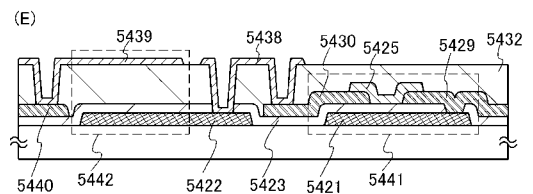
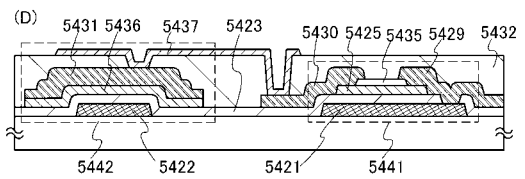
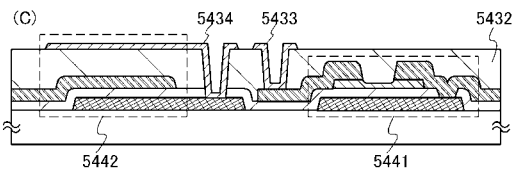
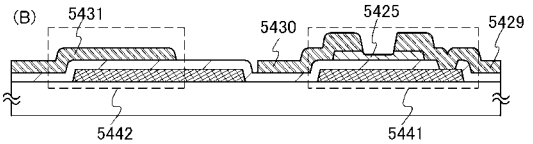
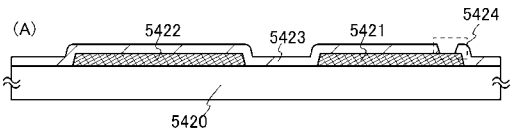
(B)



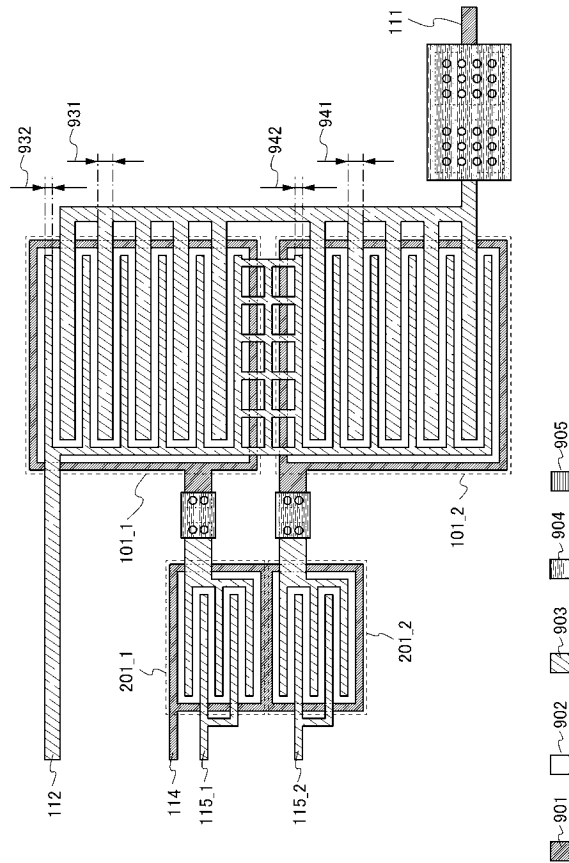
(C)



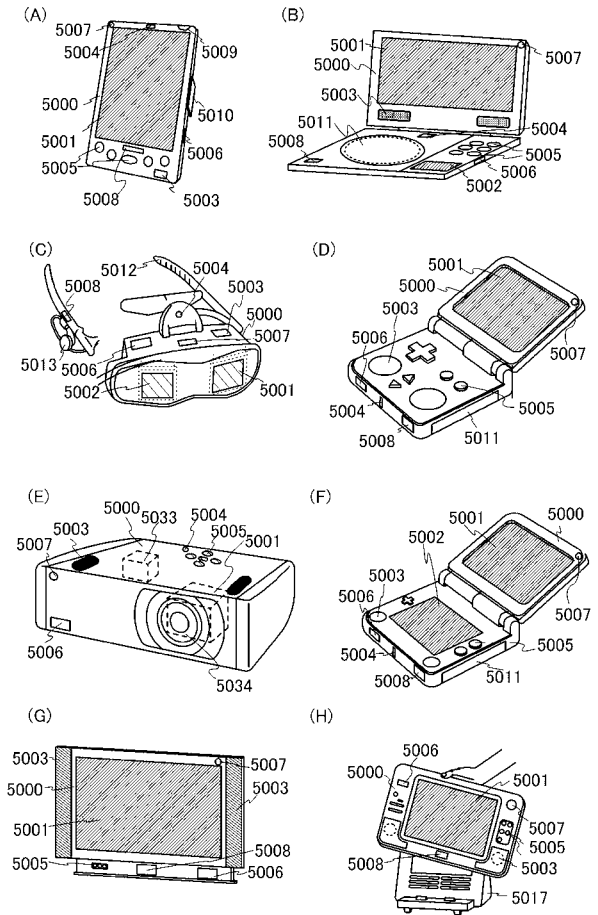
【図 3 4】



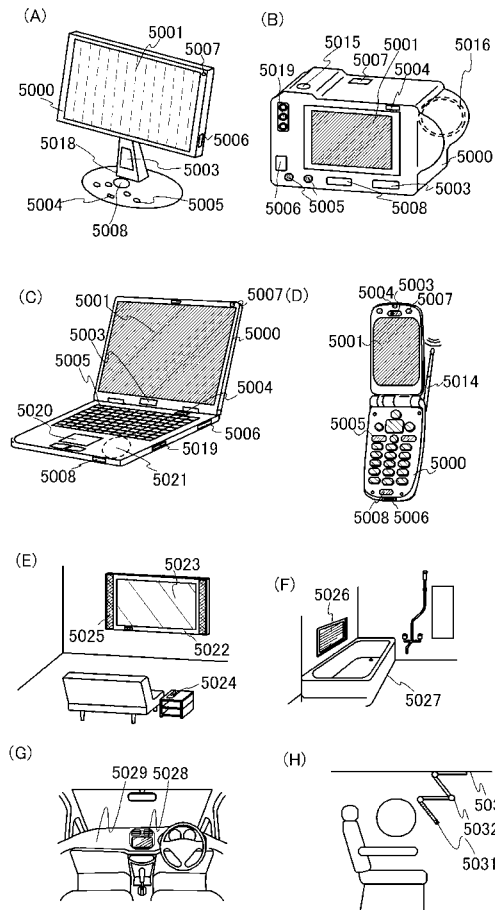
【図 35】



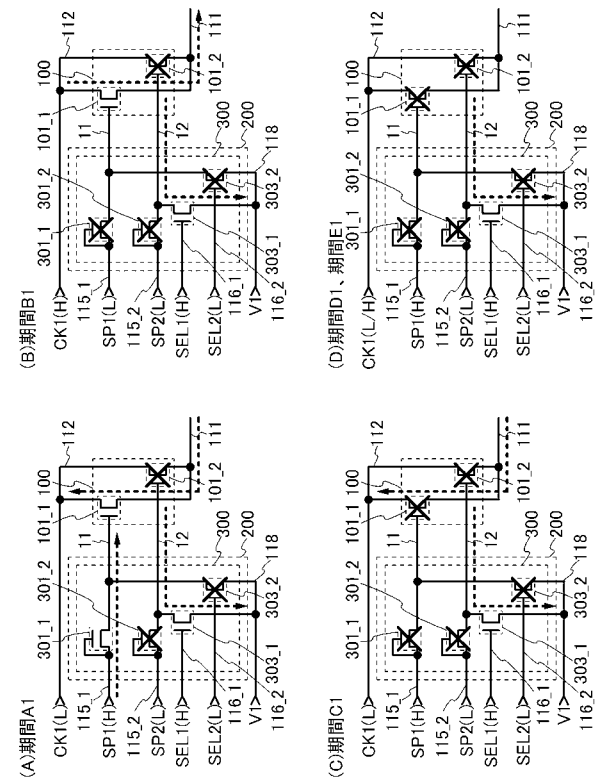
【図 36】



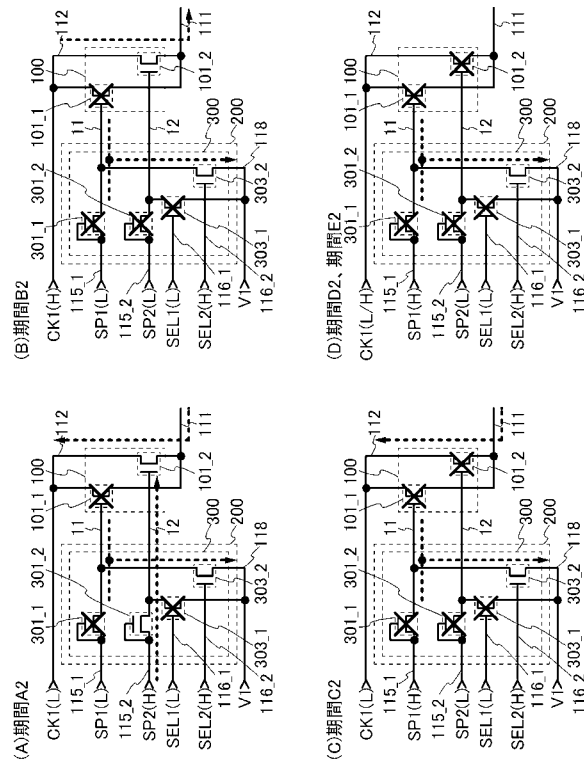
【図 37】



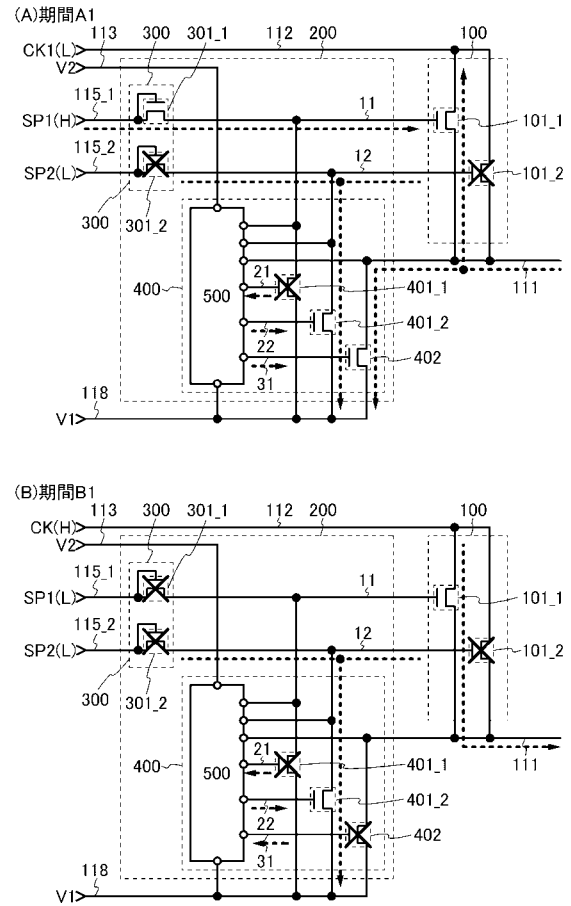
【図 38】



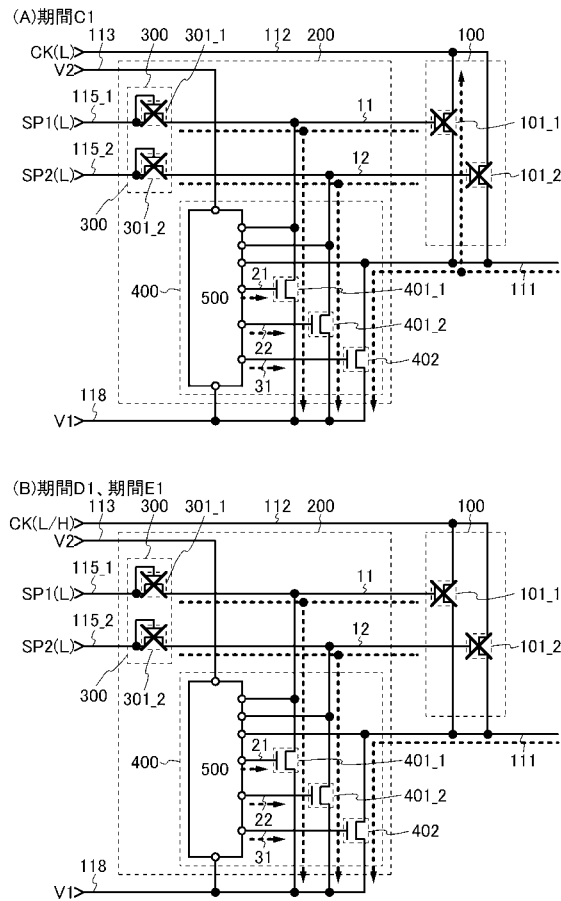
【図 39】



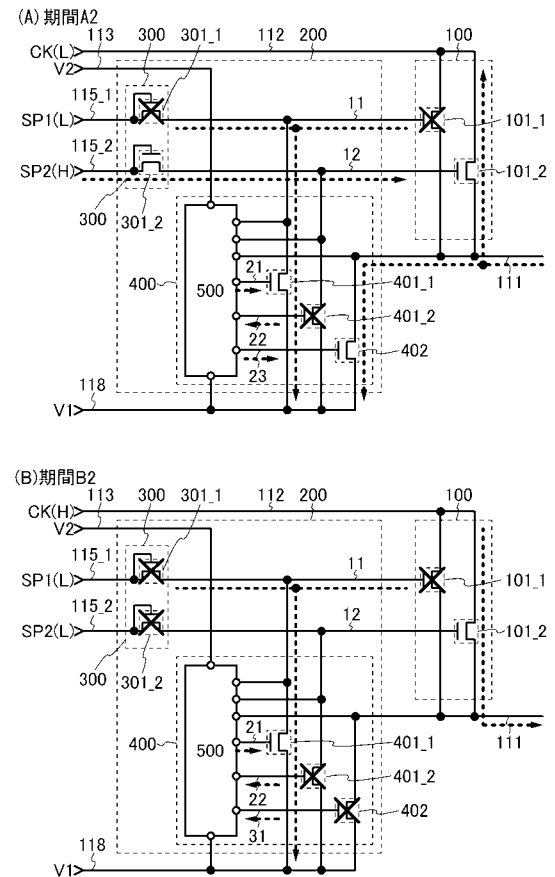
【図 40】



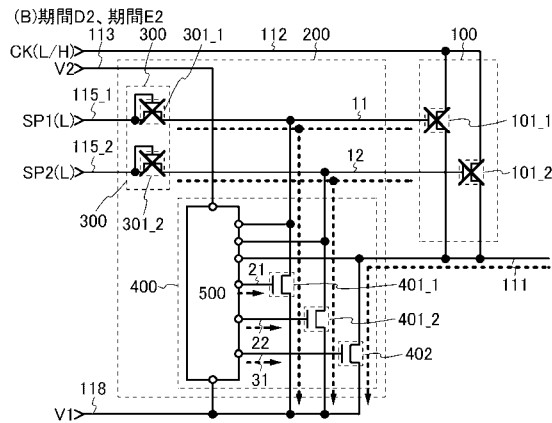
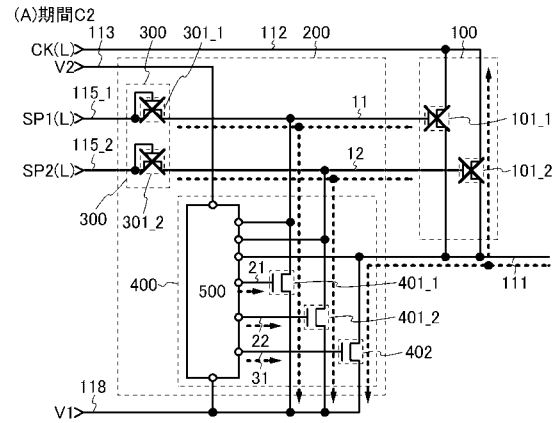
【図 41】



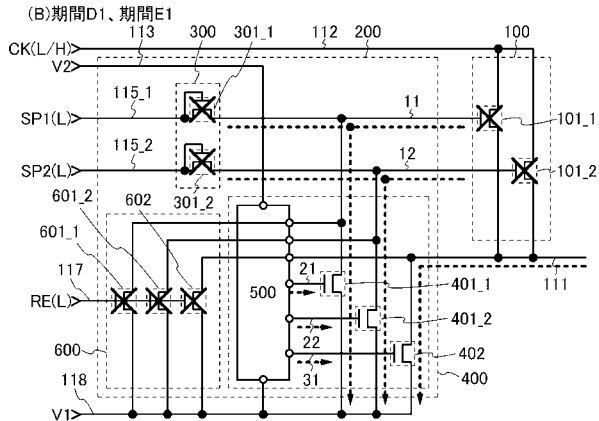
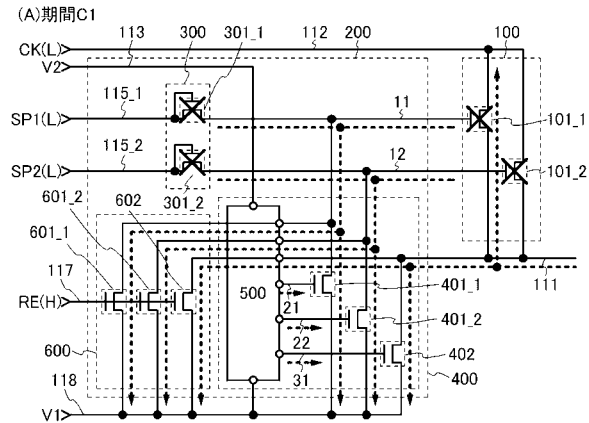
【図 42】



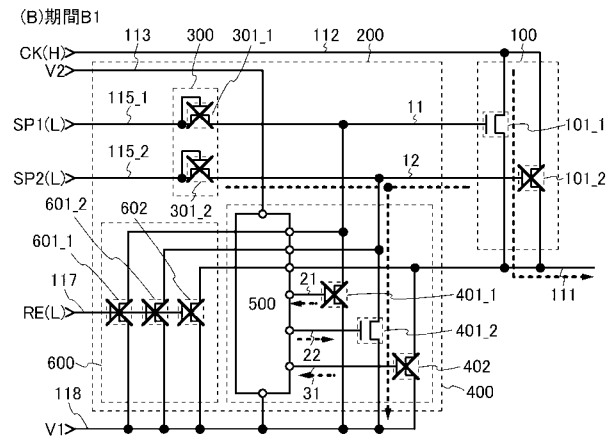
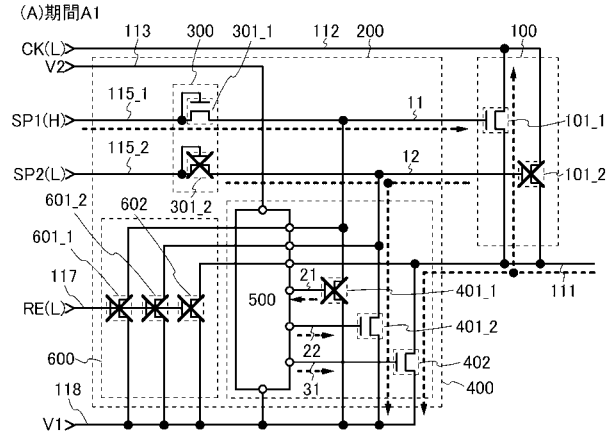
【図 4 3】



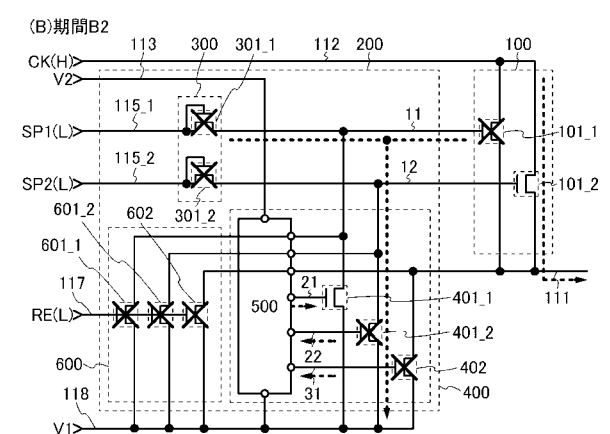
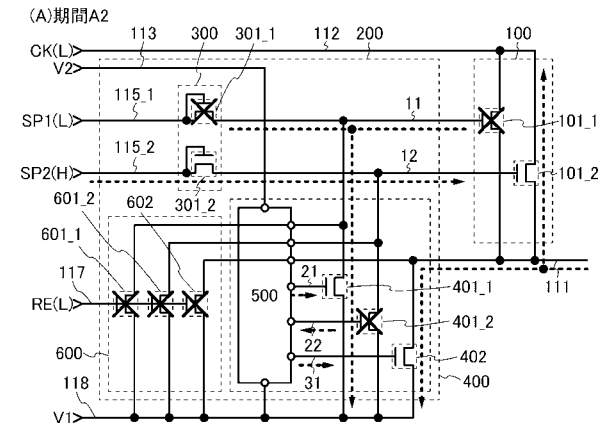
【図 4 5】



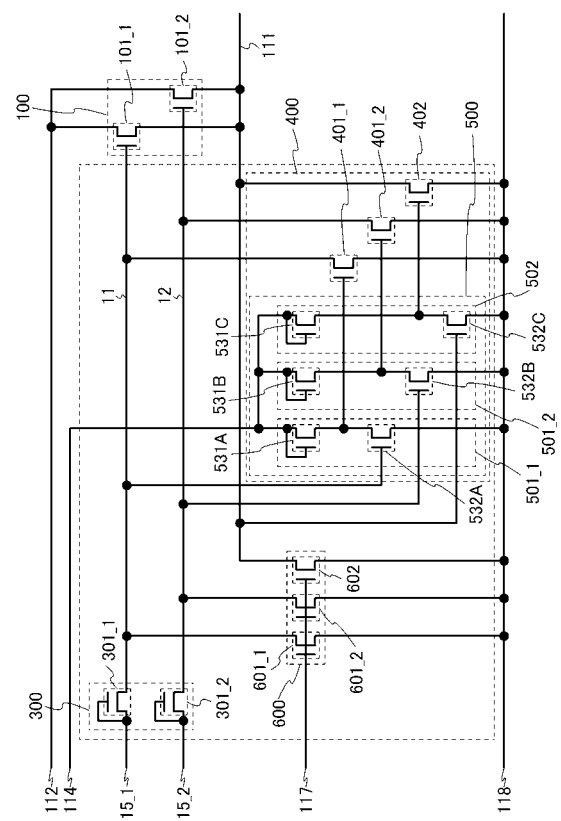
【図 4 4】



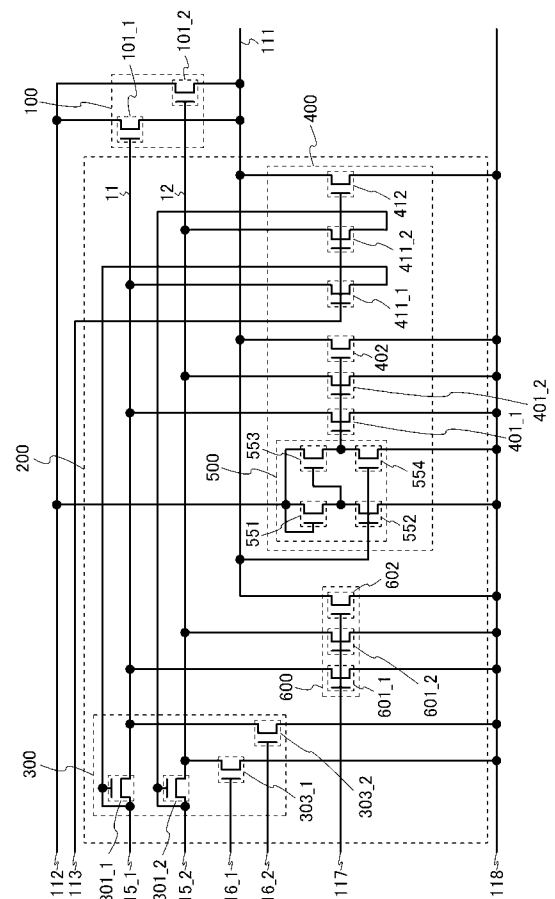
【図 4 6】



【 図 4 8 】

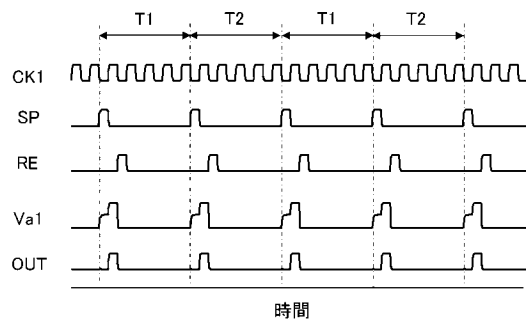


【 ㄨ 5 0 】

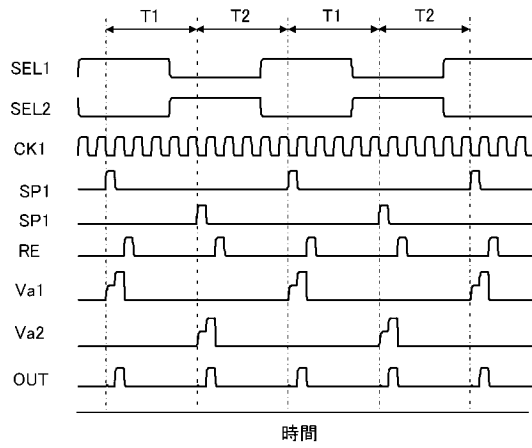


【図 5 1】

(A)



(B)



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 2 F 1/136	
	G 0 2 F 1/1368	
	H 0 3 K 17/687	G

F ターム(参考)	5C080	AA10	BB05	DD23	DD29	FF01	FF11	FF12	JJ02	JJ03	JJ04
		JJ06	KK01	KK07	KK20	KK43	KK47				
	5J055	AX37	BX16	CX30	DX12	DX65	EX07	EY21	EZ69	GX01	

专利名称(译)	液晶显示器		
公开(公告)号	JP2010250304A5	公开(公告)日	2013-05-02
申请号	JP2010069222	申请日	2010-03-25
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇 梅崎敦司		
发明人	木村 肇 梅崎 敦司		
IPC分类号	G09G3/36 G09G3/20 G02F1/136 G02F1/1368 H03K17/687		
CPC分类号	G11C19/28 G09G3/3614 G09G3/3677 G09G3/3688 G09G2310/0286 G09G2320/043 H03K19/00369		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.670.K G09G3/20.623.H G09G3/20.623.X G02F1/136 G02F1/1368 H03K17/687.G		
F-TERM分类号	2H092/GA59 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB13 2H092/JB69 2H092/KA08 2H092/NA25 2H092/PA06 5C006/AC22 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BC23 5C006/BF03 5C006/BF34 5C006/FA33 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD29 5C080/FF01 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK20 5C080/KK43 5C080/KK47 5J055/AX37 5J055/BX16 5J055/CX30 5J055/DX12 5J055/DX65 5J055/EX07 5J055/EY21 5J055/EZ69 5J055/GX01 2H192/AA24 2H192/BC24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB37 2H192/CB52 2H192/CC24 2H192/CC64 2H192/DA12 2H192/DA72 2H192/EA22 2H192/EA43 2H192/FB02 2H192/GD03 2H192/GD61 2H192/JB02 5B074/AA02 5B074/AA10 5B074/CA01		
优先权	2009077203 2009-03-26 JP		
其他公开文献	JP5466979B2 JP2010250304A		

摘要(译)

要解决的问题抑制驱动电路中晶体管特性的劣化。第二晶体管，其中第二信号在栅极和源极和漏极之一处输入;以及栅极，电连接到第一晶体管的源极和漏极中的另一个第三晶体管，用于通过导通或截止来控制是否设置输出信号的电压状态，栅极电连接到第二晶体管的源极和漏极中的另一个，以及控制是否设置输出信号的电压状态的第四晶体管。点域6