

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-44382

(P2010-44382A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/133 (2006.01)	G09G 3/20 622G	5C080
	G09G 3/20 622D	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 10 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2009-182378 (P2009-182378)	(71) 出願人	390019839
(22) 出願日	平成21年8月5日(2009.8.5)		三星電子株式会社
(31) 優先権主張番号	10-2008-0077032		SAMSUNG ELECTRONICS
(32) 優先日	平成20年8月6日(2008.8.6)		CO., LTD.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
			416, Maetan-dong, Yeongtong-gu, Suwon-si,
			Gyeonggi-do 442-742
			(KR)
		(74) 代理人	110000051
			特許業務法人共生国際特許事務所
		(72) 発明者	孫 智 賢
			大韓民国京畿道城南市壽井区壽進2洞サン
			ブアパート108棟504号
		最終頁に続く	

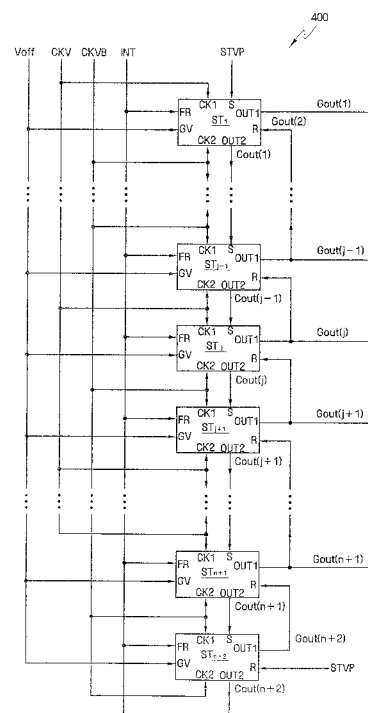
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】表示品質を向上させることができる液晶表示装置を提供する。

【解決手段】複数のゲートラインを含む液晶パネルと、前記複数のゲートラインと各々接続してゲート信号を順次に供給する複数のステージと、互いに分離している第1ダミーステージ及び第2ダミーステージを含むゲートドライバとを有し、前記第1ダミーステージは、前記複数のステージの内の一つのステージのキャリー信号によってイネーブルされ、前記第2ダミーステージは、前記第1ダミーステージのキャリー信号によってイネーブルされて前記複数のステージ各々を初期化する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数のゲートラインを含む液晶パネルと、

前記複数のゲートラインと各々接続してゲート信号を順次に供給する複数のステージと、互いに分離している第 1 ダミーステージ及び第 2 ダミーステージとを含むゲートドライバとを有し、

前記第 1 ダミーステージは、前記複数のステージの内の一つのステージのキャリア信号によってイネーブルされ、

前記第 2 ダミーステージは、前記第 1 ダミーステージのキャリア信号によってイネーブルされて前記複数のステージ各々を初期化することの特徴とする液晶表示装置。

10

【請求項 2】

前記液晶パネルは、複数のダミーゲートラインをさらに含み、

前記第 1 ダミーステージは、前記複数のダミーゲートラインの内の少なくとも一部と接続し、前記第 1 ダミーステージは前記複数のステージの内の最後のステージのキャリア信号によってイネーブルされ、

前記複数のステージ各々は、後段ステージのゲート信号又は前記第 2 ダミーステージの初期化信号に応答して前記複数のステージのゲート信号がゲートオフ電圧にプルダウンされ、

前記第 1 ダミーステージは、前記第 2 ダミーステージの前記初期化信号に応答して前記第 1 ダミーステージのゲート信号がゲートオフ電圧にプルダウンされることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記液晶パネルは、複数のダミーゲートラインをさらに含み、

前記第 1 ダミーステージは、前記複数のダミーゲートラインの内の少なくとも一部と接続し、前記各ステージは、スキャン開始信号又は前段ステージのキャリア信号に応答して電荷が充電される充電部と、

前記充電部が充電された時、第 1 クロック信号又は第 2 クロック信号に応答して前記ゲート信号を供給するプルアップ部と、

後段ステージのゲート信号又は前記第 2 ダミーステージの初期化信号に応答して前記ゲート信号をゲートオフ電圧にプルダウンさせるプルダウン部と、

30

前記充電部に充電された電荷を放電する放電部と、

前記ゲート信号をホールドするホールド部とを含み、

前記放電部は、前記後段ステージのゲート信号に応答して前記充電部を第 1 放電する第 1 トランジスタと、放電信号に応答して前記充電部を第 2 放電する第 2 トランジスタを含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

複数のゲートラインを含む液晶パネルと、

前記複数のゲートラインと各々接続してゲート信号を順次に提供する複数のステージと、ダミーステージとを含むゲートドライバとを有し、

前記複数のステージ及びダミーステージの各々は、スキャン開始信号又は前段ステージのキャリア信号に応答して電荷が充電される充電部と、

40

前記充電部が充電された時、第 1 クロック信号又は第 2 クロック信号に応答して前記ゲート信号を提供するプルアップトランジスタを含むプルアップ部と、

後段ステージのゲート信号又は初期化信号に応答して前記ゲート信号をゲートオフ電圧にプルダウンさせるプルダウン部と、

前記充電部に充電された電荷を放電する放電部と、

前記ゲート信号をホールドするホールド部とを含み、

前記ダミーステージは、前記複数のステージのプルアップトランジスタよりサイズが大きいプルアップトランジスタを含むことを特徴とする液晶表示装置。

【請求項 5】

50

前記ダミーステージの前記プルアップトランジスタのサイズは、前記他のステージのプルアップトランジスタより20%以上大きいことを特徴とする請求項4に記載の液晶表示装置。

【請求項6】

複数のゲートラインを含む液晶パネルと、

前記複数のゲートラインと各々接続してゲート信号を順次に提供する複数のステージと、ダミーステージとを含むゲートドライバとを有し、

前記複数のステージ及び前記ダミーステージの各々は、ゲート信号を提供するゲート出力端子を含み、

前記ダミーステージの前記ゲート出力端子を通じて出力される前記ゲート信号の出力量は前記各ステージの前記ゲート出力端子を通じて出力される前記ゲート信号の出力量より小さいことを特徴とする液晶表示装置。

10

【請求項7】

前記ダミーステージの前記ゲート信号の出力量は、前記各ステージの前記ゲート信号の出力量の80%以下であることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】

複数のゲートラインを含む液晶パネルと、

前記複数のゲートラインと各々接続してゲート信号を順次に提供する複数のステージと、少なくとも一つのダミーステージとを含むゲートドライバとを有し、

前記複数のステージの内の少なくとも一つのステージ及び前記ダミーステージは、スキャン開始信号に応答して毎フレームごとに初期化されることを特徴とする液晶表示装置。

20

【請求項9】

少なくとも一つの前記ステージは、前記複数のステージを初期化する初期化信号を前記ダミーステージから供給されることを特徴とする請求項8に記載の液晶表示装置。

【請求項10】

前記スキャン開始信号の経路は、前記初期化信号の経路より前記ゲートドライバに近接して形成されることを特徴とする請求項9に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、液晶表示装置に関し、特に、表示品質を向上させることができる液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置は、ゲート駆動ICをTCP(tape carrier package)又はCOG(chip on the glass)などの方法で実装するが、製造原価又は製品のサイズ、設計の側面において他の方法が摸索されている。

すなわち、ゲート駆動ICを採択せず、非晶質シリコン薄膜トランジスタ(amorphous silicon Thin Film Transistor、以下「a-Si TFT」という)を利用してゲート信号を発生させるゲートドライバをガラス基板に実装するという新しい方法が試みられている。

40

【0003】

このようなゲートドライバを含む液晶表示装置の表示品質を向上させるための技術開発を行うことが課題として急務になっている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】大韓民国特許出願公開第2008-001403号明細書

【発明の概要】

50

【発明が解決しようとする課題】

【0005】

そこで、本発明は上記従来の液晶表示装置における課題に鑑みてなされたものであって、本発明の目的は、表示品質を向上させることができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明による液晶表示装置は、複数のゲートラインを含む液晶パネルと、前記複数のゲートラインと各々接続してゲート信号を順次に供給する複数のステージと、互いに分離している第1ダミーステージ及び第2ダミーステージとを含むゲートドライバとを有し、前記第1ダミーステージは、前記複数のステージの内の一つのステージのキャリア信号によってイネーブルされ、前記第2ダミーステージは、前記第1ダミーステージのキャリア信号によってイネーブルされて前記複数のステージ各々を初期化することの特徴とする。

【0007】

また、上記目的を達成するためになされた本発明による液晶表示装置は、複数のゲートラインを含む液晶パネルと、前記複数のゲートラインと各々接続してゲート信号を順次に提供する複数のステージと、ダミーステージとを含むゲートドライバとを有し、前記複数のステージ及びダミーステージの各々は、スキャン開始信号又は前段ステージのキャリア信号に応答して電荷が充電される充電部と、前記充電部が充電された時、第1クロック信号又は第2クロック信号に応答して前記ゲート信号を提供するプルアップトランジスタを含むプルアップ部と、後段ステージのゲート信号又は初期化信号に応答して前記ゲート信号をゲートオフ電圧にプルダウンさせるプルダウン部と、前記充電部に充電された電荷を放電する放電部と、前記ゲート信号をホールドするホールド部とを含み、前記ダミーステージは、前記複数のステージのプルアップトランジスタよりサイズが大きいプルアップトランジスタを含むことを特徴とする。

【0008】

また、上記目的を達成するためになされた本発明による液晶表示装置は、複数のゲートラインを含む液晶パネルと、前記複数のゲートラインと各々接続してゲート信号を順次に提供する複数のステージと、ダミーステージとを含むゲートドライバとを有し、前記複数のステージ及び前記ダミーステージの各々は、ゲート信号を提供するゲート出力端子を含み、前記ダミーステージの前記ゲート出力端子を通じて出力される前記ゲート信号の出力量は前記各ステージの前記ゲート出力端子を通じて出力される前記ゲート信号の出力量より小さいことを特徴とする。

【0009】

また、上記目的を達成するためになされた本発明による液晶表示装置は、複数のゲートラインを含む液晶パネルと、前記複数のゲートラインと各々接続してゲート信号を順次に提供する複数のステージと、少なくとも一つのダミーステージとを含むゲートドライバとを有し、前記複数のステージの内の少なくとも一つのステージ及び前記ダミーステージは、スキャン開始信号に応答して毎フレームごとに初期化されることを特徴とする。

【発明の効果】

【0010】

本発明に係る液晶表示装置によれば、複数のステージ(ST1～STn)各々に初期化信号(INT)を提供する機能を第2ダミーステージ(ST_{n+2})が実行することによって、第1ダミーステージ(ST_{n+1})が前段ステージのゲート信号(Gout(n))を十分にプルダウンさせることができる。したがって、液晶表示装置の表示品質を向上させることができるという効果がある。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態による液晶表示装置の構成を示すブロック図である。

10

20

30

40

50

【図 2】図 1 に示す画素の等価回路図である。

【図 3】図 1 に示すゲートドライバを説明するための例示的なブロック図である。

【図 4】図 3 に示す第 j ステージの例示的な回路図である。

【図 5】図 3 に示す第 n ステージの例示的な回路図である。

【図 6】図 3 に示す第 $n + 1$ ステージの例示的な回路図である。

【図 7】本発明の第 2 の実施形態による液晶表示装置のゲートドライバを説明するための例示的なブロック図である。

【図 8】図 7 に示すダミーステージの例示的な回路図である。

【図 9】本発明の第 4 の実施形態による液晶表示装置のゲートドライバを説明するための例示的なブロック図である。

10

【図 10】図 9 に示すゲートドライバに入力される初期化信号及びスキャン開始信号の信号図である。

【発明を実施するための形態】

【0012】

次に、本発明に係る液晶表示装置を実施するための形態の具体例を図面を参照しながら説明する。

【0013】

本発明の利点、特徴、およびそれらを達成する方法は、添付する図面と共に詳細に後述する実施形態を参照すれば明確になるであろう。しかし、本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で具現されることが可能である。本実施形態は、単に本発明の開示が完全になるように、本発明が属する技術分野で通常の知識を有する者に対して発明の範疇を完全に知らせるために提供されるものであり、本発明は、請求項の範疇によってのみ定義される。なお、明細書全体にかけて、同一の参照符号は同一の構成要素を指すものとする。

20

【0014】

一つの素子 (elements) が、他の素子と「接続された (connected to)」または「カップリングされた (coupled to)」と参照されるときは、他の素子と直接連結またはカップリングされた場合、あるいは中間に他の素子を介在させた場合のすべてを含む。これに対し、一つの素子が異なる素子と「直接接続された (directly connected to)」または「直接カップリングされた (directly coupled to)」と参照されるときは、間に他の素子を介在させないことを表わす。明細書全体にかけて、同一の参照符号は、同一の構成要素を参照する。「および/または」は、言及されたアイテムの各々および一つ以上のすべての組合せを含む。

30

【0015】

第 1、第 2 等が、多様な素子、構成要素および/またはセクションを説明するために使用される。しかしながら、これら素子、構成要素および/またはセクションは、これらの用語によって制限されないことはもちろんである。これらの用語は単に一つの素子、構成要素、またはセクションを他の素子、構成要素、またはセクションと区別するために使用されるものである。したがって、以下で言及される第 1 素子、第 1 構成要素、または第 1 セクションは、本発明の技術的思想内で第 2 素子、第 2 構成要素、または第 2 セクションであり得ることはもちろんである。

40

【0016】

本明細書で使用する用語は、実施形態を説明するためであり、本発明を制限しようとするものではない。本明細書において単数形は、文言で特別に言及しない限り、複数形を含む。明細書で 사용되는「含む (comprises)」および/または「含む (comprising)」は、言及した構成要素、段階、動作、および/または素子は、一つ以上の他の構成要素、段階、動作、および/または素子の存在または追加を排除しない。

【0017】

他に定義されなければ、本明細書で使用するすべての用語 (技術および科学的用語を含

50

む)は、本発明が属する技術分野で通常の知識を有する者に共通に理解され得る意味において使用するものである。また、一般的に使用される辞典に定義されている用語は、明確に特別に定義されていない限り理想的にまたは過度に解釈されない。

【0018】

先ず、図1～図6を参照して本発明の第1の実施形態による液晶表示装置を説明する。

【0019】

図1は、本発明の第1の実施形態による液晶表示装置の構成を示すブロック図であり、図2は、図1に示す画素の等価回路図であり、図3は、図1に示すゲートドライバを説明するための例示的なブロック図であり、図4は、図3に示す第jステージの例示的な回路図であり、図5は、図3に示す第nステージの例示的な回路図であり、図6は、図3に示す第n+1ステージの例示的な回路図である。

10

【0020】

図1を参照すると、本発明の第1の実施形態による液晶表示装置10は、液晶パネル300、タイミングコントローラ500、クロック生成部600、ゲートドライバ400、及びデータドライバ700を含む。タイミングコントローラ500とクロック生成部600は信号提供部を形成する。

【0021】

液晶パネル300は、画像が表示される表示部(DA)と画像が表示されない非表示部(PA)に区分することができる。

【0022】

20

表示部(DA)は、複数のゲートライン(G1～Gn)、複数のデータライン(D1～Dm)、スイッチング素子(図示せず)、及び画素電極(図示せず)が形成された第1基板(図示せず)と、カラーフィルタ(図示せず)と共通電極(図示せず)が形成された第2基板(図示せず)、第1基板(図示せず)と第2基板(図示せず)との間に介在する液晶層(図示せず)とを含み、画像を表示する。

【0023】

ゲートライン(G1～Gn)は、略行方向に延長され互いがほぼ平行であり、データライン(D1～Dm)は、略列方向に延長され互いがほぼ平行であるように形成する。図面には図示しなかったが、ゲートラインは複数のダミーゲートラインをさらに含むことができ、これに対するさらに詳細な説明は後述する。

30

【0024】

図2を参照して、図1に示す画素(PX)について説明すると、第1基板100の画素電極(PE)と対向するように第2基板200の共通電極(CE)の一部の領域にカラーフィルタ(CF)を形成する。例えば、i番目(i=1～n)ゲートライン(Gi)とj番目(j=1～m)データライン(Dj)に接続された画素(PX)は信号線(Gi、Dj)に接続されたスイッチング素子(Q)とこれに接続された液晶キャパシタ(liquid crystal capacitor; Clc)及びストレージキャパシタ(storage capacitor; Cst)を含む。ストレージキャパシタ(Cst)は必要により省略することができる。スイッチング素子(Q)はa-Si(amorphous-silicon)から成る薄膜トランジスタ(Thin Film Transistor、以下「a-Si TFT」という)であり得る。

40

【0025】

非表示部(PA)は、第1基板(図2の100参照)が第2基板(図2の200参照)より広く形成されて画像が表示されない部分を意味する。

【0026】

信号提供部は、タイミングコントローラ500とクロック生成部600を含み、外部のグラフィック制御器(図示せず)から入力画像信号(R、G、B)及びこれら入力画像信号の表示を制御する入力制御信号を受信し、画像信号(DAT)、データ制御信号(CONT)をデータドライバ700に提供する。さらに具体的に説明すると、タイミングコントローラ500は、水平同期信号(Hsync)、メインクロック信号(Mclk)、デ

50

ータイネーブル信号 (DE) などの入力制御信号の入力を受けてデータ制御信号 (CONT) を出力する。データ制御信号 (CONT) は、データドライバ 700 の動作を制御する信号であり、データドライバ 700 の動作を開始する水平開始信号、2 つのデータ電圧の出力を指示するロード信号などを含む。

【0027】

データドライバ 700 は、画像信号 (DAT)、データ制御信号 (CONT) の供給を受け画像信号 (DAT) に対応する画像データ電圧を各データライン (D1 ~ Dm) に提供する。データドライバ 700 は、IC としてテープキャリアパッケージ (Tape Carrier Package、TCP) 形態で形成し液晶パネル 300 と接続することができ、これに限定されず、液晶パネル 300 の非表示部 (PA) の上に形成することもできる。

10

【0028】

また、信号提供部は、外部のグラフィック制御器 (図示せず) から垂直同期信号 (Vsync) 及びメインクロック信号 (Mclk) の供給を受けて電圧生成部 (図示せず) からゲートオン電圧 (Von) 及びゲートオフ電圧 (Voff) の供給を受けて第 1 スキャン開始信号 (STVP)、クロック信号 (CKV)、クロックバー信号 (CKVB)、及びゲートオフ電圧 (Voff) をゲートドライバ 400 に提供する。

【0029】

さらに具体的に説明すると、タイミングコントローラ 500 は、第 2 スキャン開始信号 (STV)、第 1 クロック生成制御信号 (OE)、及び第 2 クロック生成制御信号 (CPV) を提供する。クロック生成部 600 は、第 2 スキャン開始信号 (STV) の供給を受けて第 1 スキャン開始信号 (STVP) を出力し、第 1 クロック生成制御信号 (OE) 及び第 2 クロック生成制御信号 (CPV) の入力を受けてクロック信号 (CKV) 及びクロックバー信号 (CKVB) を出力することができる。ここで、クロック信号 (CKV) とクロックバー信号 (CKVB) とは逆位相をなす信号である。

20

【0030】

ゲートドライバ 400 は、第 1 スキャン開始信号 (STVP) にイネーブルされてクロック信号 (CKV)、クロックバー信号 (CKVB)、及びゲートオフ電圧 (Voff) を用いて複数のゲート信号を生成し、各ゲートライン (G1 ~ Gn) に各ゲート信号を順次に提供する。このとき、図面に図示しなかったが、液晶パネル 300 は、複数のダミーゲートラインを含むことができ、複数のダミーゲートラインの内の少なくとも一部は第 1 ダミーステージと接続することができる。

30

このようなゲートドライバ 400 は図 3 を参照してさらに具体的に説明する。

【0031】

図 3 を参照するとゲートドライバ 400 は、複数のゲートライン (G1 ~ Gn) と各々接続してゲート信号 (Gout1 ~ Gout(n)) を順次に供給する複数のステージ (ST1 ~ STn) と、互いに分離している第 1 ダミーステージ (ST_{n+1}) 及び第 2 ダミーステージ (ST_{n+2}) を含む。このとき、第 1 ダミーステージ (ST_{n+1}) は複数のステージ (ST1 ~ STn) の内の一つのステージのキャリア信号によってイネーブルされ、第 2 ダミーステージ (ST_{n+2}) は第 1 ダミーステージ (ST_{n+1}) のキャリア信号によってイネーブルされて複数のステージ (ST1 ~ STn) 各々を初期化する。

40

【0032】

複数のステージ (ST1 ~ STn) と、第 1 ダミーステージ及び第 2 ダミーステージ (ST_{n+1}、ST_{n+2}) は互いにカスケード (cascade) に接続することができる。また、各ステージ (ST1 ~ ST_{n+2}) にはゲートオフ電圧 (Voff)、クロック信号 (CKV)、クロックバー信号 (CKVB)、及び初期化信号 (INT) が入力される。このとき、初期化信号 (INT) は第 2 ダミーステージ (ST_{n+2}) により提供される。

【0033】

50

複数のステージ (ST1 ~ STn) と、第1ダミーステージ及び第2ダミーステージ (ST_{n+1}、ST_{n+2}) の各々は、第1クロック端子 (CK1)、第2クロック端子 (CK2)、セット端子 (S)、リセット端子 (R)、電源電圧端子 (GV)、フレームリセット端子 (FR)、ゲート出力端子 (OUT1)、及びキャリア出力端子 (OUT2) を含む。

【0034】

複数のステージ (ST1 ~ STn) のうち、j 番目 (j ≠ 1) ゲートラインと接続された第 j ステージ (ST_j) を例にあげて見ると、第 j ステージ (ST_j) のセット端子 (S) には前段ステージ (ST_{j-1}) のキャリア信号 (Cout_(j-1)) が、リセット端子 (R) には後段ステージ (ST_{j+1}) のゲート信号 (Gout_(j+1)) が入力されて、第1クロック端子 (CK1) 及び第2クロック端子 (CK2) には各々クロック信号 (CKV) 及びクロックバー信号 (CKVB) が入力され、電源電圧端子 (GV) にはゲートオフ電圧 (Voff) が入力され、フレームリセット端子 (FR) には初期化信号 (INT) 又は第2ダミーステージ (ST_{n+2}) のキャリア信号 (Cout_(n+2)) が入力される。

ゲート出力端子 (OUT1) は、ゲート信号 (Gout_(j)) を出力してキャリア出力端子 (OUT2) はキャリア信号 (Cout_(j)) を出力する。

【0035】

ただし、最初のステージ (ST1) には前段キャリア信号の代わりに第1スキャン開始信号 (STVP) が入力され、第2ダミーステージ (ST_{n+2}) には後段ゲート信号の代わりに第1スキャン開始信号 (STVP) が入力される。

【0036】

ここで、図4を参照して図3に示す第 j ステージ (ST_j) に対してさらに詳細に説明する。

図4を参照すると、第 j ステージ (ST_j) は、バッファ部 410、充電部 420、プルアップ部 430、キャリア信号発生部 470、プルダウン部 440、放電部 450、及びホールド部 460を含む。このような第 j ステージ (ST_j) に前段ステージ (ST_(j-1)) のキャリア信号 (Cout_(j-1))、クロック信号 (CKV)、及びクロックバー信号 (CKVB) が提供される。

【0037】

バッファ部 410 は、ダイオード接続された (diode-connected) トランジスタ (T4) を含む。その動作を説明すると、バッファ部 410 は、セット端子 (S) を通じて入力された前段ステージ (ST_(j-1)) のキャリア信号 (Cout_(j-1)) を、ソースに接続された充電部 420、キャリア信号発生部 470、放電部 450、及びホールド部 460 に提供する。

【0038】

充電部 420 は、一端がトランジスタ (T4) のソースと放電部 450 に接続され、他端がゲート出力端子 (OUT1) に接続されたキャパシタ (C1) でなされる。充電部 420 は、セット端子 (S) を通じて入力された前段ステージ (ST_(j-1)) のキャリア信号 (Cout_(j-1)) に応答して電荷が充電される。

【0039】

プルアップ部 430 は、ドレインが第1クロック端子 (CK1) に接続され、ゲートがキャパシタ (C1) の一端に接続され、ソースがキャパシタ (C1) の他端及びゲート出力端子 (OUT1) に接続されたトランジスタ (T1) を含む。充電部 420 のキャパシタ (C1) が充電されると、トランジスタ (T1) はターンオンし、第1クロック端子 (CK1) を通じて入力される第1クロック信号 (CKV) はゲート出力端子 (OUT1) を通じてゲート信号 (Gout_(j)) として提供することができる。すなわち、第1クロック信号 (CKV) がハイレベルである場合、ゲートオン電圧が出力される。

【0040】

キャリア信号発生部 470 は、ドレインが第1クロック端子 (CK1) に接続され、ソ

10

20

30

40

50

ースがキャリア出力端子 (OUT 2) に接続され、ゲートがバッファ部 4 1 0 と接続されたトランジスタ (T 1 5) と、トランジスタ (T 1 5) のゲートとソース間に接続されたキャパシタ (C 2) を含むことができる。キャパシタ (C 2) は、充電部 4 2 0 と同様に充電され、キャパシタ (C 2) が充電されるとトランジスタ (T 1 5) はキャリア出力端子 (OUT 2) を通じて第 1 クロック信号 (CKV) をキャリア信号 (Cout (j)) として出力する。

【0041】

プルダウン部 4 4 0 は、ドレインがトランジスタ (T 1) のソース及びキャパシタ (C 1) の他端に接続され、ソースが電源電圧端子 (GV) に接続され、ゲートがリセット端子 (R) に接続されたトランジスタ (T 2) を含む。プルダウン部 4 4 0 は、リセット端子 (R) を通じて入力された後段のステージ (ST (j + 1)) のゲート信号 (Gout (j + 1)) によりターンオンし、ゲート信号 (Gout (j)) をゲートオフ電圧 (Voff) にプルダウンさせる。

10

【0042】

放電部 4 5 0 は、ゲートがリセット端子 (R) に接続され、ドレインがキャパシタ (C 1) の一端に接続され、ソースが電源電圧端子 (GV) に接続されて、後段のステージ (ST_{j+1}) のゲート信号 (Gout (j + 1)) に応答して充電部 4 2 0 を放電させるトランジスタ (T 9) と、ゲートがフレームリセット端子 (FR) に接続され、ドレインがキャパシタ (C 1) の一端に接続され、ソースが電源電圧端子 (GV) に接続されて、初期化信号 (INT) に応答して充電部 4 2 0 を放電させるトランジスタ (T 6) を含む。

20

すなわち、放電部 4 5 0 は後段のステージ (ST_{j+1}) のゲート信号 (Gout (j + 1)) 又は初期化信号 (INT) に応答してキャパシタ (C 1) に充電された電荷を、ソースを通じてゲートオフ電圧 (Voff) に放電する。このとき、初期化信号 (INT) は第 2 ダミーステージ (ST_{n+2}) のキャリア信号 (Cout (j + 2)) であり得る。

【0043】

ホールド部 4 6 0 は、多数のトランジスタ (T 3、T 5、T 7、T 8、T 1 0、T 1 1、T 1 2、T 1 3) を含み、ゲート信号 (Gout (j)) がローレベルからハイレベルにシフトするとハイレベル状態を維持させ、ゲート信号 (Gout (j)) がハイレベルからローレベルにシフトした後はクロック信号 (CKV) 及びクロックバー信号 (CKVB) の電圧レベルに関係なく、1 フレームの間、ゲート信号 (Gout (j)) をローレベルに維持させる動作を実行する。

30

【0044】

さらに具体的に説明すると、トランジスタ (T 3) は、ドレインがゲート出力端子 (OUT 1) に接続され、ソースがゲートオフ電圧 (Voff) が入力される電源電圧端子 (GV) に接続される。トランジスタ (T 7、T 8) はゲート出力端子 (OUT 1) を通じて出力されるゲート信号 (Gout (j)) がハイレベルであるとき、ターンオンされて、トランジスタ (T 3) のゲートをゲートオフ電圧 (Voff) にプルダウンさせてターンオフさせ、したがってゲート信号 (Gout (j)) のハイレベルを維持する。

40

【0045】

トランジスタ (T 1 1) は、ドレインがセット端子 (S) に接続され、ゲートが第 2 クロック端子 (CK 2) に接続され、ソースがキャパシタ (C 1) の一端に接続される。

トランジスタ (T 1 0) は、ドレインがトランジスタ (T 1 1) のソース及びキャパシタ (C 1) の一端に接続され、ゲートが第 1 クロック端子 (CK 1) に接続され、ソースがゲート出力端子 (OUT 1) に接続される。

トランジスタ (T 5) はドレインがゲート出力端子 (OUT 1) に接続され、ゲートがトランジスタ (T 1 1) のゲートと共通して第 2 クロック端子 (CK 2) に接続され、ソースが電源電圧端子 (GV) に接続される。

【0046】

50

第2クロック信号 (CKVB) がハイレベルであるとき、ゲート信号 (Gout_j) はローレベルであり、トランジスタ (T5) はターンオンし、ゲート出力端子 (OUT1) をゲートオフ電圧 (Voff) に維持する動作を実行する。

【0047】

次に、図3、図5、及び図6を参照して第1ダミーステージ及び第2ダミーステージ (ST_{n+1}、ST_{n+2}) を説明する。

図4と同様の機能をする構成要素に対しては同一の図面符号を使って説明の便宜上、該当構成要素に対する詳細な説明は省略する。

【0048】

第1ダミーステージ (ST_{n+1}) は、複数のステージ (ST1 ~ ST_n) の内の一つのステージのキャリア信号によってイネーブルされる。ここでは、第1ダミーステージ (ST_{n+1}) は複数のステージ (ST1 ~ ST_n) の内の最後のステージ (ST_n) のキャリア信号 (Cout_n) によりイネーブルされる。

10

さらに具体的には、複数のステージ (ST1 ~ ST_n) は順次に配列された第1 ~ 第nステージを含み、第1ダミーステージ (ST_{n+1}) は第nステージ (ST_n) のキャリア信号 (Cout_n) の供給を受ける。

【0049】

最後のステージ (ST_n) のキャリア信号 (Cout_n) によってイネーブルされた第1ダミーステージ (ST_{n+1}) は前述した複数のステージ (ST1 ~ ST_n) と実質的に同様に動作することができる。

20

また、第1ダミーステージ (ST_{n+1}) は液晶パネル (図1に示す符号300参照) に形成された複数のダミーゲートラインの内の少なくとも一部と接続することができる。ただし、第1ダミーステージ (ST_{n+1}) がダミーゲートラインを通じてゲート信号 (Gout_{n+1}) を伝送するとしても液晶パネル300にはゲート信号 (Gout_{n+1}) に対応する画像が表示されないことがある。

【0050】

例えば、第1ダミーステージ (ST_{n+1}) は第nステージ (ST_n) のキャリア信号 (Cout_n) の入力を受け、複数のステージ (ST1 ~ ST_n) と同様にキャリア信号 (Cout_{n+1}) 及びゲート信号 (Gout_{n+2}) を出力する。第1ダミーステージ (ST_{n+1}) のキャリア信号 (Cout_{n+1}) は第2ダミーステージ (ST_{n+2}) に提供されて、第2ダミーステージ (ST_{n+2}) をイネーブルさせる。しかし、ダミーゲートラインを通じて伝送されるゲート信号 (Gout_{n+1}) に対応する画像は液晶パネル300上に表示されないことがある。

30

【0051】

第2ダミーステージ (ST_{n+2}) は、第1ダミーステージ (ST_{n+1}) のキャリア信号 (Cout_{n+1}) の入力を受けてイネーブルされて複数のステージ (ST1 ~ ST_n) 各々を初期化することができる。さらに具体的には、第2ダミーステージ (ST_{n+2}) もやはり第1ダミーステージ (ST_{n+1}) のキャリア信号 (Cout_{n+1}) によってイネーブルされてキャリア信号 (Cout_{n+2}) 及びゲート信号 (Gout_{n+2}) を出力することができる。

40

【0052】

第2ダミーステージ (ST_{n+2}) のキャリア信号 (Cout_{n+2}) は複数のステージ (ST1 ~ ST_n) を初期化する初期化信号 (INT) であり、複数のステージ (ST1 ~ ST_n) に各々提供され、各ステージ (ST1 ~ ST_n) を初期化させる。

さらに、第2ダミーステージ (ST_{n+2}) は毎フレーム (frame) ごとに複数のステージ (ST1 ~ ST_n) に各々初期化信号 (INT) を提供して各ステージ (ST1 ~ ST_n) を初期化させる。初期化信号 (INT) は第1ダミーステージ及び第2ダミーステージ (ST_{n+1}、ST_{n+2}) にも提供することができる。

【0053】

第1ダミーステージ及び第2ダミーステージ (ST_{n+1}、ST_{n+2}) は互いに分離

50

して配置される。すなわち、第2ダミーステージ(ST_{n+2})と分離配置された第1ダミーステージ(ST_{n+1})はゲート信号($Gout_{(n+1)}$)を前段ステージ、例えば順次に配列された第1～第nステージ(ST_n)の内の最後の第nステージ(ST_n)に提供して、前段ステージのゲート信号をゲートオフ電圧($Voff$)にプルダウンさせて、キャリア信号($Cout_{(n+1)}$)を第2ダミーステージ(ST_{n+2})に提供して第2ダミーステージ(ST_{n+2})をイネーブルさせる。次に、第2ダミーステージ(ST_{n+2})は第1ダミーステージ(ST_{n+1})のキャリア信号($Cout_{(n+1)}$)によってイネーブルされて複数のステージ($ST_1 \sim ST_n$)各々に初期化信号(INT)を供給して複数のステージ($ST_1 \sim ST_n$)を放電させる。

【0054】

10

したがって、第1ダミーステージ及び第2ダミーステージ(ST_{n+1} 、 ST_{n+2})が互いに分離して配置されるということは、各々独立的な回路を形成することによって物理的な分離されることを意味する。または、第1ダミーステージ(ST_{n+1})は前段ステージを初期化し、第2ダミーステージ(ST_{n+2})をイネーブルさせる役割を果たし、第2ダミーステージ(ST_{n+2})は複数のステージ($ST_1 \sim ST_n$)各々に初期化信号(INT)を提供して複数のステージ($ST_1 \sim ST_n$)を初期化させる役割を果たすように、互いに機能的側面で分離されることを意味する。

【0055】

このように、本発明の第1の実施形態による液晶表示装置によれば、複数のステージ($ST_1 \sim ST_n$)各々に初期化信号(INT)を提供する機能を第2ダミーステージ(ST_{n+2})が実行することによって、第1ダミーステージ(ST_{n+1})が前段ステージのゲート信号($Gout_{(n)}$)を十分にプルダウンさせることができる。したがって、液晶表示装置の表示品質を向上させることができるという効果がある。

20

【0056】

次に、図7及び図8を参照して本発明の第2の実施形態による液晶表示装置を説明する。

図7は、本発明の第2の実施形態による液晶表示装置のゲートドライバを説明するための例示的なブロック図であり、図8は、図7のダミーステージの例示的な回路図である。

図1～図6に示した構成要素と同様の機能をする構成要素に対しては同一の図面符号を使用して説明の便宜上、該当構成要素に対する詳細な説明は省略する。

30

【0057】

図7及び図8を参照すると、本発明の第2の実施形態による液晶表示装置のゲートドライバ401は複数のゲートライン($G_1 \sim G_n$)と各々接続してゲート信号($Gout_1 \sim (n)$)を順次に提供する複数のステージ($ST_1 \sim ST_n$)と、ダミーステージ(ST_{n+1})とを含む。

このとき、複数のステージ($ST_1 \sim ST_n$)及びダミーステージ(ST_{n+1})の各々は、スキャン開始信号($STVP$)又は前段ステージのキャリア信号に応じて電荷が充電される充電部421と、充電部421が充電された時、第1クロック信号(CKV)又は第2クロック信号($CKVB$)に 응답してゲート信号($Gout_1 \sim (n)$)を提供するプルアップトランジスタ(T_1)を含むプルアップ部431と、後段ステージのゲート信号又は初期化信号(INT)に 응답してゲート信号をゲートオフ電圧($Voff$)にプルダウンさせるプルダウン部441と、充電部421に充電された電荷を放電する放電部451と、ゲート信号をホールドするホールド部461とを含み、ダミーステージ(ST_{n+1})のプルアップトランジスタ(T_1)は複数のステージ($ST_1 \sim ST_n$)のプルアップトランジスタ(T_1)よりサイズが大きい。

40

【0058】

このとき、ダミーステージ(ST_{n+1})のプルアップトランジスタ(T_1)のサイズは複数のステージ($ST_1 \sim ST_n$)のプルアップトランジスタ(T_1)より約20%以上大きいことが好ましいが、これに限定されないはもちろんである。さらに、ダミーステージ(ST_{n+1})のプルアップトランジスタ(T_1)が複数のステージ($ST_1 \sim ST$

50

n) のプルアップトランジスタ (T_1) よりサイズが大きいことは、例えば二つのプルアップトランジスタ (T_1) の縦横比を比較してダミーステージ (ST_{n+1}) のプルアップトランジスタ (T_1) の縦横比のほうがより大きいことを意味する。

【0059】

さらに具体的には、複数のステージ ($ST_1 \sim ST_n$) の各々のプルアップトランジスタ (T_1) は、充電部 421 が充電された時、第 1 クロック信号 (CKV) 又は第 2 クロック信号 ($CKVB$) に応答してゲート出力端子 (OUT_1) を通じて、ゲート信号 ($Gout_1 \sim (n)$) を出力し、充電部 421 と同様にキャパシタ (C_2) が充電されるとキャリア出力端子 (OUT_2) を通じてキャリア信号 ($Cout$) を出力することに関与する。

10

【0060】

複数のステージ ($ST_1 \sim ST_n$) のプルアップトランジスタ (T_1) は、前段ステージと各ステージ ($ST_1 \sim ST_n$) に対応するゲートライン ($G_1 \sim G_n$) にゲート信号 ($Gout_1 \sim (n)$) を出力して、後段ステージにキャリア信号 ($Cout_1 \sim (n)$) を出力する。これに対し、ダミーステージ (ST_{n+1}) は、ダミーステージ (ST_{n+1}) のキャリア信号 ($Cout_{(n+1)}$) を利用して複数のステージ ($ST_1 \sim ST_n$) 各々に初期化信号 (INT) を提供することによって複数のステージ ($ST_1 \sim ST_n$) を初期化する。

【0061】

このように、ダミーステージ (ST_{n+1}) のプルアップトランジスタ (T_1) は、関与する信号の出力量が複数のステージ ($ST_1 \sim ST_n$) の場合より多いので、ダミーステージ (ST_{n+1}) が複数のステージ ($ST_1 \sim ST_n$) よりサイズが大きいプルアップトランジスタ (T_1) を有することによってダミーステージ (ST_{n+1}) の出力信号が正常に提供できるようにする。したがって、液晶表示装置の表示品質をさらに向上させることができる。

20

【0062】

以下、本発明の第 3 の実施形態による液晶表示装置を説明する。

本発明の第 3 の実施形態による液晶表示装置は、ダミーステージが複数のステージより少ない出力量を有するという点で前述した実施形態と差異がある。

【0063】

図 7 及び図 8 を参照すると、本発明の第 3 の実施形態による液晶表示装置は、複数のゲートライン ($G_1 \sim G_n$) を含む液晶パネルと、複数のゲートライン ($G_1 \sim G_n$) と各々接続してゲート信号 ($Gout_1 \sim Gout(n)$) を順次に提供する複数のステージ ($ST_1 \sim ST_n$) と、ダミーステージ ($ST_{(n+1)}$) とを含むゲートドライバとを含み、複数のステージ ($ST_1 \sim ST_n$) 及びダミーステージ ($ST_{(n+1)}$) の各々はゲート信号を提供するゲート出力端子を含み、ダミーステージ ($ST_{(n+1)}$) のゲート出力端子 (OUT_1) を通じて出力されるゲート信号 ($Gout_{(n+1)}$) の出力量は各ステージ ($ST_1 \sim ST_n$) のゲート出力端子 (OUT_1) を通じて出力されるゲート信号の出力量より小さい。

30

ここでは、ダミーステージ ($ST_{(n+1)}$) のゲート信号 ($Gout_{(n+1)}$) の出力量は各ステージ ($ST_1 \sim ST_n$) のゲート信号 ($Gout_1 \sim Gout(n)$) の出力量の 80% 以下とする。さらに、複数のステージ ($ST_1 \sim ST_n$) 及びダミーステージ ($ST_{(n+1)}$) のゲート信号 ($Gout_{(n+1)}$) は所定の電圧レベルで出力され、この場合、ダミーステージ ($ST_{(n+1)}$) のゲート信号 ($Gout_{(n+1)}$) の電圧レベルは複数のステージ ($ST_1 \sim ST_n$) で各々出力されるゲート信号 ($Gout_1 \sim Gout(n)$) の電圧レベルより低い。

40

【0064】

ダミーステージ ($ST_{(n+1)}$) のゲート信号 ($Gout_{(n+1)}$) の出力量を減少させるために、例えば、ダミーステージ ($ST_{(n+1)}$) と接続されたダミーゲートラインに対応する画素を除去することもできる。この他にも多様な方法を利用してダミー

50

ステージ ($ST_{(n+1)}$) のゲート信号 ($Gout_{(n+1)}$) の出力量を減少させることができる。

【0065】

本発明の第3の実施形態による液晶表示装置によれば、複数のステージのゲート出力端子を通じて出力されるゲート信号の出力量よりダミーステージのゲート出力端子を通じて出力されるゲート信号の出力量を減少させることによってダミーステージが前段ステージを十分にブルダウンさせることができる。したがって、液晶表示装置の品質がさらに向上することができる。

【0066】

次に、図9及び図10を参照して本発明の第4の実施形態による液晶表示装置を説明する。

10

図9は、本発明の第4の実施形態による液晶表示装置のゲートドライバを説明するための例示的なブロック図であり、図10は、図9に示すゲートドライバに入力される初期化信号及びスキャン開始信号の信号図である。

本発明の第4の実施形態による液晶表示装置は、複数のステージの内の一部ステージのみが初期化信号に応答して初期化され、残りのステージ及びダミーステージはスキャン開始信号に応答して初期化されるという点から前述した実施形態と差異がある。

【0067】

図9を参照すると、本発明の第4の実施形態による液晶表示装置は、複数のゲートライン ($G1 \sim Gn$) を含む液晶パネルと、複数のゲートライン ($G1 \sim Gn$) と各々接続して、ゲート信号 ($Gout1 \sim Gout(n)$) を順次に提供する複数のステージ ($ST1 \sim STn$) と、ダミーステージ ($STn+1$) とを含むゲートドライバとを含み、複数のステージ ($ST1 \sim STn$) の内の少なくとも一つのステージ及びダミーステージ ($STn+1$) はスキャン開始信号 ($STVP$) に応答して毎フレームごとに初期化される。

20

このとき、複数のステージ ($ST1 \sim STn$) の内の残り一部はダミーステージ ($STn+1$) から初期化信号の提供を受ける。

【0068】

図9に示すように、複数のステージ ($ST1 \sim STn$) は順次に接続された第1ステージ ($ST1$) ~ 第nステージ (STn) を含む。複数のステージ ($ST1 \sim STn$) 及びダミーステージ ($STn+1$) 各々は、前述の実施形態で説明したように、第1クロック端子 ($CK1$)、第2クロック端子 ($CK2$)、セット端子 (S)、リセット端子 (R)、電源電圧端子 (GV)、フレームリセット端子 (FR)、ゲート出力端子 ($OUT1$) およびキャリア出力端子 ($OUT2$) を含む。

30

【0069】

本発明の第4の実施形態による液晶表示装置においては、フレームリセット端子 (FR) に初期化信号 (INT) 又はスキャン開始信号 ($STVP$) が入力されるという点で、前述した実施形態と区別される。言い換えれば、複数のステージ ($ST1 \sim STn$) 及びダミーステージ ($STn+1$) の内の一部は、フレームリセット端子 (FR) を通じてスキャン開始信号 ($STVP$) の供給を受けて初期化され、複数のステージ ($ST1 \sim STn$) の内の残りの一部は初期化信号 (INT) の供給を受けて初期化される。

40

【0070】

このとき、複数のステージ ($ST1 \sim STn$) 及びダミーステージ ($STn+1$) の内の一部は任意に決定することができる。例えば、図9に示すように、連続する第1~第kステージ ($ST1 \sim STk$ 、ただし、kはnより小さい自然数) のフレームリセット端子 (FR) にのみ初期化信号 (INT) を提供し、残りの第k+1~第nステージ ($STk+1 \sim STn$) のフレームリセット端子 (FR) にはスキャン開始信号 ($STVP$) を提供することができる。

【0071】

このとき、k値は2であり得る。すなわち、図9に示すように、第1ステージ及び第2ステージ ($ST1$ 、 $ST2$) にのみ初期化信号を提供し、第3~第nステージ ($ST3 \sim$

50

ST_n)及びダミーステージ(ST_{n+1})にはスキャン開始信号(STVP)を供給することができる。

【0072】

さらに、図9に示すように、スキャン開始信号(STVP)の配線を初期化信号(INT)の配線より複数のステージ(ST₁～ST_n)及びダミーステージ(ST_{n+1})に近接するように配置することによって、各ステージとスキャン開始信号(STVP)の配線間の接続をさらに容易にすることもできる。すなわち、スキャン開始信号(STVP)の経路は初期化信号の経路よりゲートドライバ400に近接して形成するのが好ましい。

【0073】

図10を参照すると、初期化信号(INT)及びスキャン開始信号(STVP)はすべて1フレームを周期として供給するが、スキャン開始信号(STVP)は、初期化信号(INT)が一部のステージ、例えば第1～第kステージ(ST₁～ST_k)に印加された後、次いで第k+1～第nステージ(ST_{k+1}～ST_n)及びダミーステージ(ST_{n+1})に印加される。

【0074】

さらに具体的には、第1～第kステージ(ST₁～ST_k)のフレームリセット端子(FR)に供給される初期化信号(INT)が第1レベル、例えば、約-7Vで維持されて第2レベル、例えば約27Vにシフトすると、第1～第kステージ(ST₁～ST_k)はこれに応答して各ステージを初期化する。

【0075】

以後、初期化信号(INT)が第2レベルから第1レベルにシフトして、次いで、スキャン開始信号(STVP)が第1レベル、例えば約-7Vで維持されて第2レベル、例えば約27Vにシフトする。スキャン開始信号(STVP)に응答して第k+1～第nステージ(ST_{k+1}～ST_n)もやはり各ステージを初期化する。

【0076】

上述したように、初期化信号(INT)及びスキャン開始信号(STVP)は1フレーム単位で印加されるため、複数のステージ(ST₁～ST_n)及びダミーステージ(ST_{n+1})のフレームリセット端子(FR)と接続されたトランジスタ(T6)を各々1フレーム当たり1回ずつ駆動させる。

【0077】

本発明の第4の実施形態による液晶表示装置によれば、複数のステージ(ST₁～ST_n)及びダミーステージ(ST_{n+1})の内の一部のみを初期化信号(INT)を利用して初期化し、残りはスキャン開始信号(STVP)を利用して初期化することによって、ダミーステージ(ST_{n+1})がさらに安定的に初期化信号(INT)を提供することができる。さらに具体的には、ダミーステージ(ST_{n+1})のプルアップトランジスタ(T1)の出力に対する蓄積容量の負担がはるかに減少し、プルアップトランジスタ(T1)の出力に依存していた初期化信号(INT)の配線駆動に対するマージン(margin)を十分に確保できるという効果がある。

【0078】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【符号の説明】

【0079】

- 10 液晶表示装置
- 100 第1表示板
- 150 液晶層
- 200 第2表示板
- 300 液晶パネル
- 400、401 ゲートドライバ
- 410、411 バッファ部

10

20

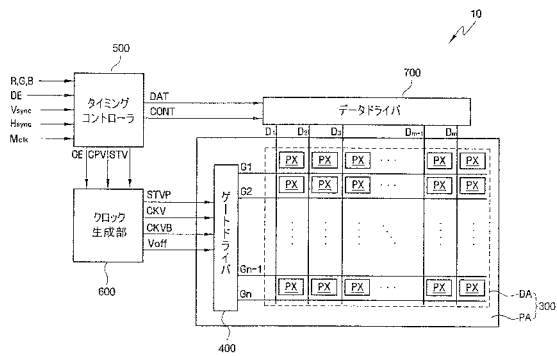
30

40

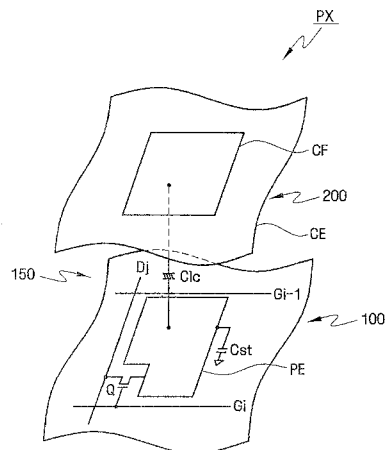
50

4 2 0、4 2 1	充電部
4 3 0、4 3 1	プルアップ部
4 4 0、4 4 1	プルダウン部
4 5 0、4 5 1	放電部
4 6 0、4 6 1	ホールド部
4 7 0、4 7 1	キャリー信号発生部
5 0 0	タイミングコントローラ
6 0 0	クロック生成部
7 0 0	データドライバ

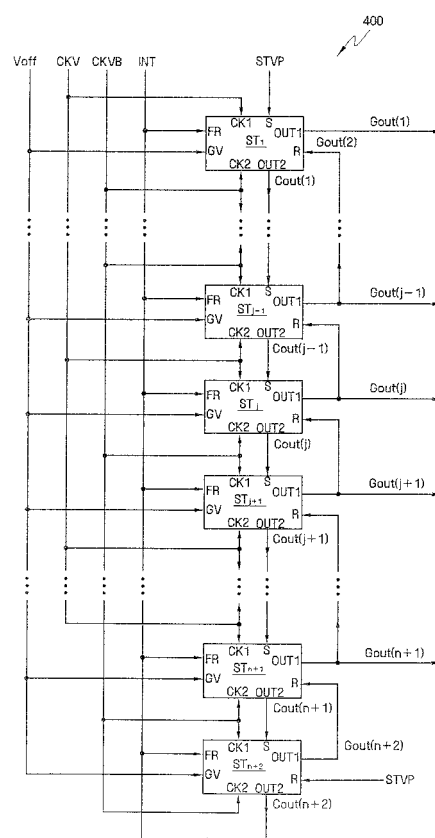
【図 1】



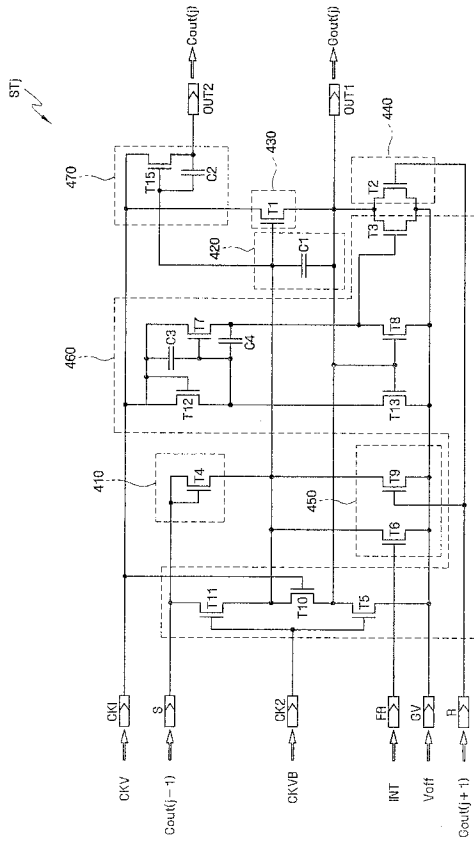
【図 2】



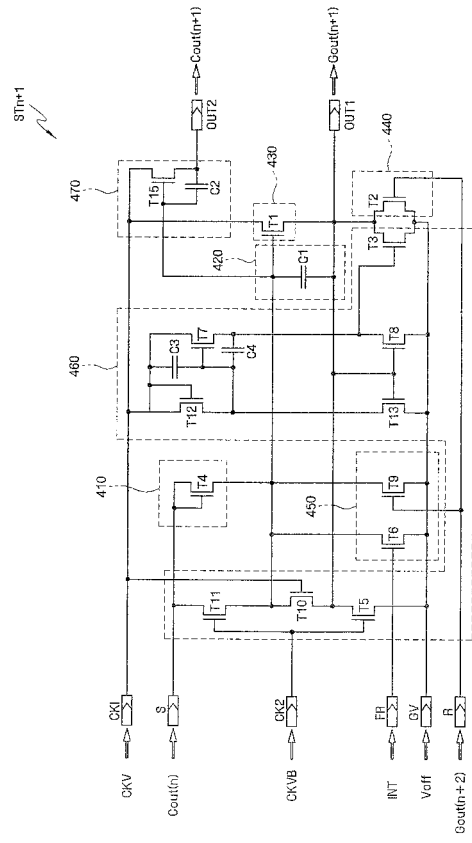
【図 3】



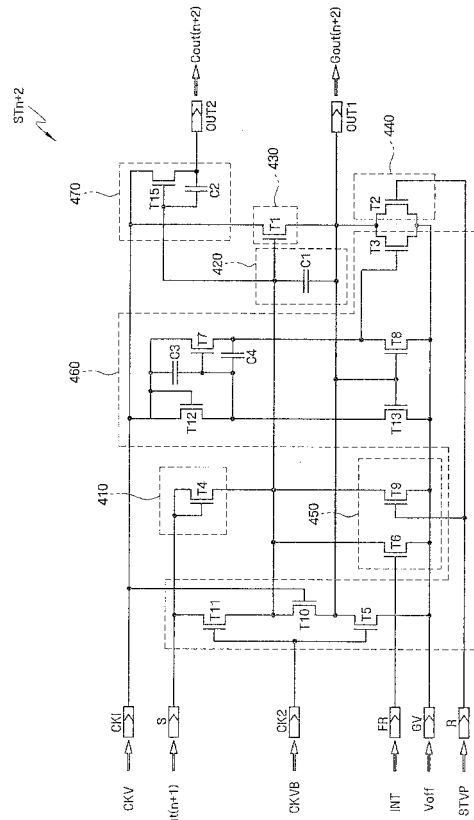
【図 4】



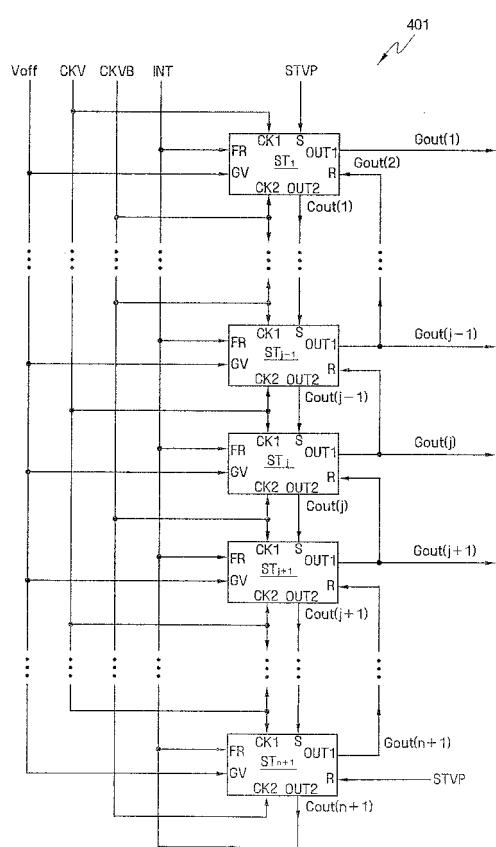
【図 5】



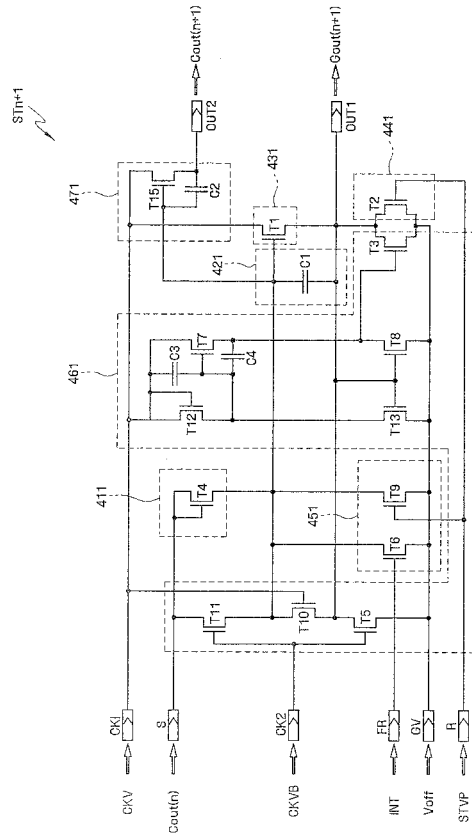
【図 6】



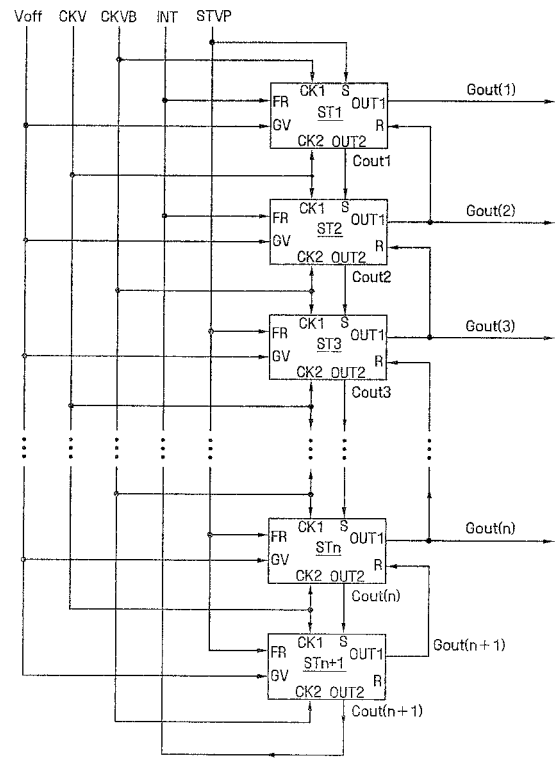
【図 7】



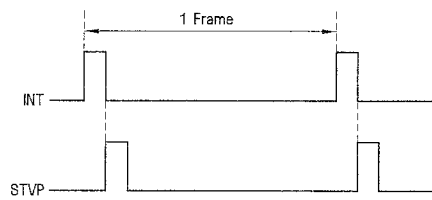
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 1 1 G	
	G 0 2 F 1/133 5 5 0	

- (72) 発明者 許 承 鉉
大韓民国忠清南道天安市佛堂洞ドンイル3次アパート305棟804号
- (72) 発明者 金 ジャン 鎰
大韓民国忠清南道牙山市湯井面鳴岩里サン20-12三星クリスタルドーミトリーチョンゴック棟
406号
- (72) 発明者 申 在 鎔
大韓民国京畿道水原市靈通区靈通2洞ビョックジョック8団地アパート813棟306号
- (72) 発明者 孫 宇 成
大韓民国ソウル特別市江南区大峙洞チョンシルアパート16棟1105号
- (72) 発明者 李 潤 錫
大韓民国忠清南道天安市斗井洞1078番地ゲリョンリシビルアパート103棟803号
- (72) 発明者 金 仁 雨
大韓民国京畿道水原市靈通区網捕洞ドンズウォンエルジービレッジ1次アパート109棟804号
- (72) 発明者 朴 徑 浩
大韓民国忠清南道天安市斗井洞1214番地503号

F ターム (参考) 2H193 ZA04 ZA05 ZF12 ZF32 ZF44
5C006 AA16 AA22 AC22 AF42 AF59 BB16 BC03 BF03 BF11 BF34
BF37 EB05 FA11 FA41 FA52
5C080 AA10 BB05 CC03 DD01 DD22 DD27 EE29 EE30 FF11 FF12
JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010044382A	公开(公告)日	2010-02-25
申请号	JP2009182378	申请日	2009-08-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	孫智賢 許承鉉 金ジャン鎰 申在鎔 孫宇成 李潤錫 金仁雨 朴徑浩		
发明人	孫 智 賢 許 承 鉉 金 ジャン 鎰 申 在 鎔 孫 宇 成 李 潤 錫 金 仁 雨 朴 徑 浩		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.G G09G3/20.622.D G09G3/20.621.M G09G3/20.611.G G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZA05 2H193/ZF12 2H193/ZF32 2H193/ZF44 5C006/AA16 5C006/AA22 5C006/AC22 5C006/AF42 5C006/AF59 5C006/BB16 5C006/BC03 5C006/BF03 5C006/BF11 5C006/BF34 5C006/BF37 5C006/EB05 5C006/FA11 5C006/FA41 5C006/FA52 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD22 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/AF24P 2H193/AF32P 2H193/AF35P 2H193/AF44P 2H193/AF45P 2H193/AF54P 2H193/AF70P 2H193/AF71P 2H193/AF99P 2H193/AH03 2H193/AH12 2H193/AH14 2H193/AH15 2H193/AH16 2H193/AH17 2H193/AH19 2H193/AH38 2H193/AH39 2H193/AH49 2H193/AJ12 2H193/AJ13 2H193/AJ16 2H193/AJ25 2H193/AJ52 2H193/AJ53 2H193/AJ54 2H193/AJ56 2H193/AJ58 2H193/AJ59 2H193/AJ77 2H193/AL02 2H193/AL03 2H193/AL11 2H193/AL27 2H193/AM10P 2H193/AM12P 2H193/AM13P 2H193/AM15P 2H193/AM22P 2H193/AM23P 2H193/AM27P 2H193/AM30P 2H193/AM32P 2H193/AM39P 2H193/AM42P 2H193/AM43P 2H193/AM45P 2H193/AM57P 2H193/AM66P 2H193/AM86P 2H193/AM91P 2H193/AM92P 2H193/AM94P 2H193/AM99P 2H193/AN08P 2H193/AN38P 2H193/AN39P 5B074/AA10 5B074/CA01 5B074/DA03 5B074/EA01		
优先权	1020080077032 2008-08-06 KR		
外部链接	Espacenet		
摘要(译)			

提供一种能够提高显示质量的液晶显示装置。一种液晶面板，包括多条栅极线，连接到多条栅极线以顺序提供栅极信号的多级，彼此分离的第一虚拟级和第二虚拟级 通过多个级中的一个的进位信号来启用第一虚拟级，并且通过第一虚拟级的进位信号来启用第二虚拟级。能够初始化多个阶段中的每个阶段。 [选择图]图3

