

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/055584

発行日 平成25年3月28日 (2013.3.28)

(43) 国際公開日 平成23年5月12日 (2011.5.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622G	5C006
G02F 1/133 (2006.01)	G09G 3/20 670D	5C080
	G09G 3/20 612G	
	G02F 1/133 550	

審査請求 有 予備審査請求 未請求 (全 30 頁)

出願番号 特願2011-539309 (P2011-539309)	(71) 出願人 00005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(21) 国際出願番号 PCT/JP2010/064559	(74) 代理人 100104695 弁理士 島田 明宏
(22) 国際出願日 平成22年8月27日 (2010.8.27)	(74) 代理人 100121348 弁理士 川原 健児
(31) 優先権主張番号 特願2009-252725 (P2009-252725)	(74) 代理人 100148459 弁理士 河本 悟
(32) 優先日 平成21年11月4日 (2009.11.4)	(72) 発明者 森井 秀樹 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(33) 優先権主張国 日本国 (JP)	(72) 発明者 岩本 明久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

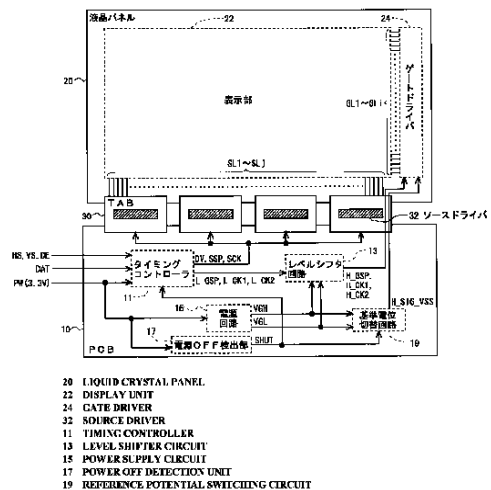
(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

電源がオフされたときに画素形成部内の残留電荷を速やかに除去することのできる、モノリシックゲートドライバを備えた液晶表示装置を提供することを目的とする。

ゲートドライバ(24)内のシフトレジスタを構成する双安定回路には、ゲートバスラインに接続されたドレイン端子、基準電位(H_SIG_VSS)を伝達する基準電位配線に接続されたソース端子、およびシフトレジスタを動作させるクロック信号(HCK_1, HCK_2)が与えられるゲート端子を有する薄膜トランジスタが設けられる。電源OFF検出部(17)が外部からの電源電圧(PW)の供給の遮断を検知すると、クロック信号(HCK_1, HCK_2)をハイレベルにして上記薄膜トランジスタをオン状態にするとともに、基準電位切替回路(19)は、基準電位(H_SIG_VSS)をゲートオフ電位(VGL)からゲートオン電位(VGH)に切り替える。

【図1】



【特許請求の範囲】**【請求項 1】**

液晶表示装置であって、

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線に制御端子が接続され当該交差点を通過する映像信号線に第 1 の導通端子が接続された第 1 のスイッチング素子と、前記第 1 のスイッチング素子の第 2 の導通端子に接続された画素電極とを含む複数の画素形成部と、

10

第 1 の電位と第 2 の電位とを周期的に繰り返すクロック信号に基づいて順次にパルスを出力する、前記複数の走査信号線と 1 対 1 で対応するように設けられた複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する、前記複数の走査信号線が形成されている基板と同じ基板上に形成された走査信号線駆動回路と、

外部から与えられる電源のオン/オフ状態を検出する電源状態検出部と、

前記複数の双安定回路の基準電位を生成する基準電位生成部と、

前記基準電位生成部で生成された基準電位を前記複数の双安定回路に伝達するための基準電位配線と

を備え、

20

各双安定回路は、対応する走査信号線が非選択状態である期間中には当該走査信号線の電位レベルが前記基準電位のレベルで維持されるよう、当該走査信号線と前記基準電位配線とを電氣的に接続するための電位レベル維持部を含み、

前記電源のオフ状態が前記電源状態検出部によって検出されると、

各双安定回路に含まれる前記電位レベル維持部は、当該各双安定回路に対応する走査信号線と前記基準電位配線とを電氣的に接続し、

前記基準電位生成部は、前記基準電位のレベルを前記第 1 のスイッチング素子が導通状態となるレベルにまで高めることを特徴とする、液晶表示装置。

【請求項 2】

前記クロック信号を生成するクロック信号生成部を更に備え、

30

各双安定回路に含まれる前記電位レベル維持部は、前記基準電位配線に接続された第 1 の導通端子、当該各双安定回路に対応する走査信号線に接続された第 2 の導通端子、および前記クロック信号が与えられる制御端子を有する第 2 のスイッチング素子を含み、

前記電源のオフ状態が前記電源状態検出部によって検出されると、前記クロック信号生成部は、各双安定回路に含まれる前記第 2 のスイッチング素子が導通状態となるように、前記クロック信号を前記第 1 の電位または前記第 2 の電位にすることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

各双安定回路に含まれる前記電位レベル維持部は、前記第 2 のスイッチング素子を複数個含み、

40

前記クロック信号生成部は、各電位レベル維持部に含まれる複数個の前記第 2 のスイッチング素子の制御端子にそれぞれ与えるための複数の前記クロック信号を生成し、

前記電源のオフ状態が前記電源状態検出部によって検出されると、前記クロック信号生成部は、各電位レベル維持部に含まれる複数個の前記第 2 のスイッチング素子が導通状態となるように、複数の前記クロック信号をそれぞれ前記第 1 の電位または前記第 2 の電位にすることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記基準電位生成部は、所定の入力信号の電位レベルを変換することにより前記基準電位配線に所定のハイレベル電位もしくは所定のローレベル電位を与えるレベルシフト回路を含み、

50

前記レベルシフト回路は、

前記電源のオフ状態が前記電源状態検出部によって検出されていないときには、前記ローレベル電位を前記基準電位として前記基準電位配線に与え、

前記電源のオフ状態が前記電源状態検出部によって検出されると、前記ハイレベル電位を前記基準電位として前記基準電位配線に与えることを特徴とする、請求項1に記載の液晶表示装置。

【請求項5】

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線、前記複数の映像信号線と交差する複数の走査信号線、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線に制御端子が接続され当該交差点を通過する映像信号線に第1の導通端子が接続された第1のスイッチング素子と、前記第1のスイッチング素子の第2の導通端子に接続された画素電極とを含む複数の画素形成部、および前記複数の走査信号線が形成されている基板と同じ基板上に形成された走査信号線駆動回路であって、第1の電位と第2の電位とを周期的に繰り返すクロック信号に基づいて順次にパルスを出力する、前記複数の走査信号線と1対1で対応するように設けられた複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路を備えた液晶表示装置の駆動方法であって、

10

外部から与えられる電源のオン/オフ状態を検出する電源状態検出ステップと、前記複数の双安定回路の基準電位を生成する基準電位生成ステップとを含み、

20

前記液晶表示装置は、前記基準電位生成ステップで生成された基準電位を前記複数の双安定回路に伝達するため基準電位配線を更に備え、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、

各双安定回路に対応する走査信号線と前記基準電位配線とが電気的に接続され、

前記基準電位生成ステップでは、前記基準電位のレベルが前記第1のスイッチング素子が導通状態となるレベルにまで高められることを特徴とする、駆動方法。

【請求項6】

前記クロック信号を生成するクロック信号生成ステップを更に含み、

各双安定回路は、前記基準電位配線に接続された第1の導通端子、当該各双安定回路に対応する走査信号線に接続された第2の導通端子、および前記クロック信号が与えられる制御端子を有する第2のスイッチング素子を含み、

30

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記クロック信号生成ステップでは、各双安定回路に含まれる前記第2のスイッチング素子が導通状態となるように、前記クロック信号が前記第1の電位または前記第2の電位にされることを特徴とする、請求項5に記載の駆動方法。

【請求項7】

各双安定回路は、前記第2のスイッチング素子を複数個含み、

前記クロック信号生成ステップでは、各双安定回路に含まれる複数個の前記第2のスイッチング素子の制御端子にそれぞれ与えるための複数の前記クロック信号が生成され、

40

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記クロック信号生成ステップでは、各双安定回路に含まれる複数個の前記第2のスイッチング素子が導通状態となるように、複数の前記クロック信号がそれぞれ前記第1の電位または前記第2の電位にされることを特徴とする、請求項6に記載の駆動方法。

【請求項8】

前記基準電位配線に所定のハイレベル電位もしくは所定のローレベル電位を与えるために所定の入力信号の電位レベルを変換するレベル変換ステップを更に含み、

前記レベル変換ステップでは、

前記電源状態検出ステップで前記電源のオフ状態が検出されていないときには、前記入力信号の電位レベルは前記ローレベル電位に変換され、

50

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記入力信号の電位レベルは前記ハイレベル電位に変換されることを特徴とする、請求項5に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、モノリシック化されたゲートドライバを備える液晶表示装置ならびにその駆動方法に関する。

【背景技術】

【0002】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する2枚の基板からなる液晶パネルを備えており、当該2枚の基板のうち一方の基板には、複数本のゲートバスライン（走査信号線）と複数本のソースバスライン（映像信号線）とが格子状に配置され、それら複数本のゲートバスラインと複数本のソースバスラインとの交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）や、画素値を保持するための画素容量などを含んでいる。また、上記2枚の基板のうち他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極が設けられている。アクティブマトリクス型の液晶表示装置には、さらに、上記複数本のゲートバスラインを駆動するゲートドライバ（走査信号線駆動回路）と上記複数本のソースバスラインを駆動するソースドライバ（映像信号線駆動回路）とが設けられている。

【0003】

画素値を示す映像信号はソースバスラインによって伝達されるが、各ソースバスラインは複数行分の画素値を示す映像信号を一時（同時）に伝達することができない。このため、上述のマトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは1行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。

【0004】

このような液晶表示装置において、利用者によって電源がオフされたにもかかわらず、直ちに表示がクリアされず、残像のような画像が残ることがある。この理由は、装置の電源がオフされると画素容量に保持された電荷の放電経路が遮断され、画素形成部内に残留電荷が蓄積されるからである。また、画素形成部内に残留電荷が蓄積された状態で装置の電源がオンされると、その残留電荷に基づく不純物の偏りに起因するフリッカの発生など表示品位の低下が生じる。

【0005】

そこで、電源オフによる残留電荷の蓄積を抑制する技術として、以下のような技術が提案されている。日本の特開2004-45785号公報には、電源オフ時に全てのゲートバスラインを選択状態にする（オン状態にする）ことにより全ての画素形成部内の残留電荷が放電されるようにした液晶表示装置の発明が開示されている。国際公開2007/007768号パンフレットには、電源オフ時にゲートオフ電位（画素形成部内のスイッチング素子がオフ状態にされるべき時に当該スイッチング素子のゲート端子に与える信号の電位）を速やかにグラウンド電位に到達させるようにした液晶表示装置の発明が開示されている。日本の特開2007-11346号公報には、電源オフ時にゲートオフ電位をグラウンド電位よりも高くすることによって残留電荷の放電時間の短縮を図っている液晶表示装置の発明が開示されている。

【先行技術文献】

【特許文献】

【0006】

10

20

30

40

50

【特許文献1】日本の特開2004-45785号公報

【特許文献2】国際公開2007/007768号パンフレット

【特許文献3】日本の特開2007-11346号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、近年、a-SiTFT液晶パネル（薄膜トランジスタの半導体層にアモルファスシリコンを用いた液晶パネル）を採用した液晶表示装置において、ゲートドライバのモノリシック化が進んでいる。従来、ゲートドライバは液晶パネルを構成する基板の周辺部にIC（Integrated Circuit）チップとして搭載されることが多かったが、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれており、また、モノリシックゲートドライバを備えたパネルは「ゲートドライバモノリシックパネル」などと呼ばれている。

10

【0008】

ところが、ゲートドライバモノリシックパネルにおいては、電源オフによる残留電荷の蓄積を抑制する技術として上述した技術を採用することができない。これについて、以下に説明する。

【0009】

日本の特開2004-45785号公報に開示された技術に関し、ICチップとしてのゲートドライバ（以下、「ゲートドライバIC」という）800は一般的に図21に示すように構成されている。このゲートドライバIC800は、ロジック部を構成する低耐圧系回路部810と、ロジック部から出力される信号の電位レベルを変換するレベルシフト回路822を含む高耐圧系回路部820とによって構成されている。低耐圧系回路部810には、シフトレジスタ812とOR回路816とが含まれている。OR回路816の入力端子には、シフトレジスタ812の各段814からの出力信号と、全てのゲートバスラインを選択状態にするか否かを制御するための信号ALL-ONとが与えられる。OR回路816からの出力信号は、レベルシフト回路822によって電位の変換が施される。そして、レベルシフト回路822による電位の変換後の信号が走査信号としてゲートバスラインに与えられる。このような構成において、電源がオフされたときに上記信号ALL-ONの論理レベルをハイレベルにすることにより、全てのゲートバスラインが選択状態にされ、全ての画素形成部内の残留電荷が放電される。

20

30

【0010】

ところが、モノリシックゲートドライバにおいては、薄膜トランジスタのゲート端子に直流バイアスを与えると当該薄膜トランジスタの閾値電圧がシフトする。このため、薄膜トランジスタのゲート端子に直流バイアスが与えられることのないよう、モノリシックゲートドライバはセットリセット型フリップフロップ回路を用いて構成されている。具体的には、モノリシックゲートドライバ内のシフトレジスタの一段分の構成は、例えば図22に示すような構成となっている。このような構成において、前段からの出力信号OUT_{n-1}（後述するセット信号S）がローレベルからハイレベルに変化すると、net A（薄膜トランジスタTIのゲート端子、薄膜トランジスタTBのソース端子、および薄膜トランジスタTLのドレイン端子が互いに接続されている領域）の電位が上昇する。その後、クロック信号CKがローレベルからハイレベルに変化すると、キャパシタCAPのブートストラップ効果によってnet Aの電位が更に上昇する。これにより、薄膜トランジスタTIのゲート端子に大きな電圧が与えられる。その結果、クロック信号CKのハイレベルの電位に基づき、出力信号OUT_n（後述する状態信号Q）の電位はゲートバスラインを選択状態にする電位にまで高められる。ここで、図22に示す回路はクロック信号CKとキャパシタCAPとを用いたブートストラップ回路となっており、出力信号OUT_nの電位は大半の期間ローレベルで維持されることが前提とされている。従って、図22に示す回路には、ゲートオン電位（画素形成部内のスイッチング素子がオン状態にされるべき時

40

50

に当該スイッチング素子のゲート端子に与える信号の電位)を生成するための電源が設けられていない。すなわち、モノリシックゲートドライバには、全てのゲートバスラインを選択状態にする手段(構成要素)が存在しない。よって、ゲートドライバモノリシックパネルにおいては、日本の特開2004-45785号公報に開示された技術を採用することができない。なお、シフトレジスタを2相のクロック信号で動作させ、かつ、出力信号OUTnの電位を随時ゲートオフ電位にまで低下させる(ゲートオフ電位側に引き込ませる)場合、シフトレジスタの一段分の構成は、例えば図8に示すような構成となる。

【0011】

また、国際公開2007/007768号パンフレットに開示された技術に関しては、a-Si TFT液晶パネルでは薄膜トランジスタの閾値電圧が大きいため、ゲートオフ電位がグラウンド電位にされても、画素形成部内の残留電荷は十分に放電されない。

10

【0012】

さらに、日本の特開2007-11346号公報に開示された技術に関し、ゲートドライバICにおいては、以下の理由により、ゲートオフ電位をグラウンド電位よりも高い電位にすることができない。図23は、ゲートドライバICの内部回路における電位関係について説明するための図である。なお、図23における電位の具体的な値は一例である。図23から把握されるように、低耐圧系(ロジック系)回路部はグラウンド電位GNDと電源電位VCCとの間で動作し、高耐圧系回路部はゲートオフ電位VGLとゲートオン電位VGHとの間で動作する。通常、ゲートオフ電位VGLは電源電位VCCやグラウンド電位GNDよりも低い電位になっているので、PN寄生素子には逆耐圧のみが生じる。このため、通常、PN寄生素子には電流が流れない。ところが、ゲートオフ電位VGLを電源電位VCCよりも高い電位(例えば5V)にすると、PN寄生素子に順方向電圧が生じ、電流が流れてしまう。その結果、ゲートドライバICの異常動作が生じる。

20

【0013】

ところで、ゲートドライバICにおいては、走査信号の出力部はCMOS構成となっている。すなわち、ゲートドライバICは、CMOSのゲートに与えられる電圧に応じてゲートオン電位VGHまたはゲートオフ電位VGLの一方が出力部から出力されるように構成されている。このため、ゲートドライバICを採用した液晶表示装置では、走査信号をローレベルで維持することができる。これに対し、モノリシックゲートドライバにおいては、シフトレジスタの一段分は図8や図22に示した回路構成となっている。ここで、薄膜トランジスタTNについては、オン状態となるのは1垂直走査期間中の所定期間(1行のゲートバスラインが選択状態とされる期間)だけである。また、クロック信号はハイレベルとローレベルとが交互に繰り返されるので、薄膜トランジスタTM, TDが継続的にオン状態で維持されることはない。すなわち、ゲートバスラインの電位はローレベルで固定されることはない。以上より、モノリシックゲートドライバにおいては、ゲートオフ電位VGLをグラウンド電位GNDよりも高い電位にすることはできるが、そのことだけによっても画素形成部内の残留電荷は放電されない。

30

【0014】

そこで本発明は、電源がオンされたときの表示品位の低下が抑止されるよう、電源がオフされたときに画素形成部内の残留電荷を速やかに除去することのできる、モノリシックゲートドライバを備えた液晶表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0015】

本発明の第1の局面は、液晶表示装置であって、
表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線に制御端子が接続され当該交差点を通過する映像信号線に第1の導通端子が接続された第1のスイッチング素子と、前記第1のスイッチング素子の第2の導通端子に接続された画素電極とを含む複数の画素形成部

50

と、

第1の電位と第2の電位とを周期的に繰り返すクロック信号に基づいて順次にパルスを出力する、前記複数の走査信号線と1対1で対応するように設けられた複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する、前記複数の走査信号線が形成されている基板と同じ基板上に形成された走査信号線駆動回路と、

外部から与えられる電源のオン/オフ状態を検出する電源状態検出部と、

前記複数の双安定回路の基準電位を生成する基準電位生成部と、

前記基準電位生成部で生成された基準電位を前記複数の双安定回路に伝達するための基準電位配線と

10

を備え、

各双安定回路は、対応する走査信号線が非選択状態である期間中には当該走査信号線の電位レベルが前記基準電位のレベルで維持されるよう、当該走査信号線と前記基準電位配線とを電氣的に接続するための電位レベル維持部を含み、

前記電源のオフ状態が前記電源状態検出部によって検出されると、

各双安定回路に含まれる前記電位レベル維持部は、当該各双安定回路に対応する走査信号線と前記基準電位配線とを電氣的に接続し、

前記基準電位生成部は、前記基準電位のレベルを前記第1のスイッチング素子が導通状態となるレベルにまで高めることを特徴とする。

【0016】

20

本発明の第2の局面は、本発明の第1の局面において、

前記クロック信号を生成するクロック信号生成部を更に備え、

各双安定回路に含まれる前記電位レベル維持部は、前記基準電位配線に接続された第1の導通端子、当該各双安定回路に対応する走査信号線に接続された第2の導通端子、および前記クロック信号が与えられる制御端子を有する第2のスイッチング素子を含み、

前記電源のオフ状態が前記電源状態検出部によって検出されると、前記クロック信号生成部は、各双安定回路に含まれる前記第2のスイッチング素子が導通状態となるように、前記クロック信号を前記第1の電位または前記第2の電位にすることを特徴とする。

【0017】

本発明の第3の局面は、本発明の第2の局面において、

30

各双安定回路に含まれる前記電位レベル維持部は、前記第2のスイッチング素子を複数個含み、

前記クロック信号生成部は、各電位レベル維持部に含まれる複数個の前記第2のスイッチング素子の制御端子にそれぞれ与えるための複数の前記クロック信号を生成し、

前記電源のオフ状態が前記電源状態検出部によって検出されると、前記クロック信号生成部は、各電位レベル維持部に含まれる複数個の前記第2のスイッチング素子が導通状態となるように、複数の前記クロック信号をそれぞれ前記第1の電位または前記第2の電位にすることを特徴とする。

【0018】

本発明の第4の局面は、本発明の第1の局面において、

40

前記基準電位生成部は、所定の入力信号の電位レベルを変換することにより前記基準電位配線に所定のハイレベル電位もしくは所定のローレベル電位を与えるレベルシフト回路を含み、

前記レベルシフト回路は、

前記電源のオフ状態が前記電源状態検出部によって検出されていないときには、前記ローレベル電位を前記基準電位として前記基準電位配線に与え、

前記電源のオフ状態が前記電源状態検出部によって検出されると、前記ハイレベル電位を前記基準電位として前記基準電位配線に与えることを特徴とする。

【0019】

本発明の第5の局面は、表示すべき画像を表す複数の映像信号をそれぞれ伝達するため

50

の複数の映像信号線，前記複数の映像信号線と交差する複数の走査信号線，前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線に制御端子が接続され当該交差点を通過する映像信号線に第1の導通端子が接続された第1のスイッチング素子と、前記第1のスイッチング素子の第2の導通端子に接続された画素電極とを含む複数の画素形成部，および前記複数の走査信号線が形成されている基板と同じ基板上に形成された走査信号線駆動回路であって、第1の電位と第2の電位とを周期的に繰り返すクロック信号に基づいて順次にパルスを出力する、前記複数の走査信号線と1対1で対応するように設けられた複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路を備えた液晶表示装置の駆動方法であって、

10

外部から与えられる電源のオン/オフ状態を検出する電源状態検出ステップと、
前記複数の双安定回路の基準電位を生成する基準電位生成ステップと
を含み、

前記液晶表示装置は、前記基準電位生成ステップで生成された基準電位を前記複数の双安定回路に伝達するため基準電位配線を更に備え、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、

各双安定回路に対応する走査信号線と前記基準電位配線とが電氣的に接続され、

前記基準電位生成ステップでは、前記基準電位のレベルが前記第1のスイッチング素子が導通状態となるレベルにまで高められることを特徴とする。

20

【0020】

本発明の第6の局面は、本発明の第5の局面において、

前記クロック信号を生成するクロック信号生成ステップを更に含み、

各双安定回路は、前記基準電位配線に接続された第1の導通端子，当該各双安定回路に対応する走査信号線に接続された第2の導通端子，および前記クロック信号が与えられる制御端子を有する第2のスイッチング素子を含み、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記クロック信号生成ステップでは、各双安定回路に含まれる前記第2のスイッチング素子が導通状態となるように、前記クロック信号が前記第1の電位または前記第2の電位にされることを特徴とする。

30

【0021】

本発明の第7の局面は、本発明の第6の局面において、

各双安定回路は、前記第2のスイッチング素子を複数個含み、

前記クロック信号生成ステップでは、各双安定回路に含まれる複数個の前記第2のスイッチング素子の制御端子にそれぞれ与えるための複数の前記クロック信号が生成され、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記クロック信号生成ステップでは、各双安定回路に含まれる複数個の前記第2のスイッチング素子が導通状態となるように、複数の前記クロック信号がそれぞれ前記第1の電位または前記第2の電位にされることを特徴とする。

40

【0022】

本発明の第8の局面は、本発明の第5の局面において、

前記基準電位配線に所定のハイレベル電位もしくは所定のローレベル電位を与えるために所定の入力信号の電位レベルを変換するレベル変換ステップを更に含み、

前記レベル変換ステップでは、

前記電源状態検出ステップで前記電源のオフ状態が検出されていないときには、前記入力信号の電位レベルは前記ローレベル電位に変換され、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記入力信号の電位レベルは前記ハイレベル電位に変換されることを特徴とする。

【発明の効果】

【0023】

50

本発明の第1の局面によれば、走査信号線駆動回路内のシフトレジスタを構成する双安定回路には、当該双安定回路に対応する走査信号線が非選択状態とされるべき期間を通じて当該走査信号線の電位レベルが基準電位のレベルで維持されるようにするための電位レベル維持部が設けられている。そして、電源のオフ状態が検出されると、電位レベル維持部によって、走査信号線と（基準電位を伝達する）基準電位配線とが電氣的に接続される。また、電源のオフ状態が検出されたとき、各画素形成部に設けられたスイッチング素子が導通状態となるレベルにまで基準電位のレベルが高められる。これにより、各走査信号線は選択状態となって、各画素形成部に設けられているスイッチング素子は導通状態となる。このため、電源がオフされたときに各画素形成部内の残留電荷は速やかに放電される。その結果、電源が再度オンされたときにおける画素形成部内の残留電荷に起因する表示品位の低下が抑止される。

10

【0024】

本発明の第2の局面によれば、電源のオフ状態が検出されたときに各走査信号線を選択状態にするための構成要素として電位レベル維持部が用いられるところ、その電位レベル維持部は、走査信号線の電位を基準電位のレベルで維持するために従来より設けられているスイッチング素子によって実現されている。このため、本発明の第1の局面と同様の効果を奏する液晶表示装置が比較的容易に実現される。

【0025】

本発明の第3の局面によれば、複数のクロック信号に基づいて動作するシフトレジスタを有する走査信号線駆動回路を備えた液晶表示装置において、電源がオフされたときに各画素形成部内の残留電荷は速やかに放電され、電源が再度オンされたときにおける表示品位の低下が抑止される。

20

【0026】

本発明の第4の局面によれば、レベルシフト回路からの出力信号の電位が、基準電位として、シフトレジスタを構成する双安定回路に基準電位配線を介して与えられる。このため、双安定回路に与える基準電位のレベルを容易に可変にすることができ、走査信号線と基準電位配線とが電位レベル維持部によって電氣的に接続されているときに、基準電位のレベルを高めることによって走査信号線を選択状態にすることができる。ところで、モノリシックゲートドライバ（走査信号線が形成されている基板と同じ基板上に形成された走査信号線駆動回路）を採用した液晶表示装置においては、従来よりパネルの外部にレベルシフト回路が設けられている。このため、レベルシフト回路からの出力信号を基準電位に用いる構成としても回路部品等を増やす必要がなく、電源がオフされたときに画素形成部内の残留電荷を速やかに除去することのできる液晶表示装置を低コストで実現することができる。

30

【図面の簡単な説明】

【0027】

【図1】本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置における電源遮断時の動作について説明するための信号波形図である。

【図2】上記第1の実施形態において、液晶表示装置の全体構成を示すブロック図である。

40

【図3】上記第1の実施形態において、画素形成部の構成を示す回路図である。

【図4】上記第1の実施形態において、基準電位切替回路の構成を示す図である。

【図5】上記第1の実施形態において、ゲートドライバの構成を説明するためのブロック図である。

【図6】上記第1の実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

【図7】上記第1の実施形態において、ゲートドライバの動作について説明するための信号波形図である。

【図8】上記第1の実施形態において、シフトレジスタに含まれている双安定回路の構成を示す回路図である。

50

【図 9】上記第 1 の実施形態において、双安定回路の動作を説明するための信号波形図である。

【図 10】本発明の第 2 の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【図 11】上記第 2 の実施形態における効果について説明するための図である。

【図 12】上記第 2 の実施形態における効果について説明するための図である。

【図 13】上記第 2 の実施形態の変形例について説明するための図である。

【図 14】4 相のクロック信号に基づいて動作するシフトレジスタの一構成例を示すブロック図である。

【図 15】4 相のクロック信号に基づいて動作するシフトレジスタに含まれている双安定回路の構成を示す回路図である。

【図 16】4 相のクロック信号の波形図である。

【図 17】4 相のクロック信号に基づいて動作するシフトレジスタに含まれている双安定回路の動作について説明するための信号波形図である。

【図 18】表示部の両側にゲートドライバを備えた構成の液晶表示装置について説明するためのブロック図である。

【図 19】ソースドライバが 1 つの IC チップで構成された液晶表示装置について説明するためのブロック図である。

【図 20】1 チップドライバを備えた構成の液晶表示装置について説明するためのブロック図である。

【図 21】ゲートドライバ IC の一般的な構成を示すブロック図である。

【図 22】モノリシックゲートドライバ内のシフトレジスタの一段分の構成を示す回路図である。

【図 23】ゲートドライバ IC の内部回路における電位関係について説明するための図である。

【発明を実施するための形態】

【0028】

以下、添付図面を参照しつつ、本発明の実施形態について説明する。

【0029】

< 1. 第 1 の実施形態 >

< 1.1 全体構成および動作 >

図 2 は、本発明の第 1 の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、液晶パネル 20、PCB (プリント回路基板) 10、および液晶パネル 20 と PCB 10 とに接続された TAB (Tape Automated Bonding) 30 によって構成されている。

【0030】

液晶パネル 20 には、画像を表示するための表示部 22 が形成されている。表示部 22 には、複数本 (j 本) のソースバスライン (映像信号線) $SL_1 \sim SL_j$ と、複数本 (i 本) のゲートバスライン (走査信号線) $GL_1 \sim GL_i$ と、それらソースバスライン $SL_1 \sim SL_j$ とゲートバスライン $GL_1 \sim GL_i$ との交差点にそれぞれ対応して設けられた複数個 ($i \times j$ 個) の画素形成部が含まれている。図 3 は、画素形成部の構成を示す回路図である。図 3 に示すように、各画素形成部には、対応する交差点を通過するゲートバスライン GL にゲート端子 (制御端子) が接続されるとともに当該交差点を通過するソースバスライン SL にソース端子 (第 1 の導通端子) が接続された薄膜トランジスタ (TFT) 220 と、その薄膜トランジスタ 220 のドレイン端子 (第 2 の導通端子) に接続された画素電極 221 と、上記複数個の画素形成部に共通的に設けられた共通電極 222 および補助容量電極 223 と、画素電極 221 と共通電極 222 とによって形成される液晶容量 224 と、画素電極 221 と補助容量電極 223 とによって形成される補助容量 225 とが含まれている。また、液晶容量 224 と補助容量 225 とによって画素容量 CP が

10

20

30

40

50

形成されている。そして、各薄膜トランジスタ220のゲート端子がゲートバスラインGLからアクティブな走査信号を受けたときに当該薄膜トランジスタ220のソース端子がソースバスラインSLから受ける映像信号に基づいて、画素容量CPに画素値を示す電圧が保持される。

【0031】

液晶パネル20には、また、図2に示すように、ゲートバスラインGL1~GLiを駆動するためのゲートドライバ24が形成されている。すなわち、ゲートドライバ24は、液晶パネル20を構成するガラス基板上にモノリシックに形成されている。TAB30には、ソースバスラインSL1~SLjを駆動するためのソースドライバ32がICチップの状態を搭載されている。PCB10には、タイミングコントローラ11、レベルシフト回路13、電源回路15、電源OFF検出部17、および基準電位切替回路19が形成されている。なお、以下の説明においては、ゲートドライバ24に含まれるシフトレジスタが動作する際の基準となる電位(但し、本実施形態においては、この電位は可変である。)のことを「基準電位」という。

10

【0032】

この液晶表示装置には、水平同期信号HS、垂直同期信号VS、データネーブル信号DEなどのタイミング信号と映像信号DATと電源電圧PWとが外部から与えられる。電源電圧PWは、タイミングコントローラ11と電源回路15と電源OFF検出部17とに与えられる。なお、本実施形態においては、電源電圧PWは3.3Vとなっている。

【0033】

電源回路15は、電源電圧PWに基づいて、ゲートバスラインを選択状態にするためのゲートオン電位VGHと、ゲートバスラインを非選択状態にするためのゲートオフ電位VGLとを生成する。ゲートオン電位VGHおよびゲートオフ電位VGLは、レベルシフト回路13と基準電位切替回路19とに与えられる。電源OFF検出部17は、電源電圧PWの供給状態(電源のオン/オフ状態)を示す電源状態信号SHUTを出力する。電源状態信号SHUTは、タイミングコントローラ11と基準電位切替回路19とに与えられる。基準電位切替回路19は、トランジスタ等を用いて、図4に示すような切替スイッチが実現されるように構成されている。すなわち、基準電位切替回路19は、電源状態信号SHUTの電圧の大きさに応じて、ゲートオン電位VGHおよびゲートオフ電位VGLのいずれか一方を基準電位H__SIG__VSSとして出力する。詳しくは、電源状態信号SHUTがローレベルであれば、ゲートオフ電位VGLが基準電位H__SIG__VSSとして出力され、電源状態信号SHUTがハイレベルであれば、ゲートオン電位VGHが基準電位H__SIG__VSSとして出力される。基準電位H__SIG__VSSは、基準電位配線によって伝達され、ゲートドライバ24に与えられる。

20

30

【0034】

タイミングコントローラ11は、水平同期信号HS、垂直同期信号VS、データネーブル信号DEなどのタイミング信号と映像信号DATと電源電圧PWと電源状態信号SHUTとを受け取り、デジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、ゲートスタートパルス信号L__GSP、第1のゲートクロック信号L__CK1、および第2のゲートクロック信号L__CK2を生成する。デジタル映像信号DV、ソーススタートパルス信号SSP、およびソースクロック信号SCKについてはソースドライバ32に与えられ、ゲートスタートパルス信号L__GSP、第1のゲートクロック信号L__CK1、および第2のゲートクロック信号L__CK2についてはレベルシフト回路13に与えられる。なお、ゲートスタートパルス信号L__GSP、第1のゲートクロック信号L__CK1、および第2のゲートクロック信号L__CK2に関し、ハイレベル側の電位は電源電圧(3.3V)PWとされ、ローレベル側の電位はグラウンド電位(0V)GNDとされる。

40

【0035】

レベルシフト回路13は、電源回路15から与えられるゲートオン電位VGHとゲートオフ電位VGLとを用いて、タイミングコントローラ11から出力されたゲートスタート

50

パルス信号 L_GSP , 第 1 のゲートクロック信号 L_CK1 , および第 2 のゲートクロック信号 L_CK2 の電位レベルの変換を行う。レベルシフト回路 13 による電位レベルの変換後のゲートスタートパルス信号 H_GSP , 第 1 のゲートクロック信号 H_CK1 , および第 2 のゲートクロック信号 H_CK2 は、ゲートドライバ 24 に与えられる。なお、レベルシフト回路 13 における電位レベルの変換の際、第 1 のゲートクロック信号 L_CK1 がローレベルであれば、第 1 のゲートクロック信号 H_CK1 の電位はゲートオフ電位 VGL にされ、第 1 のゲートクロック信号 L_CK1 がハイレベルであれば、第 1 のゲートクロック信号 H_CK1 の電位はゲートオン電位 VGH にされる。第 2 のゲートクロック信号 L_CK2 およびゲートスタートパルス信号 L_GSP についても同様に交換される。

10

【0036】

ソースドライバ 32 は、タイミングコントローラ 11 から出力されるデジタル映像信号 DV , ソーススタートパルス信号 SSP , およびソースクロック信号 SCK を受け取り、各ソースバスライン $SL1 \sim SLj$ に駆動用の映像信号を印加する。

【0037】

ゲートドライバ 24 は、レベルシフト回路 13 から出力されるゲートスタートパルス信号 H_GSP , 第 1 のゲートクロック信号 H_CK1 , および第 2 のゲートクロック信号 H_CK2 と、基準電位切替回路 19 から出力される基準電位 H_SIG_VSS とに基づいて、アクティブな走査信号の各ゲートバスライン $GL1 \sim GLi$ への印加を 1 垂直走査期間を周期として繰り返す。なお、このゲートドライバ 24 についての詳しい説明は後述する。

20

【0038】

以上のようにして、各ソースバスライン $SL1 \sim SLj$ に駆動用の映像信号が印加され、各ゲートバスライン $GL1 \sim GLi$ に走査信号が印加されることにより、外部から送られた画像信号 DAT に基づく画像が表示部 22 に表示される。

【0039】

なお、本実施形態においては、電源 OFF 検出部 17 によって電源状態検出部が実現され、基準電位切替回路 19 によって基準電位生成部が実現され、タイミングコントローラ 11 およびレベルシフト回路 13 によってクロック信号生成部が実現されている。

【0040】

< 1.2 ゲートドライバの構成および動作 >

次に、本実施形態におけるゲートドライバ 24 の構成および動作について説明する。図 5 に示すように、ゲートドライバ 24 は複数段からなるシフトレジスタ 240 によって構成されている。表示部 22 には i 行 \times j 列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と 1 対 1 で対応するようにシフトレジスタ 240 の各段が設けられている。また、シフトレジスタ 240 の各段は、各時点において 2 つの状態のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する双安定回路となっている。なお、シフトレジスタ 240 の各段から出力される状態信号は、対応するゲートバスラインに走査信号として与えられる。

30

【0041】

図 6 は、ゲートドライバ 24 内のシフトレジスタ 240 の構成を示すブロック図である。なお、図 6 には、シフトレジスタ 240 の $(n-1)$ 段目、 n 段目、および $(n+1)$ 段目の双安定回路 SR_{n-1} , SR_n , および SR_{n+1} の構成を示している。各双安定回路には、基準電位 VSS , 第 1 クロック CK_a , 第 2 クロック CK_b , セット信号 S , およびリセット信号 R を受け取るための入力端子と、状態信号 Q を出力するための出力端子とが設けられている。本実施形態においては、基準電位切替回路 19 から出力された基準電位 H_SIG_VSS が基準電位 VSS として与えられ、レベルシフト回路 13 から出力された第 1 のゲートクロック信号 H_CK1 および第 2 のゲートクロック信号 H_CK2 の一方が第 1 クロック CK_a として与えられ、第 1 のゲートクロック信号 H_CK1 および第 2 のゲートクロック信号 H_CK2 の他方が第 2 クロック CK_b として与えられ

40

50

る。また、前段から出力された状態信号 Q がセット信号 S として与えられ、次段から出力された状態信号 Q がリセット信号 R として与えられる。すなわち、n 段目に着目すると、(n - 1) 行目のゲートバスラインに与えられる走査信号 O U T n - 1 がセット信号 S として与えられ、(n + 1) 行目のゲートバスラインに与えられる走査信号 O U T n + 1 がリセット信号 R として与えられる。

【0042】

以上のような構成において、シフトレジスタ 240 の 1 段目にセット信号 S としてのゲートスタートパルス信号 H_G S P のパルスが与えられると、オンデューティが 50 パーセント前後の値にされた第 1 のゲートクロック信号 H_C K 1 および第 2 のゲートクロック信号 H_C K 2 (図 7 参照) に基づいて、ゲートスタートパルス信号 H_G S P に含まれるパルス(このパルスは各段から出力される状態信号 Q に含まれる)が 1 段目から i 段目へと順次に転送される。そして、このパルスの転送に応じて、各段から出力される状態信号 Q が順次にハイレベルとなる。そして、それら各段から出力される状態信号 Q は、走査信号 O U T 1 ~ O U T i として各ゲートバスライン G L 1 ~ G L i に与えられる。これにより、図 7 に示すように、所定期間ずつ順次にハイレベルとなる走査信号 O U T 1 ~ O U T i が表示部 22 内のゲートバスライン G L 1 ~ G L i に与えられる。

【0043】

< 1.3 双安定回路の構成および動作 >

図 8 は、シフトレジスタ 240 に含まれている双安定回路の構成(シフトレジスタ 240 の n 段目の構成)を示す回路図である。図 8 に示すように、この双安定回路 S R n は、7 個の薄膜トランジスタ T I , T B , T L , T N , T E , T M , および T D と、キャパシタ C A P と、AND 回路 242 とを備えている。なお、図 8 では、第 1 クロック C K a を受け取るための入力端子には符号 41 を付し、第 2 クロック C K b を受け取るための入力端子には符号 42 を付し、セット信号 S を受け取るための入力端子には符号 43 を付し、リセット信号 R を受け取るための入力端子には符号 44 を付し、状態信号 Q を出力するための出力端子には符号 45 を付している。

【0044】

薄膜トランジスタ T B のソース端子と薄膜トランジスタ T L のドレイン端子と薄膜トランジスタ T I のゲート端子と薄膜トランジスタ T E のソース端子とキャパシタ C A P の一端とは互いに接続されている。なお、これらが互いに接続されている領域(配線)のことを便宜上「n e t A」という。

【0045】

薄膜トランジスタ T I については、ゲート端子は n e t A に接続され、ドレイン端子は入力端子 41 に接続され、ソース端子は出力端子 45 に接続されている。薄膜トランジスタ T B については、ゲート端子およびドレイン端子は入力端子 43 に接続され(すなわち、ダイオード接続となっている)、ソース端子は n e t A に接続されている。薄膜トランジスタ T L については、ゲート端子は入力端子 44 に接続され、ドレイン端子は n e t A に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタ T N については、ゲート端子は入力端子 44 に接続され、ドレイン端子は出力端子 45 に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタ T E については、ゲート端子は入力端子 41 に接続され、ドレイン端子は出力端子 45 に接続され、ソース端子は n e t A に接続されている。薄膜トランジスタ T M については、ゲート端子は AND 回路 242 の出力端子に接続され、ドレイン端子は出力端子 45 に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタ T D については、ゲート端子は入力端子 42 に接続され、ドレイン端子は出力端子 45 に接続され、ソース端子は基準電位配線に接続されている。キャパシタ C A P については、一端は n e t A に接続され、他端は出力端子 45 に接続されている。AND 回路 242 については、状態信号 Q の論理反転信号の論理値と第 1 クロック C K a の論理値との論理積を示す信号が薄膜トランジスタ T M のゲート端子に与えられるように構成されている。

【0046】

次に、各構成要素のこの双安定回路における機能について説明する。薄膜トランジスタ T I は、n e t A の電位がハイレベルになっているときに、第 1 クロック C K a の電位を出力端子 4 5 に与える。薄膜トランジスタ T B は、セット信号 S がハイレベルになっているときに、n e t A の電位をハイレベルにする。薄膜トランジスタ T L は、リセット信号 R がハイレベルになっているときに、n e t A の電位をローレベルにする。薄膜トランジスタ T N は、リセット信号 R がハイレベルになっているときに、状態信号 Q (出力端子 4 5) の電位をローレベルにする。薄膜トランジスタ T E は、オン状態にされているときに、n e t A の電位と状態信号 Q の電位とを等しくする。キャパシタ C A P は、状態信号 Q の電位の上昇に伴って n e t A の電位を高めるブートストラップ効果を得るための容量として機能する。

10

【0047】

A N D 回路 2 4 2 は、状態信号 Q の論理反転信号の論理値と第 1 クロック C K a の論理値との論理積を示す信号を薄膜トランジスタ T M のゲート端子に与える。すなわち、状態信号 Q がローレベルのときには、第 1 クロック C K a が薄膜トランジスタ T M のゲート端子に与えられることになる。薄膜トランジスタ T M は、A N D 回路 2 4 2 からの出力信号がハイレベルになっているときに、状態信号 Q の電位をローレベルにする。薄膜トランジスタ T D は、第 2 クロック C K b がハイレベルになっているときに、状態信号 Q の電位をローレベルにする。これら A N D 回路 2 4 2 , 薄膜トランジスタ T M , および薄膜トランジスタ T D は、この双安定回路 S R n に接続されているゲートバスラインが非選択状態とされるべき期間中に状態信号 Q の電位レベルを随時基準電位 (電源電圧 P W が正常に供給されている期間には、基準電位のレベルはゲートオフ電位のレベルにされている) のレベルにまで低下させるために設けられている。換言すれば、極めて短い時間については状態信号 Q の電位レベルが基準電位のレベルよりもわずかに高くなっても、比較的長い時間に着目すると状態信号 Q の電位が基準電位のレベルで維持されるように、A N D 回路 2 4 2 , 薄膜トランジスタ T M , および薄膜トランジスタ T D が設けられている。このように、本実施形態においては、A N D 回路 2 4 2 , 薄膜トランジスタ T M , および薄膜トランジスタ T D によって電位レベル維持部 2 4 1 が実現されている。

20

【0048】

次に、電源電圧 P W が外部から正常に供給されているときの双安定回路 S R n の動作について、図 9 を参照しつつ説明する。この液晶表示装置が動作している期間中、双安定回路 S R n には、オンデューティが 5 0 パーセント前後の値にされた第 1 クロック C K a および第 2 クロック C K b が与えられる。なお、第 1 クロック C K a および第 2 クロック C K b に関し、ハイレベル側の電位はゲートオン電位 V G H となっており、ローレベル側の電位はゲートオフ電位 V G L となっている。また、以下の説明では基準電位 V S S とゲートオフ電位 V G L とが等しい電位であることを前提としているが、基準電位 V S S とゲートオフ電位 V G L とが異なる電位 (例えば、基準電位 V S S が - 7 V で、ゲートオフ電位が - 1 0 V) であっても良い。

30

【0049】

時点 t 1 になりセット信号 S がローレベルからハイレベルに変化すると、薄膜トランジスタ T B は、図 8 に示すようにダイオード接続となっているので、オン状態となる。これにより、キャパシタ C A P は充電され、n e t A の電位がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ T I はオン状態となる。ここで、t 1 ~ t 3 の期間中、第 1 クロック C K a はローレベルとなっている。このため、この期間中、状態信号 Q はローレベルで維持される。また、この期間中、リセット信号 R はローレベルとなっているので、薄膜トランジスタ T L はオフ状態で維持される。このため、この期間中に n e t A の電位が低下することはない。

40

【0050】

時点 t 2 にセット信号 S がハイレベルからローレベルに変化した後、時点 t 3 になると、第 1 クロック C K a がローレベルからハイレベルに変化する。このとき、薄膜トランジスタ T I はオン状態となっているので、入力端子 4 1 の電位の上昇とともに出力端子 4 5

50

の電位は上昇する。ここで、図 8 に示すように net A - 出力端子 4 5 間にはキャパシタ CAP が設けられているので、出力端子 4 5 の電位の上昇とともに net A の電位も上昇する (net A がブートストラップされる)。net A の電位は、理想的にはゲートオン電位 VGH の 2 倍の電位にまで上昇する。その結果、薄膜トランジスタ TI のゲート端子には大きな電圧が印加され、出力端子 4 5 の電位は、第 1 クロック CK a のハイレベルの電位すなわちゲートオン電位 VGH にまで上昇する。これにより、この双安定回路 SR n の出力端子 4 5 に接続されているゲートバスラインが選択状態となる。なお、t₃ ~ t₄ の期間中、リセット信号 R はローレベルとなっているので薄膜トランジスタ TN はオフ状態で維持され、第 2 クロック CK b はローレベルとなっているので薄膜トランジスタ TD はオフ状態で維持される。また、この期間中、状態信号 Q はハイレベルとなっているので、AND 回路 2 4 2 からの出力信号はローレベルとなり、薄膜トランジスタ TM はオフ状態となる。従って、この期間中に状態信号 Q の電位が低下することはない。さらに、t₃ ~ t₄ の期間中、第 1 クロック CK a はハイレベルになっているが、net A の電位はゲートオン電位 VGH のほぼ 2 倍の電位となり、状態信号 Q の電位はゲートオン電位 VGH となっているので、薄膜トランジスタ TE はオフ状態となる。また、この期間中、リセット信号 R はローレベルとなっているので、薄膜トランジスタ TL はオフ状態で維持される。従って、この期間中に net A の電位が低下することはない。

10

20

30

40

50

【0051】

時点 t₄ になると、第 1 クロック CK a はハイレベルからローレベルに変化する。これにより、入力端子 4 1 の電位の低下とともに出力端子 4 5 の電位すなわち状態信号 Q の電位は低下する。このため、キャパシタ CAP を介して net A の電位も低下する。時点 t₅ になると、リセット信号 R がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ TL および薄膜トランジスタ TN はオン状態となる。その結果、net A の電位および状態信号 Q の電位はローレベルとなる。

【0052】

以上のような動作がシフトレジスタ 2 4 0 内の各双安定回路で行われることにより、所定期間ずつ順次にハイレベルとなる走査信号 OUT 1 ~ OUT i が表示部 2 2 内のゲートバスライン GL 1 ~ GL i に与えられる。なお、本実施形態においては、第 1 クロック CK a と第 2 クロック CK b とは図 9 に示したように所定期間毎に交互にハイレベルとなる。このため、薄膜トランジスタ TD と薄膜トランジスタ TM とは所定期間毎に交互にオン状態となる。これにより、各ゲートバスラインは所定期間毎 (但し、選択状態とされるべき期間を除く) に基準電位配線と電氣的に接続され、非選択状態にされるべき期間を通じて状態信号 Q はローレベルで維持される。

【0053】

< 1.4 電源遮断時の動作 >

次に、図 1, 図 2, および図 8 を参照しつつ、外部からの電源電圧 PW の供給が遮断されたときの液晶表示装置の動作について説明する。図 1 には、電源電圧 PW, 電源状態信号 SHUT, ゲートオン電位 VGH, ゲートオフ電位 VGL, 第 1 のゲートクロック信号 H__CK 1, 第 2 のゲートクロック信号 H__CK 2, および基準電位 H__SIG__VSS の波形が示されている。なお、図 1 において、符号 T-on で示す期間は電源電圧 PW が正常に供給されている期間を示し、符号 t_z で示す時点は電源電圧 PW の供給が遮断された時点を示し、符号 T-off で示す期間は電源電圧 PW が供給されていない期間を示している。

【0054】

電源電圧 PW が正常に供給されている期間には、電源回路 1 5 からレベルシフト回路 1 3 および基準電位切替回路 1 9 に与えられるゲートオン電位 VGH, ゲートオフ電位 VGL はそれぞれ例えば 2 2 V, - 1 0 V で維持される。また、この期間には、電源 OFF 検出部 1 7 は電源状態信号 SHUT をローレベル (ここではグラウンド電位 GND) で維持する。その電源状態信号 SHUT に基づいて、基準電位切替回路 1 9 は、基準電位 H__SIG__VSS をゲートオフ電位 VGL で維持する。また、タイミングコントローラ 1 1 は

、電源状態信号 S H U T に基づいて、第 1 のゲートクロック信号 L _ C K 1 と第 2 のゲートクロック信号 L _ C K 2 とを所定期間毎に交互にハイレベルにする。なお、上述したように、第 1 のゲートクロック信号 L _ C K 1 および第 2 のゲートクロック信号 L _ C K 2 については、ハイレベル側の電位は電源電圧 P W とされ、ローレベル側の電位はグラウンド電位 G N D とされる。第 1 のゲートクロック信号 L _ C K 1 および第 2 のゲートクロック信号 L _ C K 2 は、上述したようにレベルシフト回路 1 3 で電位レベルの変換が行われる。以上より、電源電圧 P W が正常に供給されている期間には、図 1 に示すように、第 1 のゲートクロック信号 H _ C K 1 および第 2 のゲートクロック信号 H _ C K 2 については、ゲートオン電位 V G H とゲートオフ電位 V G L とが交互に繰り返され、基準電位 H _ S I G _ V S S については、ゲートオフ電位 V G L で維持される。

10

【 0 0 5 5 】

時点 t_z に電源電圧 P W の供給が遮断されると、図 1 に示すように、ゲートオン電位 V G H およびゲートオフ電位 V G L は徐々にグラウンド電位 G N D へと近づく。また、電源 O F F 検出部 1 7 は、電源電圧 P W の供給が遮断されたこと（電源のオフ状態）を検知すると、電源状態信号 S H U T をハイレベルにする。タイミングコントローラ 1 1 は、電源状態信号 S H U T がハイレベルになったことを検知すると、第 1 のゲートクロック信号 L _ C K 1 および第 2 のゲートクロック信号 L _ C K 2 をハイレベルにする。それら第 1 のゲートクロック信号 L _ C K 1 および第 2 のゲートクロック信号 L _ C K 2 は、レベルシフト回路 1 3 で電位レベルの変換が行われる。このとき、第 1 のゲートクロック信号 L _ C K 1 および第 2 のゲートクロック信号 L _ C K 2 の双方がハイレベルとなっているので、第 1 のゲートクロック信号 H _ C K 1 および第 2 のゲートクロック信号 H _ C K 2 はゲートオン電位 V G H となる。また、基準電位切替回路 1 9 は、電源状態信号 S H U T に基づき、基準電位 H _ S I G _ V S S をゲートオフ電位 V G L からゲートオン電位 V G H に切り替える。以上より、電源電圧 P W の供給が遮断された時点 t_z には、図 1 に示すように、基準電位 H _ S I G _ V S S , 第 1 のゲートクロック信号 H _ C K 1 , および第 2 のゲートクロック信号 H _ C K 2 はゲートオン電位 V G H となる。

20

【 0 0 5 6 】

第 1 のゲートクロック信号 H _ C K 1 および第 2 のゲートクロック信号 H _ C K 2 の双方がゲートオン電位 V G H になると、各双安定回路（図 8 参照）に与えられる第 1 クロック C K a および第 2 クロック C K b はともにハイレベルとなる。そして、第 2 クロック C K b がハイレベルになることにより、薄膜トランジスタ T D はオン状態となる。また、各ゲートバスラインは 1 垂直走査期間中のわずかの期間だけ選択状態とされるので、ほとんどの双安定回路の状態信号 Q はローレベルとなっている。このため、第 1 クロック C K a がハイレベルになることにより、ほとんどの双安定回路において A N D 回路 2 4 2 からの出力信号はハイレベルとなって、薄膜トランジスタ T M はオン状態となる。これにより、各双安定回路に接続されているゲートバスラインと基準電位 H _ S I G _ V S S を伝達する基準電位配線とが電氣的に接続される。さらに、本実施形態においては、電源電圧 P W の供給が遮断された時点 t_z に、基準電位 H _ S I G _ V S S がゲートオフ電位 V G L からゲートオン電位 V G H に上昇する。これにより、各双安定回路から出力される状態信号 Q の電位が高められ、表示部 2 2 内の各画素形成部（図 4 参照）において薄膜トランジスタ 2 2 0 がオン状態となる。その結果、各画素形成部内の残留電荷が速やかに放電される。

30

40

【 0 0 5 7 】

< 1 . 5 効果 >

本実施形態によれば、ゲートドライバ 2 4 内のシフトレジスタ 2 4 0 を構成する双安定回路には、当該双安定回路に接続されているゲートバスラインが非選択状態とされるべき期間を通じて状態信号 Q の電位をローレベルで維持する（厳密には、状態信号 Q の電位レベルを随時基準電位のレベルにまで低下させる）ための電位レベル維持部 2 4 1 が設けられている。その電位レベル維持部 2 4 1 は、状態信号 Q の論理反転信号の論理値と第 1 クロック C K a の論理値との論理積を示す信号を薄膜トランジスタ T M のゲート端子に与え

50

るAND回路242と、AND回路242からの出力信号がハイレベルになっているときにゲートバスラインと基準電位配線とを電氣的に接続するための薄膜トランジスタTMと、第2クロックCKbがハイレベルになっているときにゲートバスラインと基準電位配線とを電氣的に接続するための薄膜トランジスタTDとによって構成されている。このような構成において、外部からの電源電圧PWの供給が遮断されると、第1クロックCKaおよび第2クロックCKbはハイレベルにされる。これにより、各双安定回路において、薄膜トランジスタTMおよび薄膜トランジスタTDはオン状態とされ、ゲートバスラインと基準電位配線とが電氣的に接続された状態となる。また、外部からの電源電圧PWの供給が遮断されたときには、各双安定回路に与えられる基準電位VSSのレベルがゲートオフ電位VGLからゲートオン電位VGHに高められる。これにより、各ゲートバスラインは選択状態となって各画素形成部の薄膜トランジスタ220がオン状態となるので、各画素形成部内の残留電荷は速やかに放電される。その結果、この液晶表示装置の電源が再度オンされても、画素形成部に蓄積されている残留電荷に起因する表示品位の低下が抑止される。

10

【0058】

< 2. 第2の実施形態 >

本発明の第2の実施形態について説明する。なお、上記第1の実施形態と異なる点についてのみ詳しく説明し、上記第1の実施形態と同様の点については簡単に説明する。

【0059】

< 2. 1 全体構成および動作 >

図10は、本発明の第2の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。液晶パネル20およびTAB30については、上記第1の実施形態と同様の構成である。PCB50には、タイミングコントローラ51、レベルシフト回路53、電源回路55、および電源OFF検出部57が形成されている。

20

【0060】

電源回路55は、電源電圧PWに基づいて、ゲートオン電位VGHとゲートオフ電位VGLとを生成する。ゲートオン電位VGHとゲートオフ電位VGLとは、レベルシフト回路53に与えられる。電源OFF検出部57は、電源電圧PWの供給状態（電源のオン/オフ状態）を示す電源状態信号SHUTを出力する。電源状態信号SHUTは、タイミングコントローラ51に与えられる。

30

【0061】

タイミングコントローラ51は、水平同期信号HS、垂直同期信号VS、データインーブル信号DEなどのタイミング信号と画像信号DATと電源電圧PWと電源状態信号SHUTとを受け取り、デジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、ゲートスタートパルス信号L_GSP、第1のゲートクロック信号L_CK1、第2のゲートクロック信号L_CK2、および基準電位L_SIG_VSSを生成する。デジタル映像信号DV、ソーススタートパルス信号SSP、およびソースクロック信号SCKについてはソースドライバ32に与えられ、ゲートスタートパルス信号L_GSP、第1のゲートクロック信号L_CK1、第2のゲートクロック信号L_CK2、および基準電位L_SIG_VSSについてはレベルシフト回路53に与えられる。なお、基準電位L_SIG_VSSに関し、ハイレベル側の電位は電源電圧PWとされ、ローレベル側の電位はグラウンド電位GNDとされる。

40

【0062】

レベルシフト回路53は、電源回路55から与えられるゲートオン電位VGHとゲートオフ電位VGLとを用いて、タイミングコントローラ51から出力されたゲートスタートパルス信号L_GSP、第1のゲートクロック信号L_CK1、第2のゲートクロック信号L_CK2、および基準電位L_SIG_VSSの電位レベルの変換を行う。レベルシフト回路53による電位レベルの変換後のゲートスタートパルス信号H_GSP、第1のゲートクロック信号H_CK1、第2のゲートクロック信号H_CK2、および基準電位H_SIG_VSSは、ゲートドライバ24に与えられる。なお、レベルシフト回路53

50

における電位レベルの変換の際、基準電位 L_SIG_VSS がローレベルであれば、基準電位 H_SIG_VSS はゲートオフ電位 VGL にされ、基準電位 L_SIG_VSS がハイレベルであれば、基準電位 H_SIG_VSS はゲートオン電位 VGH にされる。

【0063】

ソースドライバ32およびゲートドライバ24では、上記第1の実施形態と同様の動作が行われる。これにより、各ソースバスライン $SL1 \sim SLj$ に駆動用の映像信号が印加され、各ゲートバスライン $GL1 \sim GLi$ に走査信号が印加され、外部から送られた画像信号 DAT に基づく画像が表示部22に表示される。

【0064】

なお、本実施形態においては、電源OFF検出部57によって電源状態検出部が実現され、タイミングコントローラ51およびレベルシフト回路53によって基準電位生成部およびクロック信号生成部が実現されている。

10

【0065】

シフトレジスタ240および双安定回路については、上記第1の実施形態と同様の構成である(図6および図8参照)。従って、シフトレジスタ240の動作および双安定回路の動作についても、上記第1の実施形態と同様である(図7および図9参照)。

【0066】

< 2.2 基準電位を変化させる手法について >

上記第1の実施形態においては、トランジスタ等で構成された基準電位切替回路19を用いて、基準電位配線に与える基準電位 H_SIG_VSS のレベルをゲートオフ電位 VGL とゲートオン電位 VGH との間で切り替えていた。すなわち、上記第1の実施形態においては、電源電圧 PW の供給が遮断された時に基準電位 H_SIG_VSS のレベルを高めるための構成がアナログ的な手法によって実現されていた。これに対して、本実施形態においては、基準電位 H_SIG_VSS のレベルを高めるための構成がデジタル的な手法によって実現されている。これについて以下に説明する。

20

【0067】

電源電圧 PW が正常に供給されている期間には、電源OFF検出部57から出力される電源状態信号 $SHUT$ はローレベルにされる。これにより、タイミングコントローラ51からレベルシフト回路53に与えられる基準電位 L_SIG_VSS はローレベルとなる。ここで、上述のように、レベルシフト回路53における電位レベルの変換の際、基準電位 L_SIG_VSS がローレベルであれば、基準電位 H_SIG_VSS はゲートオフ電位 VGL にされる。従って、電源電圧 PW が正常に供給されている期間には、基準電位配線に与えられる基準電位 H_SIG_VSS はゲートオフ電位 VGL となる。

30

【0068】

電源電圧 PW の供給が遮断されると、電源OFF検出部57から出力される電源状態信号 $SHUT$ はハイレベルにされる。これにより、タイミングコントローラ51からレベルシフト回路53に与えられる基準電位 L_SIG_VSS はハイレベルとなる。ここで、上述のように、レベルシフト回路53における電位レベルの変換の際、基準電位 L_SIG_VSS がハイレベルであれば、基準電位 H_SIG_VSS はゲートオン電位 VGH にされる。従って、レベルシフト回路53から出力される基準電位 H_SIG_VSS は、ゲートオフ電位 VGL からゲートオン電位 VGH に変化する。このようにして、電源電圧 PW の供給が遮断されると、基準電位配線に与えられる基準電位 H_SIG_VSS はゲートオン電位 VGH となる。

40

【0069】

なお、電源電圧 PW の供給が遮断されると、上記第1の実施形態と同様にして、第1のゲートクロック信号 H_CK1 および第2のゲートクロック信号 H_CK2 はゲートオン電位 VGH にされる。すなわち、電源電圧 PW の供給が遮断された時には、上記第1の実施形態と同様、基準電位 H_SIG_VSS 、第1のゲートクロック信号 H_CK1 、および第2のゲートクロック信号 H_CK2 はゲートオン電位 VGH となる(図1参照)。

【0070】

50

< 2.3 効果 >

本実施形態によれば、上記第1の実施形態と同様、外部からの電源電圧PWの供給が遮断されると、ゲートバスラインと基準電位配線とが電氣的に接続されるとともに、基準電位VSSのレベルがゲートオフ電位VGLからゲートオン電位VGHに高められる。これにより、各ゲートバスラインは選択状態となり、各画素形成部内の残留電荷は速やかに放電される。その結果、画素形成部内に蓄積されている残留電荷に起因する表示品位の低下が抑止される。

【0071】

また、本実施形態によれば、電源がオフされたときに画素形成部内の残留電荷を速やかに除去することのできる液晶表示装置を比較的安価に実現することができる。これについて、以下に説明する。従来の構成においては、例えば図11に示すように、シフトレジスタ740には、電源回路75から出力されるゲートオフ電位VGLが基準電位VSSとして与えられていた。また、ゲートドライバモノリシックパネルにおいては、パネル内で比較的高い電圧が得られるように、図11に示すようにパネルの外部にレベルシフト回路73を備えておく必要がある。このような従来の構成によると、シフトレジスタ740に与えられる基準電位VSSは固定された電位となる。この場合、図8に示した薄膜トランジスタTD、TMをオン状態にしても、各双安定回路から出力される状態信号Qの電位を高めることができない。そこで、本実施形態においては、図12に示すように、レベルシフト回路53からの出力信号H_SIG_VSSが基準電位VSSとしてシフトレジスタ240に与えられる構成としている。この構成によると、シフトレジスタ240に与えられる基準電位VSSのレベルを容易に変換とすることができ、上記薄膜トランジスタTD、TMがオン状態になっているときに、各双安定回路から出力される状態信号Qの電位を高めることができる。ここで、上述したように、ゲートドライバモノリシックパネルにおいては、従来よりパネルの外部にレベルシフト回路が設けられている。このため、基準電位用にレベルシフト回路からの出力信号を用いる構成としても、回路部品等を増やす必要がない。従って、画素形成部内の残留電荷を速やかに除去することのできる液晶表示装置を低コストで実現することができる。また、レベルシフト回路を用いることでデジタル処理が可能となるので、回路の制御が容易になる。

< 2.4 変形例 >

上記第2の実施形態においては、電源電圧PWの供給が遮断された時にはシフトレジスタ240に与えられる基準電位VSSのレベルがゲートオフ電位VGLからゲートオン電位VGHに高められる構成となっているが、本発明はこれに限定されない。例えば、補助容量電極223（図3参照）の電位が比較的高い電位に設定されている場合、電源電圧PWの供給が遮断されると、画素形成部内の薄膜トランジスタ220のドレイン電位が大きく低下する。このため、ゲートバスラインに与えられる電位がゲートオン電位VGHよりも低くてもオン状態となり得る。そこで、図13に示すように、ゲートオン電位VGH（例えば22V）よりも低い電位である第2ゲートオン電位VGH2（例えば10V）が電源回路15からレベルシフト回路13に与えられる構成とし、シフトレジスタ240に与えられる基準電位VSSのレベルが、電源電圧PWの供給が遮断された時にはゲートオフ電位VGLから第2ゲートオン電位VGH2に高められるようにしても良い。

【0072】

< 3. その他の構成 >

< 3.1 クロック信号の相数について >

上記各実施形態においては、シフトレジスタ240は2相のクロック信号に基づいて動作していたが、クロック信号の相数については2相に限定されない。以下、4相のクロック信号に基づいて動作するシフトレジスタ640を備えた液晶表示装置に本発明を適用する例について説明する。図14は、4相のクロック信号に基づいて動作するシフトレジスタ640の一構成例を示すブロック図である。なお、図14には、シフトレジスタ640の1段目から4段目までの双安定回路SR1～SR4の構成を示している。各双安定回路には、上記第1の実施形態における入出力端子の他、第3クロックCKcを受け取るため

10

20

30

40

50

の入力端子および第4クロックCKdを受け取るための入力端子が設けられている。このシフトレジスタ640に送られる第1～第4のゲートクロック信号H_{CK1}～H_{CK4}はそれぞれ図14に示すように各双安定回路に与えられる。図15は、このシフトレジスタ640に含まれている双安定回路の構成を示す回路図である。上記第1の実施形態においては、状態信号Qの電位をローレベルで維持するための電位レベル維持部241が、AND回路242、薄膜トランジスタTM、および薄膜トランジスタTDによって実現されていた(図8参照)。これに対して、図15に示す構成においては、上記第1の実施形態と同様の構成の薄膜トランジスタTD、ゲート端子に第3クロックCKcが与えられる薄膜トランジスタTP、およびゲート端子に第4クロックCKdが与えられる薄膜トランジスタTQによって電位レベル維持部245が実現されている。

10

【0073】

以上のような構成において、図16に示すような波形の第1～第4のゲートクロック信号H_{CK1}～H_{CK4}がシフトレジスタ640に与えられる。これにより、各双安定回路は次のように動作する(図17参照)。

【0074】

時点t1になりセット信号Sがローレベルからハイレベルに変化すると、薄膜トランジスタTBはオン状態となり、netAの電位がローレベルからハイレベルに変化する。これにより、薄膜トランジスタTIはオン状態となる。時点t2にセット信号Sがハイレベルからローレベルに変化した後、時点t3になると、第1クロックCKaがローレベルからハイレベルに変化する。これにより、キャパシタCAPのブートストラップ効果によってnetAの電位は高められ、薄膜トランジスタTIのゲート端子に大きな電圧が印加される。その結果、状態信号Qの電位はゲートオン電位VGHとなる。時点t4になり、第1クロックCKaがハイレベルからローレベルに変化すると、状態信号Qの電位およびnetAの電位は低下する。時点t5になり、リセット信号Rおよび第2クロックCKbがローレベルからハイレベルに変化すると、薄膜トランジスタTLおよび薄膜トランジスタTDはオン状態となり、netAの電位および状態信号Qの電位はローレベルとなる。時点t6に第2クロックCKbがハイレベルからローレベルに変化した後、時点t7になると、第3クロックCKcがローレベルからハイレベルに変化する。これにより、薄膜トランジスタTPはオン状態となり、状態信号Qの電位は基準電位VSSへと引き込まれる。時点t8に第3クロックCKcがハイレベルからローレベルに変化した後、時点t9になると、第4クロックCKdがローレベルからハイレベルに変化する。これにより、薄膜トランジスタTQはオン状態となり、状態信号Qの電位は基準電位VSSへと引き込まれる。

20

30

【0075】

ここで、外部からの電源電圧PWの供給が遮断されると、第1～第4のゲートクロック信号H_{CK1}～H_{CK4}は全てハイレベルにされる。これにより、各双安定回路において、薄膜トランジスタTD、薄膜トランジスタTP、および薄膜トランジスタTQはオン状態となる。また、上記第1および第2の実施形態と同様にして、基準電位VSSのレベルがゲートオフ電位VGLからゲートオン電位VGHへと高められる。これにより、各双安定回路から出力される状態信号Qの電位が高められ、各画素形成部内の残留電荷が速やかに放電される。このように、4相のクロック信号に基づいて動作するシフトレジスタ640を備えた液晶表示装置にも本発明を適用することができる。

40

【0076】

なお、4相のクロック信号に基づいて動作するシフトレジスタを備えた構成の液晶表示装置に関し、図16に示した波形の第1のゲートクロック信号H_{CK1}と第3のゲートクロック信号H_{CK3}とに基づいて奇数段目が動作し、図16に示した波形の第2のゲートクロック信号H_{CK2}と第4のゲートクロック信号H_{CK4}とに基づいて偶数段目が動作するように構成されたシフトレジスタを備えた構成の液晶表示装置にも本発明を適用することができる。

【0077】

50

< 3 . 2 駆動回路の実現方法について >

上記各実施形態においては、表示部 2 2 の片側（図 2 ， 図 1 0 では右側）のみにゲートドライバ 2 4 を備えた構成の液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。図 1 8 に示すように表示部の両側（図 1 8 では左側および右側）にゲートドライバ 2 4 を備えた構成の液晶表示装置においても本発明を適用することができる。

【 0 0 7 8 】

また、上記各実施形態においては、ソースドライバ 3 2 が複数の IC チップで構成された液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。図 1 9 に示すようにソースドライバ 3 2 が 1 つの IC チップで構成された液晶表示装置においても本発明を適用することができる。さらに、ソースドライバ 3 2 だけでなく例えば上記第 1 の実施形態におけるタイミングコントローラ 1 1 ， レベルシフト回路 1 3 ， 電源回路 1 5 ， 電源 OFF 検出部 1 7 ， および基準電位切替回路 1 9 などが 1 つの IC チップに格納されたいわゆる 1 チップドライバを備えた構成（図 2 0 参照）の液晶表示装置においても本発明を適用することができる。

10

【 0 0 7 9 】

さらにまた、シフトレジスタ 2 4 0 の構成についても図 6 や図 1 4 に示した構成には限定されず、シフトレジスタ 2 4 0 内の双安定回路の具体的な構成についても図 8 や図 1 6 に示した構成には限定されない。

【 符号の説明 】

【 0 0 8 0 】

20

1 1 ， 5 1 ... タイミングコントローラ

1 3 ， 5 3 ... レベルシフト回路

1 5 ， 5 5 ... 電源回路

1 7 ， 5 7 ... 電源 OFF 検出部

1 9 ... 基準電位切替回路

2 0 ... 液晶パネル

2 2 ... 表示部

2 4 ... ゲートドライバ（走査信号線駆動回路）

3 2 ... ソースドライバ（映像信号線駆動回路）

2 2 0 ... （画素形成部内の）薄膜トランジスタ

30

2 4 0 ， 6 4 0 ... シフトレジスタ

2 4 1 ， 2 4 5 ... 電位レベル維持部

P W ... 電源電圧

S H U T ... 電源状態信号

V G H ... ゲートオン電位

V G L ... ゲートオフ電位

L _ C K 1 ， H _ C K 1 ... 第 1 のゲートクロック信号

L _ C K 2 ， H _ C K 2 ... 第 2 のゲートクロック信号

L _ S I G _ V S S ， H _ S I G _ V S S ， V S S ... 基準電位

T B ， T D ， T E ， T I ， T L ， T M ， T N ， T P ， T Q ... （双安定回路内の）薄膜トランジスタ

40

C K a ... 第 1 クロック

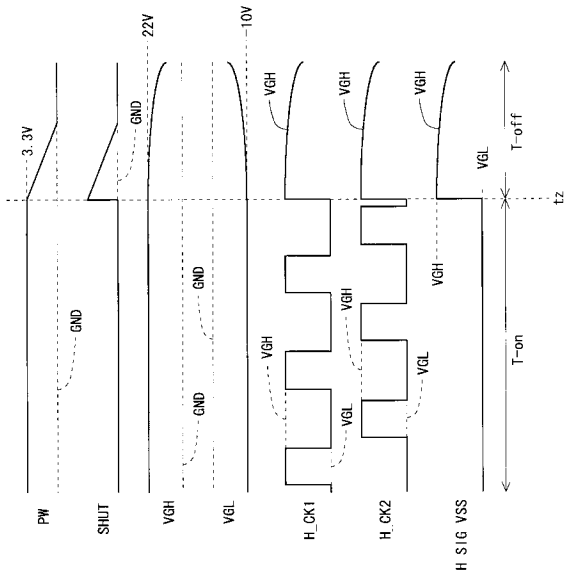
C K b ... 第 2 クロック

S ... セット信号

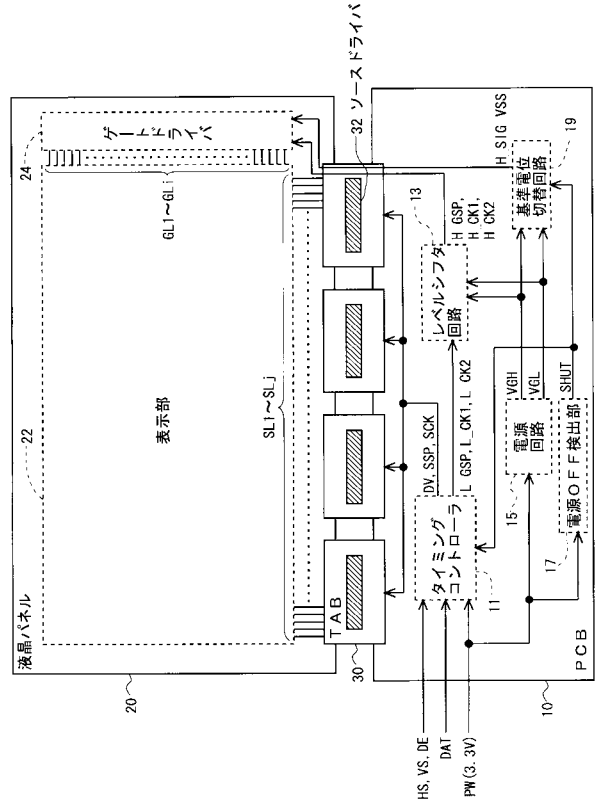
R ... リセット信号

Q ... 状態信号

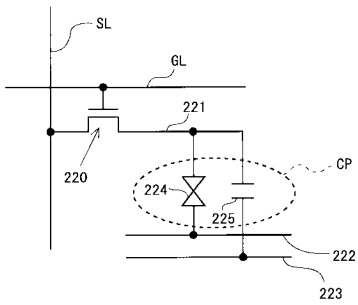
【 図 1 】



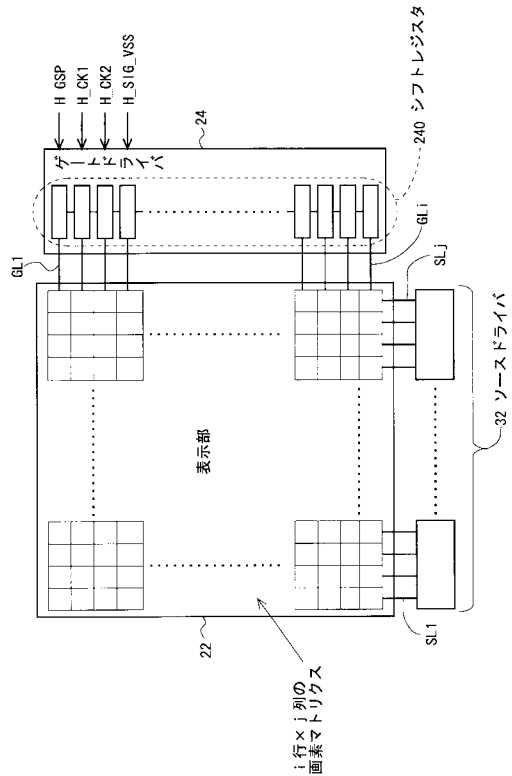
【 図 2 】



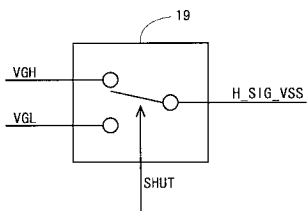
【 図 3 】



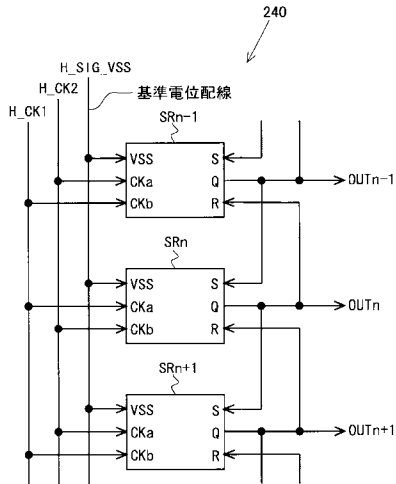
【 図 5 】



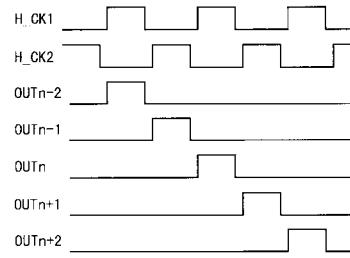
【 図 4 】



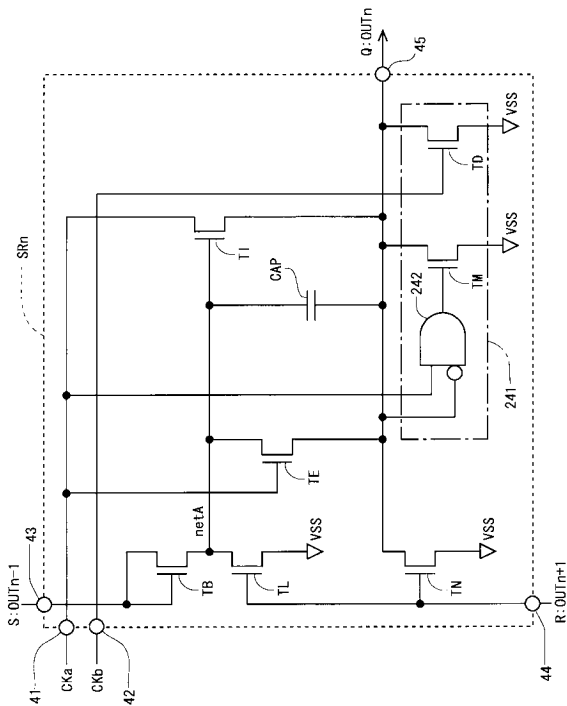
【 図 6 】



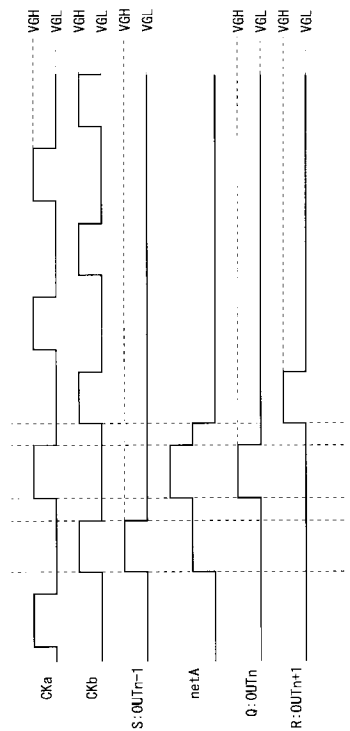
【 図 7 】



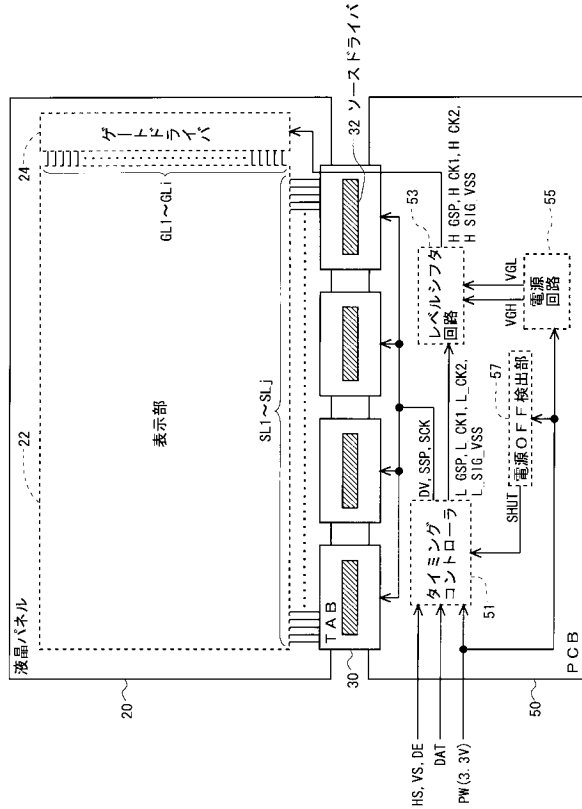
【 図 8 】



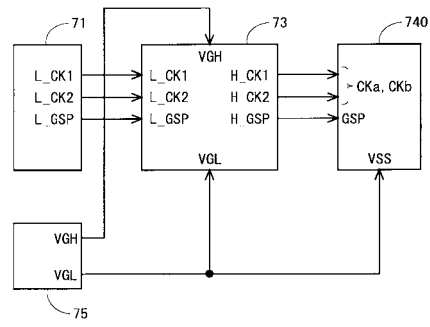
【 図 9 】



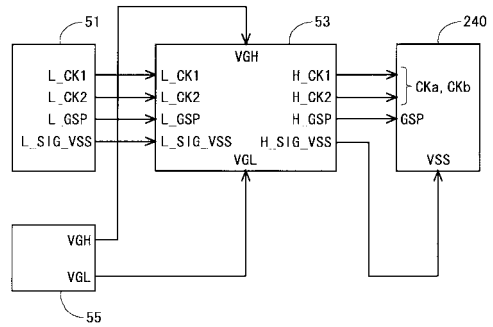
【図 10】



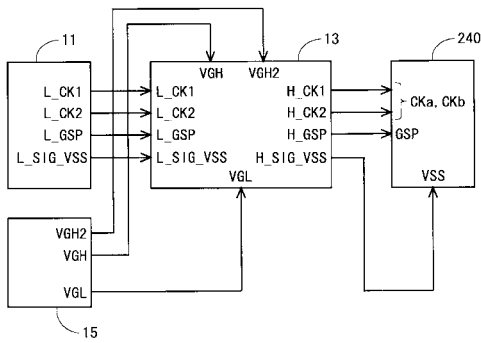
【図 11】



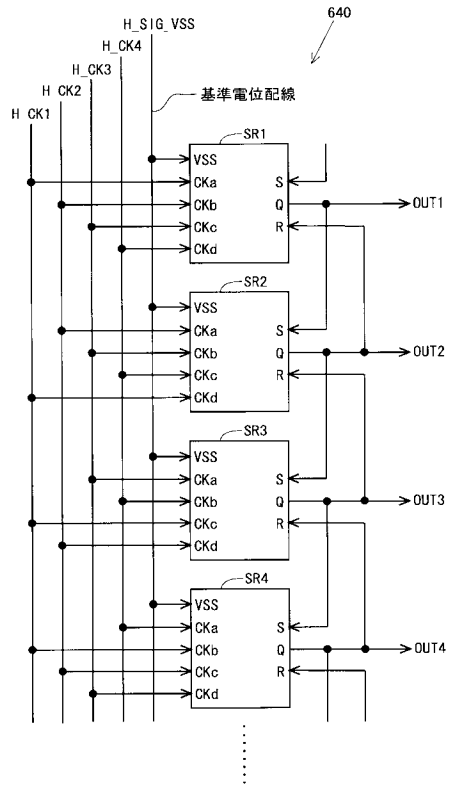
【図 12】



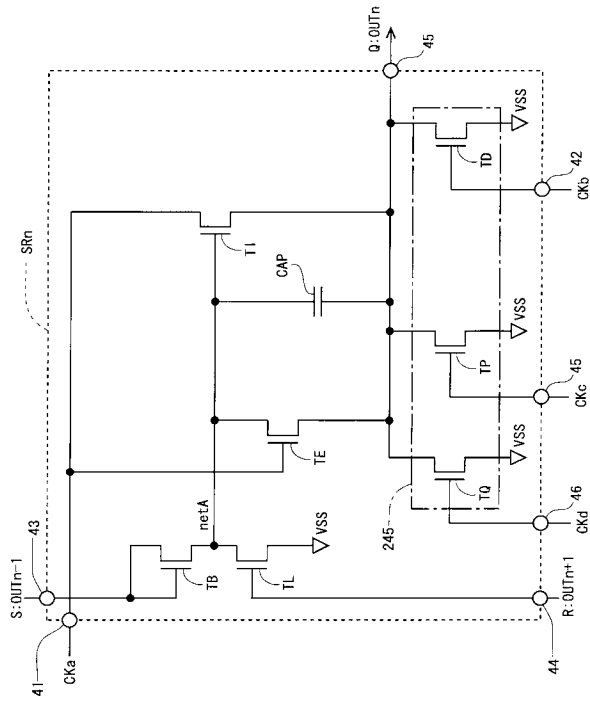
【図 13】



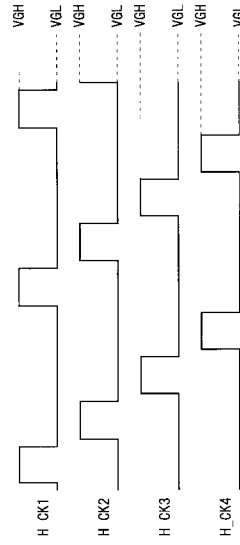
【図 14】



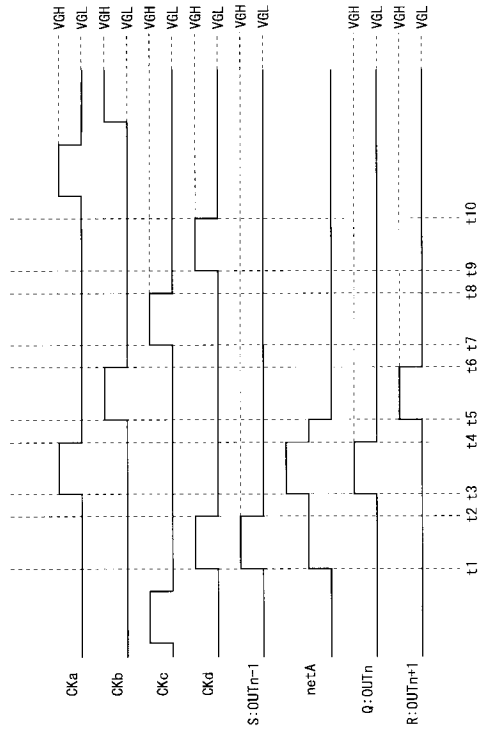
【 図 15 】



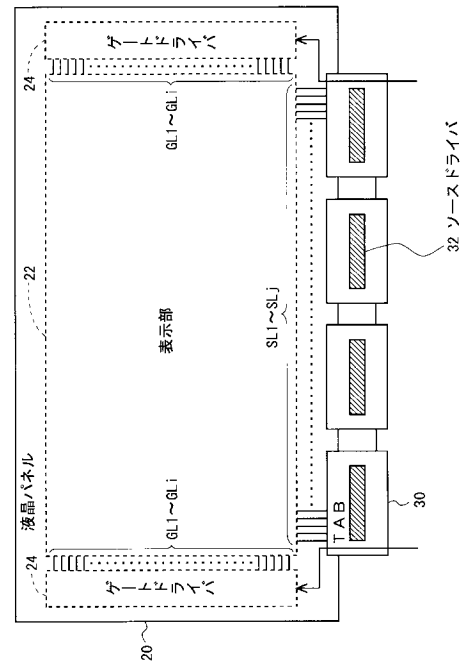
【 図 16 】



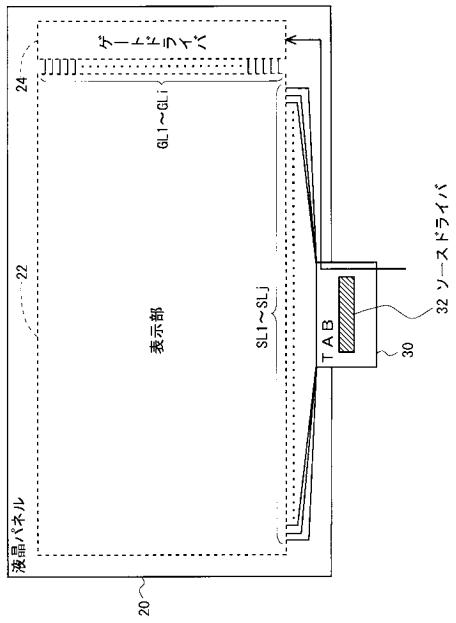
【 図 17 】



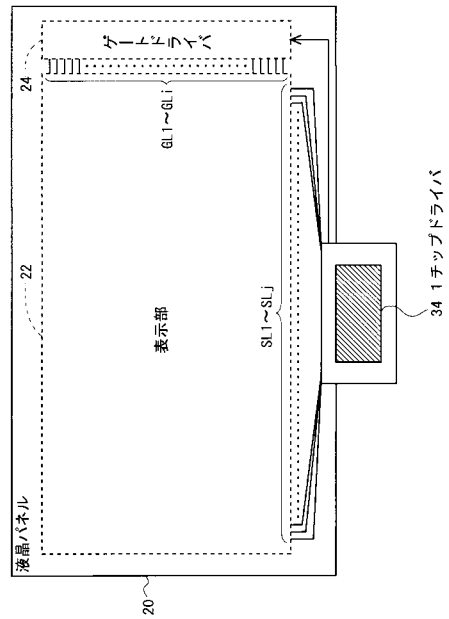
【 図 18 】



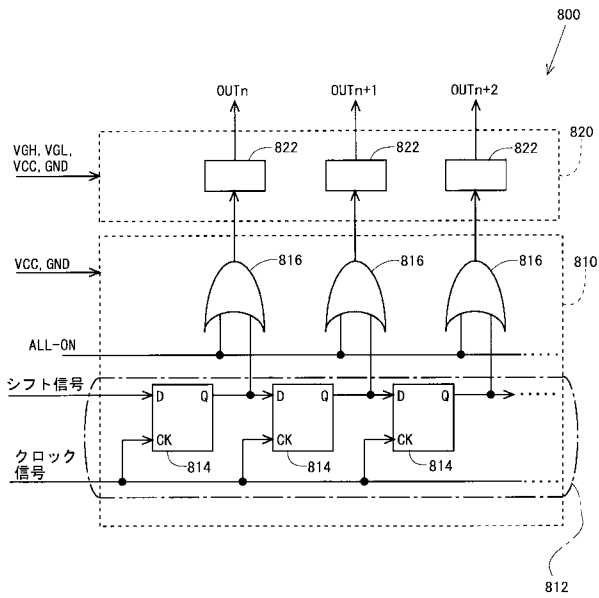
【図19】



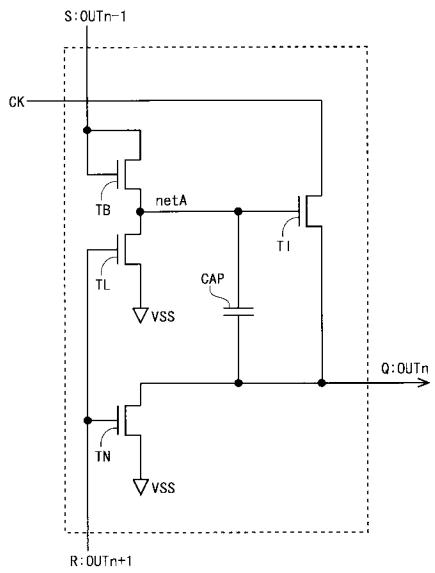
【図20】



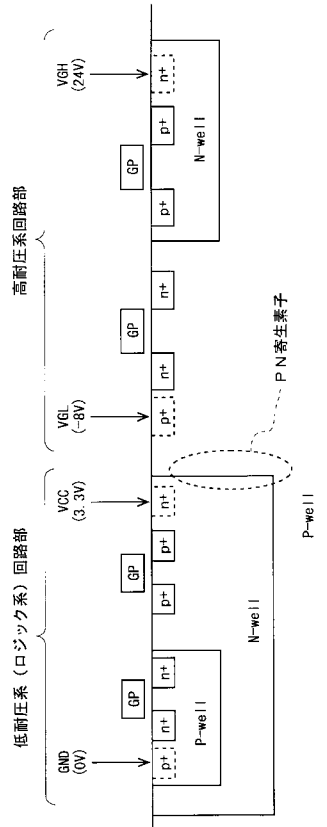
【図21】



【図22】



【 図 2 3 】



【 手続補正書 】

【 提出日 】平成24年4月3日 (2012.4.3)

【 手続補正 1 】

【 補正対象書類名 】明細書

【 補正対象項目名 】0056

【 補正方法 】変更

【 補正の内容 】

【 0056 】

第1のゲートクロック信号H__CK1および第2のゲートクロック信号H__CK2の双方がゲートオン電位VGHになると、各双安定回路(図8参照)に与えられる第1クロックCKaおよび第2クロックCKbはともにハイレベルとなる。そして、第2クロックCKbがハイレベルになることにより、薄膜トランジスタTDはオン状態となる。また、各ゲートバスラインは1垂直走査期間中のわずかの期間だけ選択状態とされるので、ほとんどの双安定回路の状態信号Qはローレベルとなっている。このため、第1クロックCKaがハイレベルになることにより、ほとんどの双安定回路においてAND回路242からの出力信号はハイレベルとなって、薄膜トランジスタTMはオン状態となる。これにより、各双安定回路に接続されているゲートバスラインと基準電位H__SIG__VSSを伝達する基準電位配線とが電氣的に接続される。さらに、本実施形態においては、電源電圧PWの供給が遮断された時点tzに、基準電位H__SIG__VSSがゲートオフ電位VGLからゲートオン電位VGHに上昇する。これにより、各双安定回路から出力される状態信号Qの電位が高められ、表示部22内の各画素形成部(図3参照)において薄膜トランジスタ220がオン状態となる。その結果、各画素形成部内の残留電荷が速やかに放電される。

。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064559

A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G09G3/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2009/104307 A1 (Sharp Corp.), 27 August 2009 (27.08.2009), paragraphs [0079] to [0092]; fig. 2, 5 (Family: none)	1, 4-5, 8 2-3, 6-7
Y A	JP 2002-215099 A (Koninklijke Philips Electronics N.V.), 31 July 2002 (31.07.2002), paragraphs [0059] to [0078]; fig. 5 to 6 & US 2002/0089482 A1 & EP 1352382 A & WO 2002/054374 A1	1, 4-5, 8 2-3, 6-7
A	JP 2007-94016 A (Casio Computer Co., Ltd.), 12 April 2007 (12.04.2007), entire text; all drawings (Family: none)	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 19 November, 2010 (19.11.10)		Date of mailing of the international search report 30 November, 2010 (30.11.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2010/064559									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G09G3/20											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	WO 2009/104307 A1 (シャープ株式会社) 2009.08.27, 段落[0079]-[0092], 図 2, 5 (ファミリーなし)	1, 4-5, 8 2-3, 6-7									
Y A	JP 2002-215099 A (コーニングレック フィリップス エレクトロ ニクス エヌ ヴィ) 2002.07.31, 段落【0059】 - 【0078】, 図 5-6 & US 2002/0089482 A1 & EP 1352382 A & WO 2002/054374 A1	1, 4-5, 8 2-3, 6-7									
A	JP 2007-94016 A (カシオ計算機株式会社) 2007.04.12, 全文, 全図 (ファミリーなし)	1-8									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 19.11.2010		国際調査報告の発送日 30.11.2010									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 堀部 修平	2G 9215								
		電話番号 03-3581-1101 内線	3226								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 水永 隆行

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 太田 裕己

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

Fターム(参考) 2H193 ZA04 ZA07 ZC25 ZE33 ZE38 ZF03 ZF23 ZF31 ZF42 ZF44

ZH22 ZH52

5C006 AF78 BB15 BC03 BF50 FA31 FA34 FA52

5C080 AA10 BB05 DD12 DD27 FF10 JJ02 JJ03 JJ04

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JPWO2011055584A1	公开(公告)日	2013-03-28
申请号	JP2011539309	申请日	2010-08-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	森井秀樹 岩本明久 水永隆行 太田裕己		
发明人	森井 秀樹 岩本 明久 水永 隆行 太田 裕己		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.622.G G09G3/20.670.D G09G3/20.612.G G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZC25 2H193/ZE33 2H193/ZE38 2H193/ZF03 2H193/ZF23 2H193/ZF31 2H193/ZF42 2H193/ZF44 2H193/ZH22 2H193/ZH52 5C006/AF78 5C006/BB15 5C006/BC03 5C006/BF50 5C006/FA31 5C006/FA34 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD12 5C080/DD27 5C080/FF10 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2009252725 2009-11-04 JP		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种包括单片栅极驱动器的液晶显示装置，当关闭电源时，该液晶显示装置可以快速去除像素形成部分中的残留电荷。构成栅极驱动器（24）中的移位寄存器的双稳态电路包括：漏极端子，其连接至栅极总线；漏极端子；源极端子，其连接至传输基准电位（H_SIG_VSS）的基准电位布线；以及移位寄存器。提供一种具有栅极端子的薄膜晶体管，该栅极端子用于操作的时钟信号（HCK_1，HCK_2）。当电源关闭检测器（17）检测到来自外部的电源电压（PW）的供应中断时，时钟信号（HCK_1，HCK_2）设置为高电平以导通薄膜晶体管，并且参考电位切换电路（在19）中，基准电位（H_SIG_VSS）从栅极截止电位（VGL）切换到栅极导通电位（VGH）。

【圖2】

