

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号

W02011/043440

発行日 平成25年3月4日(2013.3.4)

(43) 国際公開日 平成23年4月14日(2011.4.14)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1333 (2006.01)	G02F 1/1333	2H189
G02F 1/1339 (2006.01)	G02F 1/1339 500	
	G02F 1/1339 505	

審査請求 有 予備審査請求 未請求 (全 38 頁)

出願番号	特願2011-535465 (P2011-535465)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/067688		シャープ株式会社
(22) 国際出願日	平成22年10月7日(2010.10.7)		大阪府大阪市阿倍野区長池町22番22号
(11) 特許番号	特許第5091355号 (P5091355)	(74) 代理人	100101683
(45) 特許公報発行日	平成24年12月5日(2012.12.5)		弁理士 奥田 誠司
(31) 優先権主張番号	特願2009-234367 (P2009-234367)	(74) 代理人	100155000
(32) 優先日	平成21年10月8日(2009.10.8)		弁理士 喜多 修市
(33) 優先権主張国	日本国(JP)	(74) 代理人	100139930
			弁理士 山下 亮司
		(74) 代理人	100125922
			弁理士 三宅 章子
		(72) 発明者	森脇 弘幸
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

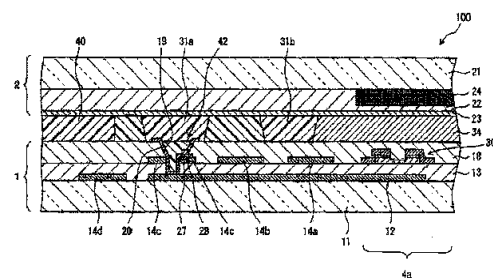
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

本発明による液晶表示装置は、アクティブマトリクス基板と対向基板との間でショートを生じにくくすることを目的とし、アクティブマトリクス基板(1)においてゲート配線(12)と基幹配線(14c)とをコンタクトホール(20)内で導通させる電極膜(19)と、対向基板(2)の共通電極としての電極膜(23)との間に、これらの電極膜が導通することを妨げる導通阻止部材(31)を備える。導通阻止部材(31)は、アクティブマトリクス基板(1)および対向基板(2)の少なくとも一方において、アクティブマトリクス基板(1)の電極膜(19)と対向基板(2)の電極膜(23)との間に、基板面の法線方向において電極膜(19)と少なくとも一部が重なる位置に設けられる。

[図3]



【特許請求の範囲】**【請求項 1】**

複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置であって、

前記アクティブマトリクス基板が、

前記周辺領域に延びる第 1 配線と、

前記第 1 配線の上に形成された第 1 絶縁層と、

前記周辺領域において前記絶縁層の上に延びる第 2 配線と、

前記第 2 配線の上に形成された第 2 絶縁層と、

10

前記周辺領域において、前記第 1 絶縁層および前記第 2 絶縁層に形成された貫通孔の中に配置され、前記第 1 配線と前記第 2 配線とを電氣的に接続する電極膜と、を備え、

前記周辺領域における前記アクティブマトリクス基板と前記対向基板との間に、

前記アクティブマトリクス基板と前記対向基板とを貼り合わせるシール材と、

前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜と少なくとも一部が重なる位置に配置され、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材と、が配置されていることを特徴とする液晶表示装置。

【請求項 2】

前記導通阻止部材が前記電極膜と前記共通電極との両方に接する、請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記導通阻止部材が前記電極膜と前記共通電極との一方のみに接する、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記導通阻止部材が、前記アクティブマトリクス基板に接することなく前記アクティブマトリクス基板に対面する端面を有し、

前記導通阻止部材の前記端面に凹凸が形成されている、請求項 1 または 3 に記載の液晶表示装置。

【請求項 5】

前記周辺領域における前記アクティブマトリクス基板の上に配置された駆動回路と、

30

前記周辺領域における前記アクティブマトリクス基板と前記対向基板との間に配置され、かつ、前記アクティブマトリクス基板の基板面法線方向から見た場合、前記駆動回路と重なる位置に配置された第 2 の導通阻止部材を備える、請求項 1 から 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記第 2 の導通阻止部材が黒色であり、

前記アクティブマトリクス基板の基板面法線方向から見た場合、前記駆動回路のチャネル領域と前記第 2 の導通阻止部材とが少なくとも一部が重なるように配置されている、請求項 5 に記載の液晶表示装置。

【請求項 7】

40

前記画素領域内で前記アクティブマトリクス基板と前記対向基板との間に設けられた突起状構造物を備え、

前記導通阻止部材が、前記突起状構造物と同じ材料で形成されている、請求項 1 から 6 のいずれかに記載の液晶表示装置。

【請求項 8】

前記突起状構造物が、前記アクティブマトリクス基板と前記対向基板との間隔を規定するスペーサである、請求項 7 に記載の液晶表示装置。

【請求項 9】

前記突起状構造物が、液晶の配向状態を規定する配向制御構造物である、請求項 7 に記載の液晶表示装置。

50

【請求項 1 0】

前記シール材が、導電性粒状体を含み、

前記シール材が、前記電極膜と前記対向基板の共通電極との間に配置されている、請求項 1 から 9 のいずれかに記載の液晶表示装置。

【請求項 1 1】

前記貫通孔における前記第 2 絶縁層の表面に段差部が形成されており、

前記電極膜の端部が前記段差部の上に位置する、請求項 1 から 1 0 のいずれかに記載の液晶表示装置。

【請求項 1 2】

複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置の製造方法であって、

前記アクティブマトリクス基板に、前記周辺領域に延びる第 1 配線を形成する工程と、

前記アクティブマトリクス基板の前記第 1 配線の上に、第 1 絶縁層を形成する工程と、

前記アクティブマトリクス基板の前記第 1 絶縁層の上に、前記周辺領域に延びる第 2 配線を形成する工程と、

前記アクティブマトリクス基板の前記第 2 配線の上に、第 2 絶縁層を形成する工程と、

前記周辺領域において、前記第 1 絶縁層および前記第 2 絶縁層前に貫通孔を設ける工程と、

前記貫通孔のなかに、前記第 1 配線と前記第 2 配線とを電気的に接続する電極膜を形成する工程と、

前記対向基板に共通電極を形成する工程と、

前記アクティブマトリクス基板および前記対向基板の少なくとも一方に、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材を形成する工程と、

前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜の少なくとも一部と前記導通阻止部材とが重なるように、前記アクティブマトリクス基板と前記対向基板とを、シール材で貼り合わせる工程と、を含むことを特徴とする、液晶表示装置の製造方法。

【請求項 1 3】

前記アクティブマトリクス基板および前記対向基板の少なくとも一方の前記画素領域内に、前記導通阻止部材の材料と同じ材料によって、突起状構造物を形成する工程を含み、

前記突起状構造物を形成する工程と前記導通阻止部材を形成する工程とが同時に行われる、請求項 1 2 に記載の液晶表示装置の製造方法。

【請求項 1 4】

前記突起状構造物が、前記アクティブマトリクス基板と前記対向基板との間隔を規定するスペーサである、請求項 1 3 に記載の液晶表示装置の製造方法。

【請求項 1 5】

前記突起状構造物が、液晶の配向状態を規定する配向制御構造物である、請求項 1 3 に記載の液晶表示装置の製造方法。

【請求項 1 6】

前記シール材として、導電性粒状体を含むシール材を用い、

前記シール材を、前記電極膜と前記対向基板の前記共通電極との間に配置する、請求項 1 2 から 1 5 のいずれかに記載の液晶表示装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、液晶表示装置に関し、さらに詳しくは、アクティブマトリクス基板と対向基板とを貼り合わせ、その間に液晶を封止した構造を有する液晶表示装置と、その製造方法に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

従来、アクティブマトリクス基板と対向基板とを貼り合わせ、それらの基板間に液晶を封止した構造をとる、いわゆるアクティブマトリクス型の液晶表示装置が広く普及している。アクティブマトリクス基板には、液晶の駆動素子として機能する半導体素子（例えば、TFTと略称される薄膜トランジスタ等）や、この半導体素子を制御するための配線類が形成されている。一方、対向基板には、必要に応じてカラーフィルタ等が形成されると共に、その全面に共通電極が形成されている。

【 0 0 0 3 】

従来のアクティブマトリクス型の液晶表示装置においては、一般的に、電源、電圧を供給する外部接続端子はアクティブマトリクス基板側に設けられている。このため、例えば、アクティブマトリクス基板の外部接続端子から供給された電圧を対向基板の共通電極へ供給するために、アクティブマトリクス基板と対向基板とを導通させる必要がある。

10

【 0 0 0 4 】

アクティブマトリクス基板と対向基板とを導通させる手段としては、（１）アクティブマトリクス基板と対向基板との間に銀ペーストを設ける（例えば、特許文献１参照）、（２）アクティブマトリクス基板と対向基板とを貼り合わせる際に用いられるシール材に導電性ビーズを含有させる（例えば、特許文献２参照）、等が知られている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

20

【 特許文献 1 】 特開平 8 - 2 3 4 2 2 4 号公報

【 特許文献 2 】 特開 2 0 0 0 - 1 9 9 9 1 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

近年、特に大型の液晶表示装置の分野において、アクティブマトリクス基板の画素領域外に、画素内の半導体素子の製造プロセスによって同時にドライバ回路が形成された、いわゆるモノリシックパネルの開発が進んでいる。この場合、画素領域外においてドライバ回路および配線が配置されている箇所（額縁領域と称されることが多い。）には、アクティブマトリクス基板の表面に配線類が露出していることが多い。

30

【 0 0 0 7 】

そのため、パネル表面を指で押されたりする等して圧力がかかったときに、アクティブマトリクス基板と対向基板とのセルギャップが小さくなることにより、アクティブマトリクス基板上の配線と対向基板の共通電極とがショートすることがある、という問題があった。また、上記特許文献 2 に記載されているように、導電性ビーズを含むシール材で基板間の導通をとる構造の場合、導通部分以外の箇所（例えば、基幹配線と他の配線とのコンタクト部分（電極パターン）など）にシール材中の導電性ビーズが入り込むと、コンタクト部分と対向基板の共通電極とをショートさせてしまうという問題がある。

【 0 0 0 8 】

また、アクティブマトリクス基板において画素領域内の配向膜が画素領域外の配線や電極パターン上にも延設されている場合もあるが、配向膜は、一般的に 1 0 0 n m 程度と極めて薄く、圧力がかかってセルギャップが小さくなった場合や、シール材中の導電性ビーズがコンタクト部分などに入り込んだ場合に、アクティブマトリクス基板と対向基板との間の絶縁破壊を防止できるほどの絶縁性はない。

40

【 0 0 0 9 】

本発明は、上記の問題を鑑み、アクティブマトリクス基板と対向基板とを貼り合わせる液晶表示装置であって、基板間のショートを生じにくい液晶表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

50

本発明による液晶表示装置は、複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置であって、前記アクティブマトリクス基板が、前記周辺領域に延びる第1配線と、前記第1配線の上に形成された第1絶縁層と、前記周辺領域において前記絶縁層の上に延びる第2配線と、前記第2配線の上に形成された第2絶縁層と、前記周辺領域において、前記第1絶縁層および前記第2絶縁層に形成された貫通孔の中に配置され、前記第1配線と前記第2配線とを電気的に接続する電極膜と、を備え、前記周辺領域における前記アクティブマトリクス基板と前記対向基板との間に、前記アクティブマトリクス基板と前記対向基板とを貼り合わせるシール材と、前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜と少なくとも一部が重なる位置に配置され、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材と、が配置されている

10

【0011】

また、本発明による液晶表示装置の製造方法は、複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置の製造方法であって、前記アクティブマトリクス基板に、前記周辺領域に延びる第1配線を形成する工程と、前記アクティブマトリクス基板の前記第1配線の上に、第1絶縁層を形成する工程と、前記アクティブマトリクス基板の前記第1絶縁層の上に、前記周辺領域に延びる第2配線を形成する工程と、前記アクティブマトリクス基板の前記第2配線の上に、第2絶縁層を形成する工程と、前記周辺領域において、前記第1絶縁層および前記第2絶縁層前に貫通孔を設ける工程と、前記貫通孔のなかに、前記第1配線と前記第2配線とを電気的に接続する電極膜を形成する工程と、前記対向基板に共通電極を形成する工程と、前記アクティブマトリクス基板および前記対向基板の一方に、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材を形成する工程と、前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜の少なくとも一部と前記導通阻止部材とが重なるように、前記アクティブマトリクス基板と前記対向基板とを、シール材で貼り合わせる工程と、を含む。

20

【発明の効果】

【0012】

本発明によれば、アクティブマトリクス基板と対向基板とを貼り合わせてなる液晶表示装置であって、基板間のショートが生じにくい液晶表示装置を提供できる。

30

【図面の簡単な説明】

【0013】

【図1】本発明の第1の実施形態にかかる液晶表示装置の構成を示す平面図である。

【図2】第1の実施形態にかかる液晶表示装置において、図1に破線で示した領域Aの近傍を拡大して示す平面図である。

【図3】図2に示すB-B線断面図である。

【図4】第2の実施形態にかかる液晶表示装置において、図1に破線で示した領域Aの近傍を拡大して示す平面図である。

【図5】図4に示すB-B線断面図である。

40

【図6】図4に示すC-C線断面図である。

【図7】液晶モジュール101の第1の変形例の概略構成を示す断面図である。

【図8】液晶モジュール101の第2の変形例の概略構成を示す断面図である。

【図9】液晶モジュール101の第3の変形例の概略構成を示す断面図である。

【図10】液晶モジュール101の第4の変形例の概略構成を示す断面図である。

【図11】液晶モジュール101の第5の変形例の概略構成を示す断面図である。

【図12】液晶モジュール101の第6の変形例の概略構成を示す断面図である。

【図13】第2の変形例における導通部41付近の構成をより詳細に示した断面図である。

。

【図14】第2の変形例におけるコンタクト部42付近の構成をより詳細に示した断面図

50

である。

【図 1 5】図 1 に示した D - D 断面の構成（画素の断面構成）を表している。

【図 1 6】図 1 に示した D - D 線断面図であって、画素領域内に配向制御構造物が形成された構成を示した図である。

【図 1 7】ゲートドライバ 4 a 内における T F T 3 0 およびその近傍のコンタクト部 6 3 の構成を模式的に表した平面図である。

【図 1 8】図 1 7 に示した E - E 線断面図である。

【図 1 9】第 2 の実施形態との比較例にかかる液晶モジュールの概略構成を示す断面図である。

【発明を実施するための形態】

10

【0014】

本発明の実施形態による液晶表示装置は、複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置であって、前記アクティブマトリクス基板が、前記周辺領域に延びる第 1 配線と、前記第 1 配線の上に形成された第 1 絶縁層と、前記周辺領域において前記絶縁層の上に延びる第 2 配線と、前記第 2 配線の上に形成された第 2 絶縁層と、前記周辺領域において、前記第 1 絶縁層および前記第 2 絶縁層に形成された貫通孔の中に配置され、前記第 1 配線と前記第 2 配線とを電気的に接続する電極膜と、を備え、前記周辺領域における前記アクティブマトリクス基板と前記対向基板との間に、前記アクティブマトリクス基板と前記対向基板とを貼り合わせるシール材と、前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜と少なくとも一部が重なる位置に配置され、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材と、が配置されている。

20

【0015】

上記の構成にかかる液晶表示装置は、アクティブマトリクス基板の画素領域外の周辺領域において第 1 配線と第 2 配線とが電極膜によって貫通孔を介して接続されている。また、この周辺領域における前記アクティブマトリクス基板と前記対向基板との間に、前記アクティブマトリクス基板と前記対向基板とを貼り合わせるシール材の他に、前記アクティブマトリクス基板の基板面法線方向から見た場合に前記電極膜と少なくとも一部が重なる位置に設けられ、前記電極膜と前記対向基板の共通電極とが導通することを妨げる導通阻止部材を備えている。この構成によれば、基板の外から圧力が加わった場合や、アクティブマトリクス基板の電極膜と対向基板の共通電極との間に何らかの導電性物質が介在する場合に、これらに起因して基板間がショートすることを、前記導通阻止部材によって効果的に抑制することができる。この結果、アクティブマトリクス基板と対向基板とを貼り合わせてなる液晶表示装置であって、基板間のショートを生じにくい液晶表示装置を提供することが可能となる。

30

【0016】

上記液晶表示装置において、前記導通阻止部材は、電極膜と共通電極の両方に接する態様であっても良いし、電極膜と共通電極との一方のみに接する態様であっても良い。前者の態様によれば、導通阻止部材と電極膜または共通電極との間に何らかの導電性物質が入り込む余地が少なくなり、基板間のショートをより確実に防止できる。また、導通阻止部材が画素領域外においてスペーサの役割も果たし、画素領域外においてもアクティブマトリクス基板と対向基板との間隔を保持することができる。一方、後者の態様によれば、導通阻止部材の高さがセルギャップよりも小さいので、導通阻止部材とこれに対向する電極膜または共通電極との間に何かが入り込んだ場合に、その箇所の基板の厚さの増分が少なくすむという利点がある。

40

【0017】

上記の液晶表示装置において、前記導通阻止部材が、前記アクティブマトリクス基板に接することなく前記アクティブマトリクス基板に対面する端面を有し、前記導通阻止部材の前記端面に凹凸が形成されていることが好ましい。この構成によれば、導通阻止部材と

50

これに対向する電極膜または共通電極との間にシール材等が入り込んだ場合に、入り込んだ物質が凹部の間隙に吸収されるので、その箇所の基板厚さの増大が防止されるという利点がある。

【0018】

上記の液晶表示装置において、前記周辺領域における前記アクティブマトリクス基板の上に配置された駆動回路と、前記周辺領域における前記アクティブマトリクス基板と前記対向基板との間に配置され、かつ、前記アクティブマトリクス基板の基板面法線方向から見た場合、前記駆動回路と重なる位置に配置された第2の導通阻止部材を備えることが好ましい。第2導通阻止部材によって、駆動回路内の配線と、対向基板の電極とがショートすることを抑制できる。また、この好ましい構成において、前記第2導通阻止部材が黒色であり、前記アクティブマトリクス基板の基板面法線方向から見た場合、前記駆動回路のチャンネル領域と前記第2の導通阻止部材とが少なくとも一部が重なるように配置されていることがさらに好ましい。この態様によれば、導通阻止部材が、駆動回路内の駆動素子に対する遮光層として機能し、駆動素子の特性劣化を抑制することができる。

10

【0019】

上記の液晶表示装置が、画素領域内で前記アクティブマトリクス基板と前記対向基板との間に設けられた突起状構造物をさらに備え、前記導通阻止部材が、前記突起状構造物と同じ材料で形成されていることが好ましい。この構成によれば、導通阻止部材と突起状構造物とを同じ材料で形成することができるので、製造工程の簡略化を図ることができる。また、前記突起状構造物が、前記アクティブマトリクス基板と前記対向基板との間隔を規定するスペーサであることも好ましい。あるいは、前記突起状構造物が、液晶の配向状態を規定する配向制御構造物である態様も好ましい。この時、前記突起状構造物と導通阻止部材がアクティブマトリクス基板において同じ層に設けられることが好ましい。すなわち、アクティブマトリクス基板は、例えばガラス基板等の透光性基板に金属や樹脂等からなる各種の層を順次積層していくことによって形成されるが、前記突起状構造物と導通阻止部材とが、これらの積層構造において同じ層に設けられていることが好ましい。

20

【0020】

上記の液晶表示装置において、前記シール材が、導電性粒状体を含み、前記電極膜と前記対向基板の共通電極との間にも配置されていてよい。この構成によれば、導通阻止部材が、アクティブマトリクス基板の電極膜と対向基板の共通電極との間に導電性粒状体が入り込むことを抑止するので、基板間のショートを効果的に抑制することができる。

30

【0021】

また、上記の液晶表示装置において、前記貫通孔における前記第2絶縁層の表面に段差部が形成され、前記電極膜の端部が前記段差部の上に位置することが好ましい。この構成によれば、電極膜と対向基板の共通電極との距離を十分に確保することができる。これにより、アクティブマトリクス基板の電極膜と対向基板の共通電極とのショートをより確実に防止できるという利点がある。

【0022】

本発明の実施形態による液晶表示装置の製造方法は、複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置の製造方法であって、(a)前記アクティブマトリクス基板に、前記周辺領域に延びる第1配線を形成する工程と、(b)前記アクティブマトリクス基板の前記第1配線の上に、第1絶縁層を形成する工程と、(c)前記アクティブマトリクス基板の前記第1絶縁層の上に、前記周辺領域に延びる第2配線を形成する工程と、(d)前記アクティブマトリクス基板の前記第2配線の上に、第2絶縁層を形成する工程と、(e)前記周辺領域において、前記第1絶縁層および前記第2絶縁層前に貫通孔を設ける工程と、(f)前記貫通孔のなかに、前記第1配線と前記第2配線とを電氣的に接続する電極膜を形成する工程と、(g)前記対向基板に共通電極を形成する工程と、(h)前記アクティブマトリクス基板および前記対向基板の一方に、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材を形成する工程と、(i)

40

50

前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜の少なくとも一部と前記導通阻止部材とが重なるように、前記アクティブマトリクス基板と前記対向基板とを、シール材で貼り合わせる工程と、を含む。なお、この製造方法において、工程（a）～（i）はアルファベットの順にしたがって実行される必要はない。

【0023】

この方法によって製造された液晶表示装置においては、導通阻止部材が、電極膜と前記対向基板の共通電極とが導通することを妨げるので、基板の外から圧力が加わった場合や、アクティブマトリクス基板の電極膜と対向基板の共通電極との間に何らかの導電性物質が介在する場合に、これらに起因して基板間がショートすることを効果的に抑制することができる。この結果、アクティブマトリクス基板と対向基板とを貼り合わせてなる液晶表示装置であって、基板間のショートを生じにくい液晶表示装置が実現される。

10

【0024】

上記の方法は、前記アクティブマトリクス基板および前記対向基板の少なくとも一方において、画素領域内に突起状構造物を形成する工程をさらに含んでよい。前記導通阻止部材の材料と前記突起状構造物の材料とが同じであり、前記突起状構造物を形成する工程と前記導通阻止部材を形成する工程とが同時に行われることが好ましい。この方法によれば、導通阻止部材が、画素領域内の突起状構造物と同じ材料で形成され、かつ、突起状構造物と同時に形成されるので、製造工程の煩雑化を抑制できるという利点がある。

【0025】

以下、図面を参照しつつ、本発明による液晶表示装置の具体的な実施形態のいくつかを説明する。なお、説明を分かりやすくするために、以下で参照する図面においては、構成が簡略化または模式化して示した、一部の構成部材を省略したりしている。また、各図に示された構成部材間の寸法比は、必ずしも実際の寸法比を示すものではない。

20

【0026】

（実施形態１）

図１は、本発明の第１の実施形態による液晶モジュール（液晶表示装置）の概略構成を模式的に示す平面図である。図１に示すように、第１の実施形態の液晶モジュール１００は、アクティブマトリクス基板１と対向基板２とを有する。アクティブマトリクス基板１と対向基板２とは、画素領域内に設けられたフォトスペーサ（突起状構造物）によって所定の間隔を保ちつつ、シール材（図示せず）により貼り合わされている。そして、アクティブマトリクス基板１と対向基板２とシール材とによって形成される空間に液晶が封止されている。

30

【0027】

アクティブマトリクス基板１は、マトリクス状に画素電極４３が配置された画素領域３と、画素領域３の両側（図１に示した例では水平方向（長手方向）の両側）に配置されたゲートドライバ４ａ、４ｂとを有する。画素領域３には、ソース配線５とゲート配線６とが互いに直交するよう配置されている。ソース配線５とゲート配線６との交点付近に、薄膜トランジスタ（ＴＦＴ）７が形成されている。ゲートドライバ４ａ、４ｂは、図１においてはその内部構造の図示を省略しているが、画素領域３のＴＦＴ７の製造プロセスと同時に作り込まれるスイッチング素子（図３に示すＴＦＴ３０）を有している。すなわち、ゲートドライバ４ａ、４ｂは、アクティブマトリクス基板１にモノリシックに作り込まれている。

40

【0028】

ＴＦＴ７は、そのゲート電極がゲート配線６に、ソース電極がソース配線５に、ドレイン電極が画素電極４３に、それぞれ接続されている。そして、ゲートドライバ４ａ、４ｂから、ゲート配線６を介してＴＦＴ７のゲート電極へゲート信号が印加されることにより、ＴＦＴ７のＯＮ／ＯＦＦが制御される。また、ＴＦＴ７のソース電極には、図示しないソースドライバからソース配線５を介して、データ信号が印加される。

【0029】

アクティブマトリクス基板１は、その短辺の長さが対向基板２の短辺の長さよりも大き

50

くなるよう形成されている。そして、アクティブマトリクス基板 1 の対向基板 2 に覆われない箇所に、アクティブマトリクス基板 1 と外部回路との間で各種の信号を入出力するための端子領域 8 が形成されている。例えば、ソース配線 5 のそれぞれは、この端子領域 8 に形成されたソースドライバ接続用端子を介して、アクティブマトリクス基板 1 の外部に設けられたソースドライバ（図示せず）に接続される。なお、図 1 においては、端子領域 8 の端子を省略して図示したが、端子領域 8 には 1 つまたは 2 つ以上の端子が形成されていてよい。

【0030】

図 1 に示すように、ゲートドライバ 4 a、4 b の外側（基板外周側）には、基幹配線 1 4 が引き回されている。なお、図 1 は基幹配線 1 4 の形態の一例を示したものであり、基幹配線の本数が異なるような他の形態を採用することもできる。基幹配線 1 4 は、端子領域 8 の端子に接続されている。基幹配線 1 4 は、後に詳述するが、画素領域 3 のソース配線 5 またはゲート配線 6 と同じ材料を用いて、ソース配線 5 またはゲート配線 6 と同時に形成される。シール材は、ゲートドライバ 4 a の外側（基板外周側）に、基幹配線 1 4 のうちの 1 本または数本の上を覆うように敷設されている。画素領域の外側に位置する、ゲートドライバ 4 a、4 b、基幹配線 1 4、端子領域 8 等が配置された領域を、本明細書では周辺領域と呼ぶ。

【0031】

図 2 は、図 1 に破線で示した領域 A の近傍を拡大して示す平面図である。図 2 に示すように、ゲートドライバ 4 a の外側（基板外周側）には、複数の基幹配線 1 4 a ~ 1 4 d が配置されている。図 2 の例では、基幹配線 1 4 c 上には、ゲートドライバ 4 a に接続されたゲート配線 1 2（ゲートドライバ 4 a に電源電圧や信号を供給する配線：第 1 配線）とのコンタクト部 4 2 が設けられている。

【0032】

ここで、図 3 を参照しながら、コンタクト部 4 2 の構造について説明する。図 3 は、図 2 に示す B - B 線の断面図であり、コンタクト部 4 2 の断面構造を示す。なお、図 3 は、コンタクト部 4 2 の断面構造を簡略化して示したものである。例えば基幹配線 1 4 は、複数種類の金属層の積層構造であることが好ましいが、図 3 においては単層の金属層として省略して図示している。また、図 3 においては、例えばパッシベーション膜等の図示は省略されている。さらに、図 3 に示されている各種の膜の平坦度や、構成部材の寸法比等は、必ずしも実際の態様を表したものではない。

【0033】

図 3 に示すように、本実施形態の液晶モジュール 100 は、アクティブマトリクス基板 1 と対向基板 2 とをシール材 40 で貼り合わせ、その間隙に液晶 34 を封止した構成である。アクティブマトリクス基板 1 と対向基板 2 とは、画素領域 3 内に設けられた、均一な高さを有する柱状または壁状のフォトスペーサ（突起状構造物）によって、その間隔が一定に維持されている。フォトスペーサは、一般的に、画素の開口部を避けて、ソース配線 5 またはゲート配線 6 に重なるように、樹脂等によって形成されている。なお、フォトスペーサの詳しい実施例は、後に図 15 を参照しながら説明する。

【0034】

シール材 40 の材料としては、熱硬化性樹脂を用いることができる。シール材 40 は、光硬化性を併せ持つことが好ましい。アクティブマトリクス基板 1 と対向基板 2 とを位置決めして貼り合わせた後、感光させることでシール材 40 を仮硬化し、さらに加熱することによってシール材 40 を本硬化させることができるからである。このような特性を持つ樹脂としては、エポキシ樹脂とアクリル樹脂との混合樹脂等が利用可能である。シール材 40 には、光硬化性樹脂を用いてもよい。

【0035】

図 3 に示すように、アクティブマトリクス基板 1 は、ガラス基板 11 と、ガラス基板 11 の表面に形成されたゲート配線 1 2（第 1 配線）とを備えている。ゲート配線 1 2 は、ゲートドライバ 4 a 内の TFT 30 のゲート電極に接続されている。ゲート配線 1 2 は、

10

20

30

40

50

画素領域 3 におけるゲート配線 6 と同じ材料により、ゲート配線 6 を形成するプロセスによってゲート配線 6 と同時に形成される。ゲート配線 6、12 は、例えば、チタニウム層、アルミニウム層、チタニウム層の三層構造であることが好ましいが、これに限定されず、単層金属層でも良いし、二層または四層以上の金属層であっても良い。また、アルミニウムの代わりに、例えばモリブデン等の金属を用いることもできる。ゲート配線 12 は層間絶縁膜 13 (第 1 絶縁層) で覆われている。層間絶縁膜 13 は、ゲート絶縁膜とも呼ばれ、例えば窒化シリコン膜を好適に用いることができる。

【0036】

層間絶縁膜 13 の上には、基幹配線 14 (14a ~ 14c : 第 2 配線) が設けられている。基幹配線 14a ~ 14c は、画素領域 3 におけるソース配線 5 と同じ材料により、ソース配線 5 を形成するプロセスによってソース配線 5 と同時に形成される。ソース配線 5 および基幹配線 14a ~ 14c は、チタニウム層の上にアルミニウム層を重ねた二層構造であることが好ましいが、これに限定されず、単層金属層でも良いし、三層以上の金属層であっても良い。また、アルミニウムの代わりに、例えばモリブデン等を用いることもできる。なお、本実施形態においては、アクティブマトリクス基板 1 の基幹配線 14d が、適宜の箇所に設けられた銀ペースト (図示せず) を介して、対向基板 2 の共通電極 (後述) に電氣的に接続されている。

【0037】

基幹配線 14 と TFT 30 の上には、層間絶縁膜 18 (第 2 絶縁層) が設けられている。なお、画素領域 3 においては、層間絶縁膜 18 の表面に、インジウム錫酸化物 (ITO) 等の透明な電極膜からなる画素電極 43 と、液晶 34 の配向を制御する配向膜 (図示せず) とが、周知の態様により設けられる。

【0038】

一方、対向基板 2 は、ガラス基板 21 の上に配置されたカラーフィルタ (図 3 には表れず) を備え、さらに、カラーフィルタを覆うオーバーコート膜 22 と、透明な電極膜 23 とを備えている。電極膜 23 は、対向基板 2 の全面を覆っており、共通電極として機能する。なお、画素領域 3 においては、対向基板 2 の電極膜 23 の表面に、液晶 34 の配向を制御する配向膜 (図示せず) が設けられる。また、対向基板 2 において、ゲートドライバ 4a に対向する領域には、ゲートドライバ 4a 内の TFT 30 の特性が光によって劣化することを防止するために、遮光層 (ブラックマトリクス) 24 が設けられている。

【0039】

図 3 に示すように、コンタクト部 42 においては、基幹配線 14c 上の層間絶縁膜 18 と層間絶縁膜 13 とを貫通する貫通孔 (コンタクトホール) 20 が設けられ、この貫通孔 20 と電極膜 19 を介して、基幹配線 14c とゲート配線 12 とが電氣的に接続されている。つまり、電極膜 19 は、コンタクト部 42 における層間絶縁膜 18 の上、貫通孔 20 における層間絶縁膜 13、基幹配線 14c、および層間絶縁膜 18 の壁面上、ならびに貫通孔 20 の底部で露出したゲート配線 12 の上に連続的に積層されている。

【0040】

なお、図 3 に示した電極膜 19 は、画素領域 3 における画素電極 43 と同じ材料 (例えば ITO) により、画素電極 43 と同時に形成される。なお、図 3 において参照符号 27 を付した構成要素は下層半導体層であり、参照符号 28 を付した構成要素は上層半導体層である。下層半導体層 27 および上層半導体層 28 は、例えば、TFT 30 の半導体層を形成する際に同時に形成することが可能である。貫通孔 20 のなかで、下層半導体層 27 および上層半導体層 28 が露出している場合は、これらの層の壁面上にも電極膜 19 が形成される。

【0041】

ただし、図 3 に示したコンタクト部 42 においては、対向基板 2 の電極膜 23 の上に、絶縁性の樹脂で形成された導通阻止部材 31a が、また、コンタクト部 42 の内側 (TFT 30 に近い側) には導電阻止部材 31b が形成されている。以下の説明においては、導通阻止部材 31a、31b を区別して説明する必要がある場合は、参照符号として 31a

、 3 1 b を用い、導通阻止部材 3 1 a、3 1 b に共通した説明を行う場合は、参照符号として 3 1 を用いる。導通阻止部材 3 1 は、シール材 4 0 とは別個の構造物である。なお、電極膜 2 3 と導通阻止部材 3 1 との間には、画素領域 3 から延設された配向膜（図示せず）が介在していても良い。導通阻止部材 3 1 は、基板面の法線方向（基板面に垂直な方向）において（基板面の法線方向から見た場合）、アクティブマトリクス基板 1 の電極膜 1 9 に少なくともその一部が重なるように設けられていることが必要である。図 3 の例においては、導通阻止部材 3 1 a が、基板面の法線方向において、電極膜 1 9 の全体に重なるように設けられ、電極膜 1 9 とは重ならない位置に導通阻止部材 3 1 b が設けられている。しかし、電極膜 1 9 とは重ならない位置の導通阻止部材 3 1 b は無くても良いし、導通阻止部材 3 1 a は必ずしも電極膜 1 9 の全体に重なっている必要はない。なお、ここでは、導通阻止部材 3 1 a、3 1 b のみを図示したが、導通阻止部材の数はこれに限定されない。導通阻止部材 3 1 は、画素領域 3 内に設けられる突起状構造物（ここではフォトスペーサ）と同じ材料を用いて、柱状または壁状に形成されている。導通阻止部材 3 1 とフォトスペーサとは、例えば透明な感光性アクリル樹脂を材料として、フォトリソグラフィ工程により、同時に形成することが可能である。

10

20

30

40

50

【 0 0 4 2 】

導通阻止部材 3 1 a のアクティブマトリクス基板 1 側の端面は、少なくともコンタクト部 4 2 の電極膜 1 9 を覆うに足る幅と長さを有することが好ましい。導通阻止部材 3 1 a は、図 3 に示す例では、対向基板 2 の電極膜 2 3 の表面から突出するように設けられ、アクティブマトリクス基板 1 と対向基板 2 とを貼り合わせた際に、これらの基板の間に隙間無く介在する。これにより、基板に圧力がかかった場合でも、アクティブマトリクス基板 1 の電極膜 1 9 と対向基板 2 の共通電極（電極膜 2 3 ）とが接触することが妨げられる。したがって、この構成によれば、コンタクト部 4 2 においてアクティブマトリクス基板 1 と対向基板 2 とがショートする、という事態を防止できる。

【 0 0 4 3 】

さらに、導通阻止部材 3 1 は、画素領域 3 においてセルギャップを規定するフォトスペーサと同様の機能を果たす効果もある。したがって、セルギャップを規定するフォトスペーサと同じ材料で導通阻止部材 3 1 を形成する場合は、図 3 に示すように、画素領域 3 外においてコンタクト部 4 2 以外の箇所にも導通阻止部材 3 1 b を設けた構成とすることが好ましい。この構成によれば、導通阻止部材 3 1 b が、画素領域 3 外でのアクティブマトリクス基板 1 と対向基板 2 との間隔を均一に保つ、という効果が得られる。

【 0 0 4 4 】

なお、導通阻止部材 3 1 は、上述のとおり、画素領域 3 においてアクティブマトリクス基板 1 と対向基板 2 とを所定間隔に保つためのフォトスペーサと同じ材料により、フォトスペーサと同時に形成されることが好ましい。この場合、製造工程数を増加させることなく、導通阻止部材 3 1 を形成することができる、という利点がある。

【 0 0 4 5 】

ただし、画素領域 3 内に設けられる突起状構造物として、基板間隔を規定するフォトスペーサ以外に、液晶の配向状態を規定する配向制御構造物を有する場合もある。配向制御構造物は、例えば垂直配向型の液晶モジュール等において用いられており、一般的に、透明な樹脂を用いて、所定の高さを有する壁状に形成される。なお、配向制御構造物の詳しい一実施例は、後で図 1 6 を参照しながら説明する。このように配向制御構造物を画素領域内の突起状構造物として有する液晶モジュールの場合は、導通阻止部材 3 1 を、基板間隔を規定するフォトスペーサではなく、この配向制御材と同じ材料によって形成することも可能である。

【 0 0 4 6 】

なお、導通阻止部材 3 1 は、上記フォトスペーサと異なる材料で形成してもよく、また、上記フォトスペーサと異なる工程で形成してもよい。さらに、上記導通阻止部材 3 1 は、上記配向制御構造物と異なる材料で形成してもよく、また、上記配向制御構造物と異なる工程で形成してもよい。

【 0 0 4 7 】

以上のように、第 1 の実施形態にかかる液晶表示装置には、基板面の法線方向において、アクティブマトリクス基板 1 の画素領域 3 外の電極膜 1 9 に対して少なくとも一部が重なるように、対向基板 2 の共通電極（電極膜 2 3）上に導通阻止部材 3 1 が設けられている。これにより、画素領域 3 外の基板に圧力がかかった場合でも、アクティブマトリクス基板 1 の電極膜 1 9 と対向基板 2 の電極膜 2 3 とが接触することが妨げられる。これにより、コンタクト部 4 2 においてアクティブマトリクス基板 1 と対向基板 2 とがショートする、という事態を防止できる。

【 0 0 4 8 】

（実施形態 2）

本発明の第 2 の実施形態について、図 4 ～ 6 を参照して、以下に説明する。なお、以下の説明において、第 1 の実施形態で説明した構成と同様の機能を有する構成については同じ参照符号を付記し、その詳細な説明を省略する。

【 0 0 4 9 】

図 4 は、第 2 の実施形態にかかる液晶表示装置（液晶モジュール）1 0 1 において、図 1 に破線で示した領域 A に対応する領域の近傍を拡大して示す平面図である。なお、液晶表示装置 1 0 1 の全体的な構成は図 1 に示す液晶表示装置 1 0 0 と基本的に同じである。

【 0 0 5 0 】

図 4 に示すように、本実施形態の液晶表示装置 1 0 1 においては、基幹配線 1 4 d 上に、アクティブマトリクス基板 1 と対向基板 2 を導通させるために、導通部 4 1 が設けられている。また、本実施形態の液晶表示装置 1 0 1 においては、シール材 4 0 が導電性粒状体（後述）を含み、このシール材 4 0 が導通部 4 1 に配置されることにより、導電性粒状体を介して、アクティブマトリクス基板 1 と対向基板 2 との導通がとられている。したがって、第 1 の実施形態にかかる構成が有する銀ペーストが不要となり、第 1 の実施形態と比較して額縁領域の面積を小さくできるという利点がある。なお、導通部 4 1 は、基幹配線 1 4 d 上において、端子領域 8 に近い額縁部分や、端子領域 8 とは反対側の額縁部分にも設けられて良い。また、基幹配線 1 4 c 上には、第 1 の実施形態と同様に、ゲートドライバ 4 a に接続されたゲート配線 1 2 とのコンタクト部 4 2 が設けられている。

【 0 0 5 1 】

ここで、図 5 および図 6 を参照しながら、コンタクト部 4 2 および導通部 4 1 の構造について説明する。図 5 は、図 4 に示す B - B 線断面図であり、コンタクト部 4 2 の断面構造を示す。図 6 は、図 4 に示す C - C 線断面図であり、導通部 4 1 の断面構造を示す。なお、図 5 および図 6 は、導通部 4 1 およびコンタクト部 4 2 の断面構造を簡略化して示したものである。例えば基幹配線 1 4 は、複数種類の金属層の積層構造であることが好ましいが、図 5 および図 6 においては単層の金属層として省略して図示している。また、図 5 および図 6 においては、例えばパッシベーション膜等の図示は省略されている。さらに、図 5 および図 6 に示されている各種の膜の平坦度や、構成部材の寸法比等は、必ずしも実際の態様を表したものではない。

【 0 0 5 2 】

図 5 および図 6 に示すように、本実施形態の液晶モジュール（液晶表示装置）1 0 1 は、アクティブマトリクス基板 1 と対向基板 2 とをシール材 4 0 で貼り合わせ、その間に液晶 3 4 を封止した構成である。アクティブマトリクス基板 1 と対向基板 2 とは、画素領域 3 内に設けられたフォトスペーサ（突起状構造物）によって、その間隔が一定に維持されている。なお、フォトスペーサの詳しい一実施例は、後に図 1 5 を参照しながら説明する。

【 0 0 5 3 】

シール材 4 0 は、導電性粒状体 3 2 を、基材としての熱硬化性樹脂 3 3 に含有させたものである。熱硬化性樹脂 3 3 は、光硬化性を併せ持つことが好ましい。アクティブマトリクス基板 1 と対向基板 2 とを位置決めして貼り合わせた後、感光させることでシール材 4 0 を仮硬化し、さらに加熱することによってシール材 4 0 を本硬化させることができるか

10

20

30

40

50

らである。このような特性を持つ樹脂としては、エポキシ樹脂とアクリル樹脂との混合樹脂等が利用可能である。熱硬化性樹脂 33 としては、透明な樹脂を用いても良いが、後の変形例（第 5 の変形例）において説明するように、黒色の樹脂を用いることが好ましい場合もある。

【0054】

導電性粒状体 32 は、例えば、プラスチックビーズに導電性の金属メッキ（例えば金メッキ等）を施したものである。導電性粒状体 32 は、熱硬化性樹脂 33 へ混入する前にはほぼ真球状であるが、アクティブマトリクス基板 1 と対向基板 2 との貼り合わせ工程において、破損せずに多少のつぶれが生じる程度の可塑性を有していることが好ましい。また、導電性粒状体 32 の芯となるプラスチックビーズとして、例えばエポキシ樹脂等の熱可塑性樹脂を使うことも好ましい。これは、アクティブマトリクス基板 1 と対向基板 2 との貼り合わせにおける本硬化工程で、導電性粒状体 32 を破損することなく、アクティブマトリクス基板 1 と対向基板 2 との間に介在させることができるからである。ここで、導電性粒状体 32 の形状は、ほぼ真球状に限らず、卵形（断面がほぼ楕円形）または円柱状であっても良い。あるいは、導電性粒状体 32 は、断面形状が四角形、多角形、または、複雑な異型の形状を呈する粒状体であってもよい。

【0055】

図 5 および図 6 に示すように、層間絶縁膜 13 の上には、基幹配線 14（14a～14c）が設けられている。基幹配線 14a～14c は、画素領域 3 におけるソース配線 5 と同じ材料により、ソース配線 5 を形成するプロセスによってソース配線 5 と同時に形成される。基幹配線 14d は、層間絶縁膜 13 の下に、画素領域 3 におけるゲート配線 6 と同じ材料により、ゲート配線 6 を形成するプロセスによってゲート配線 6 と同時に形成される。

【0056】

ここで、図 6 に示すように、導通部 41 においては、基幹配線 14d 上の層間絶縁膜 13 および層間絶縁膜 18 に貫通孔（コンタクトホール）20 が設けられ、この貫通孔 20 を介して、基幹配線 14d と、層間絶縁膜 18 上の電極膜 19 とが電氣的に接続されている。つまり、電極膜 19 は、導通部 41 における層間絶縁膜 18 の上、貫通孔 20 における層間絶縁膜 13 および 18 の壁面の上、ならびに貫通孔 20 の底部で露出した基幹配線 14d の上に連続的に積層されている。

【0057】

また、本実施形態においては、シール材 40 が、基幹配線 14a～14d を覆う位置、あるいは基幹配線 14a～14d の一部または全部の上方に設けられている。これにより、導通部 41 の電極膜 19 は、シール材 40 中の導電性粒状体 32 によって、対向基板 2 の電極膜 23 と導通する。これにより、端子領域 8 の端子から基幹配線 14d へ入力された信号が、電極膜 19 および導電性粒状体 32 を介して対向基板 2 の共通電極へ供給されることとなる。

【0058】

一方、図 5 に示すように、コンタクト部 42 においては、基幹配線 14c 上の層間絶縁膜 18 と層間絶縁膜 13 とを貫通する貫通孔 20 が設けられ、この貫通孔 20 と電極膜 19 とを介して、基幹配線 14c とゲート配線 12 とが電氣的に接続されている。つまり、電極膜 19 は、コンタクト部 42 における層間絶縁膜 18 の上、貫通孔 20 における層間絶縁膜 13、基幹配線 14c、および層間絶縁膜 18 の壁面の上、ならびに貫通孔 20 の底部で露出したゲート配線 12 の上に連続的に積層されている。なお、貫通孔 20 のなかで、下層半導体層 27 および上層半導体層 28 が露出している場合は、これらの層の壁面上にも電極膜 19 が形成される。なお、図 5 および図 6 にそれぞれ示した電極膜 19 は、画素領域 3 における画素電極 43 と同じ材料（例えばITO）により、画素電極 43 と同時に形成される。

【0059】

ただし、図 5 に示したコンタクト部 42 の上およびその近傍においては、対向基板 2 の

電極膜 23 の上に、絶縁性の樹脂で形成された導通阻止部材 31 (31a、31b) が設けられている。なお、導通阻止部材 31 は、図 5 に示した例ではシール材 40 の中に埋設されている (あるいは取り囲まれている) が、シール材 40 とは別個の構造物である。なお、電極膜 23 と導通阻止部材 31 との間には、画素領域 3 から延設された配向膜 (図示せず) が介在していても良い。導通阻止部材 31 は、基板面の法線方向において、アクティブマトリクス基板 1 の電極膜 19 に少なくとも一部が重なるように設けられていることが必要である。

【0060】

図 5 の例においては、導通阻止部材 31a が、基板面の法線方向において、電極膜 19 の全体に重なるように設けられ、電極膜 19 とは重ならない位置に導通阻止部材 31b が設けられている。しかし、導通阻止部材 31b は無くても良いし、導通阻止部材 31a は必ずしも電極膜 19 の全体に重なっている必要はない。導通阻止部材 31 は、画素領域 3 内に設けられる突起状構造物 (ここではフォトスペーサ) と同じ材料を用いて、柱状または壁状に形成されている。導通阻止部材 31 とフォトスペーサとは、例えば透明な感光性アクリル樹脂を材料として、フォトリソグラフィ工程により、同時に形成することが可能である。

10

【0061】

導通阻止部材 31a のアクティブマトリクス基板 1 側の端面は、少なくともコンタクト部 42 の電極膜 19 を覆うに足る幅と長さを有することが好ましい。導通阻止部材 31a は、図 5 に示す例では、対向基板 2 の電極膜 23 の表面から突出するように設けられ、アクティブマトリクス基板 1 と対向基板 2 とを貼り合わせた際に、これらの基板の間に隙間無く介在する。これにより、コンタクト部 42 において、アクティブマトリクス基板 1 の電極膜 19 と対向基板 2 の共通電極 (電極膜 23) との間には、シール材 40 が入り込む余地がない。したがって、この構成によれば、コンタクト部 42 において、シール材 40 中の導電性粒状体 32 がアクティブマトリクス基板 1 と対向基板 2 とをショートさせてしまう、という事態を防止できる。

20

【0062】

ここで、比較例として、図 19 に、本実施形態にかかる液晶モジュール 101 から導通阻止部材 31 を省いた構成 (液晶モジュール 901) を示す。比較例にかかる液晶モジュール 901 は、導通阻止部材 31 を備えていない点を除いては、本実施形態にかかる液晶モジュール 101 と同様の構造を有するものとする。図 19 に示すように、比較例にかかる液晶モジュール 901 では、シール材 40 に含まれている導電性粒状体 32 が、アクティブマトリクス基板 1 の電極膜と、対向基板 2 の電極膜 23 との間に介在し、アクティブマトリクス基板 1 と対向基板 2 とをショートさせてしまうおそれがある。一方、上述のとおり、本実施形態にかかる液晶モジュール 101 の場合は、導電性粒状体 32 によるアクティブマトリクス基板 1 と対向基板 2 とがショートするという問題を、導通阻止部材 31 によって解決することができる。

30

【0063】

さらに、導通阻止部材 31 は、画素領域 3 においてセルギャップを規定するフォトスペーサと同様の機能を果たす効果もある。したがって、セルギャップを規定するフォトスペーサと同じ材料で導通阻止部材 31 を形成する場合は、図 5 に示すように、画素領域 3 外においてコンタクト部 42 以外の箇所にも導通阻止部材 31b を設けた構成とすることが好ましい。この構成によれば、導通阻止部材 31b が、画素領域 3 外でのアクティブマトリクス基板 1 と対向基板 2 との間隔を均一に保つ、という効果が得られる。

40

【0064】

なお、導通阻止部材 31 は、上述のとおり、画素領域 3 においてアクティブマトリクス基板 1 と対向基板 2 とを所定間隔に保つためのフォトスペーサと同じ材料により、フォトスペーサと同時に形成されることが好ましい。この場合、製造工程数を増加させることなく、導通阻止部材 31 を形成することができる、という利点がある。

【0065】

50

ただし、画素領域 3 内に設けられる突起状構造物として、基板間隔を規定するフォトスペーサ以外に、液晶の配向状態を規定する配向制御構造物を有する場合もある。なお、配向制御構造物の詳しい一実施例は、後に図 16 を参照しながら説明する。このように配向制御構造物を画素領域内の突起状構造物として有する液晶モジュールの場合は、導通阻止部材 31 を、基板間隔を規定するフォトスペーサではなく、この配向制御構造物と同じ材料によって形成することも可能である。

【0066】

ここで、導通阻止部材 31 は、上記フォトスペーサと異なる材料で形成してもよく、また、上記フォトスペーサと異なる工程で形成してもよい。さらに、導通阻止部材 31 は、上記配向制御構造物と異なる材料で形成してもよく、また、上記配向制御構造物と異なる工程で形成してもよい。

10

【0067】

以上のように、第 2 の実施形態にかかる液晶表示装置では、基板面の法線方向において、アクティブマトリクス基板 1 の画素領域外の電極膜 19 に対して少なくとも一部が重なるように、対向基板 2 の共通電極（電極膜 23）上に導通阻止部材 31 が設けられている。これにより、電極膜 19 が形成されている領域にシール材 40 を配置した場合であっても、シール材 40 に含まれる導電性粒状体 32 がアクティブマトリクス基板 1 の電極膜 19 と対向基板 2 の電極膜 23 との間に入り込むことが妨げられる。これにより、コンタクト部 42 においてアクティブマトリクス基板 1 と対向基板 2 とがショートする、という事態を防止できる。

20

【0068】

上記において説明した第 1 の実施形態の液晶モジュール 100 および、第 2 の実施形態の液晶モジュール 101 のバリエーション（変形例）として、いくつかの態様が考えられる。以下、それらの変形例について説明する。

【0069】

（第 1 の変形例）

図 7 は、第 2 の実施形態による液晶モジュール 101 の第 1 の変形例の概略構成を示す断面図である。図 7 に示すように、液晶モジュール 101 の第 1 の変形例では、シール材 40 中に、導電性粒状体 32 と共に、短く切断されたガラスファイバ（シール内スペーサ）35 が混合されている。ガラスファイバ 35 は円柱状であり、その断面直径は導電性粒状体 32 よりも小さい。ガラスファイバ 35 は、導電性粒状体 32 とは異なり、アクティブマトリクス基板 1 と対向基板 2 との貼り合わせ時に変形しない。あるいは、ガラスファイバ 35 は導電性粒状体 32 よりも硬く、高い弾性率を有している。したがって、ガラスファイバ 35 の断面直径が、シール材 40 が配置された箇所における、アクティブマトリクス基板 1 と対向基板 2 との最小間隔を規定することとなる。導電性粒状体 32 の直径（少なくとも変形が加えられる前の直径、あるいは変形後の最も幅の広い部分の直径）は、この最小間隔（すなわちガラスファイバ 35 の断面直径）よりも若干大きいことが好ましい。

30

【0070】

例えば、ガラスファイバ 35 の断面直径が 2 ~ 4 μm 程度である場合、導電性粒状体 32 の変形前の直径、あるいは最も長い部分の直径は、4 ~ 5 μm 程度の範囲で、ガラスファイバ 35 の断面直径よりも大きいことが好ましい。例えば、ガラスファイバ 35 の断面直径が約 3 μm であれば、導電性粒状体 32 の直径を約 4 μm とすることが好ましい。このように、導電性粒状体 32 として、ガラスファイバ 35 の断面直径よりも若干大きい直径の粒状体を用いることにより、導通部 41 において、1 つの導電性粒状体 32 に対して、アクティブマトリクス基板 1 の電極膜 19 と対向基板 2 の電極膜 23 との両方が、確実に接触することとなる。これにより、導通部 41 において、アクティブマトリクス基板 1 と対向基板 2 とを確実に導通させることができる。

40

【0071】

以上のとおり、液晶モジュール 101 の第 1 の変形例によれば、シール材 40 にガラス

50

ファイバ 3 5 を混合したことにより、ガラスファイバ 3 5 が、画素領域 3 においてセルギャップを規定するフォトスペーサと同等の機能を果たす。これにより、画素領域 3 外でのアクティブマトリクス基板 1 と対向電極 2 との間隔を均一に保つことができる、という効果が得られる。

【 0 0 7 2 】

また、本変形例においてはシール内スペーサとして柱状のガラスファイバ 3 5 を用いたが、ガラスファイバの代わりに、球状の硬質プラスチックビーズを用いることも可能である。この場合のプラスチックビーズは、導電性粒状体 3 2 よりも若干直径が小さく、かつ、導電性粒状体 3 2 よりも硬質であることが好ましい。

【 0 0 7 3 】

10

(第 2 の変形例)

図 8 は、液晶モジュール 1 0 1 の第 2 の変形例の概略構成を示す断面図である。図 8 に示すように、液晶モジュール 1 0 1 の第 2 の変形例は、上述の導通阻止部材 3 1 の代わりに、導通阻止部材 3 6 (3 6 a 、 3 6 b) を備えている。以下の説明においては、導通阻止部材 3 6 a 、 3 6 b を区別して説明する必要がある場合は、参照符号として 3 6 a 、 3 6 b を用い、導通阻止部材 3 6 a 、 3 6 b に共通した説明を行う場合は、参照符号として 3 6 を用いる。

【 0 0 7 4 】

導通阻止部材 3 6 は、導通阻止部材 3 1 と同様に、対向基板 2 から突出するように設けられているが、導通阻止部材 3 6 の高さは、アクティブマトリクス基板 1 と対向基板 2 とのセルギャップの大きさ (すなわち画素領域 3 におけるフォトスペーサの高さ) よりも小さい。導通阻止部材 3 6 の高さは、 (a) アクティブマトリクス基板 1 と対向基板 2 とをシール材 4 0 によって貼り合わせた場合に、導通阻止部材 3 6 の端面が電極膜 1 9 に接触することがない、という条件を満たすことが好ましい。この (a) の条件が満たされることにより、基板の貼り合わせ時に、導通阻止部材 3 6 の端面が電極膜 1 9 に強く接触することがない。この結果、電極膜 1 9 の断裂によるコンタクト不良を防止することができる。

20

【 0 0 7 5 】

さらに、導通阻止部材 3 6 の高さは、 (a) の条件に加えて、 (b) 導通阻止部材 3 6 におけるアクティブマトリクス基板 1 側の端面と電極膜 1 9 との間に導電性粒状体 3 2 が入り込んでも、アクティブマトリクス基板 1 と対向基板 2 との間隔に影響を与えない、という 2 つ目の条件が満たされるように規定されることがさらに好ましい。この (b) の条件が満たされることにより、アクティブマトリクス基板 1 と対向基板 2 との間隔を均一に保つことができるからである。

30

【 0 0 7 6 】

このように、第 2 の変形例においては、画素領域 3 のフォトスペーサ (あるいはセルギャップ) と導通阻止部材 3 6 との高さが異なっている。ただし、この場合でも、導通阻止部材 3 6 を、画素領域 3 におけるフォトスペーサと同じ材料を用いて同時に形成することができる。例えば、ポジ型の感光性アクリル樹脂は、露光した部分が現像的に溶け出すので、露光量が異なるとエッチングで形成される凹形状の深さも異なるという性質を持つ。この性質を利用し、対向基板 2 の電極膜 2 3 上に、ポジ型の感光性アクリル樹脂を塗布し、互いに透過率が異なるフィルムを部分的に配したり、スリットを設けたりしたフォトマスク (いわゆるハーフトーンマスク) を用いれば、 1 枚のマスクで導通阻止部材 3 6 とフォトスペーサとの両方を、互いに異なる厚さに同時に形成することができ、製造効率が向上する。

40

【 0 0 7 7 】

また、前述したように、例えば垂直配向型液晶ディスプレイ等の場合、アクティブマトリクス基板 1 と対向基板 2 との間隔を均一に保つための (セルギャップを規定するための) フォトスペーサの他に、液晶の配向状態を規定するための配向制御構造物を画素領域 3 内に有することもある。この配向制御構造物の高さは、一般的に、セルギャップを規定す

50

るためのフォトスペーサの高さよりも低い。この場合、導通阻止部材 3 6 を、配向制御構造物と同じ材料を用いて、これと同じ高さに形成することも好ましい。

【 0 0 7 8 】

なお、図 8 の例では、コンタクト部 4 2 に設けられた導通阻止部材 3 6 a と、コンタクト部 4 2 以外の箇所に設けられた導通阻止部材 3 6 b との両方が、セルギャップよりも低く形成された構成を例示した。しかし、導通阻止部材 3 6 a と導通阻止部材 3 6 b との高さが同じである必要はない。例えば、上述のように、フォトスペーサと配向制御構造物とが画素領域 3 内に設けられた構成の場合、フォトスペーサと同じ材料で、これと同じ高さを有するように導通阻止部材 3 6 b を形成し、配向制御構造物と同じ材料で、これと同じ高さを有するように導通阻止部材 3 6 a を形成するようにしても良い。

10

【 0 0 7 9 】

ここで、導通阻止部材 3 6 は、上記フォトスペーサと異なる材料で形成してもよく、また、上記フォトスペーサと異なる工程で形成してもよい。さらに、導通阻止部材 3 6 は、上記配向制御構造物と異なる材料で形成してもよく、また、上記配向制御構造物と異なる工程で形成してもよい。

【 0 0 8 0 】

なお、図 8 においては、シール材 4 0 にガラスファイバ 3 5 が混合されている例を示したが、第 2 の変形例においてガラスファイバ 3 5 は必須ではない。

【 0 0 8 1 】

また、ここでは、第 2 の実施形態による液晶モジュール 1 0 1 の変形例を説明したが、第 1 の実施形態による液晶モジュール 1 0 0 において、導通阻止部材 3 1 の代わりに導通阻止部材 3 6 を備えた構成とすることも可能であり、同様の効果を奏する。

20

【 0 0 8 2 】

(第 3 の変形例)

図 9 は、液晶モジュール 1 0 1 の第 3 の変形例の概略構成を示す断面図である。図 9 に示すように、液晶モジュール 1 0 1 の第 3 の変形例は、第 2 の変形例にかかる導通阻止部材 3 6 のアクティブマトリクス基板 1 側の端面に凹凸を設けた構成である。

【 0 0 8 3 】

なお、このような、導通阻止部材 3 6 の端面における凹凸は、導通阻止部材 3 6 をフォトリソグラフィ工程によってパターンニングする際に、この端面に対応するフォトマスクに、光の透過率が互いに異なる複数の小領域を設けることで実現できる。例えば、導通阻止部材 3 6 をポジ型の感光性樹脂で形成する場合、導通阻止部材 3 6 の端面の凸部となるべき箇所に光の透過率が低いマスク部分に対応させ、凹部となるべき箇所に透過率が高いマスク部分に対応させればよい。

30

【 0 0 8 4 】

また、導通阻止部材 3 6 の端面の凹凸を、できるだけ粗く且つ深く形成することが好ましい。この構成によれば、仮に、アクティブマトリクス基板 1 と対向基板 2 との貼り合わせ時に、導通阻止部材 3 6 の端面とアクティブマトリクス基板 1 との間に、シール材 4 0 の熱硬化性樹脂 3 3 や導電性粒状体 3 2 が進入したとしても、これらの進入物を凹部に吸収させることができる。この結果、導通阻止部材 3 6 の端面とアクティブマトリクス基板 1 との間に、シール材 4 0 が入り込んだとしても、アクティブマトリクス基板 1 と対向基板 2 との間隔の変化が発生しにくく、両基板の間隔を所望の値に維持させることができる。

40

【 0 0 8 5 】

なお、図 9 においても、シール材 4 0 にガラスファイバ 3 5 が混合されている例を示したが、第 3 の変形例においてもガラスファイバ 3 5 は必須ではない。

【 0 0 8 6 】

また、セルギャップとほぼ同じ高さを有する導通阻止部材 3 1 (第 1 の変形例参照) の基板面の法線方向における端面 (アクティブマトリクス基板 1 側または対向基板 2 側の端面) に凹凸を形成しても良い。

50

【 0 0 8 7 】

(第 4 の変形例)

図 1 0 は、液晶モジュール 1 0 1 の第 4 の変形例の概略構成を示す断面図である。図 1 0 に示すように、液晶モジュール 1 0 1 の第 4 の変形例においては、導通阻止部材 3 1 とし、光を通さないように黒色に着色された導通阻止部材 3 7 (3 7 a ~ 3 7 c) が設けられている。以下の説明においては、導通阻止部材 3 7 a ~ 3 1 c を区別して説明する必要がある場合は、参照符号として 3 7 a ~ 3 7 c を用い、導通阻止部材 3 7 a ~ 3 7 c に共通した説明を行う場合は、参照符号として 3 7 を用いる。導通阻止部材 3 7 は、黒く着色された感光性アクリル樹脂によって作成可能である。

【 0 0 8 8 】

10

ここで、導通阻止部材 3 7 は、画素領域 3 内のフォトスペーサと同じ材料によって、同じ工程で形成することができる。しかし、導通阻止部材 3 7 は、上記フォトスペーサと異なる材料で形成してもよく、また、上記フォトスペーサと異なる工程で形成してもよい。

【 0 0 8 9 】

また、導通阻止部材 3 7 c (第 2 導通阻止部材) が、ゲートドライバ 4 a の T F T 3 0 の上部にも設けられたことにより、対向基板 2 の遮光層 2 4 (図 3 参照) が不要となっている。なお、導通阻止部材 3 7 c は、T F T 3 0 の全体を覆う必要はなく、少なくともチャンネル領域に光が入射しないように作用すれば良い。

【 0 0 9 0 】

また、この変形例においても、シール材 4 0 にガラスファイバ 3 5 を混入させても良い。

20

【 0 0 9 1 】

また、第 1 の実施形態にかかる液晶モジュール 1 0 0 の導通阻止部材 3 1 の代わりに導通阻止部材 3 7 を用いても良く、それによって同様の効果が得られる。

【 0 0 9 2 】

(第 5 の変形例)

図 1 1 は、液晶モジュール 1 0 1 の第 5 の変形例の概略構成を示す断面図である。図 1 1 に示すように、液晶モジュール 1 0 1 の第 5 の変形例は、シール材 4 0 の基材として、透明な熱硬化性樹脂 3 3 の代わりに、黒色に着色された熱硬化性樹脂 3 8 を用いた点で、第 4 の変形例と異なっている。

30

【 0 0 9 3 】

また、第 4 の変形例と同様に、黒色の導通阻止部材 3 7 c が、ゲートドライバ 4 a の T F T 3 0 の上方に設けられたことにより、対向基板 2 側の遮光層 2 4 (図 3 参照) が不要となっている。なお、導通阻止部材 3 7 c は、T F T 3 0 の全体を覆う必要はなく、少なくともチャンネル領域に光が入射しないように配置されていれば良い。

【 0 0 9 4 】

また、導通阻止部材 3 7 c を T F T 3 0 の上方に配置する代わりに、T F T 3 0 の上方にまで、シール材 4 0 を延設させても良い。この場合、T F T 3 0 のチャンネル領域は、黒色の熱硬化性樹脂 3 8 で覆われるので、対向基板 2 の遮光層 2 4 が無くても、T F T 3 0 の特性劣化を防止できる。また、例えば、シール材 4 0 の幅が基幹配線領域の幅よりも大きくなる場合には、基幹配線領域の外側にシール材をはみ出させるのではなく、ゲートドライバ 4 a の上方にシール材 4 0 を形成することで、額縁領域を狭くすることができるという利点が見られる。

40

【 0 0 9 5 】

また、この第 5 の変形例においても、シール材 4 0 にガラスファイバ 3 5 を混入させても良い。

【 0 0 9 6 】

(第 6 の変形例)

図 1 2 は、液晶モジュール 1 0 1 の第 6 の変形例の概略構成を示す断面図である。図 1 2 に示すように、液晶モジュール 1 0 1 の第 6 の変形例は、導通阻止部材 3 9 (3 9 a 、

50

39b)が、対向基板2ではなく、アクティブマトリクス基板1側に設けられていることが特徴である。つまり、アクティブマトリクス基板1と対向基板2との貼り合わせ前に、導通阻止部材39がアクティブマトリクス基板1側に形成される。なお、この変形例においては、画素領域3のフォトスペーサもアクティブマトリクス基板1側に設けられており、導通阻止部材39は、画素領域3のフォトスペーサと同じ材料を用いて同時に形成されることが好ましい。ただし、導通阻止部材39は、上記フォトスペーサと異なる材料で形成してもよく、また、上記フォトスペーサと異なる工程で、形成してもよい。

【0097】

なお、この変形例においても、シール材40にガラスファイバ35を混入させても良い(第1の変形例参照)。また、導通阻止部材39の高さをセルギャップよりも小さく形成しても良い(第2の変形例参照)。さらに、導通阻止部材39の対向基板2側の端面に凹凸に形成しても良い(第3の変形例参照)。また、導通阻止部材39を黒色に着色しても良いし(第4の変形例参照)、黒色の熱硬化性樹脂を基材として含むシール材40を用いても良い(第5の変形例参照)。

【0098】

また、第1の実施形態にかかる液晶モジュール100の導通阻止部材31の代わりに導通阻止部材39を用いてもよく、それによっても同様の効果が得られる。

【実施例】

【0099】

次に、本発明による液晶表示装置の好適な実施例を、その製造工程と共に説明する。なお、ここでは、図8に示した第2実施形態の第2の変形例の液晶表示装置101を例にとって説明を行う。すなわち、以下で説明する例は、セルギャップよりも小さい高さを有する導通阻止部材36が対向基板2側に設けられ、かつ、必須ではないが、シール材40にガラスファイバ35が混合されている構成を有する(図8参照)。

【0100】

図13は、第2の変形例の液晶表示装置101における導通部41(図4参照)付近の構成をより詳細に示した断面図である。図14は、同じく第2の変形例におけるコンタクト部42付近の構成をより詳細に示した断面図である。図15は、図1に示したD-D断面の構成(画素の断面構成)を表している。

【0101】

図13に示すように、本実施例における基幹配線14dは、下層がチタニウム層141d、中層がアルミニウム層142d、上層がチタニウム層143dの三層構造である。基幹配線14dと同時に形成される画素領域3のゲート配線6も、基幹配線14dと同じ構造である。そして、電極膜19は、画素領域3の画素電極43と同じく、ITOで形成されている。また、図5では図示を省略したが、図13に示すように、アクティブマトリクス基板1には、層間絶縁膜13と、層間絶縁膜13の上に成膜されたパッシベーション膜143とが設けられている。パッシベーション膜143は、窒化シリコン膜であり、能動素子の特性劣化を防ぐなどの効果がある。さらに、パッシベーション膜143の上方には、感光性アクリル樹脂からなる層間絶縁膜18が設けられている。層間絶縁膜18の厚さは、最も厚い箇所において約2~4μmである。

【0102】

次に、本実施例におけるコンタクト部42の構成を、図14を用いて説明する。図14に示すように、コンタクト部42において、ゲート配線12は、図示を省略しているが、チタニウム層、アルミニウム層、チタニウム層を順次重ねてなる三層構造を有する。ゲート配線12と同時に形成される画素領域3のゲート配線6も、ゲート配線12と同じ構造である。層間絶縁膜13には、前記のとおり、窒化シリコン膜を用いることができる。基幹配線14cは、下層がチタニウム層141cで上層がアルミニウム層142cの二層構造であり、画素領域3のソース配線5と同じ工程によって形成される。

【0103】

コンタクト部42は、図に示すように、ガラス基板11と電極膜19との間にゲート配

10

20

30

40

50

線 1 2、層間絶縁膜 1 3、およびアモルファスシリコン膜 1 4 6 が積層された領域を有する。また、コンタクト部 4 2 は、ガラス基板 1 1 と電極膜 1 9 との間にゲート配線 1 2、層間絶縁膜 1 3、アモルファスシリコン膜 1 4 6、およびチタニウム層 1 4 1 c が積層された領域、ならびに、ガラス基板 1 1 と電極膜 1 9 との間にゲート配線 1 2、層間絶縁膜 1 3、チタニウム層 1 4 1 c、アルミニウム層 1 4 2 c、パッシベーション膜 1 4 3、および層間絶縁膜 1 8 が積層された領域を有する。

【0104】

また、図 1 4 に示した基幹配線 1 4 c は、電極膜 1 9 と接続する箇所においては、基幹配線 1 4 c の上層（すなわちアルミニウム層 1 4 2 c）がエッチングにより除去され、チタニウム層 1 4 1 c と電極膜 1 9 とが接している。また、図 8 においては図示を省略したが、層間絶縁膜 1 3 と基幹配線 1 4 を覆うパッシベーション膜 1 4 3 が設けられていることが好ましい。パッシベーション膜 1 4 3 は、窒化シリコン膜である。

10

【0105】

さらに、パッシベーション膜 1 4 3 の上には、感光性アクリル樹脂からなる層間絶縁膜 1 8 が設けられている。層間絶縁膜 1 8 は、最も厚い箇所の厚さが約 2 ~ 4 μm である。電極膜 1 9 は、貫通孔 2 0（以下、コンタクトホール 2 0 とも呼ぶ）の中で、基幹配線 1 4 c のチタニウム層 1 4 1 c およびゲート配線 1 2 と電氣的に接している。

【0106】

なお、図 1 4 に示した好適な実施形態においては、層間絶縁膜 1 8 のコンタクトホール 2 0 内に段差部 1 4 4 が設けられており、コンタクトホール 2 0 の開口端と段差部 1 4 4 との間になだらかな斜面 1 4 5 が形成されている。段差部 1 4 4 とは、層間絶縁膜 1 8 の最上面よりも低く形成された部分である。電極膜 1 9 は、コンタクトホール 2 0 の底部から段差部 1 4 4 の途中まで延設されている。このように、電極膜 1 9 の端部が段差部 1 4 4 上に位置し、斜面 1 4 5 および層間絶縁膜 1 8 の表面には及ばないことにより、電極膜 1 9 と対向基板の電極膜 2 3 との距離を十分に確保することができる。これにより、アクティブマトリクス基板 1 の電極膜 1 9 と対向基板 2 の電極膜 2 3 とのショートを防止できるという利点がある。また、基幹配線 1 4 c と電極膜 1 9 との間にパッシベーション膜 1 4 3 と層間絶縁膜 1 8 が介在することにより、電極膜 1 9 である ITO および基幹配線 1 4 c のアルミニウム層 1 4 2 c の電食を防止することができる。

20

【0107】

また、コンタクトホール 2 0 の開口部から内側にかけてなだらかな斜面 1 4 5 を形成することにより、コンタクトホール 2 0 の内壁を急峻または垂直に形成する場合に比べて、貼り合わせ精度等のマージンが拡大するという利点がある。

30

【0108】

また、導通阻止部材 3 6 の厚さは、前述したとおり、導通阻止部材 3 6 の対向基板 2 側の端面と電極膜 1 9 との間に導電性粒状体 3 2 が入り込んでも、アクティブマトリクス基板 1 と対向基板 2 との間隔を実質的に変化させない厚さに決定されている。ここで、例えば、層間絶縁膜 1 8 の厚さが、最も厚い箇所で約 2.5 μm 、ガラスファイバ 3 5 の断面直径が約 3 μm 、導電性粒状体 3 2 の直径が約 4 μm であるとする、層間絶縁膜 1 8 の厚さとガラスファイバ 3 5 の断面直径との和は約 5.5 μm となる。この値よりも、導通阻止部材 3 6 の厚さと導電性粒状体 3 2 の厚さとの和が小さければ、両基板間のギャップの変化を防止することができるので、図 1 4 の例では、導通阻止部材 3 6 の高さは約 1.5 μm 未満であることが好ましい。この例では、導通阻止部材 3 6 の高さは約 1.0 μm である。

40

【0109】

次に、図 1 5 を参照し、画素領域 3 におけるフォトスペーサ 5 3 について説明する。図 1 5 は、図 1 に示した D - D 線の断面図である。図 1 5 に示すように、画素領域 3 においては、ソース配線 5 の上方に、セルギャップを制御するためのフォトスペーサ 5 3 が形成されている。また、フォトスペーサ 5 3 の上方には、ブラックマトリクス (BM) 1 4 9 が設けられている。

50

【 0 1 1 0 】

対向基板 2 の基板面の法線方向から見た場合、ブラックマトリクス 1 4 9 は、赤のカラーフィルタ 1 5 0 R、緑のカラーフィルタ 1 5 0 G、青のカラーフィルタ 1 5 0 B の境界に設けられており、フォトスペーサ 5 3 とその下方のソース配線 5 とにオーバーラップするように配置されている。赤のカラーフィルタ 1 5 0 R、緑のカラーフィルタ 1 5 0 G、青のカラーフィルタ 1 5 0 B のそれぞれは、画素電極 4 3 が設けられた領域（画素開口部）にオーバーラップするように配置されている。

【 0 1 1 1 】

ブラックマトリクス 1 4 9 の厚さは約 $1 \mu\text{m}$ 、赤のカラーフィルタ 1 5 0 R、緑のカラーフィルタ 1 5 0 G、青のカラーフィルタ 1 5 0 B のそれぞれの厚さは約 $2 \mu\text{m}$ 、カラーフィルタ上のオーバーコート膜 2 2 の厚さは約 $0.5 \mu\text{m}$ である。

10

【 0 1 1 2 】

画素領域 3 のソース配線 5 は、前述の基幹配線 1 4 と同様に、チタニウム層 5 1 とアルミニウム層 5 2 との積層構造を有する。層間絶縁膜 1 3 とソース配線 5 の上には、パッシベーション膜 1 4 3 が積層されている。パッシベーション膜 1 4 3 の上には、感光性アクリル樹脂からなる層間絶縁膜 1 8 が積層されている。層間絶縁膜 1 8 の厚さは、最も厚い箇所において、約 $2.5 \mu\text{m}$ である。層間絶縁膜 1 8 の表面はほぼ平坦である。層間絶縁膜 1 8 の上には複数の画素電極 4 3 がマトリクス状に配置されている。画素電極 4 3 の上には、配向膜 1 4 7 が形成されている。

【 0 1 1 3 】

20

一方、対向基板 2 は、ガラス基板 2 1 と、各色のカラーフィルタ 1 5 0 R、1 5 0 G、1 5 0 B、およびブラックマトリクス 1 4 9 と、オーバーコート膜 2 2 と、電極膜 2 3 とが、この順に積層されている。電極膜 2 3 は、ITO で形成された共通電極である。電極膜 2 3 の厚さは、約 $0.1 \mu\text{m}$ である。電極膜 2 3 の上には、感光性アクリル樹脂のフォトスペーサ 5 3 が形成されている。そして、電極膜 2 3 とフォトスペーサ 5 3 とを覆うように、配向膜 1 4 8 が形成されている。配向膜 1 4 7、1 4 8 のそれぞれの厚さは、約 100 nm である。

【 0 1 1 4 】

1 本のソース配線 5 の線幅は約 $2 \sim 3 \mu\text{m}$ であり、このソース配線 5 にオーバーラップするフォトスペーサ 5 3 とブラックマトリクス 1 4 9 の線幅も、約 $2 \sim 3 \mu\text{m}$ である。フォトスペーサ 5 3 の高さは、約 $3 \mu\text{m}$ である。これは、シール材 4 0 の厚さを規定するガラスファイバ 3 5 の断面直径とほぼ等しい。

30

【 0 1 1 5 】

フォトスペーサ 5 3 と同じ材料を用いて、同じ工程により、画素領域外の導通阻止部材を形成することが好ましい。これにより、製造工程を簡略化することができるからである。

【 0 1 1 6 】

なお、第 1 の実施形態および第 2 の実施形態において説明したとおり、画素領域 3 内に設けられる突起状構造物として、基板間隔を規定するフォトスペーサ以外に、液晶の配向状態を規定する配向制御構造物を形成することもある。この配向制御構造物は、例えば垂直配向型液晶モジュール等において用いられる。ここで、この配向制御構造物の具体的な構成例を、図 1 6 を用いて説明する。

40

【 0 1 1 7 】

図 1 6 に示すように、配向制御構造物 8 1 は、垂直配向型液晶モジュールの画素領域内に、フォトスペーサ 5 3 よりも低い突起構造物として形成される。図 1 6 に示す例においては、配向膜 1 4 7、1 4 8 は、液晶分子を基板面に対して垂直に配向させるための垂直配向膜である。また、この例においては、配向制御構造物 8 1 は、各画素の中心付近の対向基板 2 側に設けられており、その周囲の液晶分子 3 4 1 を放射状に傾斜配向させる。配向制御構造物 8 1 は、フォトスペーサ 5 3 と同様に、電極膜 2 3 上に形成されている。したがって、配向制御構造物 8 1 の表面は、垂直配向膜 1 4 8 によって覆われている。この

50

構成によれば、配向制御構造物 8 1 の斜面 8 1 s に設けられた垂直配向膜 4 8 のアンカリング効果によって、液晶分子 3 4 1 はこの斜面 8 1 s に対してほぼ垂直に配向する。

【0118】

この結果、配向制御構造物 8 1 の近傍においては、液晶分子 3 4 1 が配向制御構造物 8 1 を中心として放射状に傾斜配向する。なお、ここで配向制御構造物 8 1 は円錐台状に形成されているが、その形状は、円錐状、三角錐状など種々の形状であってよい。

【0119】

このように、配向制御構造物 8 1 を用いる場合は、導通阻止部材 3 1 を配向制御構造物 8 1 と同じ材料によって、同じ工程で形成することも可能である。これにより、製造工程を簡略化できるという利点が得られる。

10

【0120】

次に、図 1 7 および図 1 8 を参照しながら、ゲートドライバ 4 a 内の T F T 3 0 およびコンタクト部 6 3 を説明する。図 1 7 は、ゲートドライバ 4 a 内における T F T 3 0 およびその近傍に配置されたコンタクト部 6 3 の構成を模式的に表した平面図である。図 1 8 は、図 1 7 に示した E - E 線断面図である。なお、ここでは、ゲートドライバ 4 a の構成を説明するが、ゲートドライバ 4 b も同様の構成を有してよい。

【0121】

図 1 7 および図 1 8 に示す例においては、T F T 3 0 は、楕円構造の T F T であるが、ゲートドライバ 4 a 内のスイッチング素子はこれに限定されない。図 1 7 および図 1 8 に示すように、ゲートドライバ 4 a 内では、ゲート配線 1 2 の上方に層間絶縁膜 1 3 が設けられ、さらにその上に n⁺シリコン等によるシリコン層 1 5、ドレイン配線 6 1、ソース配線 6 2 等が形成されている。ドレイン配線 6 1 とソース配線 6 2 は、基幹配線 1 4 や画素領域 3 のソース配線 5 と同じ材料により、ソース配線 5 と同時に、ゲートドライバ 4 a 内に形成される配線である。基幹配線 1 4、ドレイン配線 6 1、ソース配線 6 2 は、例えばチタニウム層 1 4 1 c とアルミニウム層 1 4 2 c の二層構造を有している。

20

【0122】

図 1 7 および図 1 8 に示すように、ドレイン配線 6 1 から延設された 2 本の電極が T F T 3 0 のドレイン電極 6 1 a、6 1 b を形成し、ソース配線 6 2 から延設された 1 本の電極がソース電極 6 2 a を形成する。ドレイン配線 6 1、ソース配線 6 2 の上には、パッシベーション膜 1 4 3 が積層される。パッシベーション膜 1 4 3 の上には、層間絶縁膜 1 8 が積層される。層間絶縁膜 1 8 と層間絶縁膜 1 3 には貫通孔 2 0 が設けられている。貫通孔 2 0 における層間絶縁膜 1 3 および層間絶縁膜 1 8 の壁面の上、基幹配線 1 4 の露出部分、ならびに貫通孔 2 0 の底部で露出したゲート配線 1 2 の上に、電極膜 1 9 が連続的に積層されている。このような構造により、コンタクト部 6 3 においてゲート配線 1 2 と基幹配線 1 4 とが電氣的に接続される。なお、貫通孔 2 0 において、シリコン層 1 5、パッシベーション層 1 4 3 が露出している場合は、これらの露出面上にも電極膜 1 9 が形成される。

30

【0123】

図 1 8 に示すように、ゲートドライバ 4 a、4 b におけるアクティブマトリクス基板 1 と対向基板 2 との間には、シール材 4 0 は存在しない。本実施例では、シール材 4 0 は感光性樹脂を基材として含み、製造工程で感光性樹脂に光を照射してシール材 4 0 の仮硬化がなされる。しかしながら、T F T 3 0 に光が照射されるとチャネル特性が劣化するため、シール材 4 0 を T F T 3 0 の上に形成しようとする、製造工程において T F T 3 0 に光が照射されて、T F T 3 0 の特性が劣化するという問題が生じる。本実施例では、T F T 3 0 の上部にシール材 4 0 が存在しないので、T F T 3 0 の特性劣化が防止される。

40

【0124】

また、同様の理由により、液晶表示装置の完成後においても T F T 3 0 に外光が照射されることは好ましくない。そのため、本実施例では、ゲートドライバ 4 a、4 b の上方に遮光層 2 4 が設けられている。

【0125】

50

しかし、アクティブマトリクス基板 1 と対向基板 2 との間にシール材 40 が存在しない場合、アクティブマトリクス基板 1 と対向基板 2 とを互いに押しつける力が働くと（例えば、液晶パネルを外部から指などで押さえつけたとき等）、アクティブマトリクス基板 1 の電極膜 19 と対向基板 2 の電極膜 23 とが接触してショートする可能性がある。この問題を防止するために、図 18 に破線で示すように、コンタクト部 63 の上部の対向基板 2 に導通阻止部材 36 を設けることが好ましい。導通阻止部材 36 に変えて、セルギャップまたは液晶の配向状態を規定するフォトスペーサと同じ高さの導通阻止部材（上述した導通阻止部材 31a に対応）を設けても良い。また、第 4 の変形例で説明したように、黒色の導通阻止部材を設けても良い。あるいは、第 6 の変形例で説明したように、導通阻止部材 36 をアクティブマトリクス基板 1 の側に設けても良い。

10

【0126】

導通阻止部材 36 は、上記フォトスペーサと異なる材料で形成してもよく、また、上記フォトスペーサと異なる工程で形成してもよい。さらに、導通阻止部材 36 は、上記配向制御構造物と異なる材料で形成してもよく、また、上記配向制御構造物と異なる工程で形成してもよい。

【0127】

次に、液晶モジュール 101 の製造方法について説明する。以下の説明においては、特に注記する部分以外は、図 5 を参照しながら、図 5 の液晶モジュール 101 の各構成要素の製造工程を説明する。各構成要素の製造方法は、基本的に、他の実施形態および実施例の同じ構成要素にも適用可能である。

20

【0128】

まず、アクティブマトリクス基板 1 の製造工程を説明する。最初に、ガラス基板 11 を洗浄して乾燥させた後、スパッタ法により、ガラス基板 11 の表面にチタニウム層、アルミニウム層、チタニウム層を順に積層する。次に、この 3 層を、フォトリソグラフィ法とドライエッチング法を用いて整形して、ゲート配線 12（第 1 配線）を形成する。

【0129】

その後、ゲート配線 12 を覆うようにガラス基板 11 の上に、層間絶縁膜 13（第 1 絶縁層）となる窒化シリコン膜と、画素領域 3 の TFT7 の半導体層となるアモルファスシリコン膜及び n^+ アモルファスシリコン膜とを、それぞれプラズマ CVD 法により連続成膜する。次に、フォトリソグラフィ法とドライエッチング法を用いて、アモルファスシリコン膜及び n^+ アモルファスシリコン膜をパターニングし、TFT7 および 30 の島状に配置された半導体層を得る。

30

【0130】

次に、スパッタ法を用いて、チタニウム層とアルミニウム層とを順に堆積する。その後、これら 2 層をフォトリソグラフィ法とウェットエッチング法とドライエッチング法を用いてパターニングして、画素領域 3 のソース配線 5、ソース電極、およびドレイン電極と、基幹配線 14 と、ゲートドライバ 4a、4b 内のドレイン配線 61、ソース配線 62、ならびに TFT30 のドレイン電極 61a、61b およびソース電極 62a とを形成する。基幹配線 14、ドレイン配線 61、ソース配線 62 を第 2 配線と呼ぶ。

【0131】

次に、パッシベーション膜 143 とする窒化シリコン膜をプラズマ CVD 法により積層した後、層間絶縁膜 18 とするアクリル樹脂を塗布する。その後、フォトリソグラフィ法とドライエッチング法を用いて、層間絶縁膜 18 から層間絶縁膜 13 までの層を選択的に除去して、図 5 ~ 14 および図 18 に示したコンタクトホール（貫通孔）20 を形成する。このとき、コンタクトホール 20 内に位置するソース配線 5 および基幹配線 14 のアルミニウム層を、ウェットエッチングにより除去してもよい。これにより、これらの配線のアルミニウム層と電極膜 19 の ITO との間で生じ得る電食が防止される。

40

【0132】

次に、ITO をスパッタ法により成膜してエッチングすることにより、画素領域 3 の画素電極 43 と電極膜 19 とを形成する。次に、画素領域 3 に配向膜 147 を成膜してアク

50

ティブマトリクス基板 1 が完成する。

【 0 1 3 3 】

なお、アクティブマトリクス基板の製造工程の最後に導通阻止部材を形成する工程が加わることもあり得る。

【 0 1 3 4 】

次に、対向基板 2 の製造工程を説明する。

【 0 1 3 5 】

最初に、ガラス基板 2 1 を洗浄して乾燥させた後、画素領域 3 となる部分にカラーフィルタ 1 5 0 R、1 5 0 G、1 5 0 B を形成する。このとき同時に、ソース配線 5 の上方にあたる箇所と、ゲートドライバ 4 a、4 b の上方にあたる箇所とに、ブラックマトリクス 1 4 9 を形成する。次に、基板上にオーバーコート膜 2 2 を形成する。その後、オーバーコート膜 2 2 の面上に、ITO をスパッタ法により成膜して電極膜 2 3 (共通電極) を得る。

10

【 0 1 3 6 】

次に、電極膜 2 3 の表面に感光性のアクリル樹脂を塗布し、フォトリソグラフィ法とドライエッチング法を用いて、導通阻止部材 3 6 とフォトスペーサ 5 3 (図 1 5 および 1 6 参照) とを同時に形成する。この際に、前述したとおり、導通阻止部材 3 6 とフォトスペーサ 5 3 の高さを異ならせる場合、導通阻止部材 3 6 に対応する箇所とフォトスペーサ 5 3 に対応する箇所との透過率が互いに異なるフォトマスクを用いれば良い。次に、画素領域 3 において電極膜 2 3 とフォトスペーサ 5 3 とを覆うように配向膜 1 4 8 を成膜することにより、対向基板 2 が完成する。なお、図 1 6 に示した配向制御材 8 1 を導通阻止部材 3 6 と同じアクリル樹脂で同時に形成することもあり得る。

20

【 0 1 3 7 】

次に、対向基板 2 の周辺領域の一部を含む所定の箇所にシール材 4 0 を塗布し、シール材 4 0 で囲まれた領域に液晶を滴下した後、対向基板 2 とアクティブマトリクス基板 1 とを貼り合わせる。シール材 4 0 は、熱硬化性樹脂 3 3 と、導電性粒状体 3 2 およびガラスファイバ 3 5 の一方または両方を含み得る。次に、アクティブマトリクス基板 1 と対向基板 2 とを位置合わせした状態で、シール材 4 0 へ紫外線を照射して、シール材 4 0 を仮硬化させる。次に、所定の温度まで加熱することにより、シール材 4 0 を本硬化させる。貼り合わせは、アクティブマトリクス基板の基板面法線方向から見た場合、アクティブマトリクス基板の電極膜 1 9 の少なくとも一部と導通阻止部材 3 6 とが重なるようになされる。

30

【 0 1 3 8 】

以上の工程により、本実施例の液晶モジュール (貼り合せ基板) 1 0 1 が完成する。この液晶モジュール 1 0 1 を適宜の筐体に組み込み、必要な駆動回路および電源回路等を取り付けることにより、液晶表示装置の最終形態が完成する。なお本願においては、上記の液晶モジュール 1 0 1 を本発明による液晶表示装置と呼んでいるが、液晶表示装置の上記最終形態を本発明による液晶表示装置と呼んでもよい。

【 0 1 3 9 】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態および実施例に限定されことなく、その趣旨を逸脱しない範囲内で上述した実施形態および実施例を適宜変形して実施することが可能である。

40

【 0 1 4 0 】

例えば、上述の例では、アクティブマトリクス基板 1 と対向基板 2 とのベース基板としてガラス基板を用いたが、透光性の絶縁性基板であれば、ガラス基板以外の基板を用いてもよい。

【 0 1 4 1 】

また、図 1 においては、2 つのゲートドライバ 4 a、4 b が画素領域 3 の両側に配置された構成を例示したが、ゲートドライバの数は 2 個に限定されず、また上述したものとは

50

異なる位置に配置することも可能である。また、図 1 においては、アクティブマトリクス基板 1 の 1 つの長辺付近に端子領域 8 が形成された例を示したが、端子領域 8 をアクティブマトリクス基板 1 の短辺付近に形成してもよい。

【 0 1 4 2 】

また、上記の説明においては、アクティブマトリクス基板 1 上にゲートドライバ 4 a、4 b がモノリシックに設けられた構成を例示したが、それに加えて、アクティブマトリクス基板 1 上にソースドライバをモノリシックに組み込むことも可能である。この場合、TFT の半導体層の材料としては、アモルファスシリコンよりも移動度が高い微結晶シリコン（マイクロクリスタルシリコン）や酸化物半導体（IZO、IGZO 等）などを用いることが好ましい。

10

【 0 1 4 3 】

なお、微結晶シリコン膜は、一般に、プラズマ CVD 法など、アモルファスシリコン膜の形成方法と同様の方法を用いて作製される。その原料ガスには、水素ガスで希釈したシランガスを用いるのが一般的である。微結晶シリコンに含まれる結晶粒の粒径は数 nm から数 100 nm 程度と小さく、微結晶シリコンは結晶粒とアモルファスシリコンとの混合状態として形成されることが多い。また、低温結晶化シリコン膜を形成する場合、まずアモルファスシリコンを成膜し、その後レーザーや熱による結晶化が必要であるが、微結晶シリコンは、CVD 装置等によって成膜が完了したときに、既に基本的な結晶粒を含んでいるという特徴がある。したがって、成膜後に、レーザーや熱によるアニール処理を施して結晶粒を形成する工程を省くことが可能である。よって、微結晶シリコン TFT は、低温結晶化シリコン TFT を作成するために必要とされる工程数よりも少ない工程数で作製可能であり、アモルファスシリコン TFT と同程度の工程数とコストで作製され得る。

20

【産業上の利用可能性】

【 0 1 4 4 】

本発明は、薄膜トランジスタを有するアクティブマトリクス基板を備えた液晶セル、液晶表示装置に好適に用いられる。

【符号の説明】

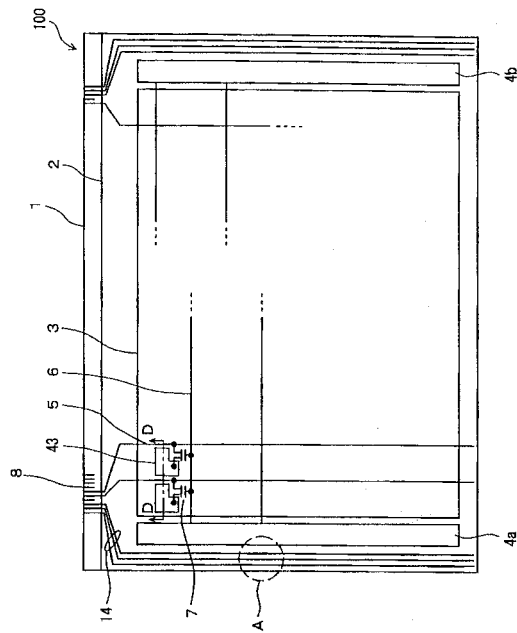
【 0 1 4 5 】

- 1 アクティブマトリクス基板
- 2 対向基板
- 3 画素領域
- 4 ゲートドライバ
- 5 ソース配線
- 6 ゲート配線
- 7 TFT
- 8 端子領域
- 1 1 ガラス基板
- 1 2 ゲート配線
- 1 4 基幹配線
- 1 9 電極膜
- 2 0 貫通孔
- 3 1 導通阻止部材
- 3 6 導通阻止部材
- 3 7 導通阻止部材
- 3 9 導通阻止部材
- 5 3 フォトスペーサ
- 8 1 配向制御構造物
- 1 0 0 液晶モジュール
- 1 0 1 液晶モジュール

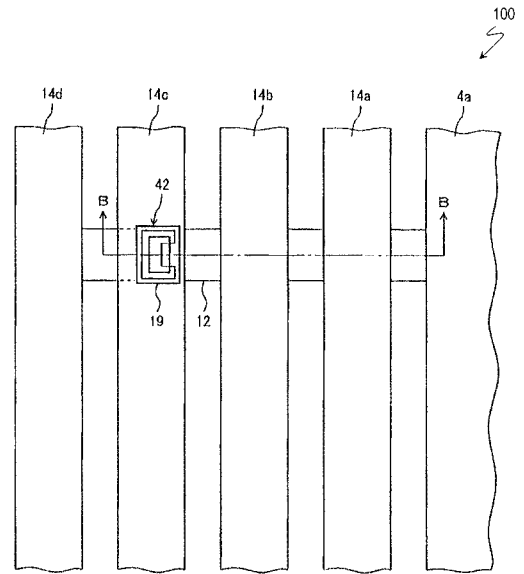
30

40

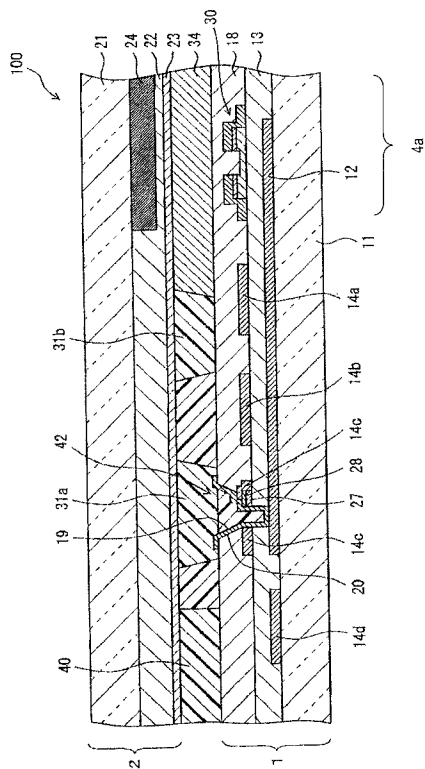
【図 1】



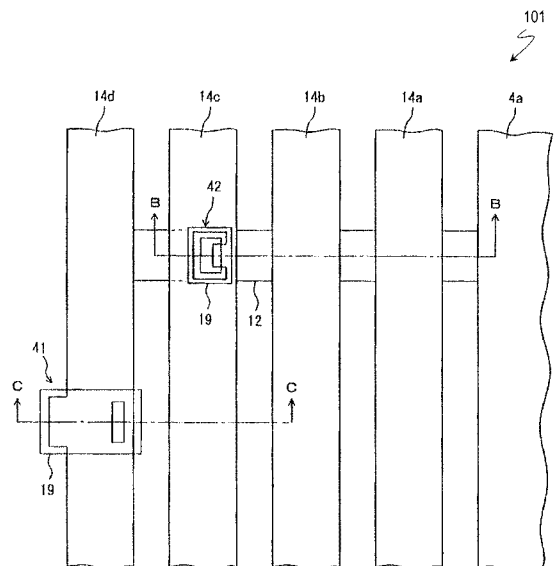
【図 2】



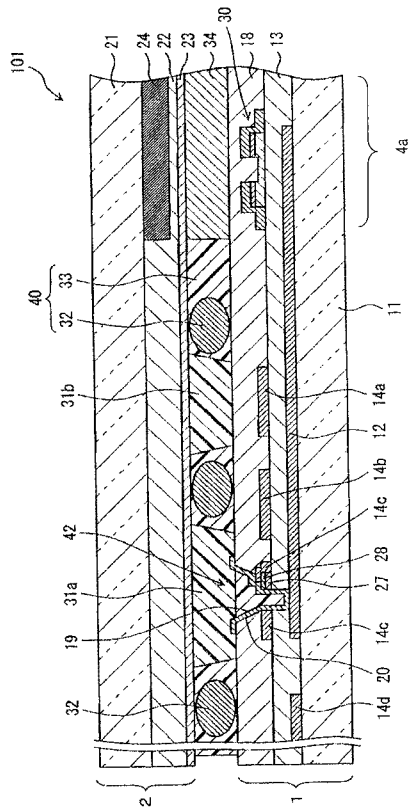
【図 3】



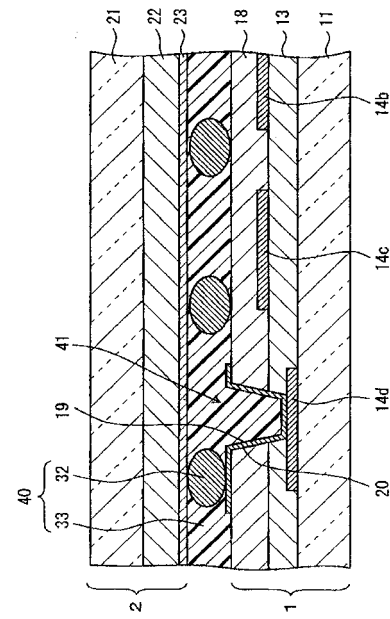
【図 4】



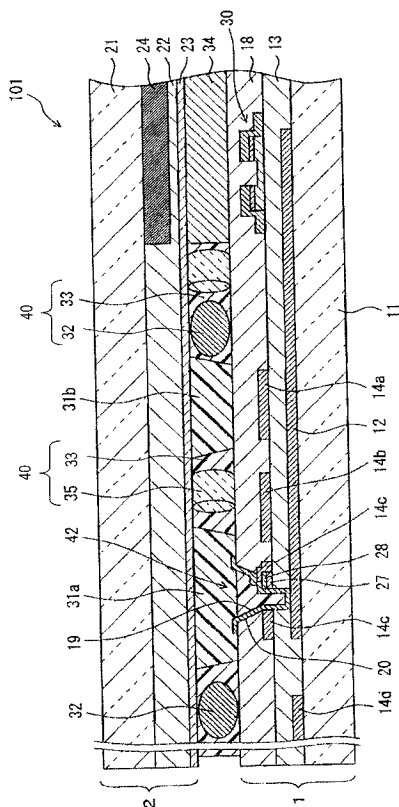
【図 5】



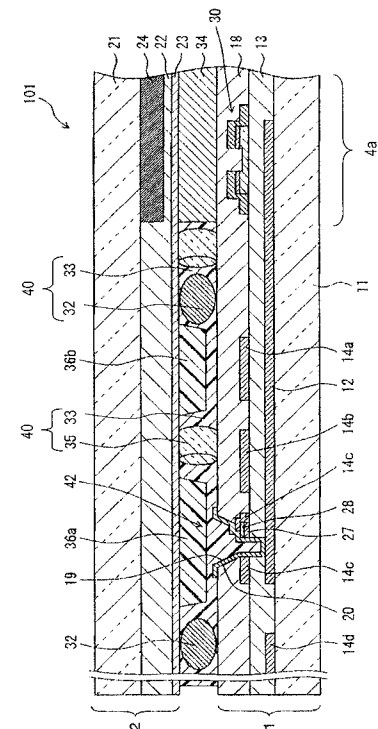
【図 6】



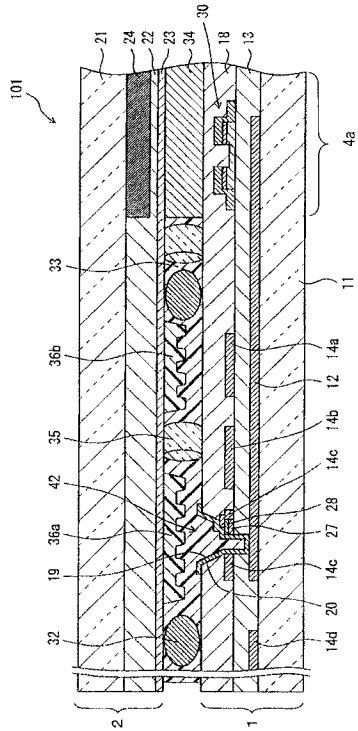
【図 7】



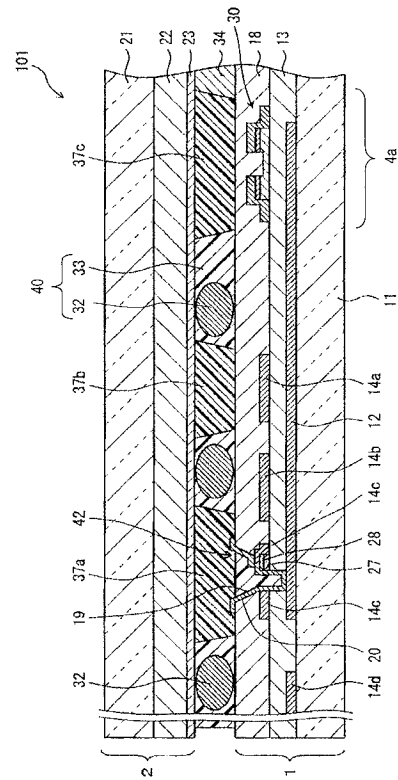
【図 8】



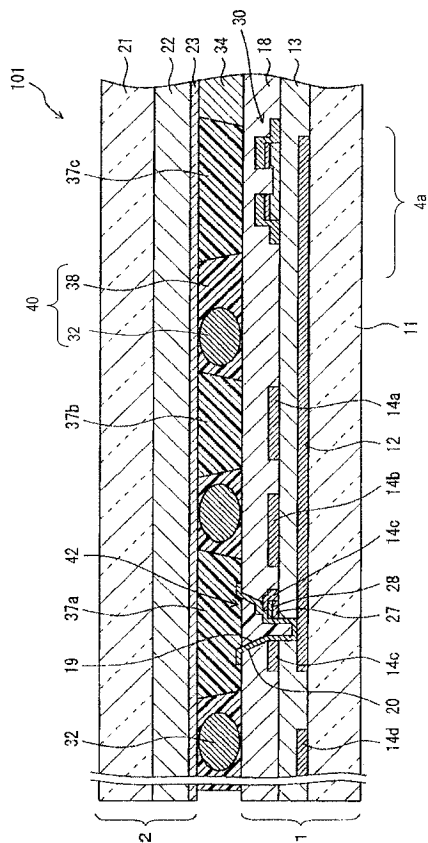
【図 9】



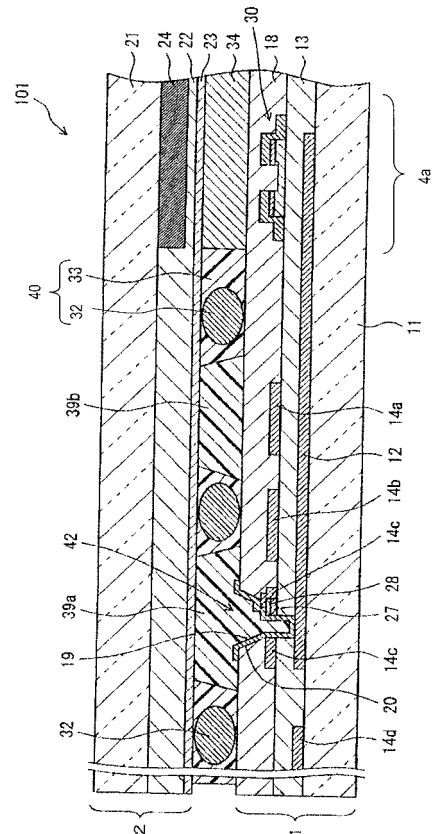
【図 10】



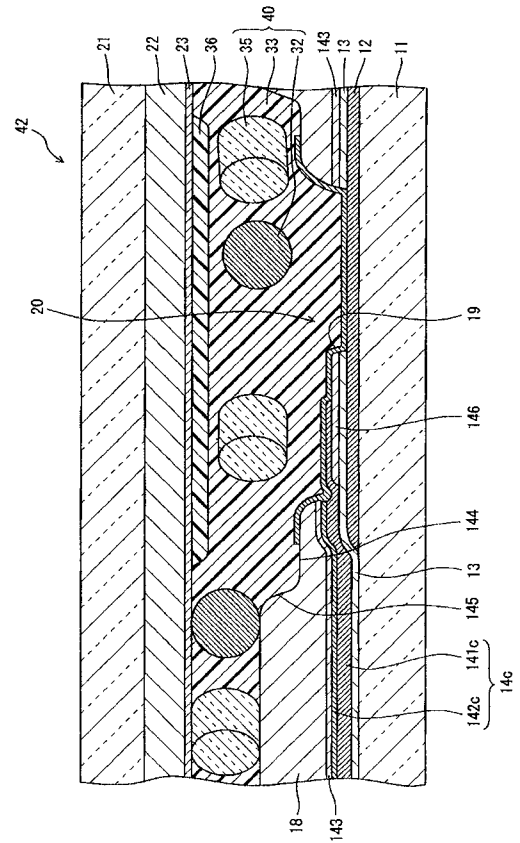
【図 11】



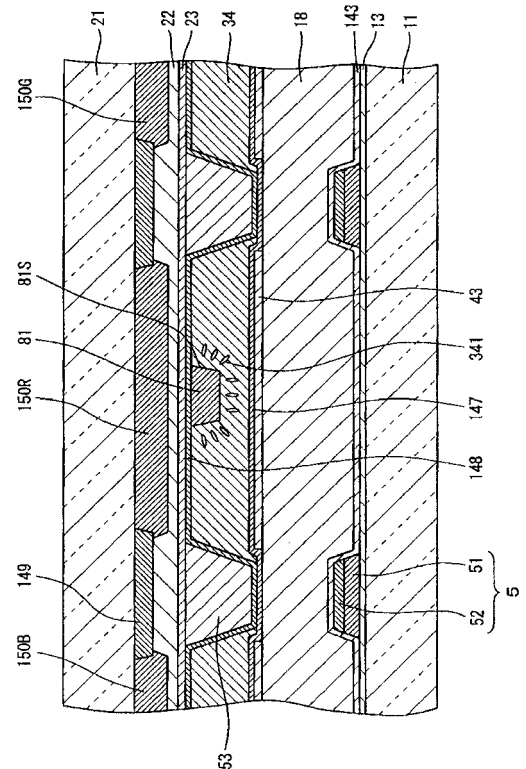
【図 12】



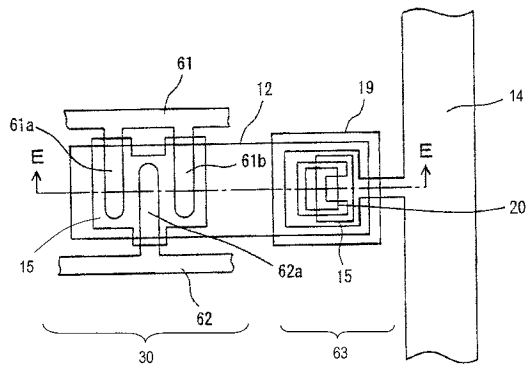
【 図 1 4 】



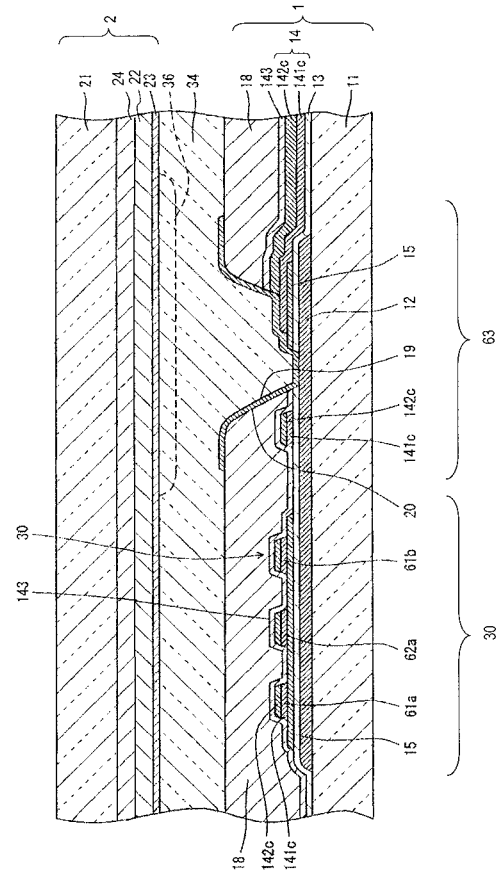
【 図 1 6 】



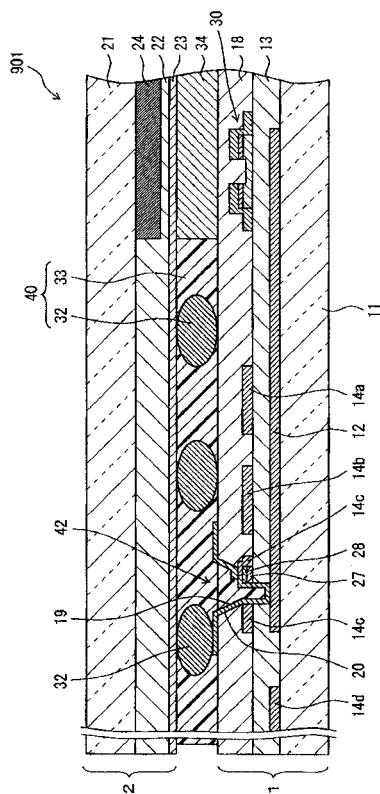
【図 17】



【図 18】



【図 19】



【手続補正書】

【提出日】平成24年7月23日(2012.7.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置であって、

前記アクティブマトリクス基板が、

前記周辺領域に延びる第 1 配線と、

前記第 1 配線の上に形成された第 1 絶縁層と、

前記周辺領域において前記絶縁層の上に延びる第 2 配線と、

前記第 2 配線の上に形成された第 2 絶縁層と、

前記周辺領域において、前記第 1 絶縁層および前記第 2 絶縁層に形成された貫通孔の中に配置され、前記第 1 配線と前記第 2 配線とを電気的に接続する電極膜と、を備え、

前記周辺領域における前記アクティブマトリクス基板と前記対向基板との間に、

前記アクティブマトリクス基板と前記対向基板とを貼り合わせるシール材と、

前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜と少なくとも一部が重なる位置に配置され、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材と、が配置されていることを特徴とする液晶表示装置。

【請求項 2】

前記導通阻止部材が前記電極膜と前記共通電極との両方に接する、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記導通阻止部材が前記電極膜と前記共通電極との一方のみに接する、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記導通阻止部材が、前記アクティブマトリクス基板に接することなく前記アクティブマトリクス基板に対面する端面を有し、

前記導通阻止部材の前記端面に凹凸が形成されている、請求項 1 または 3 に記載の液晶表示装置。

【請求項 5】

前記周辺領域における前記アクティブマトリクス基板の上に配置された駆動回路と、

前記周辺領域における前記アクティブマトリクス基板と前記対向基板との間に配置され、かつ、前記アクティブマトリクス基板の基板面法線方向から見た場合、前記駆動回路と重なる位置に配置された第 2 の導通阻止部材を備える、請求項 1 から 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記第 2 の導通阻止部材が黒色であり、

前記アクティブマトリクス基板の基板面法線方向から見た場合、前記駆動回路のチャンネル領域と前記第 2 の導通阻止部材とが少なくとも一部が重なるように配置されている、請求項 5 に記載の液晶表示装置。

【請求項 7】

前記アクティブマトリクス基板は、複数の T F T をさらに備え、

前記複数の T F T の半導体層の材料は、酸化物半導体である請求項 5 または 6 に記載の液晶表示装置。

【請求項 8】

前記酸化物半導体は、I G Z Oである請求項 7 に記載の液晶表示装置。

【請求項 9】

前記画素領域内で前記アクティブマトリクス基板と前記対向基板との間に設けられた突起状構造物を備え、

前記導通阻止部材が、前記突起状構造物と同じ材料で形成されている、請求項 1 から 8 のいずれかに記載の液晶表示装置。

【請求項 10】

前記突起状構造物が、前記アクティブマトリクス基板と前記対向基板との間隔を規定するスペーサである、請求項 9 に記載の液晶表示装置。

【請求項 11】

前記突起状構造物が、液晶の配向状態を規定する配向制御構造物である、請求項 9 に記載の液晶表示装置。

【請求項 12】

前記シール材が、導電性粒状体を含み、

前記シール材が、前記電極膜と前記対向基板の共通電極との間に配置されている、請求項 1 から 11 のいずれかに記載の液晶表示装置。

【請求項 13】

前記貫通孔における前記第 2 絶縁層の表面に段差部が形成されており、

前記電極膜の端部が前記段差部の上に位置する、請求項 1 から 12 のいずれかに記載の液晶表示装置。

【請求項 14】

複数の画素電極が形成された画素領域と、前記画素領域の外側に位置する周辺領域とを有し、アクティブマトリクス基板と、共通電極を有する対向基板とを備えた液晶表示装置の製造方法であって、

前記アクティブマトリクス基板に、前記周辺領域に延びる第 1 配線を形成する工程と、

前記アクティブマトリクス基板の前記第 1 配線の上に、第 1 絶縁層を形成する工程と、

前記アクティブマトリクス基板の前記第 1 絶縁層の上に、前記周辺領域に延びる第 2 配線を形成する工程と、

前記アクティブマトリクス基板の前記第 2 配線の上に、第 2 絶縁層を形成する工程と、

前記周辺領域において、前記第 1 絶縁層および前記第 2 絶縁層に貫通孔を設ける工程と

、

前記貫通孔のなかに、前記第 1 配線と前記第 2 配線とを電気的に接続する電極膜を形成する工程と、

前記対向基板に共通電極を形成する工程と、

前記アクティブマトリクス基板および前記対向基板の少なくとも一方に、前記電極膜と前記共通電極とが導通することを妨げる導通阻止部材を形成する工程と、

前記アクティブマトリクス基板の基板面法線方向から見た場合、前記電極膜の少なくとも一部と前記導通阻止部材とが重なるように、前記アクティブマトリクス基板と前記対向基板とを、シール材で貼り合わせる工程と、を含むことを特徴とする、液晶表示装置の製造方法。

【請求項 15】

前記アクティブマトリクス基板および前記対向基板の少なくとも一方の前記画素領域内に、前記導通阻止部材の材料と同じ材料によって、突起状構造物を形成する工程を含み、

前記突起状構造物を形成する工程と前記導通阻止部材を形成する工程とが同時に行われる、請求項 14 に記載の液晶表示装置の製造方法。

【請求項 16】

前記突起状構造物が、前記アクティブマトリクス基板と前記対向基板との間隔を規定するスペーサである、請求項 15 に記載の液晶表示装置の製造方法。

【請求項 17】

前記突起状構造物が、液晶の配向状態を規定する配向制御構造物である、請求項 1 5 に記載の液晶表示装置の製造方法。

【請求項 1 8】

前記シール材として、導電性粒状体を含むシール材を用い、

前記シール材を、前記電極膜と前記対向基板の前記共通電極との間に配置する、請求項 1 4 から 1 7 のいずれかに記載の液晶表示装置の製造方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/067688

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/1339(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/1339, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-135451 A (Semiconductor Energy Laboratory Co., Ltd.), 18 June 2009 (18.06.2009), entire text & US 2009/0104750 A1 & CN 101419943 A & KR 10-2009-0041354 A	1-16
A	JP 2008-203858 A (Samsung Electronics Co., Ltd.), 04 September 2008 (04.09.2008), entire text & US 2008/0203392 A1 & KR 10-2008-0078202 A & CN 101320148 A	1-16

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 October, 2010 (26.10.10)Date of mailing of the international search report
02 November, 2010 (02.11.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/067688

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-310027 A (L.G. Philips LCD Co., Ltd.), 04 November 2004 (04.11.2004), entire text & US 2004/0109101 A1 & GB 2396048 A & KR 10-2004-0048757 A & KR 10-2004-0050771 A & TW 234034 B & CN 1504819 A	1-16
A	JP 2004-184741 A (Seiko Epson Corp.), 02 July 2004 (02.07.2004), entire text (Family: none)	1-16
A	JP 2003-84687 A (Semiconductor Energy Laboratory Co., Ltd.), 19 March 2003 (19.03.2003), entire text & US 2003/0116768 A1 & US 2004/0188692 A1	1-16

国際調査報告		国際出願番号 PCT/JP2010/067688	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G02F1/1368(2006.01)i, G02F1/1339(2006.01)i, G09F9/30(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G02F1/1368, G02F1/1339, G09F9/30			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2009-135451 A（株式会社半導体エネルギー研究所） 2009.06.18, 全文 & US 2009/0104750 A1 & CN 101419943 A & KR 10-2009-0041354 A	1-16	
A	JP 2008-203858 A（三星電子株式会社）2008.09.04, 全文 & US 2008/0203392 A1 & KR 10-2008-0078202 A & CN 101320148 A	1-16	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 26.10.2010		国際調査報告の発送日 02.11.2010	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 高松 大	2L 3310 電話番号 03-3581-1101 内線 3255

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 6 7 6 8 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-310027 A (エルジー フィリップス エルシーディー カ ンパニー リミテッド) 2004.11.04, 全文 & US 2004/0109101 A1 & GB 2396048 A & KR 10-2004-0048757 A & KR 10-2004-0050771 A & TW 234034 B & CN 1504819 A	1 - 1 6
A	JP 2004-184741 A (セイコーエプソン株式会社) 2004.07.02, 全文 (ファミリーなし)	1 - 1 6
A	JP 2003-84687 A (株式会社半導体エネルギー研究所) 2003.03.19, 全文 & US 2003/0116768 A1 & US 2004/0188692 A1	1 - 1 6

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 2H092 GA59 JA24 JA46 JB38 JB52 JB56 MA14 MA16 NA16 PA02
PA03 PA04 PA06
2H189 AA08 AA14 DA05 DA07 DA25 DA32 DA33 DA42 EA06X EA07X
EA12Y FA06 FA16 GA02 GA06 GA43 HA01 JA10 JA31 JA33
LA10 LA15

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

