

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/030819

発行日 平成25年2月7日(2013.2.7)

(43) 国際公開日 平成23年3月17日(2011.3.17)

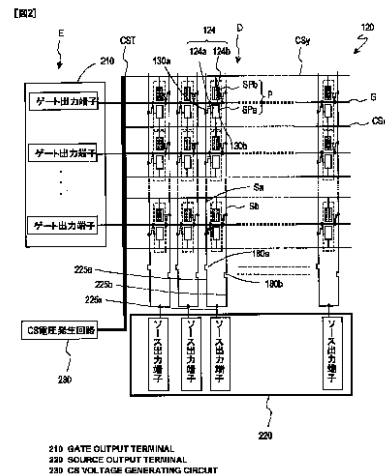
(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G02F 1/1343 (2006.01)	G02F 1/1343	5C006
G09G 3/36 (2006.01)	G09G 3/36	5C080
G09G 3/20 (2006.01)	G09G 3/20 621M	
審査請求 有 予備審査請求 未請求 (全 23 頁) 最終頁に続く		

出願番号	特願2011-530868 (P2011-530868)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/065510		シャープ株式会社
(22) 国際出願日	平成22年9月9日(2010.9.9)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-209697 (P2009-209697)	(74) 代理人	100101683
(32) 優先日	平成21年9月10日(2009.9.10)		弁理士 奥田 誠司
(33) 優先権主張国	日本国(JP)	(74) 代理人	100155000
			弁理士 喜多 修市
		(74) 代理人	100139930
			弁理士 山下 亮司
		(74) 代理人	100125922
			弁理士 三宅 章子
		(72) 発明者	小原 将紀
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

本発明による液晶表示装置(100)は、第1、第2画素トランジスタ(130a、130b)と、ゲート配線(G)にゲート信号を供給するゲートドライバ(210)と、第1分岐配線(225a)および第2分岐配線(225b)にソース信号を供給するソースドライバ(220)と、第1分岐配線(225a)に電氣的に接続されたソース、および、第1ソース配線(Sa)に電氣的に接続されたドレインを有する第1ソーストランジスタ(180a)と、第2分岐配線(225b)に電氣的に接続されたソース、および、第2ソース配線(Sb)に電氣的に接続されたドレインを有する第2ソーストランジスタ(180b)とを備える。



【特許請求の範囲】**【請求項 1】**

第 1 副画素電極および第 2 副画素電極を有する画素電極と、
対向電極と、
前記画素電極と前記対向電極との間に設けられた液晶層と、
ゲート配線と、
第 1 ソース配線と、
第 2 ソース配線と、
前記ゲート配線に電氣的に接続されたゲート、前記第 1 ソース配線に電氣的に接続されたソース、および、前記第 1 副画素電極に電氣的に接続されたドレインを有する第 1 画素トランジスタと、
前記ゲート配線に電氣的に接続されたゲート、前記第 2 ソース配線に電氣的に接続されたソース、および、前記第 2 副画素電極に電氣的に接続されたドレインを有する第 2 画素トランジスタと、
前記ゲート配線にゲート信号を供給するゲートドライバと、
第 1 分岐配線と、
第 2 分岐配線と、
前記第 1 分岐配線および前記第 2 分岐配線にソース信号を供給するソースドライバと、
ゲート、前記第 1 分岐配線に電氣的に接続されたソース、および、前記第 1 ソース配線に電氣的に接続されたドレインを有する第 1 ソーストランジスタと、
ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタと
を備える、液晶表示装置。

【請求項 2】

前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 ソーストランジスタのしきい値電圧は前記第 1 ソーストランジスタのしきい値電圧とは異なる、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ソーストランジスタの前記ゲートは、前記第 1 ソーストランジスタの前記ソースに電氣的に接続されており、

前記第 2 ソーストランジスタの前記ゲートは、前記第 2 ソーストランジスタの前記ソースに電氣的に接続されている、請求項 1 から 3 のいずれかに記載の液晶表示装置。

【請求項 5】

前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御するトランジスタ制御回路をさらに備える、請求項 1 から 3 のいずれかに記載の液晶表示装置。

【請求項 6】

前記トランジスタ制御回路は、オン期間が互いに異なるように前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御する、請求項 5 に記載の液晶表示装置。

【請求項 7】

前記ソースドライバは、前記ゲートドライバが前記第 1、第 2 画素トランジスタをオンにしている間に、前記第 1 分岐配線および前記第 2 分岐配線に印加する電圧を第 1 電圧から第 2 電圧に変化させ、

前記ソースドライバが前記第 1 電圧を印加している間、前記トランジスタ制御回路は前記第 1 ソーストランジスタをオンにし、前記ソースドライバが前記第 2 電圧を印加している間、前記トランジスタ制御回路は前記第 2 ソーストランジスタをオンにする、請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】**

【 0 0 0 1 】

本発明は液晶表示装置に関し、より詳細には、マルチ画素構造を有する液晶表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

液晶表示装置は、大型テレビジョンだけでなく携帯電話の表示部等の小型の表示装置としても利用されている。従来しばしば用いられたTN (Twisted Nematic) モードの液晶表示装置の視野角は比較的狭かったが、近年、IPS (In-Plane-Switching) モードおよびVA (Vertical Alignment) モードといった広視野角の液晶表示装置が作製されている。そのような広視野角モードの中

10

【 0 0 0 3 】

VAモードの一種として、1つの画素領域に複数の液晶ドメインを形成するMVA (Multidomain Vertical Alignment) モードが知られている。MVAモードの液晶表示装置には、垂直配向型液晶層を挟んで対向する一对の基板のうちの少なくとも一方の液晶層側に配向規制構造が設けられている。配向規制構造は、例えば、電極に設けられた線状のスリット (開口部) またはリブ (突起構造) である。配向規制構造により、液晶層の一方または両側から配向規制力が付与され、配向方向の異なる複数の液晶ドメイン (典型的には4つの液晶ドメイン) が形成され、視野角特性の改善が図られている。

20

【 0 0 0 4 】

また、VAモードの別の一種として、CPA (Continuous Pinwheel Alignment) モードも知られている。一般的なCPAモードの液晶表示装置では対称性の高い形状を有する画素電極が設けられるとともに液晶ドメインの中心に対応して対向基板の液晶層側に開口部や突起物が設けられている。この突起物はリベットとも呼ばれる。電圧を印加すると、対向電極と対称性の高い画素電極とによって形成される斜め電界にしたがって液晶分子は放射形状に傾斜配向する。また、リベットが設けられている場合、リベットの傾斜側面の配向規制力によって液晶分子の傾斜配向が安定化される。このように、1画素内の液晶分子が放射形状に配向することにより、視野角特性の改善が行われている。

30

【 0 0 0 5 】

VAモードの欠点として、正面方向からの表示品位と斜め方向からの表示品位との差が顕著であることが知られている。特に中間調表示において、正面方向から見たときに適切な表示特性となるように調整を行うと、斜め方向から見たときの色味やガンマ特性といった表示特性が正面方向の表示特性とは大きく異なってしまう。液晶分子の光学軸方向は分子長軸方向であり、中間調表示時には液晶分子の光学軸方向は基板の主面に対してある程度傾いた状態となる。この状態で視野角 (見る方向) を変化させて、液晶分子の光学軸方向と平行な斜めから見たときの表示特性は正面方向の表示特性とは大きく異なってしまう。

40

【 0 0 0 6 】

具体的には、斜め方向からみた表示画像は正面方向からみた表示画像と比べて全体的に白っぽくみえる。このような現象は「白浮き」とも呼ばれている。例えば、人間の顔を表示する場合、正面方向からは人間の顔の表情等が違和感なく視認されていても、斜め方向から見ると全体的に白っぽく見え、肌色の微妙な階調表現が白く潰れてしまっていることがある。

【 0 0 0 7 】

このような白浮きを改善するために、1つの画素電極を複数 (典型的には、2つ) の副画素電極に分割して副画素電極の電圧を異ならせることによって複数 (典型的には、2つ) の副画素が形成されている。このようなマルチ画素構造を有する液晶表示装置では、副

50

画素の階調特性は、斜め方向の表示品位が正面方向の表示品位と比べて低下しないように調整されている（例えば、特許文献１～３参照）。

【０００８】

特許文献１に開示されている液晶表示装置では、２つの副画素電極は異なる薄膜トランジスタを介して異なるソース配線に接続されており、ソースドライバは、各画素に対して異なるソース信号電圧を印加する。この結果、２つの副画素電極の電圧の違いに応じて副画素の輝度が互いに異なることになり、これにより、白浮きが改善されている。

【０００９】

特許文献２に開示されている液晶表示装置では、２つの副画素電極に対応する異なる薄膜トランジスタは異なるゲート配線に接続されており、ゲートドライバは、各画素に対して薄膜トランジスタのオン期間が異なるように異なるゲート信号電圧を印加する。この結果、２つの副画素電極の電圧の違いに応じて副画素の輝度が互いに異なることになり、これにより、白浮きが改善されている。

10

【００１０】

しかしながら、特許文献１の液晶表示装置では、ソースドライバは、１列の画素に対して２つのソース出力端子から異なるソース信号電圧を印加する必要がある、比較的高価なソースドライバを用いる必要がある。また、特許文献２の液晶表示装置でも、ゲートドライバは、１行の画素に対して２つのゲート出力端子から異なるゲート信号電圧を印加する必要がある、比較的高価なゲートドライバを用いる必要がある。

20

【００１１】

これに対して、特許文献３には、隣接する補助容量配線（ＣＳ配線）の電圧を異なるように変化させることにより、副画素の実効電圧を異ならせる液晶表示装置が開示されている。特許文献３の液晶表示装置において、ソースドライバは、１列の画素に対して１つのソース出力端子からソース信号電圧を印加し、ゲートドライバは、１行の画素に対して１つのゲート出力端子からゲート信号電圧を印加する。このため、特許文献３の液晶表示装置では、ドライバのコストの増大を抑制することができる。

【００１２】

以下、図１０を参照して、特許文献３に開示される液晶表示装置９００の構成を説明する。液晶表示装置９００では、それぞれが対応する副画素電極と直接的または間接的に補助容量を形成するＣＳ配線に対して異なるＣＳ電圧を印加することにより、副画素電極の実効電圧が異なることになり、１つの画素に属する副画素が異なる輝度を呈し得る。液晶表示装置９００では、このようにして白浮きの改善が実現されている。

30

【００１３】

また、液晶表示装置９００では、表示領域の周囲に位置する周辺領域に複数のＣＳ幹線ＣＳＴが設けられており、各ＣＳ幹線ＣＳＴから表示領域に複数のＣＳ配線が延びている。液晶表示装置９００では、同一のＣＳ幹線ＣＳＴから延びたＣＳ配線に等価な補助容量電圧（ＣＳ電圧）を印加することにより、ＣＳ電圧発生回路（図示せず）の処理量が低減されている。

【００１４】

例えば、図１０に示した液晶表示装置９００では、１２本のＣＳ幹線ＣＳＴ１～ＣＳＴ１２が設けられており、ＣＳ電圧発生回路において発生した異なるＣＳ電圧はＣＳ幹線ＣＳＴ１～ＣＳＴ１２を介してＣＳ配線に供給される。このような液晶表示装置では、ＣＳ幹線の数が多いほど、１つのＣＳ幹線に印加されるＣＳ電圧の反転期間を長くすることができる。ＣＳ電圧の波形が理想的に矩形状に変化するのであれば、ＣＳ幹線が２本であっても輝度ムラなく表示を行うことができるが、特に、液晶表示装置のサイズが大きいほど、ＣＳ電圧の波形は鈍ることになるため、輝度ムラなく表示を行うことができない。このため、ＣＳ幹線を多くすることにより、水平走査期間に対するＣＳ電圧の反転期間を比較的長くし、輝度ムラを抑制した表示を行うことができる。

40

【先行技術文献】

【特許文献】

50

【 0 0 1 5 】

【特許文献 1】特開 2 0 0 6 - 2 0 9 1 3 5 号公報

【特許文献 2】特開 2 0 0 6 - 1 3 9 2 8 8 号公報

【特許文献 3】特開 2 0 0 5 - 1 8 9 8 0 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 6 】

しかしながら、特許文献 3 の液晶表示装置では、周辺領域に複数の C S 幹線を設けており、狭額縁化を実現できない。

【 0 0 1 7 】

10

本発明は、上記課題を鑑みてなされたものであり、その目的は、ドライバのコストの増大を抑制するとともに狭額縁化に適した液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 8 】

本発明による液晶表示装置は、第 1 副画素電極および第 2 副画素電極を有する画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶層と、ゲート配線と、第 1 ソース配線と、第 2 ソース配線と、前記ゲート配線に電氣的に接続されたゲート、前記第 1 ソース配線に電氣的に接続されたソース、および、前記第 1 副画素電極に電氣的に接続されたドレインを有する第 1 画素トランジスタと、前記ゲート配線に電氣的に接続されたゲート、前記第 2 ソース配線に電氣的に接続されたソース、および、前記第 2 副画素電極に電氣的に接続されたドレインを有する第 2 画素トランジスタと、前記ゲート配線にゲート信号を供給するゲートドライバと、第 1 分岐配線と、第 2 分岐配線と、前記第 1 分岐配線および前記第 2 分岐配線にソース信号を供給するソースドライバと、ゲート、前記第 1 分岐配線に電氣的に接続されたソース、および、前記第 1 ソース配線に電氣的に接続されたドレインを有する第 1 ソーストランジスタと、ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタとを備える。このため、前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタにより、前記第 1 画素トランジスタおよび前記第 2 画素トランジスタがオフになるときの前記第 1 ソース配線の電圧を前記第 2 ソース配線の電圧と異ならせることができる。

20

30

【 0 0 1 9 】

ある実施形態において、前記液晶表示装置は、前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える。

【 0 0 2 0 】

ある実施形態において、前記第 2 ソーストランジスタのしきい値電圧は前記第 1 ソーストランジスタのしきい値電圧とは異なる。

【 0 0 2 1 】

ある実施形態において、前記第 1 ソーストランジスタの前記ゲートは、前記第 1 ソーストランジスタの前記ソースに電氣的に接続されており、前記第 2 ソーストランジスタの前記ゲートは、前記第 2 ソーストランジスタの前記ソースに電氣的に接続されている。

40

【 0 0 2 2 】

ある実施形態において、前記液晶表示装置は、前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御するトランジスタ制御回路をさらに備える。

【 0 0 2 3 】

ある実施形態において、前記トランジスタ制御回路は、オン期間が互いに異なるように前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御する。

【 0 0 2 4 】

ある実施形態において、前記ソースドライバは、前記ゲートドライバが前記第 1、第 2 画素トランジスタをオンにしている間に、前記第 1 分岐配線および前記第 2 分岐配線に印加する電圧を第 1 電圧から第 2 電圧に変化させ、前記ソースドライバが前記第 1 電圧を印

50

加している間、前記トランジスタ制御回路は前記第 1 ソーストランジスタをオンにし、前記ソースドライバが前記第 2 電圧を印加している間、前記トランジスタ制御回路は前記第 2 ソーストランジスタをオンにする。

【発明の効果】

【0025】

本発明によれば、ドライバのコストの増大を抑制するとともに狭額縁化に適した液晶表示装置を提供することができる。

【図面の簡単な説明】

【0026】

【図 1】本発明による液晶表示装置の第 1 実施形態の模式図である。

10

【図 2】図 1 に示した液晶表示装置におけるアクティブマトリクス基板の模式的な平面図である。

【図 3】図 1 に示した液晶表示装置の模式的な平面図である。

【図 4】図 1 に示した液晶表示装置の電圧波形図である。

【図 5】(a) は比較例の液晶表示装置の模式図であり、(b) は図 1 に示した液晶表示装置の模式図である。

【図 6】本発明による液晶表示装置の第 2 実施形態の模式的な平面図である。

【図 7】図 6 に示した液晶表示装置の電圧波形図である。

【図 8】本発明による液晶表示装置の第 3 実施形態の模式的な平面図である。

20

【図 9】図 8 に示した液晶表示装置の電圧波形図である。

【図 10】従来の液晶表示装置の模式図である。

【発明を実施するための形態】

【0027】

以下、図面を参照して、本発明による液晶表示装置の実施形態を説明する。ただし、本発明は、以下の実施形態に限定されるものではない。

【0028】

(実施形態 1)

図 1 に、本発明による液晶表示装置の第 1 実施形態の模式図を示す。液晶表示装置 100 は、絶縁基板 122 上に設けられた画素電極 124 および配向膜 126 を有するアクティブマトリクス基板 120 と、絶縁基板 142 上に設けられた対向電極 144 および配向膜 146 を有する対向基板 140 と、アクティブマトリクス基板 120 と対向基板 140 との間に設けられた液晶層 160 とを備えている。アクティブマトリクス基板 120 および対向基板 140 には図示しない偏光板が設けられており、偏光板の偏光軸はクロスニコルの関係を有している。液晶層 160 の厚さはほぼ一定である。なお、必要に応じて液晶表示装置 100 はバックライトを備えていてもよい。

30

【0029】

液晶表示装置 100 には、複数の画素が複数の行および複数の列のマトリクス状に配列されている。例えば、R (赤)、G (緑)、B (青) を原色としてカラー表示を行う液晶表示装置では、R、G、B の 3 つの画素によって 1 つの色が表現される。画素は画素電極 124 によって規定される。対向電極 144 は複数の画素電極 124 に対して共通である。なお、対向電極 144 は例えば透明導電膜を有しており、例えば、ITO から構成されている。同様に、画素電極 124 は例えば透明導電膜を有しており、例えば、ITO から構成されていてもよい。

40

【0030】

液晶表示装置 100 は VA モードで動作する。配向膜 126、146 は垂直配向膜である。液晶層 160 は垂直配向型の液晶層である。ここで、「垂直配向型液晶層」とは、垂直配向膜 126、146 の表面に対して、液晶分子軸 (「軸方位」ともいう。) が約 85° 以上の角度で配向した液晶層をいう。液晶分子 162 は負の誘電異方性を有し、クロスニコル配置された偏光板と組み合わせて、ノーマリーブラックモードで表示が行われる。液晶層 160 に電圧が印加されない場合、液晶層 160 の液晶分子 162 は配向膜 126

50

、１４６の主面の法線方向とほぼ平行に配向する。液晶層１６０に所定の電圧よりも高い電圧が印加される場合、液晶層１６０の液晶分子１６２は配向膜１２６、１４６の主面とほぼ平行に配向する。なお、ここでは、アクティブマトリクス基板１２０および対向基板１４０は配向膜１２６、１４６をそれぞれ有しているが、アクティブマトリクス基板１２０および対向基板１４０の少なくとも一方が対応する配向膜１２６、１４６を有してもよい。ただし、配向の安定性の観点から、アクティブマトリクス基板１２０および対向基板１４０の両方が配向膜１２６、１４６をそれぞれ有していることが好ましい。

【００３１】

図２に、液晶表示装置１００におけるアクティブマトリクス基板１２０の模式的な平面図を示す。なお、表示領域Ｄには、複数の行および複数の列のマトリクス状に画素Ｐが設けられている。

10

【００３２】

画素Ｐは異なる輝度を呈し得る副画素ＳＰａおよび副画素ＳＰｂを含んでいる。画素Ｐは画素電極１２４によって規定される。画素電極１２４は副画素電極１２４ａ、１２４ｂを有している。本明細書の以下の説明において、副画素電極１２４ａを第１副画素電極と呼び、副画素電極１２４ｂを第２副画素電極と呼ぶことがある。副画素ＳＰａは第１副画素電極１２４ａによって規定されており、副画素ＳＰｂは第２副画素電極１２４ｂによって規定されている。

【００３３】

液晶表示装置１００には、１行の画素Ｐに対して１つのゲート配線Ｇが設けられており、１列の画素Ｐに対して２つのソース配線Ｓａ、Ｓｂが設けられている。なお、以下の説明において、第ｍ行第ｎ列の画素Ｐに着目してその構成を説明する。この画素Ｐに属する副画素ＳＰａ、ＳＰｂに対応して１つのゲート配線Ｇおよび２つのソース配線Ｓａ、Ｓｂが設けられている。

20

【００３４】

副画素ＳＰａに対応するスイッチング素子としてトランジスタ１３０ａが設けられており、副画素ＳＰｂに対応するスイッチング素子としてトランジスタ１３０ｂが設けられている。具体的には、トランジスタ１３０ａは、ゲート配線Ｇに電氣的に接続されたゲートと、ソース配線Ｓａに電氣的に接続されたソースと、第１副画素電極１２４ａに電氣的に接続されたドレインとを有している。同様に、トランジスタ１３０ｂは、ゲート配線Ｇに電氣的に接続されたゲートと、ソース配線Ｓｂに電氣的に接続されたソースと、第２副画素電極１２４ｂに電氣的に接続されたドレインとを有している。また、本明細書の以下の説明において、このように表示領域に設けられたトランジスタを画素トランジスタと呼ぶことがあり、具体的には、トランジスタ１３０ａを第１画素トランジスタ、トランジスタ１３０ｂを第２画素トランジスタと呼ぶことがある。例えば、第１、第２トランジスタ１３０ａ、１３０ｂとして薄膜トランジスタ（Thin Film Transistor：ＴＦＴ）が用いられる。

30

【００３５】

液晶表示装置１００の周辺領域Ｅにはゲートドライバ２１０が設けられている。ゲートドライバ２１０は画素Ｐの行数とほぼ同数のゲート出力端子を有しており、各ゲート出力端子は対応するゲート配線Ｇに電氣的に接続されている。ゲートドライバ２１０はゲート配線Ｇを介してＴＦＴ１３０ａ、１３０ｂのゲートにゲート信号を供給し、これにより、ゲートドライバ２１０はＴＦＴ１３０ａ、１３０ｂを制御する。

40

【００３６】

また、液晶表示装置１００の周辺領域Ｅにはソースドライバ２２０が設けられている。ソースドライバ２２０は画素の列数とほぼ同数のソース出力端子を有しており、各ソース出力端子は、対応する接続配線２２５ｘに電氣的に接続されている。接続配線２２５ｘから２つの分岐配線２２５ａ、２２５ｂが延びている。

【００３７】

液晶表示装置１００において分岐配線２２５ａとソース配線Ｓａとの間にはトランジス

50

タ 1 8 0 a が設けられており、同様に、分岐配線 2 2 5 b とソース配線 S b との間にはトランジスタ 1 8 0 b が設けられている。トランジスタ 1 8 0 a は、ゲート、分岐配線 2 2 5 a に電氣的に接続されたソース、および、第 1 ソース配線 S a に電氣的に接続されたドレインを有している。同様に、トランジスタ 1 8 0 b は、ゲート、分岐配線 2 2 5 b に電氣的に接続されたソース、および、第 2 ソース配線 S b に電氣的に接続されたドレインを有している。例えば、トランジスタ 1 8 0 a、1 8 0 b として T F T が用いられる。T F T 1 8 0 a、1 8 0 b は T F T 1 3 0 a、1 3 0 b と同様の工程で作製される。

【 0 0 3 8 】

ソースドライバ 2 2 0 から出力されるソース信号は接続配線 2 2 5 x を介して分岐配線 2 2 5 a、2 2 5 b に伝達される。本実施形態の液晶表示装置 1 0 0 では、T F T 1 8 0 a、1 8 0 b により、第 1、第 2 画素トランジスタ 1 3 0 a、1 3 0 b がオフになるときのソース配線 S a、S b の電圧が異なる。このため、副画素電極 1 2 4 b の電圧が副画素電極 1 2 4 a の電圧とは異なり、副画素 S P b は副画素 S P a とは異なる輝度を呈することになる。本明細書の以下の説明において、T F T 1 8 0 a を第 1 ソーストランジスタと呼ぶことがあり、T F T 1 8 0 b を第 2 ソーストランジスタと呼ぶことがある。

【 0 0 3 9 】

なお、接続配線 2 2 5 x、分岐配線 2 2 5 a、2 2 5 b、第 1、第 2 ソーストランジスタ 1 8 0 a、1 8 0 b はいずれも周辺領域 E に設けられている。また、接続配線 2 2 5 x、分岐配線 2 2 5 a、2 2 5 b、および、第 1、第 2 ソース配線 S a、S b を総称してソースバスライン S と呼ぶことがある。ソースドライバ 2 2 0 はソースバスライン S にソース信号を供給する。

【 0 0 4 0 】

また、液晶表示装置 1 0 0 において、副画素電極 1 2 4 a、1 2 4 b と直接的または間接的に補助容量を形成する C S 配線 C S x、C S y が設けられている。C S 配線 C S x、C S y は同一の C S 幹線 C S T に接続されており、等価な C S 電圧が印加される。周辺領域 E には、C S 電圧を発生する C S 電圧発生回路 2 3 0 が設けられている。C S 電圧として対向電極 1 4 4 の電圧と等価な電圧を用いてもよく、C S 電圧発生回路 2 3 0 において発生した C S 電圧は対向基板 1 4 0 の対向電極 1 4 4 に印加されてもよい。

【 0 0 4 1 】

図 3 に、液晶表示装置 1 0 0 の模式的な平面図を示す。なお、上述したように、表示領域 D には複数の画素 P が設けられているが、図 3 では 1 つの画素 P を示している。また、図 3 は、図 2 に示した C S 電圧発生回路 2 3 0 を省略して示している。

【 0 0 4 2 】

液晶表示装置 1 0 0 では、T F T 1 8 0 b の特性は T F T 1 8 0 a とは異なる。具体的には、T F T 1 8 0 b のしきい値電圧は T F T 1 8 0 a とは異なり、例えば、T F T 1 8 0 b のしきい値電圧は T F T 1 8 0 a よりも高い。また、液晶表示装置 1 0 0 では、T F T 1 8 0 a のゲートは T F T 1 8 0 a のソースに電氣的に接続されており、T F T 1 8 0 b のゲートは T F T 1 8 0 b のソースに電氣的に接続されている。このように、T F T 1 8 0 a、1 8 0 b はダイオード接続されている。

【 0 0 4 3 】

以下、図 3 および図 4 を参照して、液晶表示装置 1 0 0 の駆動方法を説明する。ここでは、画素 P への書き込みを説明する。図 4 に、液晶表示装置 1 0 0 におけるゲート配線 G の印加電圧、T F T 1 8 0 a、1 8 0 b のゲートに印加される電圧、ソースドライバ出力電圧、第 1 ソース配線 S a の電圧、第 2 ソース配線 S b の電圧、および、C S 電圧の波形図を示す。

【 0 0 4 4 】

まず、画素 P を選択するためのゲート配線 G の電圧をローからハイに変化させて T F T 1 3 0 a、1 3 0 b をオンにする。その後、互いに電氣的に接続された C S 幹線 C S T および対向電極 1 4 4 の電圧を変化させる。

【 0 0 4 5 】

次に、画素 P に関連するソースバスライン S に、ソースドライバ 220 から所定の階調レベルに対応する電圧 V_s を印加する。電圧 V_s は接続配線 225x、分岐配線 225a、225b を介して伝達される。このため、TFT180a のゲートには TFT180b のゲートとほぼ同様の電圧が印加される。なお、液晶表示装置 100 では、任意の階調レベルに対応してソースドライバ 220 から供給される電圧 V_s は TFT180a、180b のしきい値電圧よりも大きい。このため、TFT180a、180b はオンとなり、ソースドライバ 220 は接続配線 225x および分岐配線 225a、225b を介してソース配線 Sa、Sb に電氣的に接続される。

【0046】

液晶表示装置 100 では、上述したように、TFT180a、180b のしきい値電圧が異なる。このため、分岐配線 225a、225b の電圧が等しくても、ソース配線 Sa、Sb の電圧が互いに異なることになる。TFT180a による降下電圧は TFT180a のしきい値電圧 V_{ta} と略等しく、ソース配線 Sa には電圧 $V_s - V_{ta}$ が印加される。同様に、TFT180b による降下電圧は TFT180b のしきい値電圧 V_{tb} と略等しく、ソース配線 Sb には電圧 $V_s - V_{tb}$ が印加される。

【0047】

例えば、しきい値電圧 V_{tb} がしきい値電圧 V_{ta} よりも大きい場合 ($V_{tb} = V_{ta} + \alpha$ 、 $\alpha > 0$ の場合)、ソース配線 Sb の印加電圧はソース配線 Sa の印加電圧よりも低い。このため、副画素電極 124b の電圧は副画素電極 124a よりも低くなる。なお、実際には、副画素 Spa、Sb の液晶容量および補助容量への充電が完了するまでには所定の時間が必要であり、ソース配線 Sa、Sb の電圧は、ソースドライバ 220 の電圧が変化した後から時刻の経過とともに一定の電圧 $V_s - V_{ta}$ 、 $V_s - V_{tb}$ に近づくように変化するが、図 4 では図面が過度に複雑になることを避けるために、ソース配線 Sa、Sb の電圧がソースドライバ 220 の電圧の変化とともに変化するように示している。このように、ソース配線 Sa、Sb の電圧が異なることにより、副画素電極 124a、124b の電圧は互いに異なることになる。

【0048】

次に、ゲート配線 G の電圧がハイからローに変化する。その後、ソースドライバ 220 の電圧が変化する。このとき、寄生容量に起因する引き込み電圧により、副画素電極 124a、124b の電圧が低下する。図 4 において引き込み電圧により電圧が降下した後の副画素電極 124a、124b の電圧を点線で示しており、引き込み電圧による電圧低下後も、副画素電極 124b の電圧は副画素電極 124a よりも低い。このように、副画素電極 124a、124b の電圧が互いに異なることにより、副画素 Spa、Sb の輝度を互いに異ならせることができる。

【0049】

例えば、副画素電極 124a、124b の電圧が対向電極 144 の電圧よりも低い場合、副画素電極 124a の電圧と対向電極 144 の電圧との差（すなわち、副画素 Spa における液晶層 160 への実効電圧）は副画素電極 124b の電圧と対向電極 144 の電圧との差（すなわち、副画素 Spb における液晶層 160 への実効電圧）よりも小さい。このため、副画素 Spa が暗副画素となり、副画素 Spb が明副画素となる。

【0050】

あるいは、副画素電極 124a、124b の電圧が対向電極 144 の電圧よりも高い場合、副画素電極 124a の電圧と対向電極 144 の電圧との差（すなわち、副画素 Spa における液晶層 160 への実効電圧）は副画素電極 124b の電圧と対向電極 144 の電圧との差（すなわち、副画素 Spb における液晶層 160 への実効電圧）よりも大きい。このため、副画素 Spa が明副画素となり、副画素 Spb が暗副画素となる。

【0051】

以上のように、本実施形態の液晶表示装置 100 では、ソースドライバ 220 から出力されるソース信号は接続配線 225x を介して分岐配線 225a、225b に伝達されるが、しきい値電圧 V_{ta} 、 V_{tb} の異なる TFT180a、180b により、ソース配線

10

20

30

40

50

S bにはソース配線S aとは異なる電圧が印加される。このため、副画素電極1 2 4 bの電圧が副画素電極1 2 4 aの電圧とは異なり、副画素S P bは副画素S P aとは異なる輝度を呈することになる。このようにして、液晶表示装置1 0 0では、マルチ画素が実現される。なお、液晶表示装置1 0 0では、各C S配線に等価なC S電圧を印加すればよく、複数のC S幹線を設けなくてもよい。また、周辺領域Eを狭くすることができる。また、液晶表示装置1 0 0では、ゲートドライバ2 1 0には1行の画素に対応して1つのゲート出力端子が設けられていればよく、また、ソースドライバ2 2 0には1列の画素に対応して1つのソース出力端子が設けられていればよい。また、ゲートドライバ2 1 0およびソースドライバ2 2 0として比較的安価なドライバを用いることができる。

【0 0 5 2】

なお、ここでは、T F T 1 8 0 a、1 8 0 bのしきい値電圧は互いに異なっていたが、T F T 1 3 0 a、1 3 0 bのしきい値電圧は略等しくてもよい。T F T 1 3 0 a、1 3 0 bのしきい値電圧はT F T 1 8 0 a、1 8 0 bのしきい値電圧よりも高く、T F T 1 3 0 a、1 3 0 bをオンにするとき、T F T 1 8 0 a、1 8 0 bのしきい値電圧よりも高いゲート電圧がゲート配線Gに印加される。

【0 0 5 3】

また、入力映像信号において全ての画素の階調レベルが互いに等しい場合、液晶表示装置1 0 0において行方向および列方向に隣接する副画素の明暗は反転する。また、行方向および列方向に隣接する画素において、画素電極1 2 4の電圧と対向電極1 4 4の電圧との大小関係は反転する。

【0 0 5 4】

例えば、第m行n列の画素Pについて、対向電極1 4 4の電圧を基準にした副画素電極1 2 4 a、1 2 4 bの電圧が+ 6 V、+ 4 Vであると、副画素S P a、S P bの実効電圧は6 V、4 Vであり、副画素S P a、S P bはそれぞれ明副画素、暗副画素となる。これに対して、隣接する画素P（例えば、第m + 1行n列または第m行n + 1列の画素P）について、対向電極1 4 4の電圧を基準にした副画素電極1 2 4 a、1 2 4 bの電圧が- 4 V、- 6 Vであると、副画素S P a、S P bの実効電圧は4 V、6 Vであり、副画素S P a、S P bはそれぞれ暗副画素、明副画素となる。

【0 0 5 5】

また、液晶表示装置1 0 0で規定される複数の垂直走査期間にわたって入力映像信号における画素の階調レベルが互いに等しい場合、液晶表示装置1 0 0において、ある画素Pにおける副画素電極1 2 4 a、1 2 4 bの電圧および対向電極1 4 4の電圧との大小関係は垂直走査期間ごとに反転してもよい。例えば、副画素電極1 2 4 a、1 2 4 bの電圧が対向電極1 4 4の電圧よりも高いときを正極性と呼び、副画素電極1 2 4 a、1 2 4 bの電圧が対向電極1 4 4の電圧よりも低いときを負極性と呼ぶ場合、正極性で書き込みが行われた垂直走査期間の後の垂直走査期間において負極性で書き込みが行われる。

【0 0 5 6】

例えば、対向電極1 4 4の電圧を基準にして副画素電極1 2 4 a、1 2 4 bの電圧が+ 6 V、+ 4 Vであると、副画素S P a、S P bの実効電圧は6 V、4 Vであり、副画素S P a、S P bはそれぞれ明副画素、暗副画素となる。これに対して、例えば、別の垂直走査期間（典型的には次の垂直走査期間）において、対向電極1 4 4の電圧を基準にして副画素電極1 2 4 a、1 2 4 bの電圧が- 4 V、- 6 Vであると、副画素S P a、S P bの実効電圧は4 V、6 Vであり、副画素S P a、S P bはそれぞれ暗副画素、明副画素となる。液晶表示装置1 0 0はこのようにして垂直走査期間（またはフレーム）ごとに極性および副画素の明暗を反転させることができる。

【0 0 5 7】

以下、比較例の液晶表示装置と比較した本実施形態の液晶表示装置1 0 0の利点を説明する。

【0 0 5 8】

図5（a）に比較例の液晶表示装置6 0 0の模式図を示す。液晶表示装置6 0 0におい

10

20

30

40

50

て、表示領域 D の左方向および右方向にそれぞれ周辺領域 E 1、E 2 が設けられており、表示領域 D の下方向に周辺領域 E 3 が設けられている。周辺領域 E 1、E 2 のそれぞれには、表示領域 D の外側に C S 幹線領域 T が設けられており、C S 幹線領域 T には 12 本の C S 幹線が設けられている。C S 幹線領域 T の外側にゲートドライバ引き出し配線の設けられたゲートドライバ引き出し配線領域 G E が設けられている。また、ゲートドライバ引き出し配線領域 G E の外側に位置するゲートドライバ領域 G D に集積回路 (Integrated Circuit : IC) の接続されたフレキシブル基板が配置されている。また、周辺領域 E 3 には、ソースドライバおよび引き出し配線領域 S E が設けられている。

【 0 0 5 9 】

図 5 (b) に本実施形態の液晶表示装置 1 0 0 の模式図を示す。液晶表示装置 1 0 0 でも、表示領域 D の左方向および右方向にそれぞれ周辺領域 E 1、E 2 が設けられており、表示領域 D の下方向に周辺領域 E 3 が設けられている。周辺領域 E 1、E 2 のそれぞれには、表示領域 D の外側に C S 幹線領域 T が設けられており、C S 幹線領域 T には 1 本の C S 幹線が設けられている。C S 幹線領域 T の外側にゲートドライバ引き出し配線の設けられたゲートドライバ引き出し配線領域 G E が設けられている。また、ゲートドライバ引き出し配線領域 G E の外側に位置するゲートドライバ領域 G D に集積回路 (Integrated Circuit : IC) の接続されたフレキシブル基板が配置されている。また、液晶表示装置 1 0 0 の周辺領域 E 3 には、ソースドライバおよび引き出し配線領域 S E だけでなく、ソースドライバおよび引き出し配線領域 S E と表示領域 D との間に T F T 1 8 0 a、1 8 0 b の設けられたトランジスタ領域 S W が位置している。

【 0 0 6 0 】

ここで、サイズ 5 2 インチの比較例の液晶表示装置 6 0 0、および、本実施形態の液晶表示装置 1 0 0 の周辺領域 E 1 の長さに着目する。液晶表示装置 6 0 0 では、C S 幹線領域 T の長さはゲートドライバ引き出し配線領域 G E およびゲートドライバ領域 G D の長さの和に略等しい。これに対して、液晶表示装置 1 0 0 では、ゲートドライバ引き出し配線領域 G E およびゲートドライバ領域 G D の長さの和は液晶表示装置 6 0 0 と同様であるが、C S 幹線領域 T はきわめて短いため、液晶表示装置 1 0 0 における周辺領域 E 1 の長さは液晶表示装置 6 0 0 における周辺領域 E 1 の長さの約半分である。

【 0 0 6 1 】

なお、液晶表示装置 1 0 0 では、T F T 1 8 0 a、1 8 0 b を設けているため、比較例の液晶表示装置 6 0 0 と比べて、周辺領域 E 3 は長くなる。しかしながら、液晶表示装置 1 0 0 における周辺領域 E 1、E 2、E 3 の面積の和は液晶表示装置 6 0 0 における周辺領域 E 1、E 2、E 3 の面積の和よりも小さくすることができ、液晶表示装置 1 0 0 は狭額縁化を実現することができる。

【 0 0 6 2 】

また、液晶表示装置 1 0 0 では、周辺領域 E 3 が比較的長いため、液晶表示装置 1 0 0 のソース信号は液晶表示装置 6 0 0 と比べて遅延しやすい。このような信号遅延を防ぐために、T F T 1 8 0 a、1 8 0 b の半導体層は比較的高いキャリア移動度を有していることが好ましい。例えば、アクティブマトリクス基板 1 2 0 は半導体層として微結晶半導体層を有していることが好ましい。あるいは、半導体層として酸化物半導体層を有していることが好ましい。例えば、酸化物半導体層は、インジウムガリウム亜鉛酸化物 (Indium Gallium Zinc Oxide : IGZO) である。

【 0 0 6 3 】

また、上述した説明では、T F T 1 8 0 b のしきい値電圧は T F T 1 8 0 a よりも高かったが、本発明はこれに限定されない。T F T 1 8 0 a のしきい値電圧が T F T 1 8 0 b よりも高くてもよい。

【 0 0 6 4 】

また、上述した説明では、T F T 1 8 0 a、1 8 0 b のそれぞれのゲートはそれぞれのソースに電氣的に接続されていたが、本発明はこれに限定されない。T F T 1 8 0 a、1 8 0 b のそれぞれのゲートは、例えば、別途設けられた共通の配線に電氣的に接続され、

T F T 1 8 0 a、1 8 0 bは所定のタイミングでオンになってもよい。

【 0 0 6 5 】

また、上述した説明では、ソースドライバ 2 2 0 から出力されたソース信号は接続配線 2 2 5 x および分岐配線 2 2 5 a、2 2 5 b を介して T F T 1 8 0 a、1 8 0 b に伝達されており、ソースドライバ 2 2 0 の出力端子の数は画素の列の数と略等しかったが、本発明はこれに限定されない。接続配線 2 2 5 x を設けることなく、ソースドライバ 2 2 0 の出力端子は分岐配線 2 2 5 a、2 2 5 b と直接的に接続し、ソースドライバ 2 2 0 の出力端子の数は画素の列の数よりも多くてもよい。この場合、ソースドライバ 2 2 0 の隣接する 2 つの出力端子から出力されるソース信号が等価であっても、ソース信号は分岐配線 2 2 5 a、2 2 5 b を介して T F T 1 8 0 a、1 8 0 b に伝達され、所定の輝度の副画素 S P a、S P b が実現される。このため、ソースドライバ 2 2 0 として比較的安価なドライバを用いることができる。

10

【 0 0 6 6 】

(実施形態 2)

上述した説明では、2 つのソーストランジスタのゲートには略同様の電圧が印加されたが、本発明はこれに限定されない。

【 0 0 6 7 】

以下、図 6 を参照して、本発明による液晶表示装置の第 2 実施形態を説明する。本実施形態の液晶表示装置 1 0 0 A は、トランジスタ 1 8 0 a、1 8 0 b を制御するトランジスタ制御回路を備える点を除いて上述した実施形態 1 の液晶表示装置と同様の構成を有しており、冗長を避ける目的で重複する説明を省略する。また、上述したように、表示領域 D には複数の画素 P が設けられるが、図 6 では 1 つの画素 P を示している。

20

【 0 0 6 8 】

液晶表示装置 1 0 0 A でも周辺領域 E に T F T 1 8 0 a、1 8 0 b が設けられている。なお、上述した液晶表示装置 1 0 0 では、T F T 1 8 0 a、1 8 0 b のしきい値電圧は互いに異なったが、本実施形態の液晶表示装置 1 0 0 A において T F T 1 8 0 a、1 8 0 b の特性は互いに等しく、例えば、T F T 1 8 0 a のしきい値電圧は T F T 1 8 0 b のしきい値電圧と略等しい。ここでは、T F T 1 8 0 a、1 8 0 b のしきい値電圧を V_{tc} と示す。

30

【 0 0 6 9 】

液晶表示装置 1 0 0 A はトランジスタ 1 8 0 a、1 8 0 b を制御するトランジスタ制御回路 2 4 0 を備える。なお、本明細書の以下の説明において、トランジスタ制御回路を単に制御回路とよぶことがある。制御回路 2 4 0 は、配線 2 4 2 a を介して T F T 1 8 0 a のゲートに電氣的に接続されており、配線 2 4 2 b を介して T F T 1 8 0 b のゲートに電氣的に接続されている。典型的には制御回路 2 4 0 はアクティブマトリクス基板 1 2 0 の周辺領域 E に設けられている。

【 0 0 7 0 】

制御回路 2 4 0 は、オン期間が異なるように T F T 1 8 0 a、1 8 0 b を制御する。このため、ゲート配線 G がオフになるときのソース配線 S a、S b の電圧が異なることになり、輝度の異なる副画素 S P a、S P b が実現される。例えば、T F T 1 8 0 a のオン期間が T F T 1 8 0 b のオン期間よりも長い場合、T F T 1 3 0 a、1 3 0 b がオフになるときの副画素電極 1 2 4 a の電圧の絶対値は副画素電極 1 2 4 b の電圧の絶対値よりも大きい。

40

【 0 0 7 1 】

なお、制御回路 2 4 0 はゲートドライバ 2 1 0 と同期して電圧を印加してもよい。また、制御回路 2 4 0 はゲートドライバ 2 1 0 と等しい電圧を印加してもよい。このため、制御回路 2 4 0 はゲートドライバ 2 1 0 と同様の工程で作製すればよく、制御回路 2 4 0 のみを作製するための新たな工程を別途追加しなくてもよい。また、ゲートドライバ 2 1 0 が制御回路 2 4 0 として機能してもよく、ゲートドライバ 2 1 0 の全てのゲート出力端子が配線 2 4 2 a、2 4 2 b に電氣的に接続されてもよい。

50

【 0 0 7 2 】

以下、図 6 および図 7 を参照して、液晶表示装置 1 0 0 A の駆動方法を説明する。ここでは、画素 P への書き込みが行われる。液晶表示装置 1 0 0 A において T F T 1 8 0 a のオン期間は T F T 1 8 0 b のオン期間とは異なる。ここでは、T F T 1 8 0 b のオン期間は T F T 1 8 0 a のオン期間よりも短い。以下の説明において、T F T 1 8 0 a のオン期間を T i m e G a とし、T F T 1 8 0 b のオン期間を T i m e G b とし、 $T i m e G a = T i m e G b + T i m e \beta$ ($T i m e \beta > 0$) である。

【 0 0 7 3 】

まず、画素 P を選択するためのゲート配線 G の電圧をローからハイに変化させて T F T 1 3 0 a、1 3 0 b をオンにする。また、ゲート配線 G の電圧の変化とともに、配線 2 4 2 a、2 4 2 b の電圧をローからハイに変化させて T F T 1 8 0 a、1 8 0 b をオンにする。

10

【 0 0 7 4 】

次に、ソースドライバ 2 2 0 から出力される電圧を画素 P の階調に対応する電圧 V_s に変化させる。これにより、ソース配線 S a、S b の電圧の変化が開始する。なお、図 7 では、副画素 S P a、S P b の液晶容量および補助容量への充電が完了するように、ソース配線 S a、S b の電圧は、ソースドライバ 2 2 0 の電圧が変化した後から時刻の経過とともに変化する。液晶表示装置 1 0 0 A では、T F T 1 8 0 a、1 8 0 b をオンにする配線 2 4 2 a、2 4 2 b の電圧、T F T 1 8 0 a、1 8 0 b のしきい値電圧がそれぞれ略等しいため、分岐配線 2 2 5 a、2 2 5 b の電圧が等しく、T F T 1 8 0 a、1 8 0 b を介して伝達されるソース配線 S a、S b の電圧の変化は互いに略等しい。

20

【 0 0 7 5 】

その後、オン期間 T i m e G b が経過すると、制御回路 2 4 0 は配線 2 4 2 b の電圧を先にローに変化させて T F T 1 8 0 b をオフにする。このオン期間 T i m e G b は、時刻の経過とともにソース配線 S a、S b の電圧が変化している途中である。

【 0 0 7 6 】

それから時間 T i m e β が経過した後、制御回路 2 4 0 は配線 2 4 2 a の電圧をローに変化させて T F T 1 8 0 a をオフにする。ここでは、ソース配線 S a の電圧は一定値に達している。T F T 1 8 0 a による降下電圧は T F T 1 8 0 a のしきい値電圧 V_{tc} と略等しく、ソース配線 S a には電圧 $V_s - V_{tc}$ が印加される。なお、T F T 1 8 0 b がオフになってから T F T 1 8 0 a がオフになるまでの間のソース配線 S a の電圧の変化量を α とすると、ソース配線 S b には電圧 $V_s - (V_{tc} + \alpha)$ が印加されている。なお、図 7 では、対向電極 1 4 4 の電圧を基準としてソースドライバ出力電圧、第 1 ソース配線 S a の電圧、および、第 2 ソース配線 S b の電圧を示しており、副画素 S P a、S P b はそれぞれ明副画素、暗副画素となる。

30

【 0 0 7 7 】

なお、ここでは、制御回路 2 4 0 により、第 m 行 n 列の画素 P だけでなく第 m 行 n + 1 列の画素 P の副画素 S P a、S P b の明暗も異なる。例えば、第 m 行 n 列の画素 P について、対向電極 1 4 4 の電圧を基準にした副画素電極 1 2 4 a、1 2 4 b の電圧が + 6 V、+ 4 V であると、副画素 S P a、S P b の実効電圧は 6 V、4 V であり、副画素 S P a、S P b はそれぞれ明副画素、暗副画素となる。これに対して、第 m 行 n + 1 列の画素 P について、対向電極 1 4 4 の電圧を基準にした副画素電極 1 2 4 a、1 2 4 b の電圧が - 4 V、- 6 V であると、副画素 S P a、S P b の実効電圧は 4 V、6 V であり、副画素 S P a、S P b はそれぞれ暗副画素、明副画素となる。

40

【 0 0 7 8 】

また、液晶表示装置 1 0 0 A で規定される複数の垂直走査期間にわたって入力映像信号における画素の階調レベルが互いに等しい場合、液晶表示装置 1 0 0 A において、ある画素 P における副画素電極 1 2 4 a、1 2 4 b の電圧および対向電極 1 4 4 の電圧との大小関係は垂直走査期間ごとに反転してもよい。例えば、正極性で書き込みの行われた垂直走査期間の後の垂直走査期間において負極性で書き込みが行われる。

50

【 0 0 7 9 】

例えば、対向電極 1 4 4 の電圧を基準にして副画素電極 1 2 4 a、1 2 4 b の電圧が + 6 V、+ 4 V であると、副画素 S P a、S P b の実効電圧は 6 V、4 V であり、副画素 S P a、S P b はそれぞれ明副画素、暗副画素となる。これに対して、例えば、別の垂直走査期間（典型的には次の垂直走査期間）において、対向電極 1 4 4 の電圧を基準にして副画素電極 1 2 4 a、1 2 4 b の電圧が - 4 V、- 6 V であると、副画素 S P a、S P b の実効電圧は 4 V、6 V であり、副画素 S P a、S P b はそれぞれ暗副画素、明副画素となる。

【 0 0 8 0 】

なお、上述した説明では、液晶表示装置 1 0 0 A における T F T 1 8 0 a、1 8 0 b の特性は互いに等しかったが、本発明はこれに限定されない。T F T 1 8 0 a、1 8 0 b の特性は異なってもよい。例えば、T F T 1 8 0 b のしきい値電圧は T F T 1 8 0 a のしきい値電圧よりも低くてもよい。この場合、オン期間の差が比較的小さくても、副画素 S P a、S P b の輝度差を所望の値にすることができる。

10

【 0 0 8 1 】

なお、上述した説明では、T F T 1 8 0 b のオン期間は T F T 1 8 0 a のオン期間と重なっていたが、本発明はこれに限定されない。T F T 1 8 0 b のオン期間は T F T 1 8 0 a のオン期間と重ならなくてもよい。ただし、T F T 1 8 0 b のオン期間が T F T 1 8 0 a のオン期間と重なることにより、副画素電極 1 2 4 a、1 2 4 b への充電を効率的に行うことができる。

20

【 0 0 8 2 】

（実施形態 3）

上述した説明では、ソーストランジスタのオン期間の差を利用してソース配線の電圧を異ならせたが、本発明はこれに限定されない。

【 0 0 8 3 】

以下、図 8 を参照して、本発明による液晶表示装置の第 3 実施形態を説明する。本実施形態の液晶表示装置 1 0 0 B は、ソースドライバ 2 2 0 から印加される電圧が異なる時刻に T F T 1 8 0 a、1 8 0 b をオンにする点を除いて上述した実施形態 2 の液晶表示装置と同様の構成を有しており、冗長を避ける目的で重複する説明を省略する。

【 0 0 8 4 】

30

液晶表示装置 1 0 0 B でも周辺領域 E に T F T 1 8 0 a、1 8 0 b が設けられている。なお、上述した液晶表示装置 1 0 0 では、T F T 1 8 0 a、1 8 0 b のしきい値電圧は互いに異なったが、本実施形態の液晶表示装置 1 0 0 B において T F T 1 8 0 a、1 8 0 b のしきい値電圧は互いに略等しくてもよい。また、上述した液晶表示装置 1 0 0 A と同様に、本実施形態の液晶表示装置 1 0 0 B はトランジスタ 1 8 0 a、1 8 0 b を制御するトランジスタ制御回路 2 4 0 を備えている。

【 0 0 8 5 】

液晶表示装置 1 0 0 B では、ゲートドライバ 2 1 0 が T F T 1 3 0 a、1 3 0 b をオンにして、ソースドライバ 2 2 0 の出力電圧が所定の階調レベルに対応する電圧に変化した後、制御回路 2 4 0 は、まず、配線 2 4 2 a の電圧をハイに変化させて T F T 1 8 0 a をオンにする。ソース配線 S a を介して副画素電極 1 2 4 a に所定の電圧が充電されると、制御回路 2 4 0 は、配線 2 4 2 a の電圧をローにして T F T 1 8 0 a をオフにする。

40

【 0 0 8 6 】

次に、ゲート配線 G の電圧がハイのままの状態、ソースドライバ 2 2 0 の電圧が所定の階調レベルに対応する電圧に変化し、その後、制御回路 2 4 0 は、配線 2 4 2 b の電圧をハイに変化させて T F T 1 8 0 b をオンにする。ソース配線 S b を介して副画素電極 1 2 4 b に所定の電圧が充電されると、制御回路 2 4 0 は、配線 2 4 2 b の電圧をローにして T F T 1 8 0 b をオフにする。

【 0 0 8 7 】

以下、図 8 および図 9 を参照して、液晶表示装置 1 0 0 B の駆動方法を説明する。ここ

50

では、画素 P への書き込みが行われる。

【0088】

まず、画素 P を選択するためのゲート配線 G の電圧をローからハイに変化させて T F T 1 3 0 a、1 3 0 b をオンにする。また、ゲート配線 G の電圧の変化とともに、配線 2 4 2 a の電圧をローからハイに変化させて T F T 1 8 0 a をオンにする。

【0089】

次に、ソースドライバ 2 2 0 から出力される電圧を画素 P の階調レベルに対応する電圧 V_{sa} に変化させる。電圧 V_{sa} は画素 P の明副画素の階調レベルに対応している。これにより、ソース配線 S a の電圧が変化する。T F T 1 8 0 a による降下電圧はしきい値電圧 V_{ta} と略等しく、ソース配線 S a には電圧 $V_{sa} - V_{ta}$ が印加される。なお、実際には、副画素 S P a の液晶容量および補助容量への充電が完了するまでには所定の時間が必要であり、ソース配線 S a の電圧はソースドライバ 2 2 0 の電圧が変化した後、時刻の経過とともに変化して一定値に近づくことになるが、図 9 では図面が過度に複雑になることを避けるために、ソースドライバ 2 2 0 の電圧の変化とともにソース配線 S a の電圧が変化するように示している。

10

【0090】

その後、制御回路 2 4 0 が T F T 1 8 0 a に対応する配線 2 4 2 a の電圧をローに変化させて T F T 1 8 0 a をオフにする。なお、ゲート配線 G の電圧はハイのままである。

【0091】

次に、ソースドライバ 2 2 0 から出力される電圧を副画素 S P b の階調に対応する電圧に変化させる。電圧 V_{sb} は画素 P の明副画素の階調レベルに対応している。その後、T F T 1 8 0 b を選択する配線 2 4 2 b の電圧をローからハイに変化させて T F T 1 8 0 b をオンにする。これにより、ソース配線 S b の電圧が変化する。T F T 1 8 0 b による降下電圧はしきい値電圧 V_{tb} と略等しく、ソース配線 S b には電圧 $V_{sb} - V_{tb}$ が印加される。なお、T F T 1 8 0 a、1 8 0 b のしきい値電圧が互いに等しく V_{tc} である場合、ソース配線 S a には電圧 $V_{sa} - V_{tc}$ が印加される。なお、ソースドライバ 2 2 0 の電圧 V_{sa} と電圧 V_{sb} との変化量を α とすると、ソース配線 S b には電圧 $V_{sb} - (V_{tc} + \alpha)$ が印加される。

20

【0092】

このように、制御回路 2 4 0 は、ソースドライバ 2 2 0 からの出力電圧が異なる時刻に T F T 1 8 0 a、1 8 0 b をオンにすることにより、副画素 S P a の輝度を副画素 S P b とは異ならせることができる。

30

【0093】

なお、液晶表示装置 1 0 0 B において制御回路 2 4 0 はゲートドライバ 2 1 0 と同期して電圧を印加してもよい。また、制御回路 2 4 0 はゲートドライバ 2 1 0 と等しい電圧を印加してもよい。このため、制御回路 2 4 0 はゲートドライバ 2 1 0 と同様の工程で作製すればよく、制御回路 2 4 0 のみを作製するための新たな工程を別途追加しなくてもよい。

【0094】

なお、上述した説明では、液晶表示装置 1 0 0 B における T F T 1 8 0 a、1 8 0 b の特性は互いに等しかったが、本発明はこれに限定されない。T F T 1 8 0 a、1 8 0 b の特性は異なってもよい。例えば、T F T 1 8 0 b のしきい値電圧は T F T 1 8 0 a のしきい値電圧よりも低くてもよい。

40

【0095】

また、上述した説明では、1 つの画素は 2 つの副画素を有していたが、本発明はこれに限定されない。1 つの画素は 3 つ以上の副画素を有してもよい。例えば、画素電極 1 2 4 は 3 つ以上の副画素電極を有しており、1 列の画素に対して 3 本以上のソース配線および 3 つ以上のソーストランジスタを設けてもよい。

【産業上の利用可能性】

【0096】

50

本発明によればドライバのコストの増大を抑制するとともに狭額縁化に適した液晶表示装置を提供することができる。

【符号の説明】

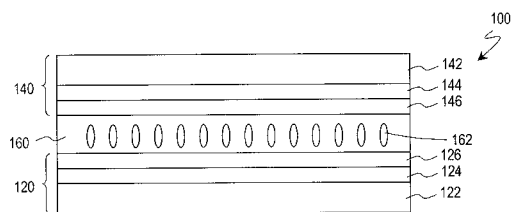
【0097】

- 100 液晶表示装置
- 120 アクティブマトリクス基板
- 124 画素電極
- 124 a 第1副画素電極
- 124 b 第2副画素電極
- 126 配向膜
- 130 a 第1画素トランジスタ
- 130 b 第2画素トランジスタ
- 140 対向基板
- 144 対向電極
- 146 配向膜
- 160 液晶層
- 180 a 第1ソーストランジスタ
- 180 b 第2ソーストランジスタ
- 210 ゲートドライバ
- 220 ソースドライバ
- 240 トランジスタ制御回路

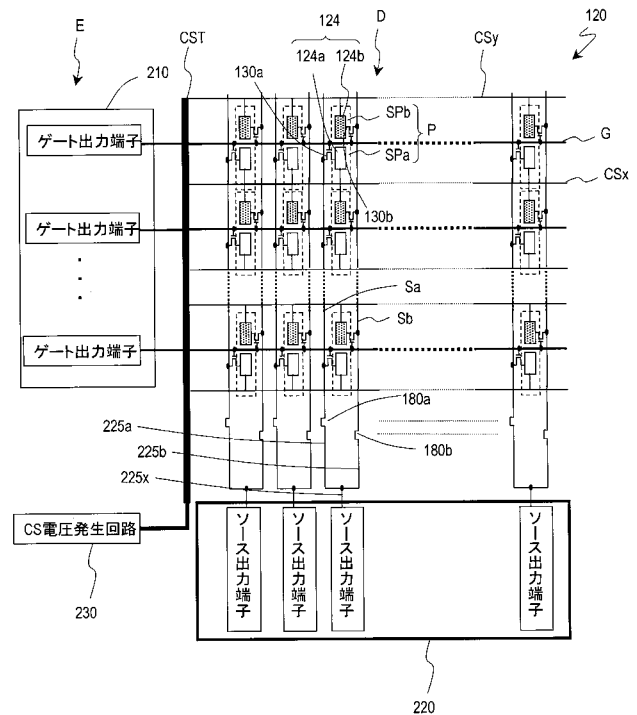
10

20

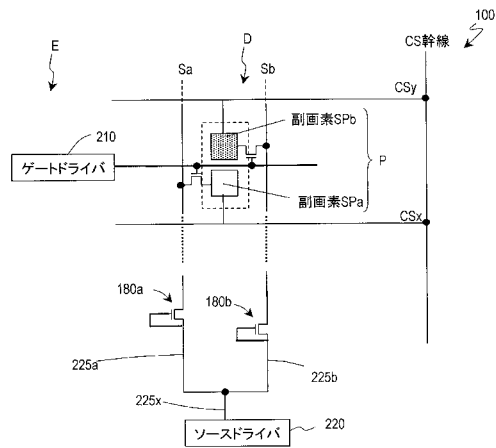
【図1】



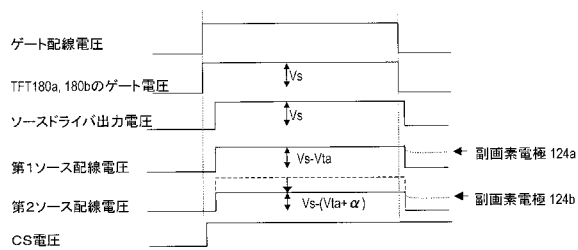
【図2】



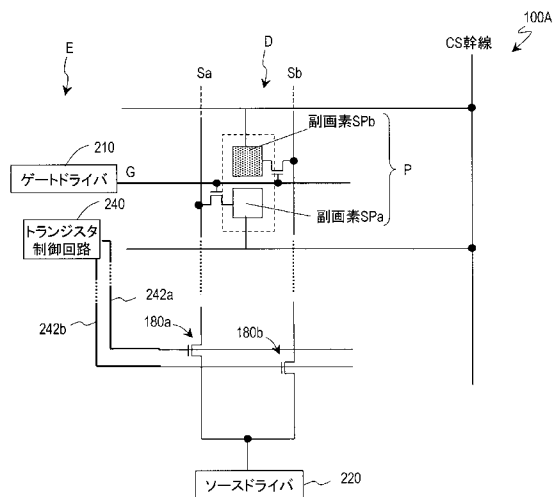
【 図 3 】



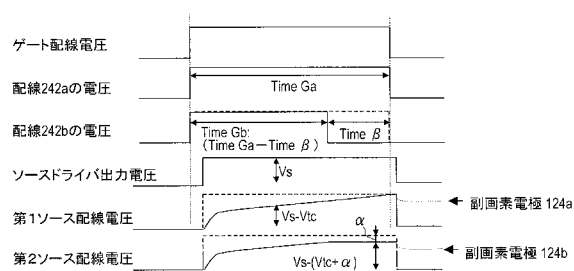
【 図 4 】



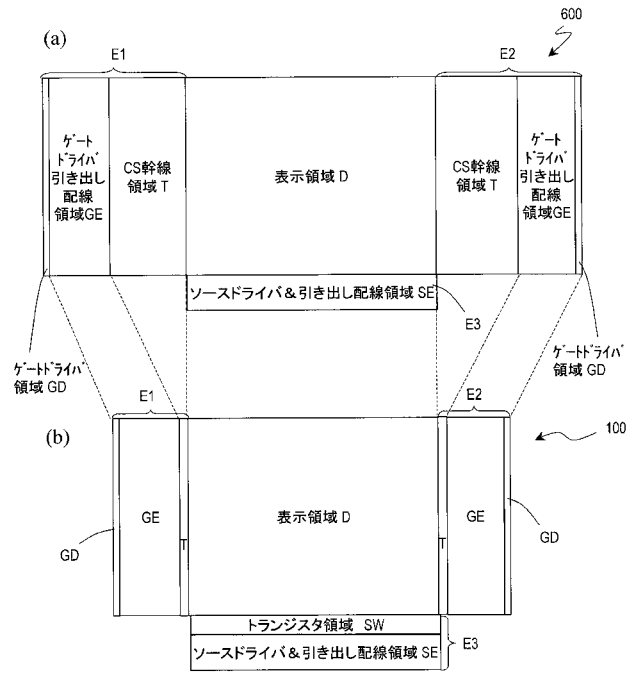
【 図 6 】



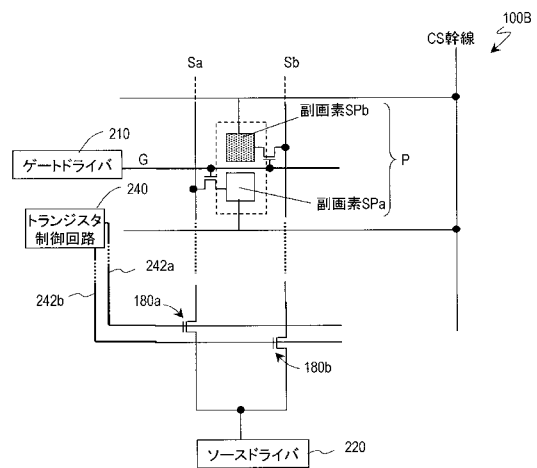
【 圖 7 】



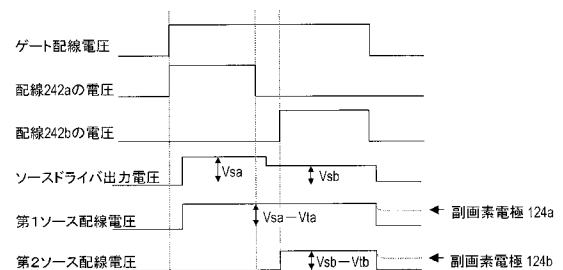
【 図 5 】



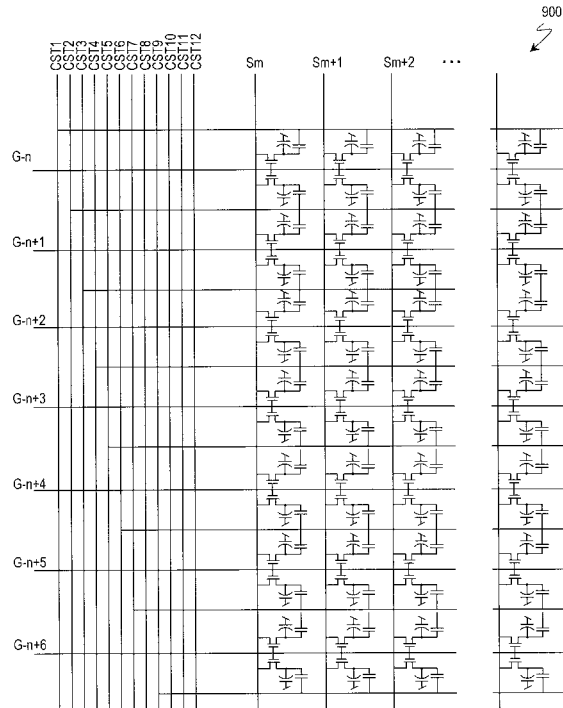
【圖 8】



【 図 9 】



【図 10】



【手続補正書】

【提出日】平成24年3月30日(2012.3.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 副画素電極および第 2 副画素電極を有する画素電極と、

対向電極と、

前記画素電極と前記対向電極との間に設けられた液晶層と、

ゲート配線と、

第 1 ソース配線と、

第 2 ソース配線と、

前記ゲート配線に電氣的に接続されたゲート、前記第 1 ソース配線に電氣的に接続されたソース、および、前記第 1 副画素電極に電氣的に接続されたドレインを有する第 1 画素トランジスタと、

前記ゲート配線に電氣的に接続されたゲート、前記第 2 ソース配線に電氣的に接続されたソース、および、前記第 2 副画素電極に電氣的に接続されたドレインを有する第 2 画素トランジスタと、

前記ゲート配線にゲート信号を供給するゲートドライバと、

第 1 分岐配線と、

第 2 分岐配線と、

前記第 1 分岐配線および前記第 2 分岐配線にソース信号を供給するソースドライバと、

ゲート、前記第 1 分岐配線に電氣的に接続されたソース、および、前記第 1 ソース配線に電氣的に接続されたドレインを有する第 1 ソーストランジスタと、

ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタと
を備え、

前記第 2 ソーストランジスタのしきい値電圧は前記第 1 ソーストランジスタのしきい値電圧とは異なる、液晶表示装置。

【請求項 2】

前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 ソーストランジスタの前記ゲートは、前記第 1 ソーストランジスタの前記ソースに電氣的に接続されており、

前記第 2 ソーストランジスタの前記ゲートは、前記第 2 ソーストランジスタの前記ソースに電氣的に接続されている、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御するトランジスタ制御回路をさらに備える、請求項 1 または 2 に記載の液晶表示装置。

【請求項 5】

前記トランジスタ制御回路は、オン期間が互いに異なるように前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御する、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記ソースドライバは、前記ゲートドライバが前記第 1、第 2 画素トランジスタをオンにしている間に、前記第 1 分岐配線および前記第 2 分岐配線に印加する電圧を第 1 電圧から第 2 電圧に変化させ、

前記ソースドライバが前記第 1 電圧を印加している間、前記トランジスタ制御回路は前記第 1 ソーストランジスタをオンにし、前記ソースドライバが前記第 2 電圧を印加している間、前記トランジスタ制御回路は前記第 2 ソーストランジスタをオンにする、請求項 4 に記載の液晶表示装置。

【請求項 7】

第 1 副画素電極および第 2 副画素電極を有する画素電極と、
対向電極と、

前記画素電極と前記対向電極との間に設けられた液晶層と、
ゲート配線と、

第 1 ソース配線と、

第 2 ソース配線と、

前記ゲート配線に電氣的に接続されたゲート、前記第 1 ソース配線に電氣的に接続されたソース、および、前記第 1 副画素電極に電氣的に接続されたドレインを有する第 1 画素トランジスタと、

前記ゲート配線に電氣的に接続されたゲート、前記第 2 ソース配線に電氣的に接続されたソース、および、前記第 2 副画素電極に電氣的に接続されたドレインを有する第 2 画素トランジスタと、

前記ゲート配線にゲート信号を供給するゲートドライバと、

第 1 分岐配線と、

第 2 分岐配線と、

前記第 1 分岐配線および前記第 2 分岐配線にソース信号を供給するソースドライバと、

ゲート、前記第 1 分岐配線に電氣的に接続されたソース、および、前記第 1 ソース配線に電氣的に接続されたドレインを有する第 1 ソーストランジスタと、

ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタと

を備え、

前記第 1 ソーストランジスタの前記ゲートは、前記第 1 ソーストランジスタの前記ソースに電氣的に接続されており、

前記第 2 ソーストランジスタの前記ゲートは、前記第 2 ソーストランジスタの前記ソースに電氣的に接続されている、液晶表示装置。

【請求項 8】

前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える、請求項 7 に記載の液晶表示装置。

【請求項 9】

第 1 副画素電極および第 2 副画素電極を有する画素電極と、
対向電極と、

前記画素電極と前記対向電極との間に設けられた液晶層と、
ゲート配線と、

第 1 ソース配線と、

第 2 ソース配線と、

前記ゲート配線に電氣的に接続されたゲート、前記第 1 ソース配線に電氣的に接続されたソース、および、前記第 1 副画素電極に電氣的に接続されたドレインを有する第 1 画素トランジスタと、

前記ゲート配線に電氣的に接続されたゲート、前記第 2 ソース配線に電氣的に接続されたソース、および、前記第 2 副画素電極に電氣的に接続されたドレインを有する第 2 画素トランジスタと、

前記ゲート配線にゲート信号を供給するゲートドライバと、

第 1 分岐配線と、

第 2 分岐配線と、

前記第 1 分岐配線および前記第 2 分岐配線にソース信号を供給するソースドライバと、
ゲート、前記第 1 分岐配線に電氣的に接続されたソース、および、前記第 1 ソース配線に電氣的に接続されたドレインを有する第 1 ソーストランジスタと、

ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタと、

前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御するトランジスタ制御回路と

を備え、

前記ソースドライバは、前記ゲートドライバが前記第 1、第 2 画素トランジスタをオンにしている間に、前記第 1 分岐配線および前記第 2 分岐配線に印加する電圧を第 1 電圧から第 2 電圧に変化させ、

前記ソースドライバが前記第 1 電圧を印加している間、前記トランジスタ制御回路は前記第 1 ソーストランジスタをオンにし、前記ソースドライバが前記第 2 電圧を印加している間、前記トランジスタ制御回路は前記第 2 ソーストランジスタをオンにする、液晶表示装置。

【請求項 10】

前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える、請求項 9 に記載の液晶表示装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065510

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/133, G02F1/1343, G09F9/30, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-241797 A (NEC Corp.), 08 September 2000 (08.09.2000), paragraphs [0045] to [0063]; fig. 9, 10 (Family: none)	1, 2, 5, 6 3, 4, 7
A	JP 2009-053589 A (Sony Corp.), 12 March 2009 (12.03.2009), entire text; all drawings (Family: none)	1-7
A	JP 2006-309239 A (Samsung Electronics Co., Ltd.), 09 November 2006 (09.11.2006), entire text; all drawings & US 2007/0008263 A1 & KR 10-2006-0112043 A & CN 1854831 A	1-7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 October, 2010 (25.10.10)Date of mailing of the international search report
02 November, 2010 (02.11.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 6 5 5 1 0	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G02F1/1368, G02F1/133, G02F1/1343, G09F9/30, G09G3/20, G09G3/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X A	JP 2000-241797 A（日本電気株式会社） 2000.09.08, 段落【0045】－【0063】、第9,10図（ファミリーなし）	1, 2, 5, 6 3, 4, 7	
A	JP 2009-053589 A（ソニー株式会社） 2009.03.12, 全文、全図（ファミリーなし）	1-7	
A	JP 2006-309239 A（三星電子株式会社） 2006.11.09, 全文、全図 & US 2007/0008263 A1 & KR 10-2006-0112043 A & CN 1854831 A	1-7	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 5 . 1 0 . 2 0 1 0		国際調査報告の発送日 0 2 . 1 1 . 2 0 1 0	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福田 知喜 電話番号 03-3581-1101 内線 3255	2 L 3 7 0 3

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 8 0 G

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 2H092 GA13 GA60 JA24 JB32 JB37 JB45 JB46 JB69 NA01 NA25
 PA06
 2H193 ZA04 ZA07 ZA09 ZA19 ZB02 ZB03 ZB14 ZB16 ZB18 ZD02
 ZD12 ZD23 ZF22 ZF36 ZF60 ZQ11
 5C006 AA16 AA22 BB16 FA41 FA51
 5C080 AA10 BB05 CC03 DD22 DD27 EE29 EE30 FF11 JJ02 JJ03
 JJ04 JJ06

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶表示装置		
公开(公告)号	JPWO2011030819A1	公开(公告)日	2013-02-07
申请号	JP2011530868	申请日	2010-09-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	小原将紀		
发明人	小原 将紀		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1343 G09G3/36 G09G3/20		
CPC分类号	G09G3/3651 G02F1/1362 G09G3/3688 G09G2300/0443 G09G2300/0447 G09G2300/0823 G09G2310/0224		
FI分类号	G02F1/133.550 G02F1/1368 G02F1/1343 G09G3/36 G09G3/20.621.M G09G3/20.641.C G09G3/20.680.G		
F-TERM分类号	2H092/GA13 2H092/GA60 2H092/JA24 2H092/JB32 2H092/JB37 2H092/JB45 2H092/JB46 2H092/JB69 2H092/NA01 2H092/NA25 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZA09 2H193/ZA19 2H193/ZB02 2H193/ZB03 2H193/ZB14 2H193/ZB16 2H193/ZB18 2H193/ZD02 2H193/ZD12 2H193/ZD23 2H193/ZF22 2H193/ZF36 2H193/ZF60 2H193/ZQ11 5C006/AA16 5C006/AA22 5C006/BB16 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	奥田诚治 三宅明子		
优先权	2009209697 2009-09-10 JP		
其他公开文献	JP5342004B2		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置 (100) 包括第一和第二像素晶体管 (130a , 130b) , 用于向栅极线 (G) 提供栅极信号的栅极驱动器 (210) 和第一分支线 (225a) 。源极驱动器 (220) 用于将源信号提供给第二分支布线 (225b) , 电连接到第一分支布线 (225a) 的源极和第一源布线 (Sa) 。第一源极晶体管 (180a) 具有连接到其的漏极, 电连接到第二分支布线 (225b) 的源极和电连接到第二源极布线 (Sb) 的漏极 第二源极晶体管 (180b) 。

