

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/146740

発行日 平成24年11月29日 (2012.11.29)

(43) 国際公開日 平成22年12月23日 (2010.12.23)

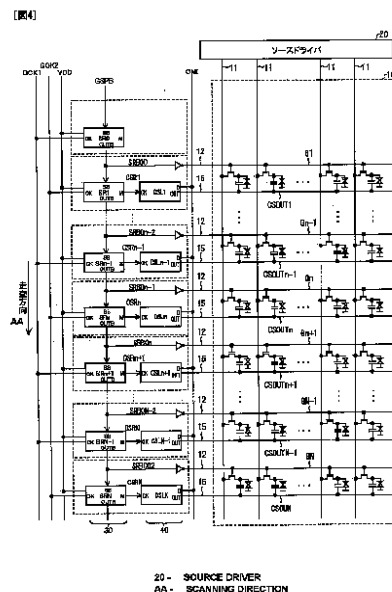
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 670D	5C006
G02F 1/133 (2006.01)	G09G 3/20 641C	5C080
	G09G 3/20 621B	
	G09G 3/20 622E	
審査請求 有 予備審査請求 未請求 (全 43 頁) 最終頁に続く		

出願番号	特願2011-519482 (P2011-519482)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/001175		シャープ株式会社
(22) 国際出願日	平成22年2月23日 (2010.2.23)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-144747 (P2009-144747)	(74) 代理人	110000338
(32) 優先日	平成21年6月17日 (2009.6.17)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	横山 真
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	佐々木 寧
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	村上 祐一郎
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示駆動回路、表示装置及び表示駆動方法

(57) 【要約】

CSバスライン(15)が設けられた液晶表示パネル(10)を駆動する表示駆動回路であって、ゲートライン(12)の各々に対応して設けられた複数のシフトレジスタ回路SRを含むシフトレジスタ(ゲートライン駆動回路(30))を備え、各段のシフトレジスタ回路(SR)に対応してラッチ回路(CSL)が1つずつ設けられるとともに、ラッチ回路(CSL)に極性信号(CMI)が入力される。シフトレジスタ回路(SR_n)で生成された内部信号(M_n)がアクティブになると、この段に対応するラッチ回路(CSL_n)が極性信号(CMI)を取り込んでこれを保持し、ラッチ回路(CSL_n)の出力(CSOUT_n)を、CS信号としてCSバスラインに供給する。シフトレジスタ回路(SR_n)で生成される内部信号(M_n)は、表示映像の最初の垂直走査期間よりも前にアクティブになる。したがって、回路面積を増大させることなく、電源投入時の表示品位の向上を図ることができる。



【特許請求の範囲】**【請求項 1】**

画素に含まれる画素電極と容量を形成する保持容量配線が設けられた表示パネルを駆動する表示駆動回路であって、

複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタを備え、

上記シフトレジスタの各段に対応して保持回路が 1 つずつ設けられるとともに、各保持回路に保持対象信号が入力され、

上記シフトレジスタの 1 つの段で生成された制御信号がアクティブになると、この段に対応する保持回路が上記保持対象信号を取り込んでこれを保持し、

1 つの保持回路の出力を、保持容量配線信号として 1 つの保持容量配線に供給し、

上記シフトレジスタの各段で生成される制御信号は、表示映像の最初の垂直走査期間よりも前にアクティブになることを特徴とする表示駆動回路。

10

【請求項 2】

上記保持対象信号の電位レベルは、表示映像の最初の垂直走査期間よりも前では一定であることを特徴とする請求項 1 に記載の表示駆動回路。

【請求項 3】

上記保持対象信号は、表示映像の最初の垂直走査期間よりも前では正極性あるいは負極性である一方、該垂直走査期間以降では各行の水平走査期間に同期して極性が反転することを特徴とする請求項 1 または 2 に記載の表示駆動回路。

20

【請求項 4】

自段に対応する画素に接続する走査信号線に供給される走査信号がアクティブから非アクティブになった直後、かつ、次段のシフトレジスタで生成された上記制御信号がアクティブである間に、次段に対応する保持回路に入力される上記保持対象信号の電位が変化することを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の表示駆動回路。

20

【請求項 5】

自段のシフトレジスタで生成された制御信号がアクティブになると、自段に対応する保持回路が上記保持対象信号を取り込んでこれを保持し、

自段のシフトレジスタの出力信号を、自段に対応する画素と接続する走査信号線に、走査信号として供給するとともに、自段に対応する保持回路の出力を、自段よりも前の前段に対応する画素の画素電極と容量を形成する保持容量配線に、上記保持容量配線信号として供給することを特徴とする請求項 1 ~ 4 に記載の表示駆動回路。

30

【請求項 6】

自段のシフトレジスタで生成される制御信号は、自段のシフトレジスタの内部において、自段のシフトレジスタをセットする前段のシフトレジスタの出力信号と、自段のシフトレジスタをリセットする自段のシフトレジスタの出力信号と、に基づいて生成されていることを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の表示駆動回路。

【請求項 7】

自段のシフトレジスタで生成された制御信号は、自段のシフトレジスタの動作を開始させる前段のシフトレジスタの出力信号が自段のシフトレジスタに入力されてから、自段のシフトレジスタの動作を終了させるリセット信号が自段のシフトレジスタに入力されるまでの期間、アクティブであることを特徴とする請求項 1 に記載の表示駆動回路。

40

【請求項 8】

上記保持対象信号は、表示映像の最初の垂直走査期間よりも前では正極性あるいは負極性である一方、該垂直走査期間以降では垂直走査期間に同期して極性が反転することを特徴とする請求項 1 に記載の表示駆動回路。

【請求項 9】

表示映像の最初の垂直走査期間よりも前では、隣り合う画素行の一方に対応する保持回路には正極性の上記保持対象信号が入力される一方、他方に対応する保持回路には負極性の上記保持対象信号が入力されることを特徴とする請求項 1 に記載の表示駆動回路。

【請求項 10】

50

複数の保持回路に入力される保持対象信号の位相と、別の複数の保持回路に入力される保持対象信号の位相とは、互いに異なっていることを特徴とする請求項 9 に記載の表示駆動回路。

【請求項 1 1】

隣り合う行に対応する 2 つの保持回路について、一方の保持回路には第 1 保持対象信号が入力され、他方の保持回路には、該第 1 の保持対象信号とは位相が異なる第 2 保持対象信号が入力されていることを特徴とする請求項 9 に記載の表示駆動回路。

【請求項 1 2】

自段のシフトレジスタで生成された上記制御信号は、自段のシフトレジスタの出力信号であって、

自段のシフトレジスタの出力信号が、後段のシフトレジスタと、自段の保持回路とに入力されていることを特徴とする請求項 8 ~ 1 1 の何れか 1 項に記載の表示駆動回路。

【請求項 1 3】

複数の走査信号線を同時に選択する同時選択用信号と、自段のシフトレジスタの出力信号とが、自段に対応する第 1 の論理回路に入力され、該第 1 の論理回路の出力が、自段に対応する画素と接続する走査信号線に走査信号として供給され、

上記同時選択用信号と、次段のシフトレジスタで生成された制御信号とが、自段に対応する第 2 の論理回路に入力され、該第 2 の論理回路の出力が自段に対応する上記画素の画素電極と容量を形成する保持容量配線に上記保持容量配線信号として供給されていることを特徴とする請求項 1 に記載の表示駆動回路。

【請求項 1 4】

上記制御信号は、自段のシフトレジスタで生成され、次段に対応する画素と接続する走査信号線に走査信号として供給されるとともに、自段の保持回路に供給されることを特徴とする請求項 1 に記載の表示駆動回路。

【請求項 1 5】

上記各保持回路は、D ラッチ回路あるいはメモリ回路として構成されていることを特徴とする請求項 1 ~ 1 4 の何れか 1 項に記載の表示駆動回路。

【請求項 1 6】

請求項 1 ~ 1 5 の何れか 1 項に記載の表示駆動回路と、上記表示パネルとを備えることを特徴とする表示装置。

【請求項 1 7】

複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタを備え、画素に含まれる画素電極と容量を形成する保持容量配線が設けられた表示パネルを駆動する表示駆動方法であって、

上記シフトレジスタの各段に対応して設けられた保持回路に保持対象信号を入力し、自段のシフトレジスタで生成した制御信号がアクティブになると、自段に対応する保持回路が上記保持対象信号を取り込んでこれを保持し、

1 つの保持回路の出力を、保持容量配線信号として 1 つの保持容量配線に供給し、

上記シフトレジスタの各段で生成する制御信号を、表示映像の最初の垂直走査期間よりも前にアクティブにすることを特徴とする表示駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばアクティブマトリクス型液晶表示パネルを有する液晶表示装置等の表示装置における表示パネルを駆動するための表示駆動回路及び表示駆動方法に関するものである。

【背景技術】

【0002】

従来、保持容量配線を備えたアクティブマトリクス方式の液晶表示装置では、極性反転駆動を行う場合、電源投入時（初期時）の表示が均一にならないという問題が知られてい

10

20

30

40

50

る。これは、保持容量配線に供給される電源電位が、液晶表示装置の電源を投入した直後では不定になるためである。

【 0 0 0 3 】

この電源投入時の表示不具合を解消するための技術が、例えば特許文献 1 に開示されている。図 2 5 は、特許文献 1 の液晶表示装置の概略構成を示すブロック図である。

【 0 0 0 4 】

上記液晶表示装置は、ガラス基板上の第 1 及び第 2 方向に列設されるデータ信号線 $S_1 \sim S_n$ 及び走査信号線 $G_1 \sim G_n$ と、データ信号線及び走査信号線の各交点付近に形成される画素 TFT (トランジスタ) 1 と、画素 TFT 1 のドレイン端子に接続される補助容量 (保持容量) C_1 および画素電極 2 と、画素電極 2 と液晶層を挟んで対向配置される対向電極 3 との間に形成される液晶容量 C_2 と、走査線 (走査信号線) を駆動する走査線駆動回路 (走査信号線駆動回路) 4 と、データ信号線を駆動するソースドライバ (データ信号線駆動回路) 5 と、走査線方向 (第 2 方向) に並んだ補助容量 C_1 の一端に共通して接続される補助容量電源線 (保持容量配線) $CS_1 \sim CS_n$ と、補助容量電源線 $CS_1 \sim CS_n$ の電位を設定する補助容量電源選択回路 (保持容量配線駆動回路) 6 とを備えている。

10

【 0 0 0 5 】

図 2 6 は補助容量電源選択回路 6 の詳細構成を示す回路図である。この図に示すように、補助容量電源選択回路 6 は、補助容量電源線 $CS_1 \sim CS_n$ に第 1 の基準電位 V_{csH} を供給するか否かを選択する PMOS トランジスタ 9 と、補助容量電源線 $CS_1 \sim CS_n$ に第 2 の基準電位 V_{csL} ($< V_{csH}$) を供給するか否かを選択する NMOS トランジスタ 8 とを有し、これらトランジスタ 8, 9 のオン/オフは、走査線駆動回路 4 内の AND ゲート 10 により制御される。

20

【 0 0 0 6 】

AND ゲート 10 は、電源投入時の補助容量電源線 $CS_1 \sim CS_n$ の電位を制御するための電源投入時電源制御信号 s_1 と、極性反転時の補助容量電源線 $CS_1 \sim CS_n$ の電位を制御するための極性反転時電源制御信号 s_2 との論理積を計算し、その計算結果に基づいてトランジスタ 8, 9 のオン・オフを切替える。

【 0 0 0 7 】

この構成において、電源投入時から所定期間内は、電源投入時電源制御信号 s_1 をローレベル (0 V) にすることにより、走査線駆動回路 4 内の AND ゲート 10 (図 2 6 参照) の出力がローレベルになり、PMOS トランジスタ 9 がオンして、補助容量電源線 $CS_1 \sim CS_n$ には、第 1 の基準電位 V_{csH} が供給される。第 1 の基準電位 V_{csH} は、第 2 の基準電位 V_{csL} よりも高いため、電源投入時から所定期間内は、すべての補助容量電源線保持容量配線 $CS_1 \sim CS_n$ の電位が高くなる。補助容量電源線 $CS_1 \sim CS_n$ の電位が高くなると、画素電極 2 の電位も相対的に高くなり、液晶容量 C_2 の両端電位 (対向電極 3 の電位と画素電極 2 の電位との差) が小さくなる。これにより、例えば、ノーマリホワイト (信号無印加時に白表示) の液晶表示装置の場合、電源投入時も白表示に近い表示になり、輝線が視認されなくなる。その後、所定時間経過後、図 2 6 の補助容量電源選択回路 6 は、電源投入時電源制御信号 s_1 をハイレベルにする。これにより、極性反転時電源制御信号 s_2 の論理に応じて、AND ゲート 10 の論理が変化し、それに依りて、NMOS トランジスタ 8 と PMOS トランジスタ 9 のオン・オフが極性反転駆動の周期に合わせて変化する。これにより、補助容量電源線 $CS_1 \sim CS_n$ 電位は、極性反転駆動の周期に合わせて、第 1 の基準電位 V_{csH} または第 2 の基準電位 V_{csL} になる。

30

40

【 0 0 0 8 】

このように、上記構成では、電源投入時から所定期間内は、すべての補助容量電源線保持容量配線 $CS_1 \sim CS_n$ が同一の電源電位 (第 1 の基準電位) に設定されるため、補助容量電源線保持容量配線 $CS_1 \sim CS_n$ の電位レベルのばらつきが起きなくなる。これにより、電源投入時の表示の不具合を解消することができる。

【 先行技術文献 】

50

【特許文献】

【0009】

【特許文献1】日本国公開特許公報「特開2005-49849号公報(2005年2月24日公開)」

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、上記液晶表示装置では、電源投入後に補助容量電源線へ所定の電位を供給するための信号線および制御回路が必要になるため、駆動回路の回路面積が増大化してしまう。そのため、特に、額縁の狭い液晶表示パネルに適用することが困難となる。

10

【0011】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、回路面積を増大させることなく、電源投入時の表示品位の向上を図ることができる表示駆動回路及び表示駆動方法を提供することにある。

【課題を解決するための手段】

【0012】

本発明に係る表示駆動回路は、画素に含まれる画素電極と容量を形成する保持容量配線に保持容量配線信号を供給することによって、該画素電極に書き込まれた信号電位を該信号電位の極性に応じた向きに変化させる表示装置に用いられる表示駆動回路であって、複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタを備え、上記シフトレジスタの各段に対応して保持回路が1つずつ設けられるとともに、各保持回路に保持対象信号が入力され、上記シフトレジスタの1つの段で生成された制御信号がアクティブになると、この段に対応する保持回路が上記保持対象信号を取り込んでこれを保持し、1つの保持回路の出力を、上記保持容量配線信号として1つの保持容量配線に供給し、上記シフトレジスタの各段で生成される制御信号は、表示映像の最初の垂直走査期間よりも前にアクティブになることを特徴としている。

20

【0013】

上記構成によれば、シフトレジスタの各段で生成される制御信号(内部信号あるいは出力信号)が、表示映像の最初の垂直走査期間(第1フレーム)よりも前(初期時)にアクティブになると、対応する段の保持回路(ラッチ回路あるいはメモリ回路)に保持対象信号(極性信号CMI)が保持される。そのため、例えば、初期時において、保持対象信号を一定の電位(ハイレベルあるいはローレベル)に設定した場合には、一定電位の信号が保持回路から出力されて保持容量配線に供給される。これにより、電源投入後かつ第1フレーム開始前の保持容量配線の信号電位を固定することができるため、上述した不定状態による初期時の表示不具合を解消することができる。

30

【0014】

また、上記構成によれば、保持容量配線の信号電位を固定するための制御回路(従来の保持容量電源選択回路)等を設ける必要がないため、駆動回路の面積を小さくすることができる。よって、上記表示駆動回路を用いることにより、液晶表示パネルの額縁の狭小化を図ることができる。

40

【0015】

本発明に係る表示駆動方法は、複数の走査信号線の各々に対応して設けられた複数の段を含むシフトレジスタを備え、画素に含まれる画素電極と容量を形成する保持容量配線が設けられた表示パネルを駆動する表示駆動方法であって、上記シフトレジスタの各段に対応して設けられた保持回路に保持対象信号を入力し、自段のシフトレジスタで生成した制御信号がアクティブになると、自段に対応する保持回路が上記保持対象信号を取り込んでこれを保持し、1つの保持回路の出力を、保持容量配線信号として1つの保持容量配線に供給し、上記シフトレジスタの各段で生成する制御信号を、表示映像の最初の垂直走査期間よりも前にアクティブにすることを特徴としている。

【0016】

50

上記方法では、上記表示駆動回路に関して述べた効果と同じく、回路面積を増大させることなく、電源投入時の表示品位の向上を図ることができるという効果を奏する。

【発明の効果】

【0017】

本発明に係る表示駆動回路及び表示駆動方法は、以上のように、保持回路の入力される、シフトレジスタの各段で生成される制御信号が、表示映像の最初の垂直走査期間よりも前にアクティブになる構成である。これにより、保持容量配線の信号電位を固定することができるため、回路面積を増大させることなく電源投入時の表示品位の向上を図ることができるという効果を奏する。

【図面の簡単な説明】

10

【0018】

【図1】本発明の実施の一形態に係る液晶表示装置の構成を示すブロック図である。

【図2】図1の液晶表示装置における各画素の電氣的構成を示す等価回路図である。

【図3】実施例1における液晶表示装置の各種信号の波形を示すタイミングチャートである。

【図4】実施例1におけるゲートライン駆動回路及びCSバスライン駆動回路の構成を示すブロック図である。

【図5】実施例1におけるシフトレジスタ回路の構成を示す図である。

【図6】図5に示すシフトレジスタ回路に入出力される各種信号の波形を示すタイミングチャートである。

20

【図7】実施例1における論理回路（ラッチ回路）の構成を示す図である。

【図8】図7に示すラッチ回路の回路図である。

【図9】図7に示すラッチ回路に入出力される各種信号の波形を示すタイミングチャートである。

【図10】図7に示すラッチ回路の動作を説明するためのタイミングチャートである。

【図11】実施例2における液晶表示装置の各種信号の波形を示すタイミングチャートである。

【図12】実施例2におけるゲートライン駆動回路及びCSバスライン駆動回路の構成を示すブロック図である。

【図13】実施例2における論理回路（ラッチ回路）の構成を示す図である。

30

【図14】図13に示すラッチ回路の回路図である。

【図15】図13に示すラッチ回路に入出力される各種信号の波形を示すタイミングチャートである。

【図16】実施例3における液晶表示装置の各種信号の波形を示すタイミングチャートである。

【図17】実施例3におけるゲートライン駆動回路及びCSバスライン駆動回路の構成を示すブロック図である。

【図18】実施例3における論理回路（ラッチ回路）の構成を示す図である。

【図19】図18に示すラッチ回路の回路図である。

【図20】図18に示すラッチ回路に入出力される各種信号の波形を示すタイミングチャートである。

40

【図21】実施例4におけるゲートライン駆動回路及びCSバスライン駆動回路の構成を示すブロック図である。

【図22】図21に示すラッチ回路に入出力される各種信号の波形を示すタイミングチャートである。

【図23】実施例5におけるゲートライン駆動回路及びCSバスライン駆動回路の構成を示すブロック図である。

【図24】図23に示すラッチ回路に入出力される各種信号の波形を示すタイミングチャートである。

【図25】従来の液晶表示装置の構成を示すブロック図である。

50

【図 2 6】図 2 5 に示す液晶表示装置における補助容量電源選択回路の構成を示す回路図である。

【発明を実施するための形態】

【0019】

本発明の一実施形態について図面に基づいて説明すると以下の通りである。

【0020】

まず、図 1 及び図 2 に基づいて本発明の表示装置に相当する液晶表示装置 1 の構成について説明する。なお、図 1 は液晶表示装置 1 の全体構成を示すブロック図であり、図 2 は液晶表示装置 1 の画素の電氣的構成を示す等価回路図である。

【0021】

液晶表示装置 1 は、本発明の表示パネル、データ信号線駆動回路、走査信号線駆動回路、保持容量配線駆動回路、及び制御回路にそれぞれ相当するアクティブマトリクス型の液晶表示パネル 10、ソースバスライン駆動回路 20、ゲートライン駆動回路 30、CS バスライン駆動回路 40、及びコントロール回路 50 を備えている。

【0022】

液晶表示パネル 10 は、図示しないアクティブマトリクス基板と対向基板との間に液晶を挟持して構成されており、行列状に配列された多数の画素 P を有している。

【0023】

そして、液晶表示パネル 10 は、アクティブマトリクス基板上に、本発明のデータ信号線、走査信号線、スイッチング素子、画素電極、及び保持容量配線にそれぞれ相当するソースバスライン 11、ゲートライン 12、薄膜トランジスタ (Thin Film Transistor; 以下「TFT」と称する) 13、画素電極 14、及び CS バスライン 15 を備え、対向基板上に対向電極 19 を備えている。なお、TFT 13 は、図 2 にのみ図示し、図 1 では省略している。

【0024】

ソースバスライン 11 は、列方向 (縦方向) に互いに平行となるように各列に 1 本ずつ形成されており、ゲートライン 12 は行方向 (横方向) に互いに平行となるように各行に 1 本ずつ形成されている。TFT 13 及び画素電極 14 は、ソースバスライン 11 とゲートライン 12 との各交点に対応してそれぞれ形成されており、TFT 13 のソース電極 s がソースバスライン 11 に、ゲート電極 g がゲートライン 12 に、ドレイン電極 d が画素電極 14 にそれぞれ接続されている。また、画素電極 14 は、対向電極 19 との間に液晶を介して液晶容量 17 を形成している。

【0025】

これにより、ゲートライン 12 に供給されるゲート信号 (走査信号) によって TFT 13 のゲートがオンし、ソースバスライン 11 からのソース信号 (データ信号) が画素電極 14 に書き込まれると、画素電極 14 に上記ソース信号に応じた電位が付与される。この結果、画素電極 14 と対向電極 19 との間に介在する液晶に対して上記ソース信号に応じた電位が印加されることによって、上記ソース信号に応じた階調表示を実現することができる。

【0026】

CS バスライン 15 は、行方向 (横方向) に互いに平行となるように各行に 1 本ずつ形成されており、ゲートライン 12 と対をなすように配置されている。この各 CS バスライン 15 は、それぞれ各行に配置された画素電極 14 との間に保持容量 16 (「補助容量」ともいう) が形成されることにより、画素電極 14 と容量結合されている。

【0027】

なお、TFT 13 には、その構造上、ゲート電極 g とドレイン電極 d との間に引込容量 18 が形成されてしまうことから、画素電極 14 の電位はゲートライン 12 の電位変化による影響 (引き込み) を受けることになる。しかしながら、ここでは、説明の簡略化のため、上記影響については考慮しないこととする。

【0028】

10

20

30

40

50

上記のように構成される液晶表示パネル 10 は、ソースバスライン駆動回路 20、ゲートライン駆動回路 30 及び CS バスライン駆動回路 40 によって駆動される。また、コントロール回路 50 は、ソースバスライン駆動回路 20、ゲートライン駆動回路 30 及び CS バスライン駆動回路 40 に、液晶表示パネル 10 の駆動に必要な各種の信号を供給する。

【0029】

本実施形態では、周期的に繰り返される垂直走査期間におけるアクティブ期間（有効走査期間）において、各行の水平走査期間を順次割り当て、各行を順次走査していく。そのために、ゲートライン駆動回路 30 は、TFT 13 をオンするためのゲート信号を各行の水平走査期間に同期して当該行のゲートライン 12 に対して順次出力する。このゲートライン駆動回路 30 の詳細については後述する。

10

【0030】

ソースバスライン駆動回路 20 は、各ソースバスライン 11 に対してソース信号を出力する。このソース信号は、液晶表示装置 1 の外部からコントロール回路 50 を介してソースバスライン駆動回路 20 に供給された映像信号を、ソースバスライン駆動回路 20 において各列に割り当て、昇圧等を施した信号である。

【0031】

また、ソースバスライン駆動回路 20 は、例えばライン反転駆動を行うために、出力するソース信号の極性を、同一行の全ての画素について極性が同一であり、かつ隣り合う n（n は自然数）行ごとに逆転するようにしている。例えば、図 3 に示すように、第 1 行の水平走査期間と、第 2 行の水平走査期間とでは、ソース信号 S の極性は反転している（1 ライン（1H）反転駆動）。なお、本実施形態におけるソースバスライン駆動回路 20 は、ライン反転駆動に限定されるものではなく、フレーム反転駆動であってもよい。

20

【0032】

CS バスライン駆動回路 40 は、本発明の保持容量配線信号に相当する CS 信号を各 CS バスライン 15 に対して出力する。この CS 信号は、電位が 2 値（電位の高低）の間で切り替わる（立ち上がり又は立ち下がり）信号である。この CS バスライン駆動回路 40 の詳細については後述する。

【0033】

コントロール回路 50 は、上述したゲートライン駆動回路 30、ソースバスライン駆動回路 20、CS バスライン駆動回路 40 を制御することにより、これら各回路から図 3 に示す信号を出力させる。なお、図 1 では、ゲートライン駆動回路 30 および CS バスライン駆動回路 40 は、液晶表示パネル 10 の一方端側に形成されているが、これに限定されず、それぞれが互いに異なる側に形成されていてもよい。この構成例については後述（実施例 2）する。

30

【0034】

本実施形態において注目すべきは、上記各部材により構成される液晶表示装置 1 において、特に、ゲートライン駆動回路 30 及び CS バスライン駆動回路 40 の特徴である。以降、ゲートライン駆動回路 30 及び CS バスライン駆動回路 40 の詳細について説明する。なお、以下では、CC（Charge Coupling）駆動を行う液晶表示装置について説明するが、本実施形態に係る液晶表示装置は、CC 駆動に限定されるものではない。

40

【0035】

（実施例 1）

図 3 は、実施例 1 の液晶表示装置 1 における各種信号の波形を示すタイミングチャートである。本実施例 1 では、1 ライン（1H）反転駆動を行う場合を例に挙げて説明する。図 3 において、GSP は垂直走査のタイミングを規定するゲートスタートパルス、GCK1（CK）および GCK2（CKB）は制御回路から出力されるシフトレジスタの動作タイミングを規定するゲートクロックである。GSP の立ち下がりから次の立ち下がりまでの期間が 1 垂直走査期間（1V 期間）に相当する。GCK1 の立ち上がりから GCK2 の立ち上がりまでの期間、および、GCK2 の立ち上がりから GCK1 の立ち上がりまでの

50

期間が、1 水平走査期間（1 H 期間）となる。C M I（初期設定信号）は、1 水平走査期間ごとに極性が反転する極性信号である。

【0036】

また、図3では、ソースバスライン駆動回路20からあるソースバスライン11（第x列に設けられたソースバスライン11）に供給されるソース信号S（ビデオ信号）、ゲートライン駆動回路30及びCSバスライン駆動回路40から第1行に設けられたゲートライン12及びCSバスライン15にそれぞれ供給されるゲート信号G1及びCS信号CS1（CSOUT1）、第1行かつ第x列に設けられた画素電極14の電位波形Vpix1をこの順に図示している。また、第2行に設けられたゲートライン12及びCSバスライン15にそれぞれ供給されるゲート信号G2及びCS信号CS2（CSOUT2）、第2行かつ第x列に設けられた画素電極14の電位波形Vpix2をこの順に図示している。さらに、第3行に設けられたゲートライン12及びCSバスライン15にそれぞれ供給されるゲート信号G3及びCS信号CS3（CSOUT3）、第3行かつ第x列に設けられた画素電極14の電位波形Vpix3をこの順に図示している。

10

【0037】

なお、電位Vpix1、Vpix2、Vpix3における破線は対向電極19の電位を示している。

【0038】

以下では、表示映像の最初のフレームを第1フレームとし、それ以前を初期状態（初期時）とする。本実施例1では、図3に示すように、電源投入後の初期状態（電源投入後の所定期間経過後から表示映像の最初のフレーム（第1フレーム）が開始するまでの期間）においては、CS信号CS1、CS2、CS3は何れも一方の電位（図3ではローレベル）に固定されている。第1フレームでは、第1行のCS信号CS1及び第3行のCS信号CS3それぞれは、対応するゲート信号G1、G3の立ち上がり同期してローレベルからハイレベルへ切り替わり、ゲート信号G1、G3の立ち下りの時点においては、ハイレベルとなっている。そのため、各行において、対応するゲート信号が立ち下がる時点のCS信号の電位は、隣接する行におけるCS信号の電位とは互いに異なっている。例えば、CS信号CS1では、対応するゲート信号G1が立ち下がる時点でハイレベルであり、CS信号CS2では、対応するゲート信号G2が立ち下がる時点でローレベルであり、CS信号CS3では、対応するゲート信号G3が立ち下がる時点でハイレベルである。

20

30

【0039】

ここで、ソース信号Sは、映像信号の示す階調に応じた振幅を有し、かつ、1 H 期間毎に極性が反転する信号となる。また、図3では、一様な映像を表示する場合を想定しているため、ソース信号Sの振幅は一定である。一方、ゲート信号G1、G2、G3は、各フレームのアクティブ期間（有効走査期間）におけるそれぞれ第1、第2及び第3番目の1 H 期間においてゲートオン電位となり、その他の期間においてゲートオフ電位となる。

【0040】

そして、CS信号CS1、CS2、CS3は、対応するゲート信号G1、G2、G3の立ち下りの後に反転し、かつ、その反転方向が隣接する行において互いに逆の関係となるような波形をとる。具体的には、奇数フレーム（第1フレーム、第3フレーム、...）では、CS信号CS1、CS3は対応するゲート信号G1、G3が立ち下がった後に立ち下がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち上がる。また、偶数フレーム（第2フレーム、第4フレーム、...）では、CS信号CS1、CS3は対応するゲート信号G1、G3が立ち下がった後に立ち上がり、CS信号CS2は対応するゲート信号G2が立ち下がった後に立ち下がる。

40

【0041】

なお、奇数フレーム及び偶数フレームにおけるCS信号CS1、CS2、CS3の立ち上がり及び立ち下りの関係は上記の関係と逆であってもよい。

【0042】

図3では、第1フレームにおいてゲート信号が立ち下がる時点のCS信号の電位が、隣

50

接する行では互いに異なっているため、第1フレームにおけるCS信号CS1, CS2, CS3は通常の奇数フレーム(例えば第3フレーム)と同じ波形となる。そのため、画素電極14の電位 V_{pix1} , V_{pix2} , V_{pix3} は何れもCS信号CS1, CS2, CS3によって適正にシフトされることになるので、同一階調のソース信号Sが入力されると、対向電極電位とシフト後の画素電極14の電位との電位差は正極性と負極性とで同じになる。すなわち、同一画素列の奇数番目の画素にマイナス極性のソース信号が書き込まれるとともに、偶数番目の画素にプラス極性のソース信号が書き込まれる第1フレームについては、奇数番目の画素に対応するCS信号の電位は、上記奇数番目の画素への書き込み中は極性反転することなく、書き込み後にマイナス方向に極性反転し、かつ次の書き込みまで極性反転せず、偶数番目の画素に対応するCS信号の電位は、上記偶数番目の画素への書き込み中は極性反転することなく、書き込み後にプラス方向に極性反転し、次の書き込みまで極性反転しないようになっている。

10

【0043】

上記駆動によれば、初期状態におけるCS信号の電位を一方(ローレベルあるいはハイレベル)に固定することができるため、初期時の表示不具合を解消することができる。また、第1フレーム以降では適正に画素電極の電位をシフトすることができる。

【0044】

ここで、上述した制御を実現するためのゲートライン駆動回路30及びCSバスライン駆動回路40の具体的な構成について説明する。図4は、ゲートライン駆動回路30及びCSバスライン駆動回路40の構成を示している。以下では、説明の便宜上、第n行の次の走査方向(図4中の矢印方向)の行(ライン)(次行)を第(n+1)行、それとは反対方向の第n行の直前の行(前行)を第(n-1)行と表す。

20

【0045】

図4に示すように、ゲートライン駆動回路30は、複数のシフトレジスタ回路SRを各行に対応して備え、CSバスライン駆動回路40は、複数の保持回路(ラッチ回路、メモリ回路)CSLを各行に対応して備えている。ここでは、説明の便宜上、第(n-1)行, 第n行, 第(n+1)行に対応する、シフトレジスタ回路 SR_{n-1} , SR_n , SR_{n+1} 、及び、ラッチ回路 CSL_{n-1} , CSL_n , CSL_{n+1} 、を例に挙げる。

【0046】

第(n-1)行のシフトレジスタ回路 SR_{n-1} では、クロック端子CKに、コントロール回路50(図1参照)から出力されるゲートクロックGCK1が入力され、入力端子SBに、シフトレジスタ回路 SR_{n-1} のセット信号として、前行(第(n-2)行)のシフトレジスタ出力 $SRBO_{n-2}$ が入力される。出力端子OUTBは次行(第n行)のシフトレジスタ回路 SR_n の入力端子SBに接続され、これにより、出力端子OUTBから出力されるシフトレジスタ出力 $SRBO_{n-1}$ が、シフトレジスタ回路 SR_n に入力される。出力端子Mは、自行(第(n-1)行)のラッチ回路 CSL_{n-1} のクロック端子CKに接続され、これによりシフトレジスタ回路 SR_{n-1} 内部の信号 CSR_{n-1} (内部信号 M_{n-1})(制御信号)が、ラッチ回路 CSL_{n-1} に入力される。

30

【0047】

また、前行(第(n-2)行)のシフトレジスタ出力 $SRBO_{n-2}$ は、シフトレジスタ回路 SR_{n-1} に入力されるとともに、バッファを介して、自行(第(n-1)行)のゲートライン12にゲート信号 G_{n-1} (SRO_{n-2} : $SRBO_{n-2}$ の反転信号)として出力される。また、シフトレジスタ回路 SR_{n-1} には電源(VDD)が入力される。

40

【0048】

第(n-1)行のラッチ回路 CSL_{n-1} は、コントロール回路50(図1参照)から出力される極性信号CMIと、シフトレジスタ回路 SR_{n-1} の内部信号 M_{n-1} (信号 CSR_{n-1})とが入力される。ラッチ回路 CSL_{n-1} の出力端子OUTは、自行(第(n-1)行)のCSバスライン15に接続され、これにより出力端子OUTから出力されるCS信号 $CSOUT_{n-1}$ が、自行のCSバスライン15に入力される。

50

【 0 0 4 9 】

第 n 行のシフトレジスタ回路 SR_n では、クロック端子 CK に、コントロール回路 50 (図 1 参照) から出力されるゲートクロック GCK_2 が入力され、入力端子 SB に、シフトレジスタ回路 SR_n のセット信号として、前行 (第 $(n-1)$ 行) のシフトレジスタ出力 $SRBOn-1$ が入力される。出力端子 $OUTB$ は次行 (第 $(n+1)$ 行) のシフトレジスタ回路 SR_{n+1} の入力端子 SB に接続され、これにより出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBOn$ が、シフトレジスタ回路 SR_{n+1} に入力される。出力端子 M は、自行 (第 n 行) のラッチ回路 $CSLn$ のクロック端子 CK に接続され、これによりシフトレジスタ回路で生成される内部信号 Mn (信号 $CSRn$) が、ラッチ回路 $CSLn$ に入力される。

10

【 0 0 5 0 】

また、前行 (第 $(n-1)$ 行) のシフトレジスタ出力 $SRBOn-1$ は、シフトレジスタ回路 SR_n に入力されるとともに、バッファを介して、自行 (第 n 行) のゲートライン 12 にゲート信号 Gn ($SROn-1$: $SRBOn-1$ の反転信号) として出力される。また、シフトレジスタ回路 SR_n には電源 (VDD) が入力される。

【 0 0 5 1 】

第 n 行のラッチ回路 $CSLn$ は、コントロール回路 50 (図 1 参照) から出力される極性信号 CMI と、シフトレジスタ回路 SR_n で生成される内部信号 Mn (信号 $CSRn$) とが入力される。ラッチ回路 $CSLn$ の出力端子 OUT は、自行 (第 n 行) の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUTn$ が、自行の CS バスライン 15 に入力される。

20

【 0 0 5 2 】

第 $(n+1)$ 行のシフトレジスタ回路 SR_{n+1} では、クロック端子 CK に、コントロール回路 50 (図 1 参照) から出力されるゲートクロック GCK_1 が入力され、入力端子 SB に、シフトレジスタ回路 SR_{n+1} のセット信号として、前行 (第 n 行) のシフトレジスタ出力 $SRBOn$ が入力される。出力端子 $OUTB$ は次行 (第 $(n+2)$ 行) のシフトレジスタ回路 SR_{n+2} の入力端子 SB に接続され、これにより出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBOn+1$ が、シフトレジスタ回路 SR_{n+2} に入力される。出力端子 M は、自行 (第 $(n+1)$ 行) のラッチ回路 $CSLn+1$ のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_{n+1} で生成される内部信号 $Mn+1$ (信号 $CSRn+1$) が、ラッチ回路 $CSLn+1$ に入力される。

30

【 0 0 5 3 】

また、前行 (第 n 行) のシフトレジスタ出力 $SRBOn$ は、シフトレジスタ回路 SR_{n+1} に入力されるとともに、バッファを介して、自行 (第 $(n+1)$ 行) のゲートライン 12 にゲート信号 $Gn+1$ ($SROn$: $SRBOn$ の反転信号) として出力される。また、シフトレジスタ回路 SR_{n+1} には電源 (VDD) が入力される。

【 0 0 5 4 】

第 $(n+1)$ 行のラッチ回路 $CSLn+1$ は、コントロール回路 50 (図 1 参照) から出力される極性信号 CMI と、シフトレジスタ回路 SR_{n+1} で生成される内部信号 $Mn+1$ (信号 $CSRn+1$) とが入力される。ラッチ回路 $CSLn+1$ の出力端子 OUT は、自行 (第 $(n+1)$ 行) の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUTn+1$ が自行の CS バスライン 15 に入力される。

40

【 0 0 5 5 】

次に、シフトレジスタ回路 SR の動作について説明する。図 5 は、第 $(n-1)$ 行、第 n 行、及び、第 $(n+1)$ 行のシフトレジスタ回路 SR_{n-1} , SR_n , SR_{n+1} の詳細を示している。なお、各行のシフトレジスタ回路 SR は、これと同一の構成である。以下では、第 n 行のシフトレジスタ回路 SR_n を中心に説明する。

【 0 0 5 6 】

シフトレジスタ回路 SR_n は、図 5 に示すように、 RS タイプのフリップフロップ回路 $RS-FF$ と、 $NAND$ 回路と、スイッチ回路 SW_1 , SW_2 とを備えている。フリップ

50

フロップ回路RS - FFの入力端子SBには、上記のとおり前行（第（n - 1）行）のシフトレジスタ出力SRBOn - 1（OUTB）がセット信号として入力される。NAND回路の一方の入力端子は、フリップフロップ回路RS - FFの出力端子QBに接続され、他方の入力端子は、シフトレジスタ回路SRnの出力端子OUTBに接続される。NAND回路の出力端子Mは、アナログスイッチ回路SW1，SW2の制御電極に接続されるとともに、自行（第n行）のラッチ回路CSLnのクロック端子CK（図4参照）に接続される。アナログスイッチ回路SW1，SW2には、NAND回路から出力される、アナログスイッチ回路SW1，SW2それぞれのオン/オフを制御する内部信号Mn（信号CSRn）が入力される。アナログスイッチ回路SW1の一方の導通電極には、ゲートクロックCKB（GCK2）が入力され、他方の導通電極がアナログスイッチ回路SW2の一方の導通電極に接続され、アナログスイッチ回路SW2の他方の導通電極には、電源（VDD）が入力される。スイッチ回路SW1，SW2の接続点nは、シフトレジスタ回路SRnの出力端子OUTBに接続されるとともに、NAND回路の一方の入力端子、及び、自行（第n行）のフリップフロップ回路RS - FFの入力端子RBに接続される。シフトレジスタ回路SRnの出力端子OUTBは、次行（第（n + 1）行）の入力端子SBに接続され、これにより自行（第n行）のシフトレジスタ出力SRBOn（OUTB）が、次行（第（n + 1）行）のシフトレジスタ回路SRn + 1のセット信号として入力される。

10

【0057】

上記の構成では、シフトレジスタ回路SRnの出力OUTBが、リセット信号として、フリップフロップ回路RS - FFの入力端子RBに入力されるため、シフトレジスタ回路SRnは自己リセット型のフリップフロップとして機能する。

20

【0058】

このシフトレジスタ回路SRnの具体的な動作について、図6を用いて以下に説明する。

【0059】

まず、シフトレジスタ回路SRnに入力されたセット信号SB（SRBOn - 1）が、ハイレベルからローレベル（アクティブ）になると、フリップフロップ回路RS - FFの出力QBがハイレベルからローレベルになり、NAND回路の出力である内部信号Mnがローレベルからハイレベルになる（t1）。内部信号Mnがハイレベルになると、アナログスイッチ回路SW1がオンし、クロックCKBがOUTBに出力される。これにより、出力信号OUTBはハイレベルになる。ローレベルの出力QBとハイレベルの出力OUTBとがNAND回路に入力されている期間（t1 ~ t2）では、NAND回路からハイレベルの内部信号Mnが出力され、出力信号OUTBはハイレベルになる。セット信号SBがハイレベルになると（t2）、この時点では依然としてクロックCKBがハイレベルであるため、フリップフロップ回路RS - FFはリセットされず、出力QBはローレベルを維持し、内部信号Mn及び出力信号OUTBはハイレベルを維持する（t2 ~ t3）。

30

【0060】

続いて、クロックCKBがローレベルになると（t3）、出力信号OUTBがローレベルになるとともに、フリップフロップ回路RS - FFがリセットされて、出力信号QBがローレベルからハイレベルになる。NAND回路には、ハイレベルの出力信号QBと、ローレベルの出力信号OUTBとが入力されるため、内部信号Mnはハイレベルを維持し、出力信号OUTBはローレベルを維持する（t3 ~ t4）。クロックCKBがローレベルからハイレベルになると（t4）、出力信号OUTBはハイレベルになり、ハイレベルの出力信号QBと、ハイレベルの出力信号OUTBとがNAND回路に入力されるため、内部信号Mnはハイレベルからローレベルに切り替わる。

40

【0061】

このようにして生成された出力OUTBにより、次行（第（n + 1）行）のシフトレジスタ回路SRn + 1の動作が開始されるとともに、自行（第n行）のシフトレジスタ回路SRnのリセット動作が行われる。

【0062】

50

ここで、シフトレジスタ回路 $S R_n$ の内部において生成される内部信号 M_n は、セット信号 $S B$ がアクティブ状態になってからリセット信号 $R B (C K B)$ がアクティブ状態になるまでの期間でアクティブ状態となる。そして、この内部信号 M_n は、自行 (n 行) のラッチ回路 $C S L_n$ のクロック端子 $C K$ に入力される (図 4 の信号 $C S R_n$)。

【0063】

次に、ラッチ回路 $C S L$ の動作について説明する。図 7 は、第 n 行のラッチ回路 $C S L_n$ の詳細を示している。なお、各行のラッチ回路 $C S L$ はこれと同一の構成である。以下では、各行のラッチ回路 $C S L$ をラッチ回路 $C S L_n$ と称して説明する。

【0064】

ラッチ回路 $C S L_n$ のクロック端子 $C K$ (図 4 参照) には、上記のとおりシフトレジスタ回路 $S R_n$ の内部信号 M_n (信号 $C S R_n$) が入力される。入力端子 D には、コントロール回路 50 (図 1 参照) から出力される極性信号 $C M I$ が入力される。これにより、ラッチ回路 $C S L_n$ では、内部信号 M_n の電位レベルの変化 (ローレベル→ハイレベル、又はハイレベル→ローレベル) に応じて、極性信号 $C M I$ の入力状態 (ローレベル又はハイレベル) を電位レベルの変化を示す $C S$ 信号 $C S O U T_n$ として出力する。具体的には、ラッチ回路 $C S L_n$ は、クロック端子 $C K$ に入力される内部信号 M_n の電位レベルがハイレベルのときは、入力端子 D に入力される極性信号 $C M I$ の入力状態 (ローレベル又はハイレベル) を出力し、クロック端子 $C K$ に入力される内部信号 M_n の電位レベルがハイレベルからローレベルに変化すると、変化した時点の入力端子 D に入力される極性信号 $C M I$ の入力状態 (ローレベル又はハイレベル) をラッチし、次にクロック端子 $C K$ に入力される内部信号 M_n の電位レベルがハイレベルになるまでラッチした状態を保持する。そして、ラッチ回路 $C S L_n$ の出力端子 $O U T$ から、電位レベルの変化を示す $C S$ 信号 $C S O U T_n$ として出力される。

【0065】

なお、ラッチ回路 $C S L_n$ は、具体的には、例えば図 8 の回路図に示す構成により実現することができる。図に示すように、ラッチ回路 $C S L_n$ は、ラッチスルー回路 4 a およびバッファ 4 b を含んで構成される。ラッチスルー回路 4 a は、4 つのトランジスタ、2 つのアナログスイッチ回路 $S W 1 1$, $S W 1 2$ 、および 1 つのインバータにより構成され、バッファ 4 b は、2 つのトランジスタにより構成される。

【0066】

(初期動作について)

図 9 は、シフトレジスタ回路 $S R$ および D ラッチ回路 $C S L$ に入出力される各種信号の波形を示すタイミングチャートである。図 9 には、液晶表示装置 1 の電源投入後の初期動作、表示映像の最初の垂直走査期間 (第 1 フレーム) の動作、および次の垂直走査期間 (第 2 フレーム) の動作それぞれの波形を示している。ここでは、初期動作について説明する。

【0067】

液晶表示装置 1 の電源投入後の初期状態 (初期時) では、クロック $G C K 1 B$, $G C K 2 B$ 、極性信号 $C M I$ は、ローレベルに設定される。具体的には、液晶表示装置 1 の電源が投入されると、コントロール回路 50 (図 1 参照) から $G S P B$ などの制御信号が出力され、これに基づきローレベルの $G C K 1 B$ 、 $G C K 2 B$ 、および $C M I$ が出力される。同時に $G S P B$ は初段 (第 0 行) のシフトレジスタ回路 $S R 0$ に入力される。

【0068】

ここで、図 5 に示したように、シフトレジスタ回路 $S R_n$ は、アナログスイッチ回路 $S W 1$, $S W 2$ を制御する内部信号 M_n に基づき、 $C K B$ あるいは $V d d$ を出力する。すなわち、内部信号 M_n がアクティブ (ハイレベル) の間は、アナログスイッチ回路 $S W 1$ がオンし $C K B$ が出力され続ける。そして、シフトレジスタ回路 $S R_n$ に入力されるセット信号 $S B$ がアクティブの間は、内部信号 M_n はアクティブ状態を維持する (図 6 参照)。よって、シフトレジスタ回路 $S R_n$ にアクティブな信号が入力されている間は、内部信号 M_n はアクティブになるとともに、 $C K B$ が出力され続ける。初期状態では、 $C K B$ は口

10

20

30

40

50

ーレベルに設定されているため、シフトレジスタ回路 SR_n にアクティブな信号が入力されている間は、ローレベルの信号を出力する。

【0069】

この構成により、初段のシフトレジスタ回路 SR_0 に $GSPB$ が入力されると、同時に、各シフトレジスタ回路 SR にローレベルの信号が入力されるとともに、内部信号 M および出力信号 $OUTB$ ($SRBO$) がアクティブになる。なお、便宜上、信号配線等の内部遅延は省略している。

【0070】

以上のように、初期状態では、各段のシフトレジスタ回路 SR から、ローレベルのクロック CKB が出力される。なお、各段のシフトレジスタ回路 SR から出力されたローレベルのクロック CKB は、バッファ（図4参照）を介して、対応する各ゲートライン GL に供給され、これにより、全ゲートライン GL がアクティブになる。ここで、例えば、各ソースラインに対向電極電位 V_{com} を供給することにより、初期状態において全ての画素電極の電位を V_{com} に固定することができる。

【0071】

上記の動作において、シフトレジスタ回路 SR_n の内部信号 M_n は、図8に示すラッチ回路 CSL_n に入力される。ラッチ回路 CSL_n を構成するラッチスルー回路4aのクロック端子 CK にアクティブ（ハイレベル）の内部信号 M_n が入力されると、アナログスイッチ回路 SW_{11} がオンし、入力端子 D に入力された極性信号 CMI （ローレベル）が、トランジスタ Tr_1 に入力され、トランジスタ Tr_1 がオンすることにより、ハイレベル（ V_{dd} ）の信号 $LABOn$ が出力される（図9参照）。ラッチスルー回路4aから出力された信号 $LABOn$ がバッファ4bに入力されると、トランジスタ Tr_2 がオンし、ローレベル（ V_{ss} ）の信号 $CSOUT_n$ が出力される（図9参照）。

【0072】

ラッチスルー回路4aのクロック端子 CK に非アクティブ（ローレベル）の内部信号 M_n が入力されると、アナログスイッチ回路 SW_{11} はオフし、アナログスイッチ回路 SW_{12} がオンする。これにより、アナログスイッチ回路 SW_{11} はオフした時点の極性信号 CMI （ローレベル）がラッチされ、ローレベル（ V_{ss} ）の信号 $CSOUT_n$ が出力される（図9参照）。

【0073】

このように、ラッチ回路 CSL_n では、出力信号 $CSOUT_n$ は、シフトレジスタ回路 SR_n からアクティブな信号が入力されている間は、極性信号 CMI の電位変化に応じて電位が切り替わる。よって、初期状態では、極性信号 CMI がローレベルに設定されているため、各行のラッチ回路 CSL_n の出力信号 $CSOUT_n$ はローレベルに固定される。なお、コントロール回路50（図1参照）から出力される極性信号 CMI をハイレベルに設定した場合には、各行のラッチ回路 CSL_n の出力信号 $CSOUT_n$ は、ハイレベルに固定される。これにより、電源投入直後の不定状態（図9の斜線部）が解消され、表示映像の最初のフレーム（第1フレーム）が開始する時点では、 CS 信号の電位を一方（図9の例では、ローレベル）に固定することができる。よって、電源投入後かつ第1フレーム開始前の表示不具合を解消することができる。

【0074】

（第1，第2フレームの動作について）

次に第1フレームおよび第2フレームの動作について説明する。ここでは、主として、第 n 行のシフトレジスタ回路 SR_n およびラッチ回路 CSL_n の動作について説明する。

【0075】

図10は、ラッチ回路 CSL_n に入出力される各種信号の波形を示すタイミングチャートである。図10では、一例として、第1行のラッチ回路 CSL_1 、及び、第2行のラッチ回路 CSL_2 におけるタイミングチャートを示している。

【0076】

まず、第1行の各種信号の波形の変化について説明する。

【 0 0 7 7 】

初期状態では、上記のとおり、ラッチ回路 C S L 1 の出力端子 O U T から出力される C S 信号 C S O U T 1 の電位はローレベルに保持される。

【 0 0 7 8 】

第 1 フレームにおいて、ゲートライン駆動回路 3 0 から、第 1 行のゲートライン 1 2 にゲート信号 G 1 が供給されると、シフトレジスタ回路 S R 1 から出力された内部信号 M 1 (信号 C S R 1) が、ラッチスルー回路 4 a のクロック端子 C K に入力される。内部信号 M 1 の電位変化 (ロー → ハイ ; t_{11}) が入力されると、このときの入力端子 D に入力される極性信号 C M I の入力状態、すなわちハイレベルが転送され、次にクロック端子 C K に入力される内部信号 M 1 の電位変化 (ハイ → ロー ; t_{13}) があるまで (内部信号 M 1 がハイレベルの期間 ; $t_{11} \sim t_{13}$)、極性信号 C M I の電位変化が出力される。内部信号 M 1 がハイレベルの期間に極性信号 C M I がハイレベルからローレベルに変化すると (t_{12})、ラッチスルー回路 4 a の出力 L A B O 1 はローレベルからハイレベルに切り替わる。次に、クロック端子 C K に内部信号 M 1 の電位変化 (ハイ → ロー ; t_{13}) が入力されると、このときの極性信号 C M I の入力状態、すなわちローレベルがラッチされる。その後、第 2 フレームにおいて内部信号 M 1 の電位変化 (ロー → ハイ ; t_{14}) があるまで、出力 L A B O 1 はハイレベルを保持する。出力 L A B O 1 は、バッファ 4 b に入力され、これにより、ラッチ回路 C S L 1 の出力端子 O U T から、図 1 0 に示す C S O U T 1 が出力される。

【 0 0 7 9 】

第 2 フレームにおいて、同様に、ゲートライン駆動回路 3 0 から、第 1 行のゲートライン 1 2 にゲート信号 G 1 が供給されると、シフトレジスタ回路 S R 1 から出力された内部信号 M 1 (信号 C S R 1) が、ラッチスルー回路 4 a のクロック端子 C K に入力される。内部信号 M 1 がローレベルからハイレベルになると (t_{14})、このときの入力端子 D に入力される極性信号 C M I の入力状態、すなわちローレベルが転送される。内部信号 M 1 がハイレベルの期間 ($t_{14} \sim t_{16}$) では、極性信号 C M I の電位変化が出力されるため、極性信号 C M I がローレベルからハイレベルに変化すると (t_{15})、ラッチスルー回路 4 a の出力 L A B O 1 はハイレベルからローレベルに切り替わる。次に、クロック端子 C K に内部信号 M 1 の電位変化 (ハイ → ロー ; t_{16}) が入力されると、このときの極性信号 C M I の入力状態、すなわちハイレベルがラッチされる。その後、第 3 フレームにおいて内部信号 M 1 の電位変化があるまで、出力 L A B O 1 はローレベルを保持する。出力 L A B O 1 は、バッファ 4 b に入力され、これにより、ラッチ回路 C S L 1 の出力端子 O U T から、図 1 0 に示す C S O U T 1 が出力される。

【 0 0 8 0 】

このようにして生成された C S 信号 C S O U T 1 が第 1 行の C S バスライン 1 5 に供給される。なお、第 3 フレームの出力は、第 2 フレームの出力波形の電位レベルを逆転させた波形となり、第 4 フレーム以降では、第 2 フレーム及び第 3 フレームと同一の出力波形となる信号が交互に出力される。

【 0 0 8 1 】

次に、第 2 行の各種信号の波形の変化について説明する。

【 0 0 8 2 】

初期状態では、第 1 行と同様、ラッチ回路 C S L 2 の出力端子 O U T から出力される C S 信号 C S O U T 2 の電位はローレベルに保持される。

【 0 0 8 3 】

第 1 フレームにおいて、ゲートライン駆動回路 3 0 から、第 2 行のゲートライン 1 2 にゲート信号 G 2 が供給されると、シフトレジスタ回路 S R 2 から出力される内部信号 M 2 (信号 C S R 2) が、ラッチスルー回路 4 a のクロック端子 C K に入力される。内部信号 M 2 の電位変化 (ロー → ハイ ; t_{21}) が入力されると、このときの入力端子 D に入力される極性信号 C M I の入力状態、すなわちローレベルが転送され、次にクロック端子 C K に入力される内部信号 M 2 の電位変化 (ハイ → ロー ; t_{23}) があるまで (内部信号 M 2

がハイレベルの期間； $t_{21} \sim t_{23}$ ）、極性信号 C M I の電位変化が出力される。内部信号 M 2 がハイレベルの期間に極性信号 C M I がローレベルからハイレベルに変化すると（ t_{22} ）、ラッチスルー回路 4 a の出力 L A B O 2 はハイレベルからローレベルに切り替わる。次に、クロック端子 C K に内部信号 M 2 の電位変化（ハイ→ロー； t_{23} ）が入力されると、このときの極性信号 C M I の入力状態、すなわちハイレベルがラッチされる。その後、第 2 フレームにおいて内部信号 M 2 の電位変化（ロー→ハイ； t_{24} ）があるまで、出力 L A B O 2 はローレベルを保持する。出力 L A B O 2 は、バッファ 4 b に入力され、これにより、ラッチ回路 C S L 2 の出力端子 O U T から、図 10 に示す C S O U T 2 が出力される。

【 0 0 8 4 】

第 2 フレームにおいて、同様に、ゲートライン駆動回路 3 0 から、第 2 行のゲートライン 1 2 にゲート信号 G 2 が供給されると、シフトレジスタ回路 S R 2 から出力された内部信号 M 2（信号 C S R 2）が、ラッチスルー回路 4 a のクロック端子 C K に入力される。内部信号 M 2 がローレベルからハイレベルになると（ t_{24} ）、このときの入力端子 D に入力される極性信号 C M I の入力状態、すなわちハイレベルが転送される。内部信号 M 2 がハイレベルの期間（ $t_{24} \sim t_{26}$ ）では、極性信号 C M I の電位変化が出力されるため、極性信号 C M I がハイレベルからローレベルに変化すると（ t_{25} ）、ラッチスルー回路 4 a の出力 L A B O 2 はローレベルからハイレベルに切り替わる。次に、クロック端子 C K に内部信号 M 2 の電位変化（ハイ→ロー； t_{26} ）が入力されると、このときの極性信号 C M I の入力状態、すなわちローレベルがラッチされる。その後、第 3 フレームにおいて内部信号 M 2 の電位変化があるまで、出力 L A B O 2 はハイレベルを保持する。出力 L A B O 2 は、バッファ 4 b に入力され、これにより、ラッチ回路 C S L 2 の出力端子 O U T から、図 10 に示す C S O U T 2 が出力される。

【 0 0 8 5 】

このようにして生成された C S 信号 C S O U T 2 が第 2 行の C S バスライン 1 5 に供給される。なお、第 3 フレーム以降では、第 1 フレーム及び第 2 フレームと同一の出力波形となる信号が交互に出力される。

【 0 0 8 6 】

そして、上記の第 1 行の動作及び第 2 行の動作は、各奇数行及び各偶数行におけるラッチ回路の動作に対応している。

【 0 0 8 7 】

このように、各行に対応したラッチ回路 C S L 1 , C S L 2 , C S L 3 , ... , により、第 1 フレームを含む全フレームにおいて、自行のゲート信号が立ち下がった時点（T F T 1 3 がオンからオフに切り替えられた時点）の C S 信号の電位が、隣り合う行では互いに異なるように、該 C S 信号が出力される。これにより、全てのフレームにおいて、C S バスライン駆動回路 4 0 を適正に動作させることが可能となる。

【 0 0 8 8 】

以上のように、本液晶表示装置 1 によれば、シフトレジスタ回路 S R n の内部で生成された信号（内部信号 M）が、同一行（第 n 行）のラッチ回路 C S L n に直接入力される。また、内部信号 M は、電源投入後の初期状態では常にアクティブ（上記例ではハイレベル）である一方、第 1 フレーム以降では、シフトレジスタ回路に入力されるクロックに基づいて電位レベルが切り替わる。これにより、初期状態では、ラッチ回路 C S L n の入力端子 D に入力される信号を一方の電位（ローレベルあるいはハイレベル）に固定することにより、ラッチ回路 C S L n の出力 C S O U T n（C S 信号）は、該一方の電位レベル（ローレベルあるいはハイレベル）に固定され、第 1 フレーム以降では、自行のゲート信号が立ち下がった時点の電位が、隣り合う行では互いに異なるようになる。よって、全ての行の C S バスラインを初期化できるとともに、C S バスライン駆動回路 4 0 を適正に動作させることができる。

【 0 0 8 9 】

また、上記構成によれば、図 2 5 に示す、保持容量配線（C S バスライン）を初期化す

10

20

30

40

50

るための信号を入力する信号線および制御回路が不要になるため、表示駆動回路の回路面積を従来の構成よりも小さくすることができる。よって、表示品位の高い小型の液晶表示装置及び狭額縁の液晶表示パネルを実現することができる。

【 0 0 9 0 】

(実施例 2)

本発明の他の実施例について、図 1 1 ~ 図 1 5 に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、上記実施例 1 において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施例 1 において定義した用語については、特に断らない限り本実施例においてもその定義に則って用いるものとする。

【 0 0 9 1 】

図 1 1 は、実施例 2 の液晶表示装置 1 における各種信号の波形を示すタイミングチャートである。本実施例 2 では、フレーム反転駆動を行う場合を例に挙げて説明する。図 1 1 に示す各種信号は、図 3 に示す信号と同様であり、G S P はゲートスタートパルス、G C K 1 (C K) および G C K 2 (C K B) はゲートクロック、C M I は極性信号である。本実施例 2 の液晶表示装置 1 における図に示すタイミングチャートは、極性信号 C M I の電位変化のタイミング、及び、C S 信号の出力波形が実施例 1 のそれらとは異なっており、その他は同一である。

【 0 0 9 2 】

本実施例 2 では、図 1 1 に示すように、初期状態においては、C S 信号 C S 1 , C S 2 , C S 3 は何れも一方の電位 (図 1 1 ではローレベル) に固定されている。第 1 フレームでは、第 1 行の C S 信号 C S 1 、第 2 行の C S 信号 C S 2 、及び第 3 行の C S 信号 C S 3 それぞれは、対応するゲート信号 G 1 , G 2 , G 3 が立ち下がった後にローレベルからハイレベルへ切り替わる。第 2 フレームでは、第 1 行の C S 信号 C S 1 、第 2 行の C S 信号 C S 2 、及び第 3 行の C S 信号 C S 3 それぞれは、対応するゲート信号 G 1 , G 2 , G 3 が立ち下がった後にハイレベルからローレベルへ切り替わる。

【 0 0 9 3 】

ここで、ソース信号 S は、映像信号の示す階調に応じた振幅を有し、かつ、1 フレーム毎に極性が反転する信号となる。また、図 1 1 では、一様な映像を表示する場合を想定しているため、ソース信号 S の振幅は一定である。そして、C S 信号 C S 1 , C S 2 , C S 3 は、対応するゲート信号 G 1 , G 2 , G 3 の立ち下がりの後に反転し、かつ、その反転方向が隣接する行において互いに同一の関係となるような波形をとる。

【 0 0 9 4 】

このように、第 1 フレームにおいてゲート信号が立ち下がる時点の C S 信号の電位が、全ての行でマイナス極性になり、第 2 フレームにおいてゲート信号が立ち下がる時点の C S 信号の電位が、全ての行でプラス極性になる。そのため、画素電極 1 4 の電位 V_{pix1} , V_{pix2} , V_{pix3} は何れも C S 信号 C S 1 , C S 2 , C S 3 によって適正にシフトされることになるので、同一階調のソース信号 S が入力されると、対向電極電位とシフト後の画素電極 1 4 の電位との電位差は正極性と負極性とで同じになる。その結果、フレーム反転駆動において、適正に C C 駆動を実現することができる。

【 0 0 9 5 】

ここで、上述した制御を実現するためのゲートライン駆動回路 3 0 及び C S バスライン駆動回路 4 0 の具体的な構成について説明する。図 1 2 は、ゲートライン駆動回路 3 0 及び C S バスライン駆動回路 4 0 の構成を示している。以下では、説明の便宜上、第 n 行の次の走査方向 (図 4 中の矢印方向) の行 (ライン) (次行) を第 (n + 1) 行、それとは反対方向の第 n 行の直前の行 (前行) を第 (n - 1) 行と表す。

【 0 0 9 6 】

図 1 2 に示すように、ゲートライン駆動回路 3 0 は、複数のシフトレジスタ回路 S R を各行に対応して備え、C S バスライン駆動回路 4 0 は、複数の保持回路 (ラッチ回路、メモリ回路) C S L を各行に対応して備えている。ゲートライン駆動回路 3 0 は液晶表示パネル 1 0 の一方側に設けられ、C S バスライン駆動回路 4 0 は他方側に設けられている。

10

20

30

40

50

ここでは、説明の便宜上、第 $(n-1)$ 行、第 n 行、第 $(n+1)$ 行に対応する、シフトレジスタ回路 SR_{n-1} 、 SR_n 、 SR_{n+1} 、及び、ラッチ回路 CSL_{n-1} 、 CSL_n 、 CSL_{n+1} 、を例に挙げる。

【0097】

第 $(n-1)$ 行のシフトレジスタ回路 SR_{n-1} では、クロック端子 CK に、コントロール回路50（図1参照）から出力されるゲートクロック GCK_1 が入力され、入力端子 SB に、シフトレジスタ回路 SR_{n-1} のセット信号として、前行（第 $(n-2)$ 行）のシフトレジスタ出力 $SRBOn-2$ が入力される。出力端子 $OUTB$ は次行（第 n 行）のシフトレジスタ回路 SR_n の入力端子 SB に接続され、これにより、出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBOn-1$ が、シフトレジスタ回路 SR_n に入力される。出力端子 $OUTB$ は、バッファを介して、自行（第 $(n-1)$ 行）のラッチ回路 CSL_{n-1} のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_{n-1} の出力信号 $SRBOn-1$ （ゲート信号 G_n に対応）が、ラッチ回路 CSL_{n-1} に入力される。

10

【0098】

また、前行（第 $(n-2)$ 行）のシフトレジスタ出力 $SRBOn-2$ は、シフトレジスタ回路 SR_{n-1} に入力されるとともに、バッファを介して、自行（第 $(n-1)$ 行）のゲートライン12にゲート信号 G_{n-1} として出力される。また、シフトレジスタ回路 SR_{n-1} には電源（ VDD ）が入力される。

【0099】

20

第 $(n-1)$ 行のラッチ回路 CSL_{n-1} は、コントロール回路50（図1参照）から出力される極性信号 CMI と、ゲート信号 G_n とが入力される。ラッチ回路 CSL_{n-1} の出力端子 OUT は、自行（第 $(n-1)$ 行）の CS バスライン15に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_{n-1}$ が、自行の CS バスライン15に入力される。

【0100】

第 n 行のシフトレジスタ回路 SR_n では、クロック端子 CK に、コントロール回路50（図1参照）から出力されるゲートクロック GCK_2 が入力され、入力端子 SB に、シフトレジスタ回路 SR_n のセット信号として、前行（第 $(n-1)$ 行）のシフトレジスタ出力 $SRBOn-1$ が入力される。出力端子 $OUTB$ は次行（第 $(n+1)$ 行）のシフトレジスタ回路 SR_{n+1} の入力端子 SB に接続され、これにより出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBOn$ が、シフトレジスタ回路 SR_{n+1} に入力される。出力端子 $OUTB$ は、バッファを介して、自行（第 n 行）のラッチ回路 CSL_n のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_n の出力信号 $SRBOn$ （ゲート信号 G_{n+1} に対応）が、ラッチ回路 CSL_n に入力される。

30

【0101】

また、前行（第 $(n-1)$ 行）のシフトレジスタ出力 $SRBOn-1$ は、シフトレジスタ回路 SR_n に入力されるとともに、バッファを介して、自行（第 n 行）のゲートライン12にゲート信号 G_n として出力される。また、シフトレジスタ回路 SR_n には電源（ VDD ）が入力される。

40

【0102】

第 n 行のラッチ回路 CSL_n は、コントロール回路50（図1参照）から出力される極性信号 CMI と、ゲート信号 G_{n+1} とが入力される。ラッチ回路 CSL_n の出力端子 OUT は、自行（第 n 行）の CS バスライン15に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_n$ が、自行の CS バスライン15に入力される。

【0103】

第 $(n+1)$ 行のシフトレジスタ回路 SR_{n+1} では、クロック端子 CK に、コントロール回路50（図1参照）から出力されるゲートクロック GCK_1 が入力され、入力端子 SB に、シフトレジスタ回路 SR_{n+1} のセット信号として、前行（第 n 行）のシフトレジスタ出力 $SRBOn$ が入力される。出力端子 $OUTB$ は次行（第 $(n+2)$ 行）のシフ

50

トレジスタ回路 SR_{n+2} の入力端子 SB に接続され、これにより出力端子 OUT_B から出力されるシフトレジスタ出力 $SRBO_{n+1}$ が、シフトレジスタ回路 SR_{n+2} に入力される。出力端子 OUT_B は、バッファを介して、自行（第 $(n+1)$ 行）のラッチ回路 CSL_{n+1} のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_{n+1} の出力信号 $SRBO_{n+1}$ （ゲート信号 G_{n+2} に対応）が、ラッチ回路 CSL_{n+1} に入力される。

【0104】

また、前行（第 n 行）のシフトレジスタ出力 $SRBO_n$ は、シフトレジスタ回路 $SR_n + 1$ に入力されるとともに、バッファを介して、自行（第 $(n+1)$ 行）のゲートライン 12 にゲート信号 G_{n+1} として出力される。また、シフトレジスタ回路 SR_{n+1} には電源（ VDD ）が入力される。

10

【0105】

第 $(n+1)$ 行のラッチ回路 CSL_{n+1} は、コントロール回路 50（図 1 参照）から出力される極性信号 CMI と、ゲート信号 G_{n+2} とが入力される。ラッチ回路 CSL_{n+1} の出力端子 OUT は、自行（第 $(n+1)$ 行）の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_{n+1}$ が自行の CS バスライン 15 に入力される。

【0106】

シフトレジスタ回路 SR の構成は図 5 で示した実施例 1 と同一であり、その動作は図 6 に示す波形となる。ここでは、その説明を省略する。

20

【0107】

次に、ラッチ回路 CSL の動作について、図 13 を用いて説明する。

【0108】

ラッチ回路 CSL_n のクロック端子 CK （図 12 参照）には、上記のとおりゲート信号 G_{n+1} が入力される。入力端子 D には、コントロール回路 50（図 1 参照）から出力される極性信号 CMI が入力される。これにより、ラッチ回路 CSL_n では、ゲート信号 G_{n+1} の電位レベルの変化（ローレベル→ハイレベル、又はハイレベル→ローレベル）に応じて、極性信号 CMI の入力状態（ローレベル又はハイレベル）を電位レベルの変化を示す CS 信号 $CSOUT_n$ として出力する。具体的には、ラッチ回路 CSL_n は、クロック端子 CK に入力されるゲート信号 G_{n+1} の電位レベルがハイレベルのときは、入力端子 D に入力される極性信号 CMI の入力状態（ローレベル又はハイレベル）を出力し、クロック端子 CK に入力されるゲート信号 G_{n+1} の電位レベルがハイレベルからローレベルに変化すると、変化した時点の入力端子 D に入力される極性信号 CMI の入力状態（ローレベル又はハイレベル）をラッチし、次にクロック端子 CK に入力されるゲート信号 G_{n+1} の電位レベルがハイレベルになるまでラッチした状態を保持する。そして、ラッチ回路 CSL_n の出力端子 OUT から、電位レベルの変化を示す CS 信号 $CSOUT_n$ として出力される。

30

【0109】

なお、ラッチ回路 CSL_n は、具体的には、例えば図 14 の回路図に示す構成により実現することができる。図に示すように、ラッチ回路 CSL_n は、ラッチスルー回路 4a およびバッファ 4b を含んで構成される。ラッチスルー回路 4a は、4 つのトランジスタ、2 つのアナログスイッチ回路 $SW11$ 、 $SW12$ 、および 1 つのインバータにより構成され、バッファ 4b は、2 つのトランジスタにより構成される。

40

【0110】

（初期動作について）

図 15 は、シフトレジスタ回路 SR および D ラッチ回路 CSL に入出力される各種信号の波形を示すタイミングチャートである。図 15 には、液晶表示装置 1 の電源投入後の初期動作、表示映像の最初の垂直走査期間（第 1 フレーム）の動作、および次の垂直走査期間（第 2 フレーム）の動作それぞれの波形を示している。ここでは、初期動作について説明する。

50

【 0 1 1 1 】

液晶表示装置 1 の電源投入後の初期状態（初期時）では、クロック G C K 1 B , G C K 2 B、極性信号 C M I は、ローレベルに設定される。具体的には、液晶表示装置 1 の電源が投入されると、コントロール回路 5 0（図 1 参照）から G S P B などの制御信号が出力され、これに基づきローレベルの G C K 1 B、G C K 2 B、および C M I が出力される。同時に G S P B は初段（第 0 行）のシフトレジスタ回路 S R 0 に入力される。

【 0 1 1 2 】

ここで、図 5 に示したように、シフトレジスタ回路 S R n は、アナログスイッチ回路 S W 1 , S W 2 を制御する内部信号 M n に基づき、C K B あるいは V d d を出力する。すなわち、内部信号 M n がアクティブ（ハイレベル）の間は、アナログスイッチ回路 S W 1 がオンし C K B が出力され続ける。そして、シフトレジスタ回路 S R n に入力されるセット信号 S B がアクティブの間は、内部信号 M n はアクティブ状態を維持する（図 6 参照）。よって、シフトレジスタ回路 S R n にアクティブな信号が入力されている間は、内部信号 M n はアクティブになるとともに、C K B が出力され続ける。初期状態では、C K B はローレベルに設定されているため、シフトレジスタ回路 S R n にアクティブな信号が入力されている間は、ローレベルの信号を出力する。

【 0 1 1 3 】

この構成により、初段のシフトレジスタ回路 S R 0 に G S P B が入力されると、同時に、各シフトレジスタ回路 S R にローレベルの信号が入力されるとともに、内部信号 M および出力信号 O U T B（S R B O）がアクティブになる。なお、便宜上、信号配線等の内部遅延は省略している。

【 0 1 1 4 】

以上のように、初期状態では、各段のシフトレジスタ回路 S R から、ローレベルのクロック C K B が出力される。なお、各段のシフトレジスタ回路 S R から出力されたローレベルのクロック C K B は、バッファ（図 1 2 参照）を介して、対応する各ゲートライン G L に供給され、これにより、全ゲートライン G L がアクティブになる。ここで、例えば、各ソースラインに対向電極電位 V c o m を供給することにより、初期状態において全ての画素電極の電位を V c o m に固定することができる。

【 0 1 1 5 】

上記の動作において、バッファを介してシフトレジスタ回路 S R n から出力された信号（ゲート信号 G n + 1）は、図 1 4 に示すラッチ回路 C S L n に入力される。ラッチ回路 C S L n を構成するラッチスルー回路 4 a のクロック端子 C K にアクティブ（ハイレベル）のゲート信号 G n + 1 が入力されると、アナログスイッチ回路 S W 1 1 がオンし、入力端子 D に入力された極性信号 C M I（ローレベル）が、トランジスタ T r 1 に入力され、トランジスタ T r 1 がオンすることにより、ハイレベル（V d d）の信号 L A B O n が出力される（図 1 5 参照）。ラッチスルー回路 4 a から出力された信号 L A B O n がバッファ 4 b に入力されると、トランジスタ T r 2 がオンし、ローレベル（V s s）の信号 C S O U T n が出力される（図 1 5 参照）。

【 0 1 1 6 】

ラッチスルー回路 4 a のクロック端子 C K に非アクティブ（ローレベル）のゲート信号 G n + 1 が入力されると、アナログスイッチ回路 S W 1 1 はオフし、アナログスイッチ回路 S W 1 2 がオンする。これにより、アナログスイッチ回路 S W 1 1 はオフした時点の極性信号 C M I（ローレベル）がラッチされ、ローレベル（V s s）の信号 C S O U T n が出力される（図 1 5 参照）。

【 0 1 1 7 】

このように、ラッチ回路 C S L n では、出力信号 C S O U T n は、シフトレジスタ回路 S R n からアクティブな信号が入力されている間は、極性信号 C M I の電位変化に応じて電位が切り替わる。よって、初期状態では、極性信号 C M I がローレベルに設定されているため、各行のラッチ回路 C S L n の出力信号 C S O U T n はローレベルに固定される。なお、コントロール回路 5 0（図 1 参照）から出力される極性信号 C M I をハイレベルに

10

20

30

40

50

設定した場合には、各行のラッチ回路CSLnの出力信号CSOUTnは、ハイレベルに固定される。これにより、電源投入直後の不定状態（図15の斜線部）が解消され、表示映像の最初のフレーム（第1フレーム）が開始する時点では、CS信号の電位を一方（図15の例では、ローレベル）に固定することができる。よって、電源投入後かつ第1フレーム開始前の表示不具合を解消することができる。

【0118】

（第1，第2フレームの動作について）

次に第1フレームおよび第2フレームの動作について、図15を用いて説明する。ここでは、主として、第n行のシフトレジスタ回路SRnおよびラッチ回路CSLnの動作について説明する。

10

【0119】

初期状態では、上記のとおり、ラッチ回路CSLnの出力端子OUTから出力されるCS信号CSOUTnの電位はローレベルに保持される。

【0120】

第1フレームにおいて、シフトレジスタ回路SRnから出力されたゲート信号Gn+1が、ラッチスルー回路4aのクロック端子CKに入力される。ゲート信号Gn+1の電位変化（ロー→ハイ）が入力されると、このときの入力端子Dに入力される極性信号CMIの入力状態、すなわちハイレベルが転送され、次にクロック端子CKに入力されるゲート信号Gn+1の電位変化（ハイ→ロー）があるまで（ゲート信号Gn+1がハイレベルの期間）、極性信号CMIの電位変化が出力される。ゲート信号Gn+1がハイレベルの期間では極性信号CMIはハイレベルであるため、ラッチスルー回路4aの出力LABOnはローレベルを出力する。次に、クロック端子CKにゲート信号Gn+1の電位変化（ハイ→ロー）が入力されると、このときの極性信号CMIの入力状態、すなわちハイレベルがラッチされる。その後、第2フレームにおいてゲート信号Gn+1の電位変化（ロー→ハイ）があるまで、出力LABOnはローレベルを保持する。出力LABOnは、バッファ4bに入力され、これにより、ラッチ回路CSLnの出力端子OUTから、図15に示すCSOUTn（ハイレベル）が出力される。

20

【0121】

第2フレームにおいて、同様に、シフトレジスタ回路SRnから出力されたゲート信号Gn+1が、ラッチスルー回路4aのクロック端子CKに入力される。ゲート信号Gn+1がローレベルからハイレベルになると、このときの入力端子Dに入力される極性信号CMIの入力状態、すなわちローレベルが転送される。ゲート信号Gn+1がハイレベルの期間では極性信号CMIはローレベルであるため、ラッチスルー回路4aの出力LABOnはハイレベルを出力する。次に、クロック端子CKにゲート信号Gn+1の電位変化（ハイ→ロー）が入力されると、このときの極性信号CMIの入力状態、すなわちローレベルがラッチされる。その後、第3フレームにおいてゲート信号Gn+1の電位変化があるまで、出力LABOnはハイレベルを保持する。出力LABOnは、バッファ4bに入力され、これにより、ラッチ回路CSLnの出力端子OUTから、図15に示すCSOUTn（ローレベル）が出力される。

30

【0122】

このようにして生成されたCS信号CSOUTnが第n行のCSバスライン15に供給される。なお、第3フレーム以降では、第1フレーム及び第2フレームと同一の出力波形となる信号が交互に出力される。また、本実施例では、フレーム反転駆動であるため、全行において、上記と同様の動作が行われる。

40

【0123】

このように、フレーム反転駆動の液晶表示装置において、全てのフレームについて、CSバスライン駆動回路40を適正に動作させることが可能となる。

【0124】

また、上記構成によれば、図25に示す、CSバスラインを初期化するための信号を入力する信号線および制御回路が不要になるため、表示駆動回路の回路面積を従来の構成よ

50

りも小さくすることができる。よって、表示品位の高い小型の液晶表示装置及び狭額縁の液晶表示パネルを実現することができる。

【0125】

(実施例3)

本発明の他の実施例について、図16～図20に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、上記実施例1において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施例1において定義した用語については、特に断らない限り本実施例においてもその定義に則って用いるものとする。

【0126】

図16は、実施例3の液晶表示装置1における各種信号の波形を示すタイミングチャートである。本実施例3では、上記実施例2の構成において、1ライン(1H)反転駆動を行うものである。図16に示す各種信号は、図3に示す信号と同様であり、GSPはゲートスタートパルス、GCK1(CK)およびGCK2(CKB)はゲートクロック、CMI1, CMI2は極性信号である。本実施例3では、互いの位相が異なる2つの極性信号CMI1, CMI2が入力される。

【0127】

本実施例3では、図16に示すように、初期状態においては、CS信号CS1はハイレベルに固定され、CS信号CS2はローレベルに固定され、CS信号CS3はハイレベルに固定されている。第1フレームでは、第1行のCS信号CS1及び第3行のCS信号CS3それぞれは、次行のゲート信号G2, G4の立ち上がり同期してハイレベルからローレベルへ切り替わり、第2行のCS信号CS2は、次行のゲート信号G3の立ち上がり同期してローレベルからハイレベルへ切り替わる。そのため、各行において、対応する行のゲート信号が立ち下がる時点のCS信号の電位は、隣り合う行におけるCS信号の電位とは互いに異なっている。例えば、CS信号CS1では、対応するゲート信号G1が立ち下がる時点でハイレベルであり、CS信号CS2では、対応するゲート信号G2が立ち下がる時点でローレベルであり、CS信号CS3では、対応するゲート信号G3が立ち下がる時点でハイレベルである。

【0128】

ここで、ソース信号Sは、映像信号の示す階調に応じた振幅を有し、かつ、1H期間毎に極性が反転する信号となる。

【0129】

上記駆動によれば、各行について、初期状態におけるCS信号の電位を一方(ローレベルあるいはハイレベル)に固定することができるため、初期時の表示不具合を解消することができる。また、第1フレーム以降では適正に画素電極の電位をシフトすることができる。

【0130】

ここで、上述した制御を実現するためのゲートライン駆動回路30及びCSバスライン駆動回路40の具体的な構成について説明する。図17は、ゲートライン駆動回路30及びCSバスライン駆動回路40の構成を示している。以下では、説明の便宜上、第n行の次の走査方向(図4中の矢印方向)の行(ライン)(次行)を第(n+1)行、それとは反対方向の第n行の直前の行(前行)を第(n-1)行と表す。

【0131】

図17に示すように、ゲートライン駆動回路30は、複数のシフトレジスタ回路SRを各行に対応して備え、CSバスライン駆動回路40は、複数の保持回路(ラッチ回路、メモリ回路)CSLを各行に対応して備えている。ゲートライン駆動回路30は液晶表示パネル10の一方側に設けられ、CSバスライン駆動回路40は他方側に設けられている。ここでは、説明の便宜上、第(n-1)行, 第n行, 第(n+1)行に対応する、シフトレジスタ回路SR_{n-1}, SR_n, SR_{n+1}、及び、ラッチ回路CSL_{n-1}, CSL_n, CSL_{n+1}、を例に挙げる。

【0132】

10

20

30

40

50

第 $(n-1)$ 行のシフトレジスタ回路 SR_{n-1} では、クロック端子 CK に、コントロール回路 50 （図 1 参照）から出力されるゲートクロック GCK_1 が入力され、入力端子 SB に、シフトレジスタ回路 SR_{n-1} のセット信号として、前行（第 $(n-2)$ 行）のシフトレジスタ出力 $SRBO_{n-2}$ が入力される。出力端子 $OUTB$ は次行（第 n 行）のシフトレジスタ回路 SR_n の入力端子 SB に接続され、これにより、出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBO_{n-1}$ が、シフトレジスタ回路 SR_n に入力される。出力端子 $OUTB$ は、バッファを介して自行（第 $(n-1)$ 行）のラッチ回路 CSL_{n-1} のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_{n-1} の出力信号 $SRBO_{n-1}$ （ゲート信号 G_n に対応）が、ラッチ回路 CSL_{n-1} に入力される。

10

【0133】

また、前行（第 $(n-2)$ 行）のシフトレジスタ出力 $SRBO_{n-2}$ は、シフトレジスタ回路 SR_{n-1} に入力されるとともに、バッファを介して、自行（第 $(n-1)$ 行）のゲートライン 12 にゲート信号 G_{n-1} として出力される。また、シフトレジスタ回路 SR_{n-1} には電源（ VDD ）が入力される。

【0134】

第 $(n-1)$ 行のラッチ回路 CSL_{n-1} は、コントロール回路 50 （図 1 参照）から出力される極性信号 CMI_1 と、ゲート信号 G_n とが入力される。ラッチ回路 CSL_{n-1} の出力端子 OUT は、自行（第 $(n-1)$ 行）の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_{n-1}$ が、自行の CS バスライン 15 に入力される。

20

【0135】

第 n 行のシフトレジスタ回路 SR_n では、クロック端子 CK に、コントロール回路 50 （図 1 参照）から出力されるゲートクロック GCK_2 が入力され、入力端子 SB に、シフトレジスタ回路 SR_n のセット信号として、前行（第 $(n-1)$ 行）のシフトレジスタ出力 $SRBO_{n-1}$ が入力される。出力端子 $OUTB$ は次行（第 $(n+1)$ 行）のシフトレジスタ回路 SR_{n+1} の入力端子 SB に接続され、これにより出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBO_n$ が、シフトレジスタ回路 SR_{n+1} に入力される。出力端子 $OUTB$ は、バッファを介して、自行（第 n 行）のラッチ回路 CSL_n のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_n の出力信号 $SRBO_n$ （ゲート信号 G_{n+1} に対応）が、ラッチ回路 CSL_n に入力される。

30

【0136】

また、前行（第 $(n-1)$ 行）のシフトレジスタ出力 $SRBO_{n-1}$ は、シフトレジスタ回路 SR_n に入力されるとともに、バッファを介して、自行（第 n 行）のゲートライン 12 にゲート信号 G_n として出力される。また、シフトレジスタ回路 SR_n には電源（ VDD ）が入力される。

【0137】

第 n 行のラッチ回路 CSL_n は、コントロール回路 50 （図 1 参照）から出力される極性信号 CMI_2 と、ゲート信号 G_{n+1} とが入力される。ラッチ回路 CSL_n の出力端子 OUT は、自行（第 n 行）の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_n$ が、自行の CS バスライン 15 に入力される。

40

【0138】

第 $(n+1)$ 行のシフトレジスタ回路 SR_{n+1} では、クロック端子 CK に、コントロール回路 50 （図 1 参照）から出力されるゲートクロック GCK_1 が入力され、入力端子 SB に、シフトレジスタ回路 SR_{n+1} のセット信号として、前行（第 n 行）のシフトレジスタ出力 $SRBO_n$ が入力される。出力端子 $OUTB$ は次行（第 $(n+2)$ 行）のシフトレジスタ回路 SR_{n+2} の入力端子 SB に接続され、これにより出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBO_{n+1}$ が、シフトレジスタ回路 SR_{n+2} に入力される。出力端子 $OUTB$ は、バッファを介して、自行（第 $(n+1)$ 行）のラッチ回路 CSL_{n+1} のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_{n+1}

50

の出力信号 $SRBO_{n+1}$ (ゲート信号 G_{n+2} に対応) が、ラッチ回路 CSL_{n+1} に入力される。

【0139】

また、前行 (第 n 行) のシフトレジスタ出力 $SRBO_n$ は、シフトレジスタ回路 $SR_n + 1$ に入力されるとともに、バッファを介して、自行 (第 $(n+1)$ 行) のゲートライン 12 にゲート信号 G_{n+1} として出力される。また、シフトレジスタ回路 SR_{n+1} には電源 (VDD) が入力される。

【0140】

第 $(n+1)$ 行のラッチ回路 CSL_{n+1} は、コントロール回路 50 (図 1 参照) から出力される極性信号 CMI_1 と、ゲート信号 G_{n+2} とが入力される。ラッチ回路 CSL_{n+1} の出力端子 OUT は、自行 (第 $(n+1)$ 行) の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_{n+1}$ が自行の CS バスライン 15 に入力される。

10

【0141】

シフトレジスタ回路 SR の構成は図 5 で示した実施例 1 と同一であり、その動作は図 6 に示す波形となる。ここでは、その説明を省略する。

【0142】

次に、ラッチ回路 CSL の動作について、図 18 を用いて説明する。

【0143】

ラッチ回路 CSL_n のクロック端子 CK (図 17 参照) には、上記のとおりゲート信号 G_{n+1} が入力される。入力端子 D には、コントロール回路 50 (図 1 参照) から出力される極性信号 CMI_2 が入力される。これにより、ラッチ回路 CSL_n では、ゲート信号 G_{n+1} の電位レベルの変化 (ローレベル→ハイレベル、又はハイレベル→ローレベル) に応じて、極性信号 CMI_2 の入力状態 (ローレベル又はハイレベル) を電位レベルの変化を示す CS 信号 $CSOUT_n$ として出力する。具体的には、ラッチ回路 CSL_n は、クロック端子 CK に入力されるゲート信号 G_{n+1} の電位レベルがハイレベルのときは、入力端子 D に入力される極性信号 CMI_2 の入力状態 (ローレベル又はハイレベル) を出力し、クロック端子 CK に入力されるゲート信号 G_{n+1} の電位レベルがハイレベルからローレベルに変化すると、変化した時点の入力端子 D に入力される極性信号 CMI_2 の入力状態 (ローレベル又はハイレベル) をラッチし、次にクロック端子 CK に入力されるゲート信号 G_{n+1} の電位レベルがハイレベルになるまでラッチした状態を保持する。そして、ラッチ回路 CSL_n の出力端子 OUT から、電位レベルの変化を示す CS 信号 $CSOUT_n$ として出力される。

20

30

【0144】

なお、ラッチ回路 CSL_n は、具体的には、例えば図 19 の回路図に示す構成により実現することができる。図に示すように、ラッチ回路 CSL_n は、ラッチスルー回路 4a およびバッファ 4b を含んで構成される。ラッチスルー回路 4a は、4 つのトランジスタ、2 つのアナログスイッチ回路 SW_{11} , SW_{12} 、および 1 つのインバータにより構成され、バッファ 4b は、2 つのトランジスタにより構成される。

【0145】

40

(初期動作について)

図 20 は、シフトレジスタ回路 SR および D ラッチ回路 CSL に入出力される各種信号の波形を示すタイミングチャートである。図 20 には、液晶表示装置 1 の電源投入後の初期動作、表示映像の最初の垂直走査期間 (第 1 フレーム) の動作、および次の垂直走査期間 (第 2 フレーム) の動作それぞれの波形を示している。ここでは、初期動作について説明する。

【0146】

液晶表示装置 1 の電源投入後の初期状態 (初期時) では、クロック GCK_{1B} , GCK_{2B} は、ローレベルに設定される。極性信号 CMI_1 は、初期状態では、ローレベルに設定され、極性信号 CMI_2 は、初期状態では、ハイレベルに設定される。極性信号 CMI

50

1, CMI 2は、第1フレーム以降では同一の波形となる。具体的には、液晶表示装置1の電源が投入されると、コントロール回路50(図1参照)からGSPBなどの制御信号が出力され、これに基づきローレベルのGCK1B、GCK2B、CMI1、およびハイレベルのCMI2が出力される。同時にGSPBは初段(第0行)のシフトレジスタ回路SR0に入力される。

【0147】

ここで、図5に示したように、シフトレジスタ回路SRnは、アナログスイッチ回路SW1, SW2を制御する内部信号Mnに基づき、CKBあるいはVddを出力する。すなわち、内部信号Mnがアクティブ(ハイレベル)の間は、アナログスイッチ回路SW1がオンしCKBが出力され続ける。そして、シフトレジスタ回路SRnに入力されるセット信号SBがアクティブの間は、内部信号Mnはアクティブ状態を維持する(図6参照)。よって、シフトレジスタ回路SRnにアクティブな信号が入力されている間は、内部信号Mnはアクティブになるとともに、CKBが出力され続ける。初期状態では、CKBはローレベルに設定されているため、シフトレジスタ回路SRnにアクティブな信号が入力されている間は、ローレベルの信号を出力する。

10

【0148】

この構成により、初段のシフトレジスタ回路SR0にGSPBが入力されると、同時に、各シフトレジスタ回路SRにローレベルの信号が入力されるとともに、内部信号Mおよび出力信号OUTB(SRBO)がアクティブになる。なお、便宜上、信号配線等の内部遅延は省略している。

20

【0149】

以上のように、初期状態では、各段のシフトレジスタ回路SRから、ローレベルのクロックCKBが出力される。なお、各段のシフトレジスタ回路SRから出力されたローレベルのクロックCKBは、バッファ(図17参照)を介して、対応する各ゲートラインGLに供給され、これにより、全ゲートラインGLがアクティブになる。ここで、例えば、各ソースラインに対向電極電位Vcomを供給することにより、初期状態において全ての画素電極の電位をVcomに固定することができる。

【0150】

上記の動作において、バッファを介してシフトレジスタ回路SRnから出力された信号(ゲート信号Gn+1)は、図17に示すラッチ回路CSLnに入力される。ラッチ回路CSLnを構成するラッチスルー回路4aのクロック端子CKにアクティブ(ハイレベル)のゲート信号Gn+1が入力されると、アナログスイッチ回路SW11がオンし、入力端子Dに入力された極性信号CMI2(ハイレベル)が、トランジスタTr3に入力され、トランジスタTr1がオンすることにより、ローレベル(Vss)の信号LABOnが出力される(図20参照)。ラッチスルー回路4aから出力された信号LABOnがバッファ4bに入力されると、トランジスタTr4がオンし、ハイレベル(Vdd)の信号CSOUTnが出力される(図20参照)。

30

【0151】

ラッチスルー回路4aのクロック端子CKに非アクティブ(ローレベル)のゲート信号Gn+1が入力されると、アナログスイッチ回路SW11はオフし、アナログスイッチ回路SW12がオンする。これにより、アナログスイッチ回路SW11はオフした時点の極性信号CMI2(ハイレベル)がラッチされ、ハイレベル(Vdd)の信号CSOUTnが出力される(図20参照)。

40

【0152】

このように、ラッチ回路CSLnでは、出力信号CSOUTnは、シフトレジスタ回路SRnからアクティブな信号が入力されている間は、極性信号CMI2の電位変化に応じて電位が切り替わる。よって、初期状態では、極性信号CMI2がハイレベルに設定されているため、ラッチ回路CSLnの出力信号CSOUTnはハイレベルに固定される。これにより、電源投入直後の不定状態(図20の斜線部)が解消され、表示映像の最初のフレーム(第1フレーム)が開始する時点では、CS信号の電位を一方(第n行ではハイレ

50

ベル)に固定することができる。よって、電源投入後かつ第1フレーム開始前の表示不具合を解消することができる。なお、隣り合う第 $(n-1)$ 行、第 $(n+1)$ 行では、CS信号の電位はローレベルに固定される。

【0153】

(第1,第2フレームの動作について)

次に第1フレームおよび第2フレームの動作について、図20を用いて説明する。ここでは、主として、第 n 行のシフトレジスタ回路SR n およびラッチ回路CSLnの動作について説明する。

【0154】

まず、第 n 行の各種信号の波形の変化について説明する。

10

【0155】

初期状態では、上記のとおり、ラッチ回路CSLnの出力端子OUTから出力されるCS信号CSOUT n の電位はハイレベルに保持される。

【0156】

第1フレームにおいて、シフトレジスタ回路SR n から出力されたゲート信号G $n+1$ が、ラッチスルー回路4aのクロック端子CKに入力される。ゲート信号G $n+1$ の電位変化(ロー→ハイ)が入力されると、このときの入力端子Dに入力される極性信号CMI2の入力状態、すなわちローレベルが転送され、次にクロック端子CKに入力されるゲート信号G $n+1$ の電位変化(ハイ→ロー)があるまで(ゲート信号G $n+1$ がハイレベルの期間)、極性信号CMI2の電位変化が出力される。ゲート信号G $n+1$ がハイレベルの期間では極性信号CMI2はローレベルであるため、ラッチスルー回路4aの出力LABOnはハイレベルを出力する。次に、クロック端子CKにゲート信号G $n+1$ の電位変化(ハイ→ロー)が入力されると、このときの極性信号CMI2の入力状態、すなわちローレベルがラッチされる。その後、第2フレームにおいてゲート信号G $n+1$ の電位変化(ロー→ハイ)があるまで、出力LABOnはハイレベルを保持する。出力LABOnは、バッファ4bに入力され、これにより、ラッチ回路CSLnの出力端子OUTから、図20に示すCSOUT n (ローレベル)が出力される。

20

【0157】

第2フレームにおいて、同様に、シフトレジスタ回路SR n から出力されたゲート信号G $n+1$ が、ラッチスルー回路4aのクロック端子CKに入力される。ゲート信号G $n+1$ がローレベルからハイレベルになると、このときの入力端子Dに入力される極性信号CMI2の入力状態、すなわちハイレベルが転送される。ゲート信号G $n+1$ がハイレベルの期間では極性信号CMI2はハイレベルであるため、ラッチスルー回路4aの出力LABOnはローレベルを出力する。次に、クロック端子CKにゲート信号G $n+1$ の電位変化(ハイ→ロー)が入力されると、このときの極性信号CMI2の入力状態、すなわちハイレベルがラッチされる。その後、第3フレームにおいてゲート信号G $n+1$ の電位変化があるまで、出力LABOnはローレベルを保持する。出力LABOnは、バッファ4bに入力され、これにより、ラッチ回路CSLnの出力端子OUTから、図20に示すCSOUT n (ハイレベル)が出力される。

30

【0158】

このようにして生成されたCS信号CSOUT n が第 n 行のCSバスライン15に供給される。なお、第3フレーム以降では、第1フレーム及び第2フレームと同一の出力波形となる信号が交互に出力される。

40

【0159】

次に、第 $(n+1)$ 行の各種信号の波形の変化について説明する。

【0160】

初期状態では、上記のとおり、ラッチ回路CSLn+1の出力端子OUTから出力されるCS信号CSOUT $n+1$ の電位はローレベルに保持される。

【0161】

第1フレームにおいて、シフトレジスタ回路SR $n+1$ から出力されたゲート信号G n

50

+ 2 が、ラッチスルー回路 4 a のクロック端子 C K に入力される。ゲート信号 G_{n+2} の電位変化（ロー→ハイ）が入力されると、このときの入力端子 D に入力される極性信号 C M I 1 の入力状態、すなわちハイレベルが転送され、次にクロック端子 C K に入力されるゲート信号 G_{n+2} の電位変化（ハイ→ロー）があるまで（ゲート信号 G_{n+2} がハイレベルの期間）、極性信号 C M I 1 の電位変化が出力される。ゲート信号 G_{n+2} がハイレベルの期間では極性信号 C M I 1 はハイレベルであるため、ラッチスルー回路 4 a の出力 L A B O n はローレベルを出力する。次に、クロック端子 C K にゲート信号 G_{n+2} の電位変化（ハイ→ロー）が入力されると、このときの極性信号 C M I 1 の入力状態、すなわちハイレベルがラッチされる。その後、第 2 フレームにおいてゲート信号 G_{n+2} の電位変化（ロー→ハイ）があるまで、出力 L A B O n + 1 はローレベルを保持する。出力 L A B O n + 1 は、バッファ 4 b に入力され、これにより、ラッチ回路 C S L n + 1 の出力端子 O U T から、図 20 に示す C S O U T n + 1（ハイレベル）が出力される。

10

【0162】

第 2 フレームにおいて、同様に、シフトレジスタ回路 S R n + 1 から出力されたゲート信号 G_{n+2} が、ラッチスルー回路 4 a のクロック端子 C K に入力される。ゲート信号 G_{n+2} がローレベルからハイレベルになると、このときの入力端子 D に入力される極性信号 C M I 1 の入力状態、すなわちローレベルが転送される。ゲート信号 G_{n+2} がハイレベルの期間では極性信号 C M I 1 はローレベルであるため、ラッチスルー回路 4 a の出力 L A B O n + 1 はハイレベルを出力する。次に、クロック端子 C K にゲート信号 G_{n+2} の電位変化（ハイ→ロー）が入力されると、このときの極性信号 C M I 1 の入力状態、すなわちローレベルがラッチされる。その後、第 3 フレームにおいてゲート信号 G_{n+2} の電位変化があるまで、出力 L A B O n + 1 はハイレベルを保持する。出力 L A B O n + 1 は、バッファ 4 b に入力され、これにより、ラッチ回路 C S L n + 1 の出力端子 O U T から、図 20 に示す C S O U T n + 1（ローレベル）が出力される。

20

【0163】

このようにして生成された C S 信号 C S O U T n + 1 が第 (n + 1) 行の C S バスライン 15 に供給される。なお、第 3 フレーム以降では、第 1 フレーム及び第 2 フレームと同一の出力波形となる信号が交互に出力される。そして、上記の第 n 行の動作及び第 (n + 1) 行の動作は、各奇数行及び各偶数行におけるラッチ回路の動作に対応している。

【0164】

このように、各行に対応したラッチ回路 C S L 1 , C S L 2 , C S L 3 , ... , により、第 1 フレームを含む全フレームにおいて、自行のゲート信号が立ち下がった時点（ T F T 13 がオンからオフに切り替えられた時点）の C S 信号の電位が、隣り合う行では互いに異なるように、該 C S 信号が出力される。これにより、1 H 反転駆動の液晶表示装置において、全てのフレームについて、C S バスライン駆動回路 40 を適正に動作させることが可能となる。

30

【0165】

（実施例 4）

図 21 は、本実施例 4 の液晶表示装置 1 の構成を示すブロック図である。この液晶表示装置では、ゲートライン駆動回路 30 と C S バスライン駆動回路 40 とが一体に形成されるとともに、C S バスライン駆動回路 40 に互いに位相の異なる 2 本の極性信号 C M I 1 , C M I 2 が入力される。具体的な構成を以下に説明する。

40

【0166】

第 (n - 1) 行のシフトレジスタ回路 S R n - 1 では、クロック端子 C K に、コントロール回路 50（図 1 参照）から出力されるゲートクロック G C K 1 が入力され、入力端子 S B に、シフトレジスタ回路 S R n - 1 のセット信号として、前行（第 (n - 2) 行）のシフトレジスタ出力 S R B O n - 2 が入力される。出力端子 O U T B は次行（第 n 行）のシフトレジスタ回路 S R n の入力端子 S B に接続され、これにより、出力端子 O U T B から出力されるシフトレジスタ出力 S R B O n - 1 が、シフトレジスタ回路 S R n に入力される。出力端子 O U T B は、バッファを介して自行（第 (n - 1) 行）のゲートライン 1

50

2 に接続され、これにより、ゲートライン 12 にゲート信号 G_{n-1} が供給される。

【0167】

第 $(n-1)$ 行のラッチ回路 CSL_{n-1} は、コントロール回路 50 (図 1 参照) から出力される極性信号 CMI_1 と、次行 (第 n 行) のシフトレジスタ出力 $SRBOn$ とが入力される。ラッチ回路 CSL_{n-1} の出力端子 OUT は、自行 (第 $(n-1)$ 行) の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_{n-1}$ が、自行の CS バスライン 15 に入力される。

【0168】

第 n 行のシフトレジスタ回路 SR_n では、クロック端子 CK に、コントロール回路 50 (図 1 参照) から出力されるゲートクロック GCK_2 が入力され、入力端子 SB に、シフトレジスタ回路 SR_n のセット信号として、前行 (第 $(n-1)$ 行) のシフトレジスタ出力 $SRBOn-1$ が入力される。出力端子 $OUTB$ は次行 (第 $(n+1)$ 行) のシフトレジスタ回路 SR_{n+1} の入力端子 SB に接続され、これにより出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBOn$ が、シフトレジスタ回路 SR_{n+1} に入力される。出力端子 $OUTB$ は、バッファを介して自行 (第 n 行) のゲートライン 12 に接続され、これにより、ゲートライン 12 にゲート信号 G_n が供給される。また、出力端子 $OUTB$ は、前行 (第 $(n-1)$ 行) のラッチ回路 CSL_{n-1} のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_n の出力信号 $SRBOn$ が、ラッチ回路 CSL_{n-1} に入力される。

【0169】

第 n 行のラッチ回路 CSL_n は、コントロール回路 50 (図 1 参照) から出力される極性信号 CMI_2 と、次行 (第 $(n+1)$ 行) のシフトレジスタ出力 $SRBOn+1$ とが入力される。ラッチ回路 CSL_n の出力端子 OUT は、自行 (第 n 行) の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_n$ が、自行の CS バスライン 15 に入力される。

【0170】

第 $(n+1)$ 行のシフトレジスタ回路 SR_{n+1} では、クロック端子 CK に、コントロール回路 50 (図 1 参照) から出力されるゲートクロック GCK_1 が入力され、入力端子 SB に、シフトレジスタ回路 SR_{n+1} のセット信号として、前行 (第 n 行) のシフトレジスタ出力 $SRBOn$ が入力される。出力端子 $OUTB$ は次行 (第 $(n+2)$ 行) のシフトレジスタ回路 SR_{n+2} の入力端子 SB に接続され、これにより出力端子 $OUTB$ から出力されるシフトレジスタ出力 $SRBOn+1$ が、シフトレジスタ回路 SR_{n+2} に入力される。出力端子 $OUTB$ は、バッファを介して自行 (第 $(n+1)$ 行) のゲートライン 12 に接続され、これにより、ゲートライン 12 にゲート信号 G_{n+1} が供給される。また、出力端子 $OUTB$ は、前行 (第 n 行) のラッチ回路 CSL_n のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_{n+1} の出力信号 $SRBOn+1$ が、ラッチ回路 CSL_n に入力される。

【0171】

第 $(n+1)$ 行のラッチ回路 CSL_{n+1} は、コントロール回路 50 (図 1 参照) から出力される極性信号 CMI_1 と、次行 (第 $(n+2)$ 行) のシフトレジスタ出力 $SRBOn+2$ とが入力される。ラッチ回路 CSL_{n+1} の出力端子 $OUTB$ は、自行 (第 $(n+1)$ 行) の CS バスライン 15 に接続され、これにより出力端子 $OUTB$ から出力される CS 信号 $CSOUT_{n+1}$ が、自行の CS バスライン 15 に入力される。

【0172】

図 22 は、本実施例 4 におけるシフトレジスタ回路 SR および D ラッチ回路 CSL に入出力される各種信号の波形を示すタイミングチャートである。この図に示すように、初期時では、上記実施例 3 と同様の波形となる。すなわち、ラッチ回路 CSL_n では、出力信号 $CSOUT_n$ は、シフトレジスタ回路 SR_n からアクティブな信号が入力されている間は、極性信号 CMI_2 の電位変化に応じて電位が切り替わるため、ハイレベルに固定される。また、隣り合う第 $(n-1)$ 行、第 $(n+1)$ 行では、出力信号 $CSOUT_{n-1}$,

10

20

30

40

50

CSOUT_{n+1}は、極性信号CMI₁の電位変化に応じて電位が切り替わるため、ローレベルに固定される。これにより、電源投入直後の不定状態(図22の斜線部)が解消され、表示映像の最初のフレーム(第1フレーム)が開始する時点では、CS信号の電位をハイレベルあるいはローレベルに固定することができる。よって、電源投入後かつ第1フレーム開始前の表示不具合を解消することができる。

【0173】

第1, 第2フレームの動作については、上記実施例3と同様であるため、説明を省略する。図22に示す動作によれば、各行に対応したラッチ回路CSL₁, CSL₂, CSL₃, ..., により、第1フレームを含む全フレームにおいて、自行のゲート信号が立ち下がった時点(TFT₁₃がオンからオフに切り替えられた時点)のCS信号の電位が、隣り合う行では互いに異なるように、該CS信号が出力される。これにより、1H反転駆動の液晶表示装置において、全てのフレームについて、CSバスライン駆動回路40を適正に動作させることが可能となる。

【0174】

(実施例5)

図23は、本実施例5の液晶表示装置1の構成を示すブロック図である。この液晶表示装置では、ゲートライン駆動回路30とCSバスライン駆動回路40とが一体に形成されるとともに、CSバスライン駆動回路40に、AONB信号(全ON信号、同時選択用信号)および極性信号CMIが入力される。具体的な構成を以下に説明する。

【0175】

第(n-1)行のシフトレジスタ回路SR_{n-1}では、クロック端子CKに、コントロール回路50(図1参照)から出力されるゲートクロックGCK₁が入力され、入力端子SBに、シフトレジスタ回路SR_{n-1}のセット信号として、前行(第(n-2)行)のシフトレジスタ出力SRBOn-2が入力される。出力端子OUTBは次行(第n行)のシフトレジスタ回路SR_nの入力端子SBに接続され、これにより、出力端子OUTBから出力されるシフトレジスタ出力SRBOn-1が、シフトレジスタ回路SR_nに入力される。出力端子Mは、NOR回路(第2の論理回路)の一方の端子に接続され、NOR回路の他方の端子にはAONB信号が入力される。NOR回路の出力端子は、インバータを介して自行(第(n-1)行)のラッチ回路CSLn-1のクロック端子CKに接続され、これによりシフトレジスタ回路SR_{n-1}内部の信号CSRn-1(内部信号Mn-1)(制御信号)あるいはAONB信号が、ラッチ回路CSLn-1に入力される。

【0176】

また、前行(第(n-2)行)のシフトレジスタ出力SRBOn-2は、シフトレジスタ回路SR_{n-1}に入力されるとともに、NOR回路(第1の論理回路)の一方に入力される。NOR回路の他方にはAONB信号が入力され、NOR回路の出力が、バッファを介して、自行(第(n-1)行)のゲートライン12にゲート信号Gn-1として出力される。また、シフトレジスタ回路SR_{n-1}にはINIB信号(初期化用信号)が入力される。

【0177】

第(n-1)行のラッチ回路CSLn-1は、コントロール回路50(図1参照)から出力される極性信号CMIと、NOR回路の出力(シフトレジスタ回路SR_{n-1}の内部信号Mn-1(信号CSRn-1)あるいはAONB信号)とが入力される。ラッチ回路CSLn-1の出力端子OUTは、自行(第(n-1)行)のCSバスライン15に接続され、これにより出力端子OUTから出力されるCS信号CSOUTn-1が、自行のCSバスライン15に入力される。

【0178】

第n行のシフトレジスタ回路SR_nでは、クロック端子CKに、コントロール回路50(図1参照)から出力されるゲートクロックGCK₂が入力され、入力端子SBに、シフトレジスタ回路SR_nのセット信号として、前行(第(n-1)行)のシフトレジスタ出力SRBOn-1が入力される。出力端子OUTBは次行(第(n+1)行)のシフトレ

10

20

30

40

50

ジスタ回路 SR_{n+1} の入力端子 SB に接続され、これにより出力端子 OUT_B から出力されるシフトレジスタ出力 $SRBOn$ が、シフトレジスタ回路 SR_{n+1} に入力される。出力端子 M は、 NOR 回路の一方の端子に接続され、 NOR 回路の他方の端子には $AONB$ 信号が入力される。 NOR 回路の出力端子は、インバータを介して自行（第 n 行）のラッチ回路 $CSLn$ のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_n の内部信号 M_n （信号 CSR_n ）あるいは $AONB$ 信号が、ラッチ回路 $CSLn$ に入力される。

【0179】

また、前行（第 $(n-1)$ 行）のシフトレジスタ出力 $SRBOn-1$ は、シフトレジスタ回路 SR_n に入力されるとともに、 NOR 回路の一方に入力される。 NOR 回路の他方には $AONB$ 信号が入力され、 NOR 回路の出力が、バッファを介して、自行（第 n 行）のゲートライン 12 にゲート信号 G_n として出力される。また、シフトレジスタ回路 SR_n には $INITB$ 信号（初期化用信号）が入力される。

10

【0180】

第 n 行のラッチ回路 $CSLn$ は、コントロール回路 50（図 1 参照）から出力される極性信号 CMI と、 NOR 回路の出力（シフトレジスタ回路 SR_n の内部信号 M_n （信号 CSR_n ）あるいは $AONB$ 信号）とが入力される。ラッチ回路 $CSLn$ の出力端子 OUT は、自行（第 n 行）の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_n$ が、自行の CS バスライン 15 に入力される。

【0181】

20

第 $(n+1)$ 行のシフトレジスタ回路 SR_{n+1} では、クロック端子 CK に、コントロール回路 50（図 1 参照）から出力されるゲートクロック GCK_1 が入力され、入力端子 SB に、シフトレジスタ回路 SR_{n+1} のセット信号として、前行（第 n 行）のシフトレジスタ出力 $SRBOn$ が入力される。出力端子 OUT_B は次行（第 $(n+2)$ 行）のシフトレジスタ回路 SR_{n+2} の入力端子 SB に接続され、これにより出力端子 OUT_B から出力されるシフトレジスタ出力 $SRBOn+1$ が、シフトレジスタ回路 SR_{n+2} に入力される。出力端子 M は、 NOR 回路の一方の端子に接続され、 NOR 回路の他方の端子には $AONB$ 信号が入力される。 NOR 回路の出力端子は、インバータを介して自行（第 $(n+1)$ 行）のラッチ回路 $CSLn+1$ のクロック端子 CK に接続され、これによりシフトレジスタ回路 SR_{n+1} の内部信号 M_{n+1} （信号 CSR_{n+1} ）あるいは $AONB$ 信号が、ラッチ回路 $CSLn+1$ に入力される。

30

【0182】

また、前行（第 n 行）のシフトレジスタ出力 $SRBOn$ は、シフトレジスタ回路 SR_{n+1} に入力されるとともに、 NOR 回路の一方に入力される。 NOR 回路の他方には $AONB$ 信号が入力され、 NOR 回路の出力が、バッファを介して、自行（第 $(n+1)$ 行）のゲートライン 12 にゲート信号 G_{n+1} として出力される。また、シフトレジスタ回路 SR_{n+1} には $INITB$ 信号（初期化用信号）が入力される。

【0183】

第 $(n+1)$ 行のラッチ回路 $CSLn+1$ は、コントロール回路 50（図 1 参照）から出力される極性信号 CMI と、 NOR 回路の出力（シフトレジスタ回路 SR_{n+1} の内部信号 M_{n+1} （信号 CSR_{n+1} ）あるいは $AONB$ 信号）とが入力される。ラッチ回路 $CSLn+1$ の出力端子 OUT は、自行（第 $(n+1)$ 行）の CS バスライン 15 に接続され、これにより出力端子 OUT から出力される CS 信号 $CSOUT_{n+1}$ が、自行の CS バスライン 15 に入力される。

40

【0184】

シフトレジスタ回路 SR の構成は図 5 で示した実施例 1 と同一であり、その動作は図 6 に示す波形となる。ここでは、その説明を省略する。また、ラッチ回路 $CSLn$ の具体的構成は、図 7 および図 8 と同様である。

【0185】

このような構成を備える実施例 5 に係る液晶表示装置 1 では、初期時において、 AON

50

B 信号がアクティブになることにより、全ゲートラインがアクティブになるとともに、C S バスライン駆動回路の各ラッチ回路 C S L が初期化される。図 2 4 は、シフトレジスタ回路 S R および D ラッチ回路 C S L に入出力される各種信号の波形を示すタイミングチャートである。この図を用いて初期動作について説明する。

【 0 1 8 6 】

液晶表示装置 1 の電源投入後の初期状態（初期時）では、クロック G C K 1 B , G C K 2 B、極性信号 C M I はローレベルに設定され、A O N 信号はハイレベルに設定される。具体的には、液晶表示装置 1 の電源が投入されると、コントロール回路 5 0（図 1 参照）から G S P B などの制御信号が出力され、これに基づきローレベルの G C K 1 B、G C K 2 B、および C M I、ハイレベルの A O N が出力される。同時に G S P B は初段（第 0 行）のシフトレジスタ回路 S R 0 に入力される。

10

【 0 1 8 7 】

これにより、各行において、各ゲートライン 1 2 に接続される各 N O R 回路には、対応するシフトレジスタ回路からハイレベルのシフトレジスタ出力 S R B O とハイレベルの A O N 信号が入力され、これにより、ハイレベルのゲート信号 G が各ゲートライン 1 2 に供給され、全ゲートライン 1 2 がアクティブになる。ここで、例えば、各ソースラインに対向電極電位 V c o m を供給することにより、初期状態において全ての画素電極の電位を V c o m に固定することができる。

【 0 1 8 8 】

また、各行において、各ラッチ回路 C S L に接続される各 N O R 回路には、対応するシフトレジスタ回路からハイレベルの内部信号 M とハイレベルの A O N 信号が入力され、これにより、ローレベルの C M I に応じて C S 信号 C S O U T はローレベルに固定される（図 8 参照）。これにより、電源投入直後の不定状態（図 2 4 の斜線部）が解消され、表示映像の最初のフレーム（第 1 フレーム）が開始する時点では、C S 信号の電位を一方（図 2 4 の例では、ローレベル）に固定することができる。よって、電源投入後かつ第 1 フレーム開始前の表示不具合を解消することができる。

20

【 0 1 8 9 】

上記表示駆動回路では、上記保持対象信号の電位レベルは、表示映像の最初の垂直走査期間よりも前では一定である構成とすることもできる。

【 0 1 9 0 】

上記表示駆動回路では、上記表示駆動回路では、上記保持対象信号は、表示映像の最初の垂直走査期間よりも前では正極性あるいは負極性である一方、該垂直走査期間以降では各行の水平走査期間に同期して極性が反転する構成とすることもできる。

30

【 0 1 9 1 】

上記表示駆動回路では、自段に対応する画素に接続する走査信号線に供給される走査信号がアクティブから非アクティブになった直後、かつ、次段のシフトレジスタで生成された上記制御信号がアクティブである間に、次段に対応する保持回路に入力される上記保持対象信号の電位が変化する構成とすることもできる。

【 0 1 9 2 】

これにより、ライン反転駆動を行う場合に、第 1 フレームにおいても適正に保持容量配線信号を生成することができるため、第 1 フレームにおける 1 行ごとの横筋の発生を解消することができる。

40

【 0 1 9 3 】

上記表示駆動回路では、自段のシフトレジスタで生成された制御信号がアクティブになると、自段に対応する保持回路が上記保持対象信号を取り込んでこれを保持し、

自段のシフトレジスタの出力信号を、自段に対応する画素と接続する走査信号線に、走査信号として供給するとともに、自段に対応する保持回路の出力を、自段よりも前の前段に対応する画素の画素電極と容量を形成する保持容量配線に、上記保持容量配線信号として供給する構成とすることもできる。

【 0 1 9 4 】

50

上記表示駆動回路では、自段のシフトレジスタで生成される制御信号は、自段のシフトレジスタの内部において、自段のシフトレジスタをセットする前段のシフトレジスタの出力信号と、自段のシフトレジスタをリセットする自段のシフトレジスタの出力信号と、に基づいて生成されている構成とすることもできる。

【0195】

上記表示駆動回路では、自段のシフトレジスタで生成された制御信号は、自段のシフトレジスタの動作を開始させる前段のシフトレジスタの出力信号が自段のシフトレジスタに入力されてから、自段のシフトレジスタの動作を終了させるリセット信号が自段のシフトレジスタに入力されるまでの期間、アクティブである構成とすることもできる。

【0196】

上記表示駆動回路では、上記保持対象信号は、表示映像の最初の垂直走査期間よりも前では正極性あるいは負極性である一方、該垂直走査期間以降では垂直走査期間に同期して極性が反転する構成とすることもできる。

【0197】

これにより、フレーム反転駆動の場合に、適正に保持容量配線信号を生成することができる。

【0198】

上記表示駆動回路では、表示映像の最初の垂直走査期間よりも前では、隣り合う画素行の一方に対応する保持回路には正極性の上記保持対象信号が入力される一方、他方に対応する保持回路には負極性の上記保持対象信号が入力される構成とすることもできる。

【0199】

上記表示駆動回路では、複数の保持回路に入力される保持対象信号の位相と、別の複数の保持回路に入力される保持対象信号の位相とは、互いに異なっている構成とすることもできる。

【0200】

上記表示駆動回路では、隣り合う行に対応する2つの保持回路について、一方の保持回路には第1保持対象信号が入力され、他方の保持回路には、該第1の保持対象信号とは位相が異なる第2保持対象信号が入力されている構成とすることもできる。

【0201】

上記表示駆動回路では、自段のシフトレジスタで生成された上記制御信号は、自段のシフトレジスタの出力信号であって、自段のシフトレジスタの出力信号が、後段のシフトレジスタと、自段の保持回路とに入力されている構成とすることもできる。

【0202】

上記表示駆動回路では、複数の走査信号線を同時に選択する同時選択用信号と、自段のシフトレジスタの出力信号とが、自段に対応する第1の論理回路に入力され、該第1の論理回路の出力が、自段に対応する画素と接続する走査信号線に走査信号として供給され、上記同時選択用信号と、次段のシフトレジスタで生成された制御信号とが、自段に対応する第2の論理回路に入力され、該第2の論理回路の出力が自段に対応する上記画素の画素電極と容量を形成する保持容量配線に上記保持容量配線信号として供給されている構成とすることもできる。

【0203】

上記表示駆動回路では、上記制御信号は、自段のシフトレジスタで生成され、次段に対応する画素と接続する走査信号線に走査信号として供給されるとともに、自段の保持回路に供給される構成とすることもできる。

【0204】

例えば、上記シフトレジスタが上記表示パネルの一方側に、上記保持回路が上記表示パネルの他方側に設けられた構成、すなわち、上記表示パネルの表示領域を間に挟んで上記シフトレジスタおよび上記保持回路が設けられている構成において、上記表示駆動回路の構成を適用した場合には、上記制御信号を入力するため、別途の制御信号線を設ける必要がないため、表示パネルの開口率を高めることができる。

10

20

30

40

50

【 0 2 0 5 】

上記表示駆動回路では、上記各保持回路は、Dラッチ回路あるいはメモリ回路として構成されている構成とすることもできる。

【 0 2 0 6 】

本発明に係る表示装置は、上記何れかの表示駆動回路と、上記表示パネルとを備えることを特徴としている。

【 0 2 0 7 】

なお、本発明に係る表示装置は、液晶表示装置であることが望ましい。

【産業上の利用可能性】

【 0 2 0 8 】

本発明は、アクティブマトリクス型液晶表示装置の駆動に特に好適に適用できる。

【符号の説明】

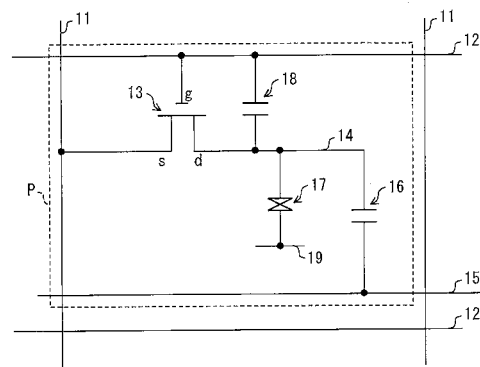
【 0 2 0 9 】

- 1 液晶表示装置（表示装置）
- 1 0 液晶表示パネル（表示パネル）
- 1 1 ソースバスライン（データ信号線）
- 1 2 ゲートライン（走査信号線）
- 1 3 T F T（スイッチング素子）
- 1 4 画素電極
- 1 5 C S バスライン（保持容量配線）
- 2 0 ソースバスライン駆動回路（データ信号線駆動回路）
- 3 0 ゲートライン駆動回路（走査信号線駆動回路）
- 4 0 C S バスライン駆動回路（保持容量配線駆動回路）
- 5 0 コントロール回路（制御回路）
- C S L ラッチ回路（保持回路、保持容量配線駆動回路）
- S R シフトレジスタ回路
- N O R N O R 回路（第 1 の論理回路、第 2 の論理回路）

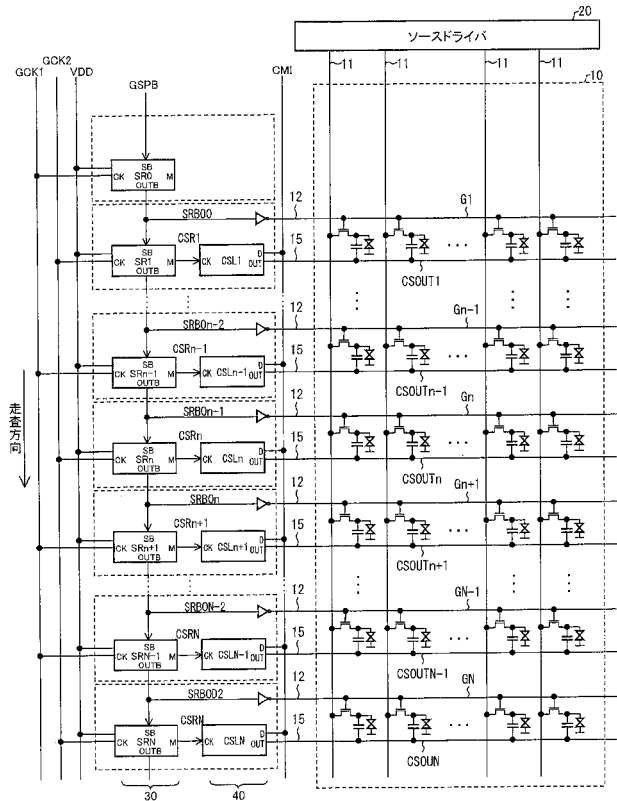
10

20

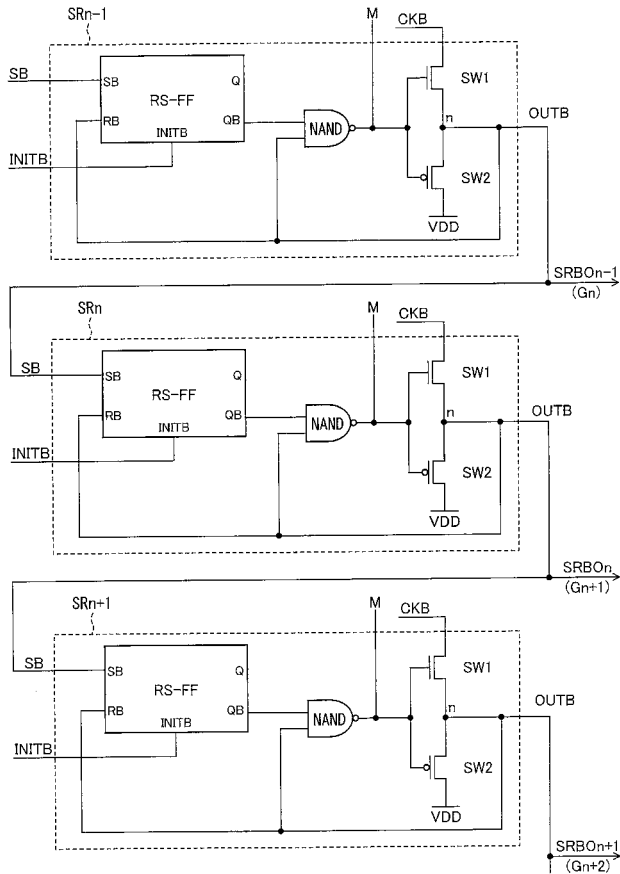
【 図 2 】



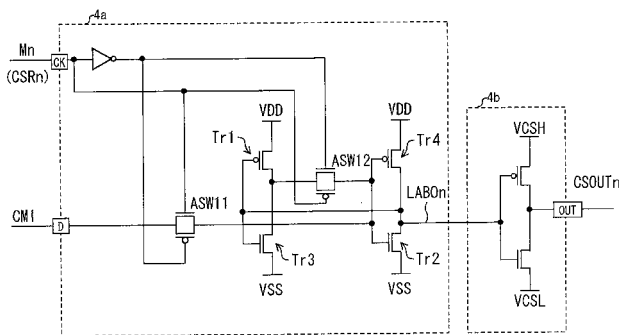
【 図 4 】



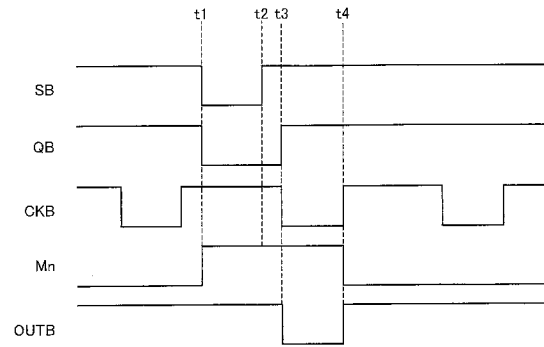
【図 5】



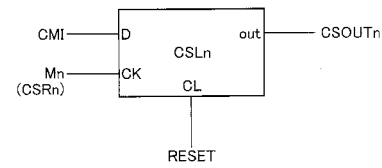
【図 8】



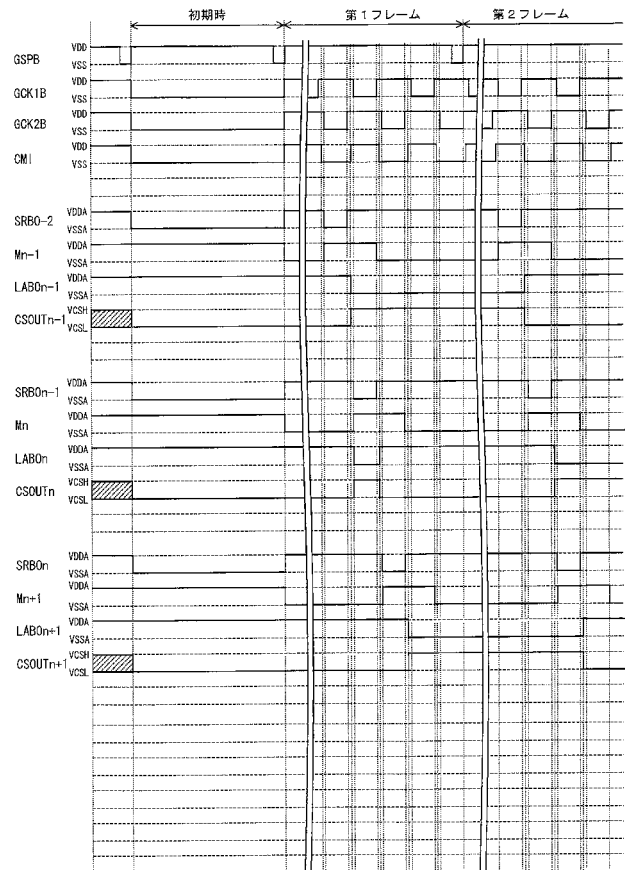
【図 6】



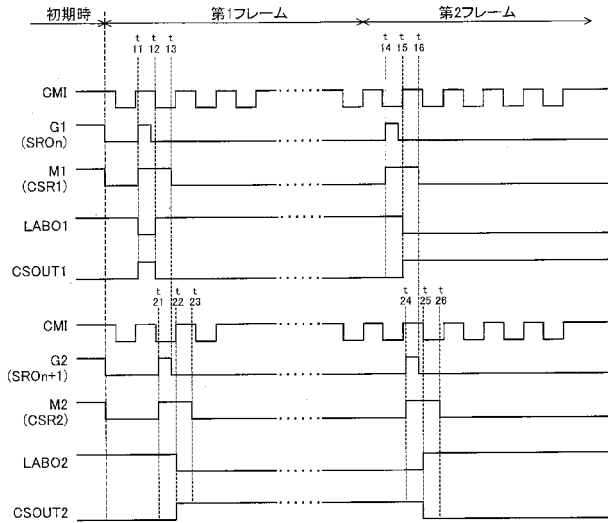
【図 7】



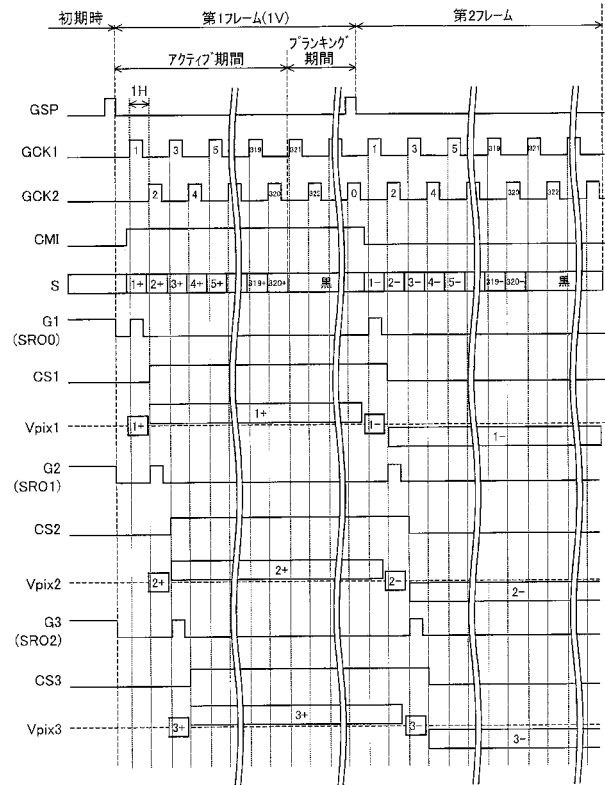
【図 9】



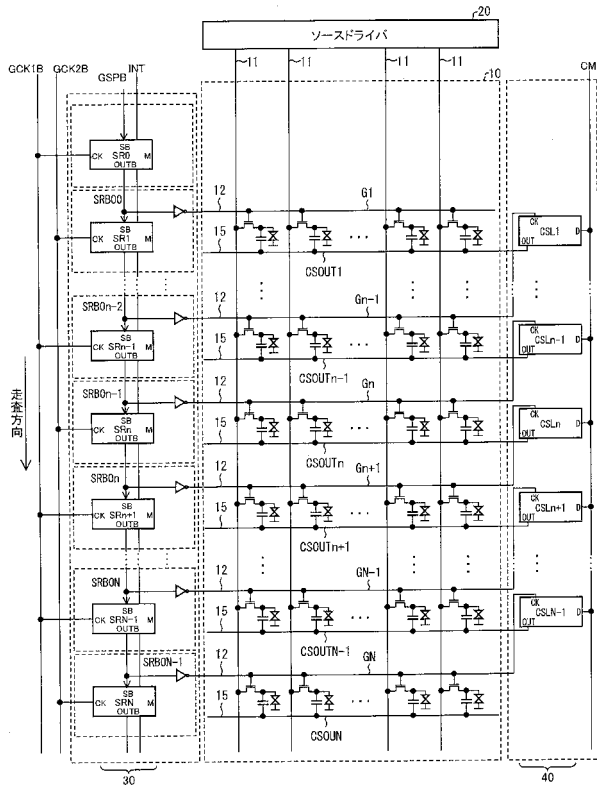
【図 10】



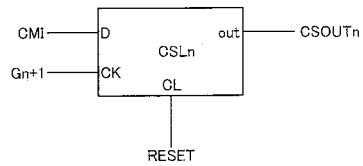
【図 11】



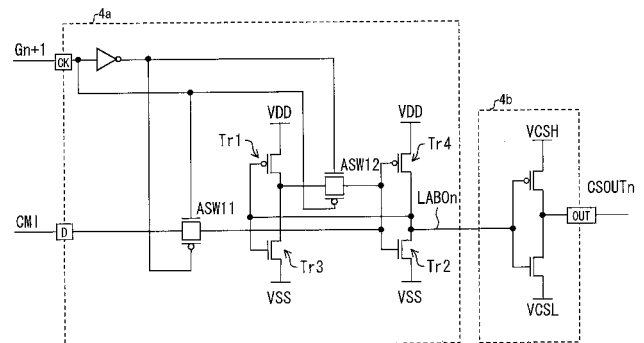
【図 12】



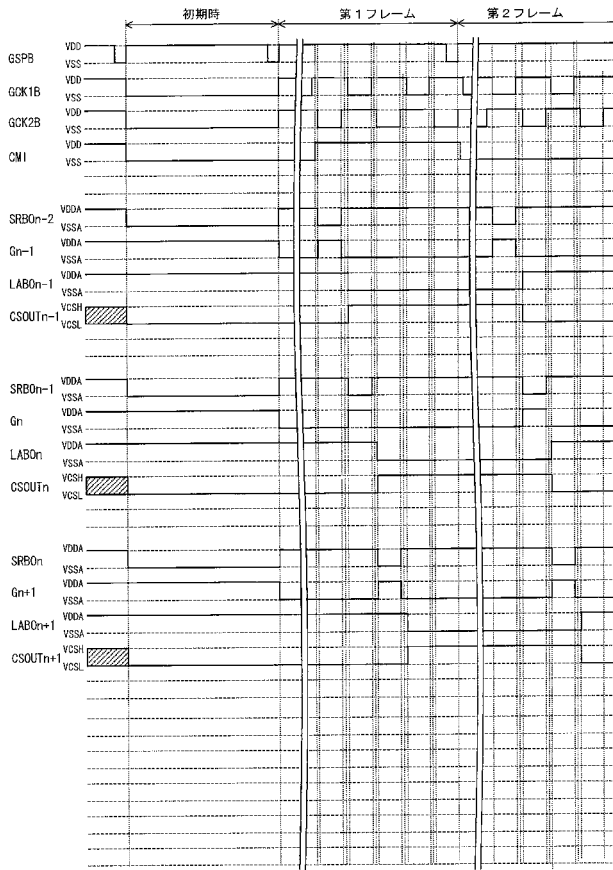
【図 13】



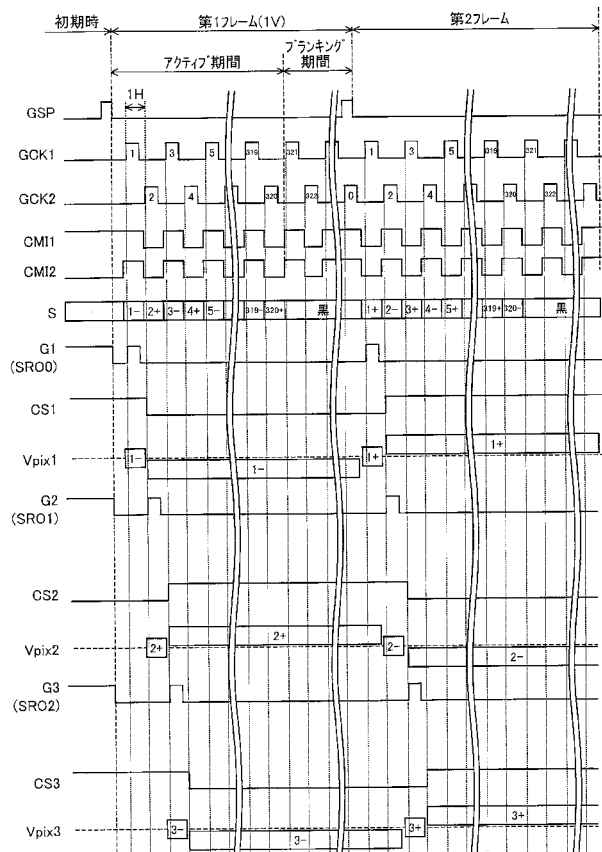
【図 14】



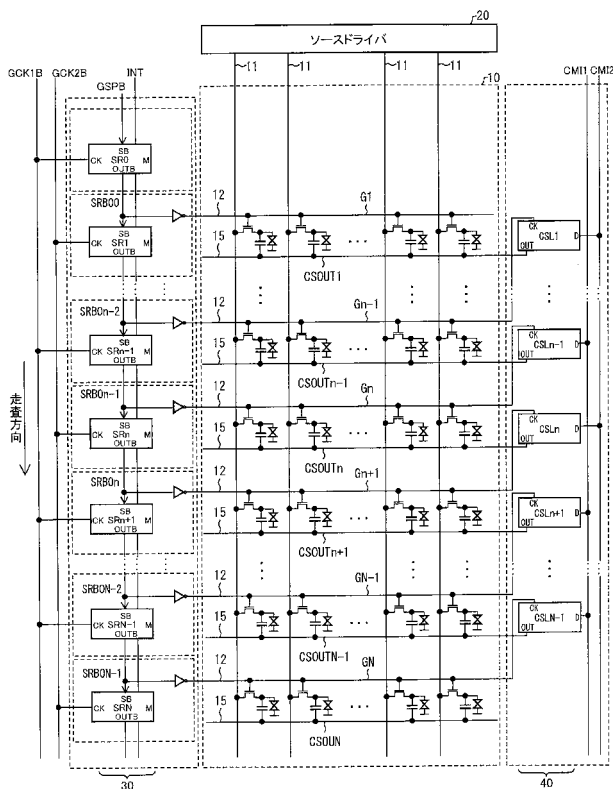
【図 15】



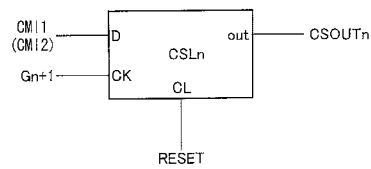
【図 16】



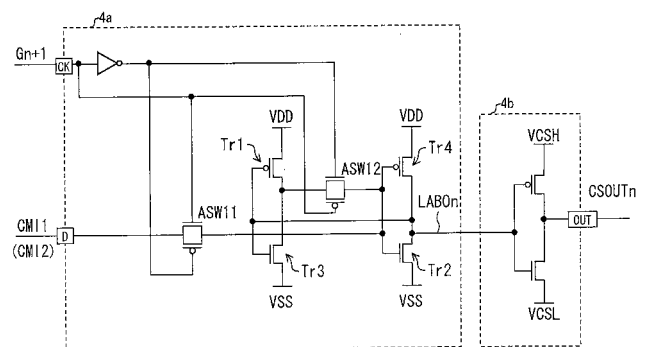
【図 17】



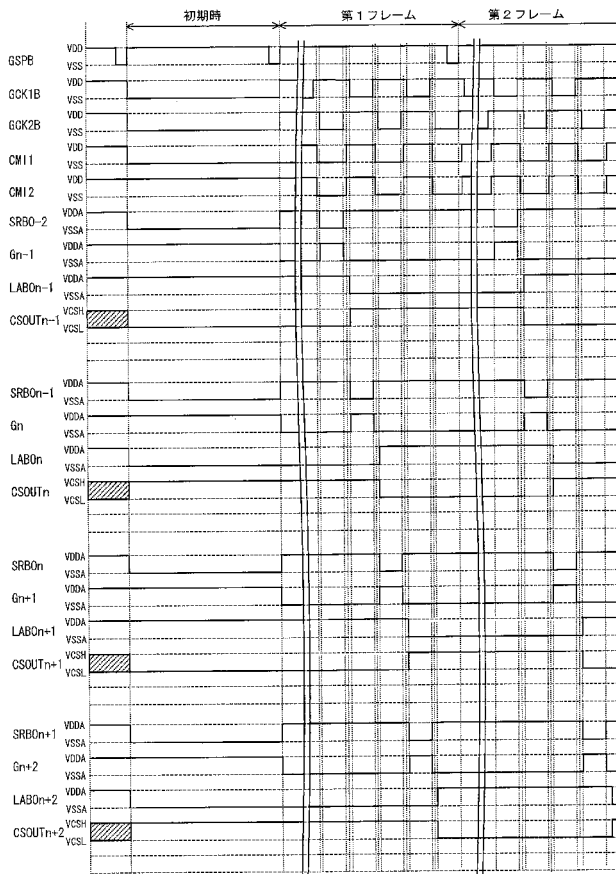
【図 18】



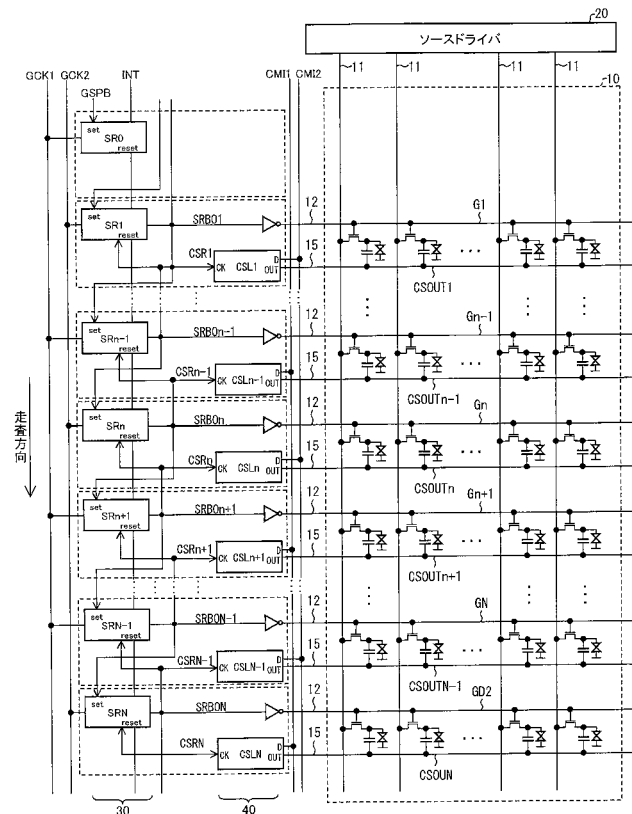
【図 19】



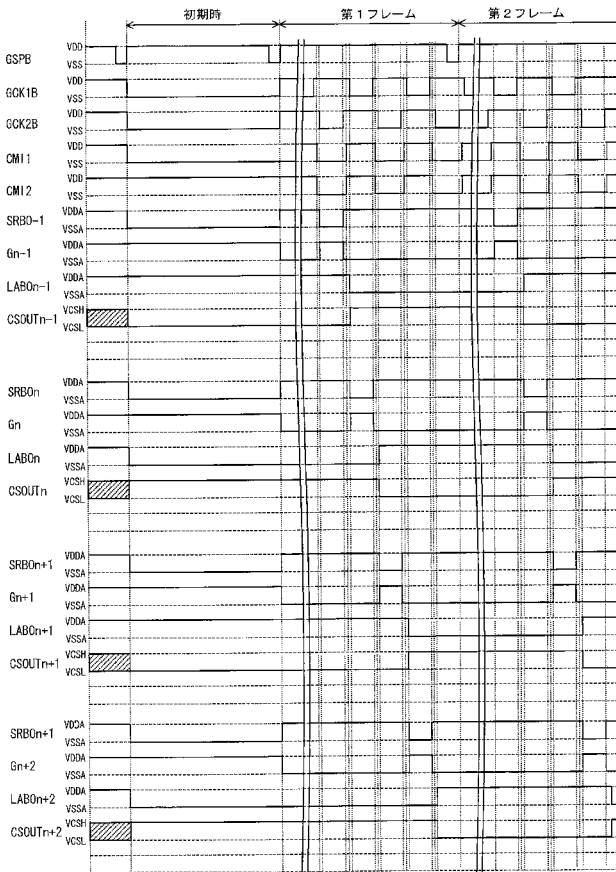
【図 20】



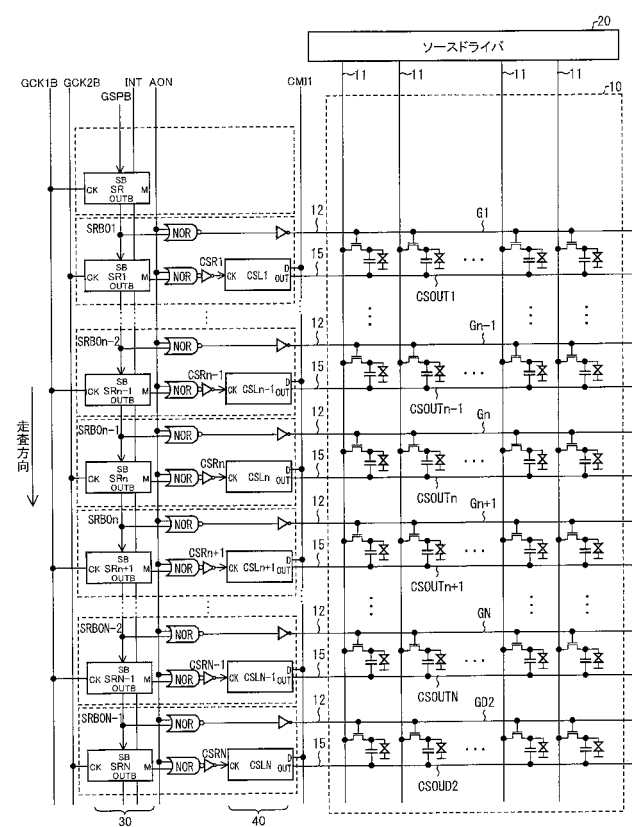
【図 21】



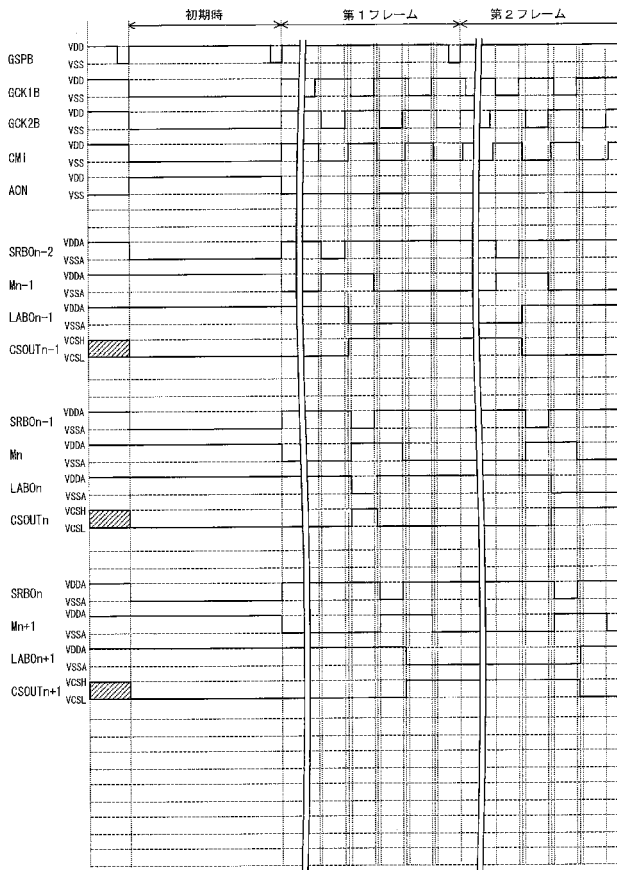
【図 22】



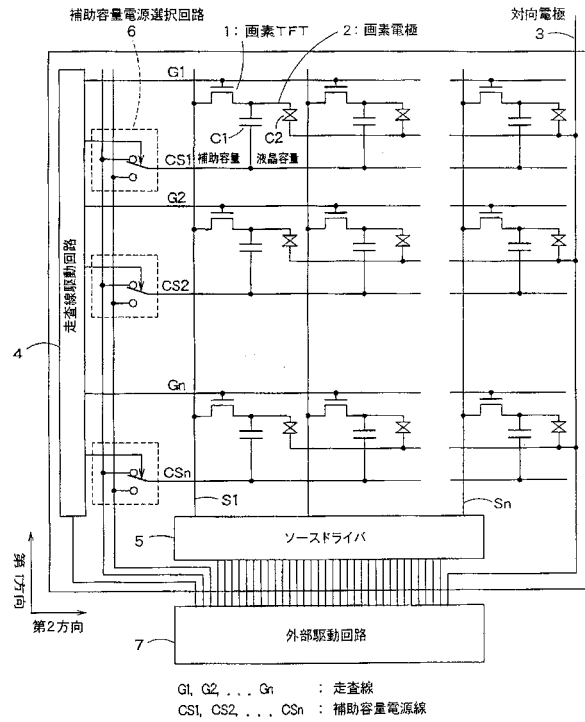
【図 23】



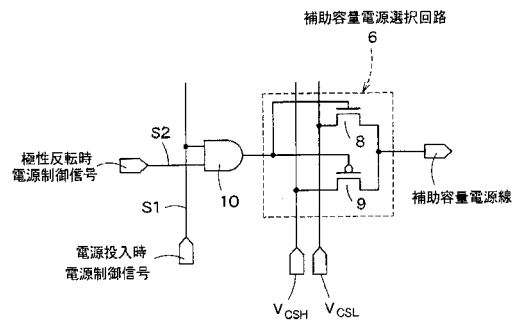
【図 24】



【図 25】



【図 26】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001175

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/050926 A1 (Sharp Corp.), 23 April 2009 (23.04.2009), entire text; all drawings (Family: none)	1-17
A	JP 2008-129284 A (Sony Corp.), 05 June 2008 (05.06.2008), entire text; all drawings & US 2008/0218466 A1 & KR 10-2008-0045617 A & CN 101197123 A	1-17
A	JP 2005-49849 A (Toshiba Matsushita Display Technology Co., Ltd.), 24 February 2005 (24.02.2005), entire text; all drawings & US 2005/0036078 A1 & KR 10-2005-0009154 A & CN 1576974 A & TW 279760 B	1-17

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 May, 2010 (25.05.10)Date of mailing of the international search report
01 June, 2010 (01.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/JP2010/001175	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	WO 2009/050926 A1（シャープ株式会社）2009.04.23 全文、全図（ファミリーなし）	1-17	
A	JP 2008-129284 A（ソニー株式会社）2008.06.05 全文、全図 & US 2008/0218466 A1 & KR 10-2008-0045617 A & CN 101197123 A	1-17	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 25.05.2010		国際調査報告の発送日 01.06.2010	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 武田 悟 電話番号 03-3581-1101 内線 3226	2G 9307

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 0 1 1 7 5
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-49849 A (東芝松下ディスプレイテクノロジー株式会社) 2005.02.24, 全文, 全図 & US 2005/0036078 A1 & KR 10-2005-0009154 A & CN 1576974 A & TW 279760 B	1 - 1 7

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 2 B
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72) 発明者 古田 成

日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム (参考) 2H193 ZA04 ZA07 ZB06 ZB14 ZC04 ZC05 ZE33 ZF23 ZF60

5C006 AA16 AC27 AF67 BB16 BF03 BF04 BF06

5C080 AA10 BB05 DD22 EE29 FF11 JJ02 JJ03 JJ04

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	表示驱动回路、表示装置及び表示驱动方法		
公开(公告)号	JPWO2010146740A1	公开(公告)日	2012-11-29
申请号	JP2011519482	申请日	2010-02-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	横山真 佐々木寧 村上祐一郎 古田成		
发明人	横山 真 佐々木 寧 村上 祐一郎 古田 成		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G3/3614 G09G3/3677 G09G2300/0852 G09G2300/0876		
FI分类号	G09G3/36 G09G3/20.670.D G09G3/20.641.C G09G3/20.621.B G09G3/20.622.E G09G3/20.622.B G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZB14 2H193/ZC04 2H193/ZC05 2H193/ZE33 2H193/ZF23 2H193/ZF60 5C006/AA16 5C006/AC27 5C006/AF67 5C006/BB16 5C006/BF03 5C006/BF04 5C006/BF06 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2009144747 2009-06-17 JP		
外部链接	Espacenet		

摘要(译)

用于驱动设置有CS总线(15)的液晶显示面板(10)的显示驱动电路包括移位寄存器(栅极线驱动电路(30))，该移位寄存器包括以如下方式设置的多个移位寄存器电路SR：对应于多条栅极线(12)，具有以与移位寄存器电路(SR)一一对应的方式提供的锁存电路(CSL)，极性信号(CMI)的显示驱动电路)输入到锁存电路(CSL)。当由移位寄存器电路(SRn)生成的内部信号(Mn)变为活动状态时，对应于该移位寄存器电路的锁存电路(CSLn)加载并保留极性信号(CMI)，并从锁存器输出(CSOUTn)电路(CSLn)作为CS信号被提供给CS总线。由移位寄存器电路(SRn)产生的内部信号(Mn)在显示画面的第一垂直扫描周期之前变为有效。因此，可以在不增加电路面积的情况下提高电源接通时的显示质量。

