

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5805944号
(P5805944)

(45) 発行日 平成27年11月10日(2015.11.10)

(24) 登録日 平成27年9月11日(2015.9.11)

(51) Int.Cl.	F I		
G09G 3/36 (2006.01)	G09G	3/36	
G02F 1/133 (2006.01)	G02F	1/133	550
G09G 3/20 (2006.01)	G09G	3/20	611A
	G09G	3/20	612U
	G09G	3/20	621B
請求項の数 1 (全 37 頁) 最終頁に続く			

(21) 出願番号 特願2010-277076 (P2010-277076)
 (22) 出願日 平成22年12月13日(2010.12.13)
 (65) 公開番号 特開2011-145667 (P2011-145667A)
 (43) 公開日 平成23年7月28日(2011.7.28)
 審査請求日 平成25年9月19日(2013.9.19)
 審判番号 不服2015-3008 (P2015-3008/J1)
 審判請求日 平成27年2月17日(2015.2.17)
 (31) 優先権主張番号 特願2009-288283 (P2009-288283)
 (32) 優先日 平成21年12月18日(2009.12.18)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 荒澤 亮
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 豊高 耕平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

台議体
 審判長 森 電介
 審判官 堀 圭史
 審判官 中塚 直樹

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第1の電極と、第2の電極と、液晶と、を有し、

前記液晶は、前記第1の電極の電位と前記第2の電極の電位との電位差に応じて形成される電界によって配向状態が制御され、

前記第1のトランジスタのチャンネルは、第1の酸化物半導体層に形成され、

前記第1のトランジスタは、導通状態となることによって、前記第1の電極に第1の電位を伝達し、

前記第1のトランジスタは、非導通状態となることによって、前記第1の電極を電氣的に浮遊状態とし、

前記第1の電位は、画像信号に対応する電位であり、

前記第2のトランジスタのチャンネルは、第2の酸化物半導体層に形成され、

前記第2のトランジスタは、導通状態となることによって、前記第2の電極に第2の電位を伝達し、

前記第2のトランジスタは、非導通状態となることによって、前記第2の電極を電氣的に浮遊状態とし、

前記第1の酸化物半導体層は、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満であり、

前記第2の酸化物半導体層は、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満であり、

前記第1のトランジスタは、チャンネル幅 $1 \mu\text{m}$ あたりのオフ電流が $1 \times 10^{-20} \text{A}$ /

10

20

μm以下であり、

前記第2のトランジスタは、チャンネル幅1μmあたりのオフ電流が 1×10^{-20} A / μm以下であり、

静止画表示を行う期間において、前記第1のトランジスタ及び前記第2のトランジスタを、1分以上、非導通状態とする期間を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、テレビ受像機などの大型表示装置から携帯電話などに用いられる小型表示装置に至るまでの広範囲にわたって普及が進んでおり、更に付加価値の高い製品の開発が進められている。近年では、地球環境への関心の高まり、及びモバイル機器の利便性向上の点から、低消費電力型の液晶表示装置の開発が注目されている。

【0003】

例えば、特許文献1では、全ての走査線及び信号線を非選択状態とする休止期間に各信号線の電圧を一定に保持するために、信号線駆動回路から全信号線を電氣的に切り離してハイインピーダンス状態とすることにより、液晶表示装置における消費電力の低減を図る技術について開示されている。

【0004】

また、非特許文献1では、動画像表示と静止画像表示の際のリフレッシュレートを異ならせることにより、液晶表示装置における消費電力の低減を図る構成について開示されている。また、非特許文献1では、静止画像表示のときの休止期間と走査期間の信号切り替えの際に、該信号切り替えに伴った、液晶素子に印加される電圧の変動によるフリッカを防ぐために、休止期間中にも信号線と共通電極とに同位相の交流信号を印加して液晶素子に印加される電圧の変動を防ぐ技術について開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-312253号公報

【非特許文献】

【0006】

【非特許文献1】Kazuhiro Tsuda et al., IDW '02, pp 295-298

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記駆動方式では、液晶表示装置の走査線や信号線に信号を供給する駆動回路の構成及びその動作が複雑になり、液晶表示装置の消費電力を十分低減することができない。

【0008】

また、特許文献1に示すように、全ての走査線及び信号線を非選択状態とする休止期間を設けると画素への書き込み動作の間隔が長くなるため、その分トランジスタのリーク電流や寄生容量により液晶素子に印加される電圧が大幅に低下することがある。液晶素子に印加される電圧が大幅に低下すると、所望の階調での表示が行えなくなるなど、表示品位が低下してしまう。

【0009】

例えば、液晶表示装置では、画像の焼き付きを抑制するために、フレーム期間毎に液晶素子の一对の電極に印加される電圧の高低(極性)を反転させる駆動方法(反転駆動ともい

10

20

30

40

50

う)が用いられる。

【0010】

反転駆動を行う場合、表示期間において、トランジスタのリーク電流により液晶素子に印加されている電圧の低下が生じると、例えば2つの連続したフレーム期間で同じ画像の画像信号が入力されたとしても互いのフレーム期間で表示される画像の階調が異なってしまう。

【0011】

そこで、本発明の一態様は、液晶表示装置の駆動回路での複雑な動作を必要とせず、静止画を表示する際の消費電力を低減することのできる液晶表示装置を提供することを課題の一とする。また、本発明の一態様は、表示品位の低下を抑制することを課題の一とする。

10

【課題を解決するための手段】

【0012】

本発明の一態様は、チャンネル形成層としての機能を有する酸化物半導体層を備えたトランジスタを画素に具備する液晶表示装置であって、静止画像を表示する場合において、液晶素子に印加される電圧を補正し、連続するフレーム期間における静止画像の階調のばらつきを抑制を図るものである。

【0013】

本発明の一態様は、画素と、画素に映像信号を供給するか否かを制御する駆動回路と、を具備し、画素は、第1端子及び第2端子を有し、前記第1端子に前記映像信号が供給され、前記第2端子に共通電圧が入力される液晶素子と、液晶素子の第1端子に映像信号を供給するか否かを制御するトランジスタと、を有し、前記トランジスタは、チャンネル形成層としての機能を有する酸化物半導体層を含み、互いに連続したフレーム期間である第1のフレーム期間及び第2のフレーム期間において、互いに電圧の極性を反転させて液晶素子に電圧を印加することにより画素の表示を行う液晶表示装置の駆動方法であって、第1のフレーム期間における画像及び第2のフレーム期間における画像の比較により第1のフレーム期間及び第2のフレーム期間における画像で形成される画像が静止画像であると判断され、且つ第1のフレーム期間における液晶素子に印加される電圧の絶対値と、第2のフレーム期間における液晶素子に印加される電圧の絶対値と、が異なる場合に、第1のフレーム期間又は第2のフレーム期間において、液晶素子に印加される電圧を補正する補正処理を行う液晶表示装置の駆動方法である。

20

30

【0014】

また、本発明の一態様は、画素と、画素に映像信号を供給するか否かを制御する駆動回路と、を具備し、画素は、第1端子及び第2端子を有し、前記第1端子に前記映像信号が供給され、前記第2端子に共通電圧が入力される液晶素子と、液晶素子の第1端子に映像信号を供給するか否かを制御するトランジスタと、を有し、前記トランジスタは、チャンネル形成層としての機能を有し且つキャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含み、互いに連続したフレーム期間である第1のフレーム期間及び第2のフレーム期間において、互いに電圧の極性を反転させて液晶素子に電圧を印加することにより画素の表示を行う液晶表示装置の駆動方法であって、第1のフレーム期間における画像及び第2のフレーム期間における画像の比較により第1のフレーム期間及び第2のフレーム期間における画像で形成される画像が静止画像であると判断され、且つ第1のフレーム期間における液晶素子に印加される電圧の絶対値と、第2の期間における液晶素子に印加される電圧の絶対値と、が異なる場合に、第1のフレーム期間又は第2のフレーム期間において、液晶素子に印加される電圧を補正する補正処理を行う液晶表示装置の駆動方法である。

40

【発明の効果】

【0015】

本発明の一態様により、液晶表示装置に静止画を表示する際の消費電力を低減させることができる。また、本発明の一態様により、表示品位の低下を抑制することができる。

【図面の簡単な説明】

50

【 0 0 1 6 】

【図 1】実施の形態 1 における液晶表示装置の構成例を説明するための図。

【図 2】実施の形態 1 における液晶表示装置の画素構成例を説明するための図。

【図 3】実施の形態 1 における液晶表示装置の動作例を説明するための図。

【図 4】実施の形態 1 における液晶表示装置の動作例を説明するための図。

【図 5】実施の形態 2 における駆動回路の構成例を説明するための図。

【図 6】実施の形態 2 における駆動回路の動作例を説明するための図。

【図 7】実施の形態 2 における駆動回路の動作例を説明するための図。

【図 8】実施の形態 3 におけるトランジスタを説明するための図。

【図 9】実施の形態 4 における液晶表示装置の一例を説明するための図。

10

【図 10】実施の形態 5 における液晶表示装置の構成例を説明するための図。

【図 11】実施の形態 6 における電子書籍の構成例を説明するための図。

【図 12】実施の形態 7 における電子機器の構成例を説明するための図。

【発明を実施するための形態】

【 0 0 1 7 】

以下、本発明の実施の形態及び実施例について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において

20

共通とする。

【 0 0 1 8 】

なお、各実施の形態の図面などにおいて示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 1 9 】

なお、本明細書にて用いる第 N (N は自然数) という用語は、構成要素の混同を避けるために付しており、該構成要素の数は、該用語の数に限定されない。

【 0 0 2 0 】

(実施の形態 1)

本実施の形態では、本発明の一態様である液晶表示装置の駆動方法及び該駆動方法を用いることが可能な液晶表示装置について説明する。

30

【 0 0 2 1 】

まず、本実施の形態における液晶表示装置の構成について、図 1 を用いて説明する。図 1 は、本実施の形態における液晶表示装置の構成例を示すブロック図である。

【 0 0 2 2 】

図 1 に示す液晶表示装置は、表示パネル 101 と、記憶回路 103 と、比較回路 104 と、選択回路 105 と、表示制御回路 106 と、を具備する。

【 0 0 2 3 】

表示パネル 101 は、駆動回路部 107 及び画素部 108 を有する。

40

【 0 0 2 4 】

駆動回路部 107 は、駆動回路 109 A 及び駆動回路 109 B を有する。また、画素部 108 は、複数の画素を有する。駆動回路 109 A 及び駆動回路 109 B は、画素部 108 における複数の画素を駆動するための駆動回路である。駆動回路 109 A は、画像データを書き込む画素を選択する走査線を制御する、いわゆる走査線駆動回路としての機能を有する。駆動回路 109 B は、画素に画像信号を供給するか否を制御する駆動回路であり、画像データを含む画像信号が供給される信号線を制御する、いわゆる信号線駆動回路としての機能を有する。本実施の形態の液晶表示装置では、例えばトランジスタを用いて駆動回路 109 A 及び駆動回路 109 B を構成することができる。

【 0 0 2 5 】

50

記憶回路103は、画像信号(信号Dataともいう)が入力され、入力された画像信号のデータ(画像データともいう)を一定期間保持する回路である。記憶回路103は、フレームメモリ110を有する。フレームメモリ110は、複数のフレームに関する画像信号のデータを記憶する機能を有する。なお、記憶回路103が有するフレームメモリ110の数は、特に限定されず、図1に示すように、記憶回路103は、フレームメモリ110を複数有する構成であってもよい。また、本実施の形態の液晶表示装置では、例えばDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)などの記憶素子を用いてフレームメモリ110を構成すればよい。

【0026】

比較回路104は、記憶回路103に記憶された連続するフレーム期間における画像信号のデータを選択的に読み出し、読み出した画像信号のデータを比較して差分を検出する回路である。例えば第1のフレーム期間から第nのフレーム期間における画像信号のデータが記憶回路103に記憶され(nは1よりも大きい自然数)、比較回路104は第mのフレーム期間の画像信号のデータと第(m+1)のフレーム期間(mはnよりも小さい自然数)の画像信号のデータを比較する。比較回路104では、差分を検出することにより、連続するフレーム期間の画像信号のデータが、動画像を表示するための画像信号のデータであるか、又は静止画像を表示するための画像信号のデータであるかが判断される。なお、本実施の形態の液晶表示装置では、比較回路104により検出される差分が一定の値を超えた場合に差分が検出されたと判断されるように、差分の検出基準を設定してもよい。

【0027】

なお、動画像とは、複数のフレームに時分割した複数の画像を切り替えて動作させたときに連続するフレーム期間において画像が変化すると認識される画像のことをいう。また、静止画像は、複数のフレーム期間に時分割した複数の画像を切り替えて動作させたときに連続するフレーム期間において画像が変化していないと認識される画像のことをいう。

【0028】

選択回路105は、比較回路104で比較した画像信号のデータが動画像を表示するための画像信号のデータであると判断された際に(すなわち、第mのフレーム期間の画像信号のデータが第(m+1)のフレーム期間の画像信号のデータと異なると判断された際)、当該画像信号のデータが記憶されたフレームメモリ110から画像信号のデータを選択し、選択した画像信号のデータを画像信号として表示制御回路106に出力する回路である。選択回路105は、複数のスイッチ、例えばトランジスタを用いたスイッチを含む回路により構成される。なお、比較回路104において、比較したフレーム間において画像信号のデータの差分が検出されなければ(すなわち、第mのフレーム期間の画像信号のデータが第(m+1)のフレーム期間の画像信号のデータが同じと判断されれば)、当該フレーム間で表示される画像は静止画像である。この場合、当該後期のフレーム期間の画像信号のデータを画像信号として表示制御回路106に出力しない構成とすればよい。

【0029】

表示制御回路106は、画像信号、スタート信号(スタートパルス又は信号SPともいう)、クロック信号(信号CKともいう)、及びリセット信号(信号Resともいう)が供給され、さらに高電源電圧(電圧Vddともいう)及び低電源電圧(電圧Vssともいう)が供給され、供給された信号及び電圧のいずれか一つ又は複数を駆動回路部107へ供給するか否かを制御する回路である。例えば、比較回路104により比較を行い、連続するフレーム期間における画像が動画像と判断された場合、選択回路105から画像信号が表示制御回路106に供給され、また、スタート信号SP、クロック信号CK、リセット信号Res、高電源電圧Vdd、及び低電源電圧Vssが駆動回路部107に供給される。一方、比較回路104により比較を行い、連続するフレーム期間で形成された画像が静止画像と判断された場合、選択回路105から当該後期のフレーム期間における画像信号が供給されず、また、駆動回路部107へのスタート信号、クロック信号、リセット信号、高電源電圧、及び低電源電圧のいずれか一つ又は複数の供給が停止する場合がある。

10

20

30

40

50

【 0 0 3 0 】

なお、一般的に電圧とは、ある二点間における電位の差（電位差ともいう）のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト（V）で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【 0 0 3 1 】

また、本実施の形態の液晶表示装置を、透過型、半透過型、又は反射型とすることができる。

【 0 0 3 2 】

また、本実施の形態における液晶表示装置の表示方式としては、プログレッシブ方式やインターレース方式などを用いることができる。また、カラー表示する際に画素で制御する色要素は、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、RGBW（Wは白を表す）、又はRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本実施の形態における液晶表示装置は、カラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【 0 0 3 3 】

次に、図1に示す画素の回路構成について図2を用いて説明する。図2は、図1における画素部108を構成する画素の回路構成の一例を示す等価回路図である。

【 0 0 3 4 】

図2に示す画素は、トランジスタ151と、液晶素子152と、容量素子153と、を有する。

【 0 0 3 5 】

なお、本明細書において、トランジスタは、ソース、ドレイン、及びゲートを少なくとも有する。トランジスタとしては、例えばゲート絶縁型のトランジスタを用いることができる。

【 0 0 3 6 】

なお、ゲートとは、ゲート電極及びゲート配線の一部又は全部のことをいう。また、ゲート電極とゲート配線が区別されず、ゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

【 0 0 3 7 】

ソースとは、ソース電極、及びソース配線の一部又は全部のことをいう。また、ソース電極とソース配線とが区別されず、ソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。

【 0 0 3 8 】

ドレインとは、ドレイン電極、及びドレイン配線の一部又は全部のことをいう。また、ドレイン電極とドレイン配線とが区別されず、ドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。

【 0 0 3 9 】

また、本明細書において、トランジスタのソースとドレインは、トランジスタの構造や動作条件などによって互いに入れ替わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）では、ソース及びドレインのいずれか一方をソース及びドレインの一方と表記し、他方をソース及びドレインの他方と表記する。

【 0 0 4 0 】

トランジスタ151は、ソース及びドレインの一方が信号線154に電気的に接続され、ゲートが走査線155に電気的に接続される。

【 0 0 4 1 】

液晶素子152は、第1端子及び第2端子を有し、第1端子がトランジスタ151のソー

10

20

30

40

50

ス及びドレインの他方に電氣的に接続され、第2端子が配線156に電氣的に接続される。液晶素子152は、第1端子の一部又は全部としての機能を有する第1の電極と、第2端子の一部又は全部としての機能を有する第2の電極と、第1の電極及び第2の電極の間に電圧が印加されることにより光の透過率が変化する液晶層と、を有する構成とすることができる。

【0042】

なお、液晶素子152に用いられる液晶材料の固有抵抗は、 1×10^{12} ・cm以上であり、好ましくは 1×10^{13} ・cm以上であり、さらに好ましくは 1×10^{14} ・cm以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。また、該液晶材料を用いて液晶表示装置を構成した場合、液晶素子となる部分の抵抗は、例えば配向膜又はシール材などにより液晶層に不純物が混入する可能性があるため、 1×10^{11} ・cm以上さらには 1×10^{12} ・cm以上となる場合がある。

10

【0043】

液晶材料の固有抵抗が大きいほど、液晶層のリーク電流を低減することができ、表示期間において液晶素子に印加される電圧が経時的に低下する現象を緩和できる。その結果、表示期間を長くとれるため、信号の書き込みを行う頻度を低減でき、液晶表示装置の消費電力を低減することができる。

【0044】

容量素子153は、第1端子及び第2端子を有し、第1端子がトランジスタ151のソース及びドレインの他方に電氣的に接続され、第2端子が配線157に電氣的に接続される。容量素子153は、保持容量としての機能を有し、第1端子の一部又は全部としての機能を有する第1の電極と、第2端子の一部又は全部としての機能を有する第2の電極と、第1の電極及び第2の電極の間に電圧が印加されることにより電荷が蓄積される誘電体層と、を有する構成とすることができる。容量素子153の容量は、トランジスタ151のオフ電流などを考慮して設定すればよい。本実施の形態では、トランジスタ151として高純度の酸化物半導体層を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。また、必ずしも容量素子153を設ける必要はなく、容量素子153を設けない構成としてもよい。画素に容量素子153を設けない構成とすることにより画素の開口率を向上させることができる。

20

30

【0045】

配線156は、一定の値の電圧が与えられる電圧線としての機能を有する。配線156には、例えば共通電圧(電圧Vcomともいう)が与えられる。なお、共通電圧は、正電圧、負電圧、又は接地電位のいずれであってもよい。

【0046】

配線157は、一定の値の電圧が与えられる電圧線としての機能を有する。配線157には、例えば単位電圧が与えられる。なお、単位電圧は、共通電圧であってもよい。

【0047】

なお、液晶素子152の第2端子と、配線156との間にスイッチを設け、書き込み期間中はスイッチをオン状態にすることにより液晶素子152の第2端子に共通電圧を与え、表示期間では、スイッチをオフ状態にして液晶素子152の第2端子を浮遊状態とすることもできる。上記スイッチとしては、上記トランジスタ151に適用可能なトランジスタを用いることが好ましい。該構成とすることにより、静止画像の表示時において、液晶素子152に印加される電圧の変動を抑制することができる。

40

【0048】

また、容量素子153の第2端子と、配線157との間にスイッチを設け、書き込み期間中はスイッチをオン状態にすることにより容量素子153の第2端子に単位電圧を与え、表示期間では、スイッチをオフ状態にして容量素子153の第2端子を浮遊状態とすることもできる。上記スイッチとしては、上記トランジスタ151に適用可能なトランジスタを用いることが好ましい。該構成とすることにより、静止画像の表示時において、容量素

50

子153に印加される電圧の変動を抑制することができる。以上が図2に示す画素の構成である。

【0049】

次に、駆動回路109A及び駆動回路109Bを構成するトランジスタ、並びにトランジスタ151として適用可能なトランジスタについて説明する。

【0050】

駆動回路109A及び駆動回路109Bを構成するトランジスタ、並びにトランジスタ151としては、例えばチャネル形成層としての機能を有する酸化物半導体層を含むトランジスタを用いることができる。該トランジスタのチャネル形成層としての機能を有する酸化物半導体層は、n型不純物である水素を除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性(I型)、又は実質的に真性な半導体としたものである。すなわち、不純物を添加してI型化するのではなく、水素や水などの不純物を極力除去したことにより、高純度化されたI型(真性半導体)又はそれに近づくことを特徴としている。

10

【0051】

酸化物半導体としては、四元系金属の酸化物であるIn-Sn-Ga-Zn-Oや、三元系金属の酸化物であるIn-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-Oや、二元系金属の酸化物であるIn-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-O、In-Sn-Oや、In-O、Sn-O、又はZn-Oなどを用いることができる。また、上記酸化物半導体にSiO₂が含まれていてもよい。

20

【0052】

また、酸化物半導体としては、InMO₃(ZnO)_m(m>0)で表記される材料を用いることができる。ここで、Mは、Ga、Al、Mn及びCoから選ばれた一つ又は複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、又はGa及びCoなどがある。InMO₃(ZnO)_m(m>0)で表記される構造の酸化物半導体のうち、MとしてGaを含む構造の酸化物半導体を、In-Ga-Zn-O酸化物半導体とよぶ。

30

【0053】

さらに、酸化物半導体層として用いられる酸化物半導体のバンドギャップを2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上にする。これにより熱励起によって生じるキャリアの数は無視できる程度となり、さらに、ドナーを形成する水素などの不純物を一定量以上低減することにより、キャリア濃度を1×10¹⁴/cm³未満、好ましくは1×10¹²/cm³以下にする。すなわち、酸化物半導体層のキャリア濃度を限りなくゼロにする。

【0054】

なお、高純度化とは、酸化物半導体層中の水素を極力排除すること、及び酸化物半導体層に酸素を供給して、酸化物半導体層中の酸素欠乏に起因する欠陥を低減することの少なくとも一方を含む概念で行われる。

40

【0055】

さらに、上記酸化物半導体層を有するトランジスタでは、チャネル幅1μmあたりのオフ電流を10aA/μm(1×10⁻¹⁷A/μm)以下にすること、さらには1aA/μm(1×10⁻¹⁸A/μm)以下、さらには10zA/μm(1×10⁻²⁰A/μm)以下にすることが可能である。

【0056】

このように、オフ電流値が極めて小さいトランジスタを用いて、液晶表示装置を構成する場合、トランジスタによるリーク電流がほとんどないため、一回の画像データの書き込みに対応する画像の表示期間を長くすることができる。そのため、画像データの書き込みの間隔を長くすることができる。また、フレーム周波数を低くすることができる。例えば、

50

画像データの書き込みの間隔を10秒以上、好ましくは30秒以上、さらに好ましくは1分以上とすることもできる。静止画像を表示しているときの消費電力を低減することができる。画像データを書き込む間隔を長くすればするほど、より消費電力を低減することができる。

【0057】

また、上記酸化物半導体層を有するトランジスタは、温度による電気特性の変動が少なく、例えば-30～120の範囲において、トランジスタのオン電流又はオフ電流の温度依存性が無いと見なすことができる。

【0058】

次に、図2に示す画素を有する図1に示す液晶表示装置の駆動方法について説明する。

10

【0059】

図1に示す液晶表示装置の駆動方法では、画像信号のデータが記憶回路103に入力される。

【0060】

記憶回路103は、連続するフレーム期間の画像信号のデータを保持し、保持している画像信号のデータを画像信号として比較回路104に出力する。

【0061】

比較回路104は、連続するフレーム期間（例えば第1のフレーム期間及び第2のフレーム期間）の画像信号のデータを比較し、互いの画像信号のデータの差分を検出し、比較した画像信号のデータに基づいて、画像が動画像であるか静止画像であるかを判断する。このとき差分が検出された場合、画像が動画像と判断され、差分がない場合、画像は静止画像と判断される。

20

【0062】

画像信号のデータの比較に基づいて画像が動画像であると判断された場合、選択回路105は、記憶回路103に保持された画像信号のデータを画像信号として表示制御回路106に出力する。さらにこの場合、表示制御回路106は、入力された画像信号のデータを画像信号として駆動回路部107に供給する。

【0063】

また、画像信号のデータの比較に基づいて画像が静止画像であると判断された場合、表示制御回路106への該後期フレーム期間（例えば第2のフレーム期間）の画像信号の供給が停止する。また、この場合、駆動回路部107への該後期フレーム期間（例えば第2のフレーム期間）の画像信号の供給が停止する。また、画像信号に加え、駆動回路部107へのクロック信号、スタート信号、リセット信号、高電源電圧、及び低電源電圧のいずれか一つ又は複数の供給を停止させることもできる。上記に挙げた信号又は電圧を停止させることにより静止画像の表示時に駆動回路部を停止させることができる。

30

【0064】

また、第1のフレーム期間における画像信号のデータが前フレーム期間における画像信号のデータと同じである場合、すなわち静止画像を表示する場合、第1のフレーム期間において、駆動回路部107への画像信号の供給を停止し、駆動回路部107から画素部108への画像信号の供給を停止することができる。また、このとき駆動回路部107へのクロック信号、スタート信号、リセット信号、高電源電圧、及び低電源電圧のいずれか一つ又は複数の供給を停止させることにより消費電力を低減することができる。

40

【0065】

以上のように、本実施の形態における液晶表示装置の駆動方法の一例は、複数の画像信号のデータを比較して動画像か静止画像かを判定し、クロック信号やスタート信号などの制御信号の駆動回路部への供給の再開又は停止を選択的に行う構成である。駆動回路部への信号又は電圧の供給を選択的に行うことにより、駆動回路部が停止状態となる期間を設けることができるため、液晶表示装置の消費電力を低減することができる。

【0066】

また、本実施の形態の液晶表示装置では、上記のとおり、アモルファスシリコンTFTよ

50

りもオフ電流の低い酸化物半導体を用いたトランジスタを用いるため、一回の画像データの書き込みに対応する画像の表示期間を長くすることができる。

【0067】

さらに、画素の書き込み動作及び表示動作の一例について図3を用いて説明する。図3は、本実施の形態の画素の書き込み動作及び表示動作の一例を説明するためのタイミングチャートである。

【0068】

画素は、第1のフレーム期間201及び第2のフレーム期間202のそれぞれにおいて、書き込み期間211及び表示期間212（保持期間ともいう）を有する。

【0069】

書き込み期間211では、図3に示すように、走査線を介して入力される走査信号がアクティブ（図3では走査信号（ V_G ともいう）がハイレベル）になる。このとき、画素のトランジスタ151がオン状態になり、トランジスタ151を介して液晶素子152の第1端子及び容量素子153の第1端子に画像信号の電圧が供給され、画像データが書き込まれる。また、表示期間212において、画素は、書き込まれた画像データに応じた表示状態を維持する。

【0070】

さらに、本実施の形態の液晶表示装置では、表示パネル101における画像の焼き付きを抑制するために、一定数を超える連続したフレーム期間において静止画像を表示する場合に、駆動回路部107への画像信号の供給を再開し、液晶素子152に印加される電圧の極性を反転させて表示を行う駆動方法（フレーム反転駆動ともいう）が用いられる。すなわち、同じと判断される画像を与える複数のフレームを用いて静止画像を表示する際、連続するフレーム期間が一定数を超えたときだけに電圧の極性の反転を行う。例えば第1のフレーム期間から第（ $n+1$ ）のフレーム期間を用いて静止画像を表示する場合（ n は1よりも大きい自然数）、第1のフレーム期間に画像信号のデータを駆動回路部107を経由して液晶素子152に供給した後、引き続き第2のフレーム期間から第 n のフレーム期間ではデータの供給を停止する。そして第 n のフレーム期間と第（ $n+1$ ）のフレーム期間の間に電圧の極性の反転を行う。極性の反転は共通電圧を基準として行っても良い。ただし、本実施の形態における液晶表示装置の駆動方法は、これに限定されず、他の駆動方法として、例えば走査線反転駆動、信号線反転駆動、ドット反転駆動、又は共通電圧反転駆動などを用いてもよい。

【0071】

画像信号の供給の再開は、例えば連続して同じ静止画像を表示するフレーム期間の数が一定数を超えたタイミングで行えばよい。該フレーム期間の数は、例えば別途計数回路を設けることにより計数することができる。このとき、計数回路の計数値が基準値を超えたときに駆動回路部107への画像信号の供給を再開し、液晶素子152に印加される電圧の極性を反転させればよい。図3に示すタイミングチャートでは、第2のフレーム期間202で計数値が基準値を超え、駆動回路部107への画像信号の供給を再開し、液晶素子152に印加される電圧の極性を反転させている。また、駆動回路部107への画像信号の停止と同時に駆動回路部107へのクロック信号、スタート信号、リセット信号、高電源電圧、及び低電源電圧のいずれか一つ又は複数の供給を停止していた場合には、停止していた駆動回路部107へのクロック信号、スタート信号、リセット信号、高電源電圧、及び低電源電圧のいずれか一つ又は複数の供給を再開してもよい。

【0072】

入力された画像信号を用いて連続する2つのフレーム期間（第1のフレーム及び第2のフレーム期間）における画像信号のデータを比較し、第1のフレーム期間における画像に対して第2のフレーム期間における画像が同じであると判断された場合、それぞれのフレーム期間における液晶素子152に印加される電圧の絶対値は、等しいことが好ましい。

【0073】

しかしながら、図3に示すように、第1のフレーム期間201において、液晶素子152

10

20

30

40

50

に印加される電圧（電圧 V_{LC} ともいう）が $V_{11} - V_{COM}$ から $V_{12} - V_{COM}$ に変動し、第2のフレーム期間202において、液晶素子152に印加される電圧が $V_{13} - V_{COM}$ から $V_{14} - V_{COM}$ に変動することにより、第1のフレーム期間201における画像信号の電圧（データ）と共通電圧との差の絶対値（第1のフレーム期間201における液晶素子152に印加される電圧の絶対値）と、第2のフレーム期間202における画像信号の電圧と共通電圧との差の絶対値（第2のフレーム期間における液晶素子152に印加される電圧の絶対値）が異なる場合がある。このような電圧変動は、例えばフィードスルーなどにより生じ、表示品位の低下（フリッカの発生など）の原因となる。また、一回の画像データの書き込みに対応する表示期間が長いほど電圧変動の影響が大きくなる可能性がある。

10

【0074】

そこで、本実施の形態における液晶表示装置の駆動方法の一例では、補正処理を行う。第1のフレーム期間201における液晶素子152に印加される電圧の絶対値と、第2のフレーム期間202における液晶素子152に印加される電圧の絶対値が異なる場合、補正処理により第1のフレーム期間201又は第2のフレーム期間202において、液晶素子152に印加される電圧の値を補正する。このとき、第1のフレーム期間201における液晶素子152に印加される電圧に対する画素の階調値と、第2のフレーム期間202における液晶素子152に印加される電圧に対する画素の階調値とが等しくなるように補正を行うことが好ましい。例えば、電圧 V_{COM} の値を補正することにより、液晶素子152に印加される電圧を補正することができるため、階調値を補正することができる。また、容量素子153に印加される電圧を補正してもよい。例えば容量素子153の第2端子に印加される単位電圧の値を補正することにより容量素子に印加される電圧を補正することができる。

20

【0075】

液晶素子152に印加される電圧に対応する画素の階調値は、例えば横軸を液晶素子に印加される電圧（電圧 V_{LC} ともいう）とし、縦軸を画素の階調値として表すことができる。例えば、液晶材料としてTN液晶を用いる場合、正の電圧 V_{LC} に対応する階調値及び負の電圧 V_{LC} に対応する階調値をそれぞれ図4に示すように直線231及び直線232で表すことができる。階調値の値が大きくなるほど、画像は白表示に近づき、小さくなるほど画像が黒表示に近づく。

30

【0076】

例えば、第1のフレーム期間201における液晶素子152に印加される電圧の絶対値が第2のフレーム期間202における液晶素子152に印加される電圧の絶対値より小さい場合、電圧 V_{COM} の値を元の値より高くすることにより、液晶素子152に印加される電圧を低くすることができるため、第1のフレーム期間201における液晶素子152に印加される電圧に対する画素の階調値と、第2のフレーム期間202における液晶素子152に印加される電圧に対する画素の階調値とを近づけることができる。第1のフレーム期間から第 $(n+1)$ のフレーム期間を用いて静止画像を表示する場合には、例えば第 n のフレーム期間と第 $(n+1)$ のフレーム期間の間に電圧の極性の反転を行い、第 n のフレーム期間に液晶素子152に印加される電圧と第 $(n+1)$ のフレーム期間に印加される電圧が同じになるように補正を行う。

40

【0077】

なお、比較回路104により連続するフレーム期間の画像で形成される画像が静止画像と判断されてから、判断された画像信号が駆動回路部へ供給されるまでの間に補正処理を行ってもよい。このとき、別途補正回路を設け、比較回路104にて第1のフレーム期間201における液晶素子152に印加される電圧の絶対値と第2のフレーム期間202における液晶素子152に印加される電圧の絶対値とを比較し、比較データを補正回路に出力し、補正回路により比較データに応じて液晶素子に印加される電圧の補正を行えばよい。

【0078】

また、液晶素子152に印加される電圧の補正は、第1のフレーム期間201及び第2の

50

フレーム期間 202 において表示パネルで表示された画像を比較しながら行うこともできる。また、フレーム周波数を 1 / 10 程度まで下げて補正処理を行い、表示する際に通常のフレーム周波数に戻してもよい。フレーム周波数を下げて補正処理を行うことにより、補正処理をより正確に行うことができる。

【 0079 】

以上のように、本実施の形態の液晶表示装置の駆動方法の一例は、第 1 のフレーム期間における画像及び第 2 のフレーム期間における画像の比較により、第 1 と第 2 のフレーム期間の画像によって形成された画像が静止画像であると判断され、且つ第 1 のフレーム期間における液晶素子に印加される電圧の絶対値と、第 2 の期間における液晶素子に印加される電圧の絶対値と、が異なる場合に、第 1 のフレーム期間又は第 2 のフレーム期間において、液晶素子に印加される電圧を補正する補正処理を行うものである。これにより、連続する複数のフレーム期間において、極性を反転させた電圧を液晶素子に印加することにより静止画像を長時間表示する場合であっても、電圧変動による表示品位の低下を抑制することができる。例えば、フリッカを抑制することができる。よって、本実施の形態の液晶表示装置のように、チャンネル形成層としての機能を有する酸化物半導体層を有するトランジスタを用いて、一回の画像データの書き込みに対して長時間の静止画像の表示を行う構成の場合、本実施の形態の液晶表示装置の駆動方法により、表示品位を損なわずに且つ消費電力を低減することができる。

【 0080 】

(実施の形態 2)

本実施の形態では、上記実施の形態に示す液晶表示装置における走査線駆動回路及び信号線駆動回路を構成するシフトレジスタの構成について説明する。

【 0081 】

本実施の形態におけるシフトレジスタの構成の一例について図 5 を用いて説明する。図 5 は、本実施の形態におけるシフトレジスタの構成の一例を示す図である。

【 0082 】

図 5 (A) に示すシフトレジスタは、第 1 のパルス出力回路 10_1 乃至第 N のパルス出力回路 10_N (N は 3 以上の自然数) を有する。

【 0083 】

第 1 のパルス出力回路 10_1 乃至第 N のパルス出力回路 10_N のそれぞれは、第 1 の配線 11 乃至第 4 の配線 14 のうち、異なる 3 つの配線に電気的に接続される。図 5 (A) に示すシフトレジスタは、第 1 の配線 11 を介して第 1 のクロック信号 CK1 が供給され、第 2 の配線 12 を介して第 2 のクロック信号 CK2 が供給され、第 3 の配線 13 を介して第 3 のクロック信号 CK3 が供給され、第 4 の配線 14 を介して第 4 のクロック信号 CK4 が供給される。

【 0084 】

また、第 1 のパルス出力回路 10_1 には、第 5 の配線 15 を介してスタート信号 SP1 が入力される。

【 0085 】

また、2 段目以降の第 n のパルス出力回路 10_n (n は、2 乃至 N の自然数) には、一段前段のパルス出力回路 10_{n-1} からの信号 (前段信号 OUT (n - 1) ともいう) が入力される。また、第 1 のパルス出力回路 10_1 には、2 段後段の第 3 のパルス出力回路 10_3 からの信号が入力され、2 段目以降の第 l (l は 2 乃至 N - 2 の自然数) のパルス出力回路 10_l には、2 段後段の第 l + 2 のパルス出力回路 10_{l+2} からの信号 (後段信号 OUT (l + 2) という) が入力される。また、各段のパルス出力回路は、第 1 の出力信号及び第 2 の出力信号を出力する。なお、図 5 (A) に示すように、N - 1 段目のパルス出力回路及び N 段目のパルス出力回路には、後段信号 OUT (l + 2) が入力されないため、一例としては、別途第 6 の配線 17 を介して N - 1 段目のパルス出力回路にスタート信号 SP2 が入力され、第 7 の配線 18 を介して N 段目のパルス出力回路にスタート信号 SP3 が入力される構成でもよい。又は別途、内部で生成された信号を N

10

20

30

40

50

- 1 段目のパルス出力回路及びN 段目のパルス出力回路に入力してもよい。例えば、画素部へのパルス出力に寄与しない第N + 1 のパルス出力回路 1 0 __ N + 1、第N + 2 のパルス出力回路 1 0 __ N + 2 (ダミー段のパルス出力回路ともいう) を設け、第N + 1 のパルス出力回路 1 0 __ N + 1 にスタート信号 S P 2 を入力し、第N + 2 のパルス出力回路 1 0 __ N + 2 にスタート信号 S P 3 を入力する構成としてもよい。

【 0 0 8 6 】

なお、第 1 のクロック信号 (C K 1) 乃至第 4 のクロック信号 (C K 4) は、ハイレベルとローレベルを繰り返すデジタル信号である。また、第 1 のクロック信号乃至第 4 のクロック信号は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号乃至第 4 のクロック信号を利用して、パルス出力回路の駆動の制御などを行う。

10

【 0 0 8 7 】

さらに、第 1 のパルス出力回路 1 0 __ 1 乃至第 N のパルス出力回路 1 0 __ N のそれぞれは、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、及び第 2 の出力端子 2 7 を有する (図 5 (B) 参照) 。

【 0 0 8 8 】

第 1 の入力端子 2 1、第 2 の入力端子 2 2、及び第 3 の入力端子 2 3 のそれぞれは、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれか一つと電氣的に接続される。例えば、図 5 (A)、(B) において、第 1 のパルス出力回路 1 0 __ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電氣的に接続される。また、第 2 のパルス出力回路 1 0 __ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電氣的に接続される。

20

【 0 0 8 9 】

また、図 5 (A)、(B) において、第 1 のパルス出力回路 1 0 __ 1 は、第 4 の入力端子 2 4 を介してスタート信号が入力され、第 5 の入力端子 2 5 を介して後段信号 (第 3 のパルス出力回路 1 0 __ 3 の第 2 の出力信号) が入力され、第 1 の出力端子 2 6 を介して第 1 の出力信号を出力し、第 2 の出力端子 2 7 を介して第 2 の出力信号を出力する。

【 0 0 9 0 】

次に、パルス出力回路の具体的な回路構成の一例について、図 5 (C) を用いて説明する。

30

【 0 0 9 1 】

図 5 (C) に示すパルス出力回路は、第 1 のトランジスタ 3 1 乃至第 1 1 のトランジスタ 4 1 と、を有する。

【 0 0 9 2 】

第 1 のトランジスタ 3 1 は、ソース及びドレインの一方が電源線 5 1 に電氣的に接続され、ゲートが第 4 の入力端子 2 4 に電氣的に接続される。

【 0 0 9 3 】

第 2 のトランジスタ 3 2 は、ソース及びドレインの一方が電源線 5 2 に電氣的に接続される。

40

【 0 0 9 4 】

第 3 のトランジスタ 3 3 は、ソース及びドレインの一方が第 1 の入力端子 2 1 に電氣的に接続され、ソース及びドレインの他方が第 1 の出力端子 2 6 に電氣的に接続される。

【 0 0 9 5 】

第 4 のトランジスタ 3 4 は、ソース及びドレインの一方が電源線 5 2 に電氣的に接続され、ソース及びドレインの他方が第 1 の出力端子 2 6 に電氣的に接続され、ゲートが第 2 のトランジスタ 3 2 のゲートに電氣的に接続される。

【 0 0 9 6 】

第 5 のトランジスタ 3 5 は、ソース及びドレインの一方が電源線 5 2 に電氣的に接続され

50

、ソース及びドレインの他方が第2のトランジスタ32のゲートに電氣的に接続され、ゲートが第4の入力端子24に電氣的に接続される。

【0097】

第6のトランジスタ36は、ソース及びドレインの一方が電源線51に電氣的に接続され、ソース及びドレインの他方が第2のトランジスタ32のゲートに電氣的に接続され、ゲートが第5の入力端子25に電氣的に接続される。

【0098】

第7のトランジスタ37は、ソース及びドレインの一方が電源線51に電氣的に接続され、ゲートが第3の入力端子23に電氣的に接続される。

【0099】

第8のトランジスタ38は、ソース及びドレインの一方が第2のトランジスタ32のゲートに電氣的に接続され、ソース及びドレインの他方が第7のトランジスタ37のソース及びドレインの他方に電氣的に接続され、ゲートが第2の入力端子22に電氣的に接続される。

【0100】

第9のトランジスタ39は、ソース及びドレインの一方が第1のトランジスタ31のソース及びドレインの他方及び第2のトランジスタ32のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方が第3のトランジスタ33のゲートに電氣的に接続され、ゲートが電源線51に電氣的に接続される。

【0101】

第10のトランジスタ40は、ソース及びドレインの一方が第1の入力端子21に電氣的に接続され、ソース及びドレインの他方が第2の出力端子27に電氣的に接続され、ゲートが第9のトランジスタ39のソース及びドレインの他方に電氣的に接続される。

【0102】

第11のトランジスタ41は、ソース及びドレインの一方が電源線52に電氣的に接続され、ソース及びドレインの他方が第2の出力端子27に電氣的に接続され、ゲートが第2のトランジスタ32のゲートに電氣的に接続される。

【0103】

図5(C)において、第3のトランジスタ33のゲートと、第10のトランジスタ40のゲート、並びに第9のトランジスタ39のソース及びドレインの他方との接続箇所をノードNAとする。また、第2のトランジスタ32のゲートと、第4のトランジスタ34のゲート、第5のトランジスタ35のソース及びドレインの他方、第6のトランジスタ36のソース及びドレインの他方、第8のトランジスタ38のソース及びドレインの一方、並びに第11のトランジスタ41のゲートとの接続箇所をノードNBとする。

【0104】

例えば第1のパルス出力回路10_1の場合、第1のパルス出力回路10_1には、第1の入力端子21を介して第1のクロック信号CK1が入力され、第2の入力端子22を介して第2のクロック信号CK2が入力され、第3の入力端子23を介して第3のクロック信号CK3が入力され、第4の入力端子24を介してスタート信号SP1が入力され、第5の入力端子25を介して第3のパルス出力回路10_3の第1の出力端子26を介して出力される信号が入力される。また、第1のパルス出力回路10_1は、第1の出力端子26を介してパルス信号を出力し、第2の出力端子27を介して信号OUT(1)を出力する。

【0105】

ここで、図5(A)乃至図5(C)に示すシフトレジスタにおける各信号のタイミングチャートについて図6に示す。なお、シフトレジスタが走査線駆動回路である場合、図6中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0106】

本発明の一態様である液晶表示装置の駆動方法が適用可能な液晶表示装置では、動画像の表示と静止画像の表示、又はリフレッシュ動作により、駆動回路部を常時動作することな

10

20

30

40

50

く、静止画像の表示を行うこともできる。図5に一例に示したシフトレジスタを用いた走査線駆動回路及び信号線駆動回路において、静止画像表示から動画像表示を行うときの各配線への信号若しくは電圧の供給動作、又は液晶素子に印加する電圧の再書き込みを行う動作（リフレッシュ動作）のときの駆動回路部の各配線への信号又は電圧の停止方法について、図7を用いて説明する。図7は、シフトレジスタに高電源電圧を供給する配線、低電源電圧を供給する配線、スタート信号SP1を供給する配線、及び第1のクロック信号を供給する配線乃至第4のクロック信号を供給する配線における、第1のフレーム期間（T1）前後の電圧の変化を示す図である。

【0107】

図7に示すように、本実施の形態のシフトレジスタの動作では、高電源電圧、第1のクロック信号乃至第4のクロック信号、及びスタート信号などの制御信号が供給される期間、並びに該制御信号が供給されない期間が存在する。なお、図7に示す、第1のフレーム期間（T1）は、上記制御信号が供給される期間、すなわち動画像を表示する期間及びリフレッシュ動作を行う期間に含まれる。また、図7に示す第2のフレーム期間（T2）は、上記制御信号が供給されない期間、すなわち静止画像を表示する期間に相当する。

10

【0108】

また、図7において、高電源電圧が供給される期間は、第1のフレーム期間のみに限らず、第1のフレーム期間及び第2のフレーム期間にかけて設けられている。また、図7において、シフトレジスタに対して、第1のクロック信号乃至第4のクロック信号が供給される期間は、高電源電圧が供給された後から、高電源電圧が停止する前までの間に設けられている。

20

【0109】

さらに、図7に示すように、第1のクロック信号（CK1）乃至第4のクロック信号（CK4）を供給する配線は、第1のフレーム期間が始まる前には一旦高電圧の信号状態にしてから一定周期のクロック信号（CK1乃至CK4）の発振を開始し、第1のフレーム期間が終わった後には低電圧の信号状態にしてからクロック信号の発振を終了する構成とすればよい。

【0110】

上述したように、本実施の形態のシフトレジスタでは、第2のフレーム期間の前後において、シフトレジスタへの高電源電圧、第1のクロック信号乃至第4のクロック信号、及びスタート信号などの制御信号の供給が停止する。そして、高電源電圧及び第1のクロック信号乃至第4のクロック信号などの制御信号の供給が停止する期間においては、シフトレジスタから出力されるパルス信号も停止する。そのため、シフトレジスタの消費電力及び当該シフトレジスタによって駆動される画素部の消費電力を低減することができる。

30

【0111】

なお、上述のシフトレジスタに対して高電源電圧の供給を停止する期間において、高電源電圧を供給する配線の電圧は、図7に示すように、低電源電圧（V_{SS}）と同じ値にすることができる。また、高電源電圧が供給される配線を浮遊状態とすることにより高電源電圧の停止とすることもできる。

【0112】

なお、高電源電圧が供給される配線の電圧を増加させる、すなわち、第1のフレーム期間の前に低電源電圧から高電源電圧に増加させるときには、該配線の電圧の変化が緩やかに変化するように制御することが好ましい。なぜならば、高電源電圧が供給される配線の電圧を増加させる際に該配線の電圧の変化の勾配が急峻であると、該配線の電圧の変化がノイズとなり、シフトレジスタから出力するパルス信号の波形が変動する可能性があり、この波形の変動により、液晶素子に印加される電圧が変化し、静止画像の画像が変化する可能性があるためである。上述した内容を鑑み、図7では、高電源電圧を供給する配線の電圧の立ち上がり立ち下がりよりも緩やかになる例について図示している。特に、本実施の形態のシフトレジスタは、画素部において静止画像を表示しているときに高電源電圧の供給の停止及び再供給が適宜行われる構成となる。つまり、高電源電圧を供給する配線の

40

50

電圧の変動が、ノイズとして画素部に侵入した場合、当該ノイズは表示画像の劣化に直結する。そのため、高電源電圧を供給する配線の電圧の変化（特に、電圧の増加）がノイズとして画素部に侵入しないよう制御することが重要となる。

【 0 1 1 3 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ、又は置き換えを行うことができる。

【 0 1 1 4 】

（実施の形態 3）

本実施の形態では、上記実施の形態に示す液晶表示装置を構成するトランジスタとして適用可能なトランジスタの一例について説明する。

10

【 0 1 1 5 】

本実施の形態におけるトランジスタについて図 8（A）～（D）を用いて説明する。図 8（A）～（D）は、上記実施の形態に示すトランジスタを説明するための図である。

【 0 1 1 6 】

以下、図 8（A）～（D）を参照して、基板 400 上にトランジスタ 410 を作製する工程について説明する。

【 0 1 1 7 】

まず、絶縁表面を有する基板 400 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程により該導電膜の上にレジストマスクを形成し、該レジストマスクを用いて該導電膜の一部をエッチングすることにより、ゲート電極層 411 を形成した後レジストマスクを除去する。なお、インクジェット法によってレジストマスクを形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減することができる。

20

【 0 1 1 8 】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板 400 としては、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いるとよい。

【 0 1 1 9 】

なお、本実施の形態におけるトランジスタでは、下地膜となる絶縁膜を基板 400 とゲート電極層 411 の間に設けてもよい。下地膜は、基板 400 からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一つの膜又は複数の膜による積層により形成することができる。

30

【 0 1 2 0 】

また、ゲート電極層 411 は、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの金属又はこれらを主成分とする合金から選ばれた一つの膜の単層又は複数の膜の積層により形成することができる。

【 0 1 2 1 】

例えば、アルミニウム層上にモリブデン層が設けられた積層、銅層上にモリブデン層が設けられた積層、銅層上に窒化チタン層若しくは窒化タンタル層が設けられた積層、窒化チタン層とモリブデン層との積層を用いてゲート電極層 411 を形成することができる。また、タングステン層又は窒化タングステン層と、アルミニウムとシリコンの合金層又はアルミニウムとチタンの合金層と、窒化チタン層又はチタン層との積層を用いてゲート電極層 411 を形成することもできる。

40

【 0 1 2 2 】

次に、ゲート電極層 411 上にゲート絶縁層 402 を形成する。

【 0 1 2 3 】

ゲート絶縁層 402 は、プラズマ CVD 法又はスパッタリング法などを用いて、酸化シリ

50

コン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層から選ばれた一つの層又は複数の積層を形成することにより作製することができる。例えば、成膜ガスとして、シラン (SiH_4)、酸素及び窒素を用いてプラズマCVD法により酸化窒化シリコン層を形成すればよい。また、ゲート絶縁層402として酸化ハフニウム (HfO_x)、酸化タンタル (TaO_x) などのHigh-k材料の層を用いることもできる。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層とを積層してゲート絶縁層402を形成する。

【0124】

ここでは、ゲート絶縁層402としてプラズマCVD法により膜厚100nmの酸化窒化シリコン層を形成する。

【0125】

また、ゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化シリコン膜の形成を行ってもよい。ここで高密度プラズマ装置とは、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁膜の成膜を行う。

【0126】

チャンバーに材料ガスとしてシラン (SiH_4)、亜酸化窒素 (N_2O)、及び希ガスを導入し、10Pa~30Paの圧力下で高密度プラズマを発生させてガラスなどの絶縁表面を有する基板上に絶縁膜を形成する。その後、シラン (SiH_4) の供給を停止し、大気に曝すことなく亜酸化窒素 (N_2O) と希ガスを導入して絶縁膜表面にプラズマ処理を行ってもよい。上記プロセスを経た絶縁膜は、例えば膜厚が100nm程度と薄くても信頼性を確保することができる絶縁膜である。

【0127】

ゲート絶縁層402の形成の際、チャンバーに導入するシラン (SiH_4) と亜酸化窒素 (N_2O) の流量比は、1:10から1:200の範囲とする。また、チャンバーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0128】

また、高密度プラズマ装置により得られた絶縁膜は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁膜は、薄い膜の厚みを精密に制御することができる。

【0129】

上記プロセスを経た絶縁膜は、従来の平行平板型のPCVD装置で得られる絶縁膜とは大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上又は20%以上エッチング速度が遅く、高密度プラズマ装置で得られる絶縁膜は緻密な膜といえる。

【0130】

なお、後の工程でI型化又は実質的にI型化される酸化物半導体(高純度化された酸化物半導体)層は、界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面が重要である。そのため、高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。例えば、 μ 波(2.45GHz)を用いた高密度プラズマCVD装置を用いて絶縁膜を形成することにより、緻密で絶縁耐圧の高い高品質な絶縁膜を形成することができる。高純度化された酸化物半導体層と高品質ゲート絶縁層が密接することにより、界面準位を低減して界面特性を良好にすることができる。このように、ゲート絶縁層は膜質が良好であることは勿論のこと、酸化物半導体層とゲート絶縁層との界面準位密度を低減し、良好な界面を形成できることが重要である。

【0131】

次に、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体膜430

10

20

30

40

50

を形成する。なお、酸化物半導体膜430をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着している粉状物質(パーティクル、ゴミともいう)を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加することにより、プラズマを形成して基板表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0132】

酸化物半導体膜430としては、In-Ga-Zn-O系、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いることができる。例えば、In-Ga-Zn-O系の酸化物半導体膜を用いる場合には、該酸化物半導体膜の膜厚を、5nm以上200nm以下とすることが好ましい。本実施の形態では、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により膜厚20nmのIn-Ga-Zn-O系の酸化物半導体膜を成膜することにより酸化物半導体膜430を成膜する。この段階での断面図が図8(A)に相当する。また、酸化物半導体膜430は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素の混合雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜に結晶化を阻害するSiO_x(x>0)を含ませ、後の工程で行う脱水化又は脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

【0133】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol]、In:Ga:Zn=1:1:0.5[atom])を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm、酸素流量比率40%)雰囲気下で酸化物半導体膜430を成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、In:Ga:Zn=1:1:1[atom]、又はIn:Ga:Zn=1:1:2[atom]の組成比を有するターゲットを用いることもできる。

【0134】

スパッタリング法には、スパッタリング用電源に高周波電源を用いるRFスパッタリング法、スパッタリング用電源に直流電源を用いるDCスパッタリング法、又は一定期間毎にバイアスを与えるパルスDCスパッタリング法などがある。RFスパッタリング法は、主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は、主に金属膜を成膜する場合に用いられる。

【0135】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置を用いたスパッタリング法もある。多元スパッタリング装置は、同一チャンバーで異なる材料膜を積層成膜することもでき、また、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0136】

また、チャンバー内部に磁石機構を備えたスパッタリング装置を用いたマグネトロンスパッタリング法や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法がある。

【0137】

また、スパッタリング法としては、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜

中に基板にも電圧をかけるバイアススパッタリング法もある。

【0138】

次に、第2のフォトリソグラフィ工程により酸化物半導体膜430の上にレジストマスクを形成し、該レジストマスクを用いて酸化物半導体膜430の一部をエッチングすることにより、酸化物半導体膜430を島状の酸化物半導体層に加工した後レジストマスクを除去する。

【0139】

次に、酸化物半導体層の脱水化又は脱水素化を行う。脱水化又は脱水素化は、第1の加熱処理と第2の加熱処理によって行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行う。この後、酸化物半導体層への水や水素の再混入を防ぐために、大気に触れることなく冷却を行い、酸化物半導体層431を得る(図8(B)参照)。

【0140】

なお、加熱処理装置は、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置などのRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0141】

例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガスで満たされたチャンバー内に基板を入れ、数分間加熱した後、高温に加熱した不活性ガス中から基板を取り出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0142】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0143】

また、第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に対して行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。

【0144】

また、酸化物半導体層に対する脱水化又は脱水素化のための第1の加熱処理は、酸化物半導体層の形成後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、のいずれで行ってもよい。

【0145】

また、ゲート絶縁層402に開口部を形成する場合、酸化物半導体膜430に脱水化又は脱水素化処理を行う前又は行った後にゲート絶縁層402に開口部を形成してもよい。

【0146】

なお、ここでの酸化物半導体膜430のエッチングとしては、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0147】

また、ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化シリコン（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。

【0148】

また、ドライエッチングに用いるエッチングガスとしては、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0149】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度など）を適宜調節する。

【0150】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0151】

また、ウェットエッチング後のエッチング液は、エッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、除去された材料に含まれる材料を再利用してもよい。例えば、当該エッチング後の廃液から酸化物半導体層に含まれるインジウムなどの材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0152】

また、ウェットエッチングにおいても、所望の形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度など）を適宜調節する。

【0153】

次に、ゲート絶縁層402、及び酸化物半導体層431上に、金属導電膜を形成する。例えば、スパッタリング法や真空蒸着法で金属導電膜を形成すればよい。金属導電膜の材料としては、アルミニウム（ Al ）、クロム（ Cr ）、銅（ Cu ）、タンタル（ Ta ）、チタン（ Ti ）、モリブデン（ Mo ）、タングステン（ W ）から選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金などが挙げられる。また、マンガン（ Mn ）、マグネシウム（ Mg ）、ジルコニウム（ Zr ）、ベリリウム（ Be ）、イットリウム（ Y ）のいずれか一又は複数から選択された材料を金属導電膜の材料として用いてもよい。また、金属導電膜は、単層でも、2層以上の積層としてもよい。例えば、金属導電膜として、シリコンを含むアルミニウム膜の単層、銅又は銅を主成分とする膜の単層、アルミニウム膜上にチタン膜が設けられた積層、窒化タンタル膜又は窒化銅膜上に銅膜が設けられた積層、チタン膜上にアルミニウム膜が設けられ、さらにアルミニウム膜上にチタン膜が設けられた積層などが挙げられる。また、アルミニウム（ Al ）に、チタン（ Ti ）、タンタル（ Ta ）、タングステン（ W ）、モリブデン（ Mo ）、クロム（ Cr ）、ネオジム（ Nd ）、スカンジウム（ Sc ）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、若しくは窒化膜を用いてもよい。

【0154】

金属導電膜後に第1の加熱処理を行う場合には、この第1の加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

【0155】

次に、第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、該レジストマスクを用いて該金属導電膜の一部をエッチングすることにより、ソース電極層415a、ドレイン電極層415bを形成した後、レジストマスクを除去する（図8（C

10

20

30

40

50

) 参照)。

【0156】

なお、金属導電膜のエッチングの際に、酸化物半導体層431が除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0157】

ここでは、金属導電膜としてチタン膜を用いて、酸化物半導体層431としてIn-Ga-Zn-O系酸化物半導体層を用いて、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0158】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、当該工程において用いるレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0159】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となるフォトマスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、フォトマスク数を削減することができるため、工程の簡略化が可能となる。

20

【0160】

次に、亜酸化窒素(N_2O)、窒素(N_2)、又はアルゴン(Ar)などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0161】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層416を形成する。

30

【0162】

酸化物絶縁層416は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層416に水、水素などの不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層416に水素が含まれると、その水素の酸化物半導体層への侵入が生じ酸化物半導体層431のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成される。よって、酸化物絶縁層416は、できるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0163】

ここでは、酸化物絶縁層416として、スパッタリング法を用いて膜厚200nmの酸化シリコン膜を成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲット又はシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。

40

【0164】

次に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層

50

の一部（チャネル形成領域）が酸化物絶縁層416と接した状態で加熱される。これにより、酸化物半導体層431の一部（チャネル形成領域）に酸素が供給される。

【0165】

上述したように、酸化物半導体層に対して脱水化又は脱水素化のための第2の加熱処理を行うことで、酸化物半導体層の一部（チャネル形成領域）を選択的に酸素過剰な状態とする。その結果、ゲート電極層411と重なるチャネル形成領域413はI型となり、ソース電極層415aに重なり、チャネル形成領域413より電気抵抗値の低い低抵抗領域414aと、ドレイン電極層415bに重なり、チャネル形成領域413より電気抵抗値の低い低抵抗領域414bとが自己整合的に形成される。以上の工程でトランジスタ410が形成される。

10

【0166】

なお、不純物が酸化物半導体層に添加されていると、例えば85、 2×10^6 V/cm、12時間のゲートバイアス・熱ストレス試験（BT試験）において、不純物と酸化物半導体層の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発する。これに対して、酸化物半導体層の不純物、特に水素や水などを極力除去し、上述の高密度プラズマCVD装置を用いて緻密で絶縁耐圧の高い高品質なゲート絶縁層を形成し、該ゲート絶縁層と該酸化物半導体層との界面特性を良好にすることにより、BT試験に対しても安定なトランジスタを得ることができる。

【0167】

第2の加熱処理の後に、さらに、大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。ここでは、150で10時間加熱処理を行う。この加熱処理では、一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返して行ってもよい。また、この加熱処理は減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

20

【0168】

なお、ドレイン電極層415bと重畳した酸化物半導体層において低抵抗領域414bを形成することにより、トランジスタの信頼性の向上を図ることができる。具体的には、低抵抗領域414bを形成することで、ドレイン電極層415bから低抵抗領域414b、チャネル形成領域413にかけて、導電性を段階的に変化させうるような構造とすることができる。

30

【0169】

また、酸化物半導体層の膜厚が15nm以下と薄い場合には、膜厚方向全体にわたって、酸化物半導体層における低抵抗領域が形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合には、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化して低抵抗領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域はI型とすることもできる。

【0170】

酸化物絶縁層416上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタリング法を用いて窒化シリコン膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、 OH^- イオンなどの不純物が含まれない又は少ない層であり、これらが外部から侵入することをブロックする無機絶縁膜を用いて保護絶縁層を形成することができる。無機絶縁膜としては、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、酸化窒化アルミニウム膜などを用いることができる。本実施の形態では、窒化シリコン膜を用いて保護絶縁層403を形成する（図8（D）参照）。

40

【0171】

以上のように、上記実施の形態の液晶表示装置を構成するトランジスタを作製することができる。なお、これに限定されず、上記実施の形態における液晶表示装置を構成するトラ

50

ンジスタとしては、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造のトランジスタを用いることもできる。また、上記実施の形態における液晶表示装置を構成するトランジスタとしては、トップゲート型トランジスタを用いることができる。また、上記実施の形態における液晶表示装置を構成するトランジスタとしては、例えばチャンネルエッチ型トランジスタ、チャンネルストップ型トランジスタ、ボトムコンタクト型トランジスタなどを用いることができる。

【0172】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ又は置き換えを行うことができる。

【0173】

(実施の形態4)

本実施の形態では、上記実施の形態に示す液晶表示装置の一例の外観及び断面について、図9を用いて説明する。図9は、本実施の形態における液晶表示装置の一例を説明するための図であり、図9(A)及び図9(C)は、平面図であり、図9(B)は、図9(A)又は図9(C)の線分M-Nにおける断面図である。

【0174】

図9(A)乃至図9(C)に示す液晶表示装置は、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また、画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって、画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また、図9(A)乃至図9(C)に示す液晶表示装置は、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0175】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG法、ワイヤボンディング法、或いはTAB法などを用いることができる。図9(A)は、COG法により信号線駆動回路4003を実装する例であり、図9(C)は、TAB法により信号線駆動回路4003を実装する例である。

【0176】

また、第1の基板4001上に設けられた画素部4002及び走査線駆動回路4004のそれぞれは、トランジスタを複数有しており、図9(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。トランジスタ4010及びトランジスタ4011上には、絶縁層4041、4042、4021が設けられている。

【0177】

トランジスタ4010及びトランジスタ4011としては、上記実施の形態の液晶表示装置と同様に、チャンネル形成層としての機能を有する酸化物半導体層を有するトランジスタを用いることができ、例えば上記実施の形態3に示すトランジスタを用いることができる。

【0178】

トランジスタ4010は、ゲート電極層4051と、ゲート電極層4051の上に設けられたゲート絶縁層4020と、ゲート絶縁層4020を挟んでゲート電極層4051の上に設けられた酸化物半導体層4052と、酸化物半導体層4052の上にそれぞれ設けられたソース電極層4053及びドレイン電極層4054と、を有する。

【0179】

トランジスタ4011は、ゲート電極層4061と、ゲート電極層4061の上に設けられたゲート絶縁層4020と、ゲート絶縁層4020を挟んでゲート電極層4061の上に設けられた酸化物半導体層4062と、酸化物半導体層4062の上にそれぞれ設けら

10

20

30

40

50

れたソース電極層4063及びドレイン電極層4064と、を有する。

【0180】

さらに、絶縁層4021上において、トランジスタ4011の酸化物半導体層4062のチャンネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層4062のチャンネル形成領域と重なる位置に設けることによって、外部ストレスによるトランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電圧がトランジスタ4011のゲート電極層4061と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電圧がGND、0V、或いは導電層4040が浮遊状態であってもよい。なお、導電層4040は、必ずしも設ける必要はない。

10

【0181】

また、絶縁層4041、絶縁層4042、及び絶縁層4021を貫通する開口部を介してトランジスタ4010のソース電極層4053又はドレイン電極層4054と電氣的に接続されるように画素電極層4030が設けられる。そして、第2の基板4006上に対向電極層4031が設けられる。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031は、それぞれ配向膜として機能する絶縁層4032、4033を介して液晶層4008を挟持している。

【0182】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、又はアクリル樹脂フィルムを用いることができる。

20

【0183】

また、絶縁層4032及び絶縁層4033の間にスペーサ4035が設けられる。スペーサ4035は、絶縁膜を選択的にエッチングすることで得られる柱状の隔壁であり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお、スペーサ4035として球状のスペーサを用いてもよい。

【0184】

また、対向電極層4031は、トランジスタ4010と同一基板上に設けられる共通電圧線と電氣的に接続される。また、共通電圧線との接続部(共通接続部ともいう)を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電圧線とを電氣的に接続することができる。

30

【0185】

また、シール材4005は、導電性粒子を含む。

【0186】

また、本実施の形態の液晶表示装置では、液晶層4008における液晶材料として配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は、液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶材料に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また、配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって、液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いるトランジスタは、静電気の影響によりトランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって、酸化物半導体層を用いるトランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

40

50

【0187】

また、本実施の形態における液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設けてもよいし、偏光板を基板の内側に設けてもよい。また、偏光板と着色層の積層構造も偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光層を設けてもよい。

【0188】

また、絶縁層4041は、酸化物半導体層4052及び酸化物半導体層4062に接する。絶縁層4041としては、例えば酸化シリコン層を用いることができる。

【0189】

また、絶縁層4042は、絶縁層4041上に接して設けられる。絶縁層4042としては、例えば窒化シリコン層を用いることができる。

【0190】

また、絶縁層4021は、絶縁層4042の上に設けられる。絶縁層4021は、トランジスタの表面の凹凸を低減するための平坦化絶縁層としての機能を有する。絶縁層4021としては、例えばポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂などの、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）などを用いることもできる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0191】

絶縁層4021の形成法は、特に限定されず、絶縁層4021の形成法としては、その材料に応じて、スパッタリング法、SOG法、スピンコート法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法、スクリーン印刷法、オフセット印刷法など）などを用いることができる。

【0192】

画素電極層4030及び対向電極層4031としては、例えばインジウム錫酸化物（ITO）、酸化インジウムに酸化亜鉛（ZnO）を混合したIZO（indium zinc oxide）、酸化インジウムに酸化珪素（SiO₂）を混合した導電材料、酸化インジウム、酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、などの透光性を有する導電性材料を用いることができる。なお、反射型の液晶表示装置において、透光性を有する必要がない場合は、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）などの金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0193】

また、画素電極層4030及び対向電極層4031を、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した電極層は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は、0.1・cm以下であることが好ましい。

【0194】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニン又はその誘導体、ポリピロール又はその誘導体、ポリチオフェン又はその誘導体、若しくはこれらのモノマーが2種以上で構成される共重合体などがあげられる。

【0195】

10

20

30

40

50

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004又は画素部4002に与えられる各種信号及び電圧は、FPC4018から供給されている。さらに、FPC4018は、接続端子電極4015及び異方性導電膜4019を介して端子電極4016に電氣的に接続される。

【0196】

接続端子電極4015は、液晶素子4013が有する画素電極層4030と同じ導電膜を用いて形成され、端子電極4016は、トランジスタ4010のソース電極層4053及びドレイン電極層4054と同じ導電膜を用いて形成される。

【0197】

また、図9においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部又は走査線駆動回路の一部のみを別途形成して実装してもよい。

【0198】

また、図9に示す液晶表示装置では、ブラックマトリクス(遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材(光学基板)などを適宜設けることができる。例えば、光学部材としては、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0199】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極層を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極層と該画素電極に対応する対向電極層との間に電圧が印加されることによって、画素電極層と対向電極層との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0200】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED(発光ダイオード)光源又は複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力を低減することができる。

【0201】

これらの駆動技術を組み合わせることによって、上記実施の形態に示す液晶表示装置の表示特性を向上させることができる。

【0202】

また、トランジスタは静電気などにより破壊されやすいため、さらに画素部又は駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は、画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では、複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気などによりサージ電圧が印加され、画素におけるトランジスタなどが破壊されないように構成されている。そのため、保護回路にサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線に対して並列に配置された非線形素子及び非線形素子によって構成されている。非線形素子及び非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部のトランジスタと同じ工程で形成することも可能であり、例えばゲートとドレインを接続することによりダイオードと同様の特性を持たせることができる。

【0203】

また、本実施の形態の液晶表示装置の表示モードとしては、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0204】

また、本実施の形態の液晶表示装置としては、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASVモードなどを用いることができる。

10

【0205】

以上のように、本実施の形態の液晶表示装置の画素部にチャネル形成層としての機能を有する酸化物半導体層を含むトランジスタを用いることで、表示時間の長い静止画像が表示可能な表示装置を提供することができる。また、静止画像の表示時に駆動回路部の動作を停止することにより消費電力を低減することもできる。

20

【0206】

本実施の形態は、他の実施の形態と適宜組み合わせ、又は置き換えを行うことができる。

【0207】

(実施の形態5)

本実施の形態では、上記実施の形態に示す液晶表示装置の一例として、タッチパネル機能を付加した液晶表示装置について説明する。

【0208】

図10は、本実施の形態における液晶表示装置の構成の一例を示す図である。

【0209】

図10(A)に示す液晶表示装置は、液晶表示ユニット6601と、液晶表示ユニット6601に重畳して設けられたタッチパネルユニット6602と、を有し、液晶表示ユニット6601及びタッチパネルユニット6602が筐体(ケース)6603により合着された構造である。

30

【0210】

液晶表示ユニット6601としては、上記実施の形態に示す液晶表示装置を適用することができる。

【0211】

タッチパネルユニット6602としては、例えば抵抗膜方式、表面型静電容量方式、又は投影型静電容量方式のタッチパネルを用いることができる。

40

【0212】

図10(A)に示すように、本実施の形態の液晶表示装置の一例は、互いに別々に作製した液晶表示ユニットとタッチパネルユニットとを重畳させた構造である。該構造にすることにより、タッチパネル機能を付加した液晶表示装置の製造コストを削減することができる。

【0213】

また、図10(B)に示す液晶表示装置6604は、表示部に複数の画素6605を有し、画素6605は、光センサ6606及び液晶素子6607を有する構造である。図10(B)に示す液晶表示装置6604は、画素6605に設けられた光センサ6606に被読み取り物(指やペンなど)を接触又は近付け、被読み取り物からの反射光に応じて光セ

50

ンサにおいて光電流を生成させることにより読み取りを行うものである。図10(B)に示す液晶表示装置6604は、図10(A)とは異なり、タッチパネルユニット6602を重畳させる必要がないため、液晶表示装置の薄型化を図ることができる。なお、画素6605とともに走査線駆動回路6608、信号線駆動回路6609、及び光センサ用駆動回路6610を画素6605と同じ基板上に作製することで、液晶表示装置の小型化を図ることができる。なお、光センサ6606は、アモルファスシリコンなどで形成し、酸化物半導体を用いたトランジスタと重畳して形成する構成としてもよい。

【0214】

本実施の形態のタッチパネルの機能を付加した液晶表示装置は、チャンネル形成層としての機能を有する酸化物半導体層を含むトランジスタを用いることで、表示時間の長い静止画像の表示が可能な表示装置を提供することができる。また、静止画像の表示時に駆動回路部の動作を停止することにより消費電力を低減することもできる。

10

【0215】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ、又は置き換えを行うことができる。

【0216】

(実施の形態6)

本実施の形態では、上記実施の形態に示す液晶表示装置の一例として電子書籍について説明する。

【0217】

本実施の形態における電子書籍について図11を用いて説明する。図11は、本実施の形態における電子書籍の一例を示す図である。

20

【0218】

図11に示す電子書籍は、筐体2701及び筐体2703の2つの筐体で構成されている。筐体2701及び筐体2703は、軸部2711により接続され、軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0219】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705及び表示部2707は、互いに異なる画像を表示する構成としてもよく、例えば両方の表示部で一続きの画像を表示する構成としてもよい。異なる画面を表示する構成とすることにより、例えば右側の表示部(図11では表示部2705)に文章を表示し、左側の表示部(図11では表示部2707)に画像を表示することができる。

30

【0220】

また、図11に示す電子書籍は、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。また、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、又はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、図11に示す電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

40

【0221】

なお、本実施の形態の電子書籍は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0222】

また、本実施の形態の電子書籍は、太陽電池セルと、太陽電池セルから出力される電圧を充電する蓄電装置と、該蓄電装置に充電された電圧を各回路に必要な電圧に変換する直流

50

変換回路と、を用いて構成される電源回路を有する構成にしてもよい。これにより、外部電源が不要となるため、外部電源が無い場所であっても、該電子書籍を長時間使用することができ、利便性を向上させることができる。蓄電装置としては、リチウムイオン二次電池、リチウムイオンキャパシタ、電気二重層キャパシタ、及びレドックスキャパシタのいずれか一つ又は複数などを用いることができる。例えばリチウムイオン二次電池及びリチウムイオンキャパシタを併用することにより、高速充放電が可能であり、且つ長時間電源を供給することが可能な蓄電装置にすることができる。なお、リチウムイオン二次電池に限定されず、蓄電装置として、他のアルカリ金属イオン又はアルカリ土類金属イオンなどを可動イオンとして用いた二次電池を用いてもよい。また、リチウムイオンキャパシタに限定されず、蓄電装置として、他のアルカリ金属イオン又はアルカリ土類金属イオンなどを可動イオンとして用いたキャパシタを用いてもよい。

10

【0223】

以上のように、本実施の形態の電子書籍は、チャンネル形成層としての機能を有する酸化物半導体層を含むトランジスタを用いることで、静止画像の表示時間の長い表示装置を提供することができるため、電子書籍において一定の静止画像を長時間閲覧する場合には特に有効である。また、静止画像の表示時に駆動回路部の動作を停止することにより消費電力を低減することもできる。

【0224】

本実施の形態は、他の実施の形態と適宜組み合わせ、又は置き換えを行うことができる。

【0225】

(実施の形態7)

本実施の形態では、上記実施の形態に示す液晶表示装置を表示部に有する電子機器について説明する。

20

【0226】

上記実施の形態に示す液晶表示装置を様々な電子機器の表示部に適用することにより、表示機能に加えて様々な機能を持たせた電子機器を提供することができる。上記実施の形態に示す液晶表示装置を表示部に適用した電子機器の具体例について図12を用いて説明する。図12は、本実施の形態の電子機器の構成の一例を示す図である。

【0227】

図12(A)は、携帯型情報通信端末を示す図である。図12(A)に示す携帯型情報通信端末は少なくとも表示部1001を有する。また、図12(A)に示す携帯型情報通信端末は、例えばタッチパネルと組み合わせることにより、様々な携帯品の代わりとして利用することができる。例えば表示部1001に操作部1002を設けることで携帯電話として利用することができる。なお、操作部1002は必ずしも表示部1001に設ける必要はなく、別途操作ボタンを設けた構成とすることもできる。またメモ帳の代わりとしての利用や原稿入出力機能を利用してハンディスキャナーとして利用することもできる。また、上記実施の形態に示す液晶表示装置は、1回の画像データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を図12(A)に示す携帯型情報通信端末に用いることにより、例えば表示部において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

30

40

【0228】

図12(B)は、例えばカーナビゲーションを含む情報案内端末を示す図である。図12(B)に示す情報案内端末は、少なくとも表示部1101を有し、さらに操作ボタン1102や外部入力端子1103などを有する構成とすることもできる。自動車の車内は、気温共に温度が大きく変動し、温度が50℃を超えることもある。しかし上記実施の形態に示す液晶表示装置は、温度による特性変化が少ないため、自動車の車内のような温度が大きく変動する環境下において特に有効である。

【0229】

図12(C)は、ノート型パーソナルコンピュータを示す図である。図12(C)に示す

50

ノート型パーソナルコンピュータは、筐体 1 2 0 1、表示部 1 2 0 2、スピーカ 1 2 0 3、LEDランプ 1 2 0 4、ポインティングデバイス 1 2 0 5、接続端子 1 2 0 6、及びキーボード 1 2 0 7 を有する。上記実施の形態に示す液晶表示装置は、1 回の画像データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を図 1 2 (C) に示すノート型パーソナルコンピュータに用いることにより、例えば表示部において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【 0 2 3 0 】

図 1 2 (D) は、携帯型遊技機を示す図である。図 1 2 (D) に示す携帯型遊技機は、第 1 の表示部 1 3 0 1 と第 2 の表示部 1 3 0 2 と、スピーカ 1 3 0 3 と、接続端子 1 3 0 4 と、LEDランプ 1 3 0 5、マイクロフォン 1 3 0 6、記録媒体読込部 1 3 0 7 と、操作ボタン 1 3 0 8 と、センサ 1 3 0 9 と、を有する。また、上記実施の形態に示す液晶表示装置は、1 回の画像データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を図 1 2 (D) に示す携帯型遊技機に用いることにより、例えば表示部において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。また、第 1 の表示部 1 3 0 1 と第 2 の表示部 1 3 0 2 のいずれか一方を動画像表示とし、他方を静止画像表示と互いに異なる表示にすることもできる。これにより、静止画像を表示している表示部において駆動回路部への信号又は電圧の供給を停止させることができるため、消費電力を低減することができる。

【 0 2 3 1 】

図 1 2 (E) は、設置型情報通信端末を示す図である。図 1 2 (E) に示す設置型情報通信端末は、少なくとも表示部 1 4 0 1 を有する。なお、表示部 1 4 0 1 は、平面部 1 4 0 2 上に設けることもできる。また、平面部 1 4 0 2 に別途操作ボタンなどを設けることもできる。図 1 2 (E) に示す設置型情報通信端末は、例えば現金自動預け払い機、又はチケット（乗車券を含む）などの券の注文をするための情報通信端末（マルチメディアステーションともいう）などとして利用することができる。上記実施の形態に示す液晶表示装置は、1 回の画像データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を図 1 2 (E) に示す設置型情報通信端末に用いることにより、例えば表示部において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【 0 2 3 2 】

図 1 2 (F) は、ディスプレイを示す図である。図 1 2 (F) に示すディスプレイは、筐体 1 5 0 1 と、表示部 1 5 0 2 と、スピーカ 1 5 0 3 と、LEDランプ 1 5 0 4 と、操作ボタン 1 5 0 5 と、接続端子 1 5 0 6 と、センサ 1 5 0 7 と、マイクロフォン 1 5 0 8 と、支持台 1 5 0 9 と、を有する。上記実施の形態に示す液晶表示装置は、1 回の画像データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を図 1 2 (F) に示すディスプレイに用いることにより、例えば表示部において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【 0 2 3 3 】

上記実施の形態に示す液晶表示装置を電子機器の表示部に搭載することにより多機能型の電子機器を提供することができる。

【 0 2 3 4 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 符号の説明 】

【 0 2 3 5 】

- 1 0 パルス出力回路
- 1 1 配線
- 1 2 配線

10

20

30

40

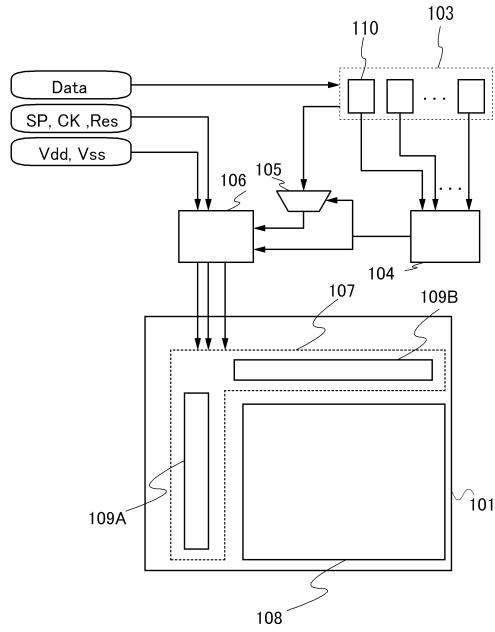
50

1 3	配線	
1 4	配線	
1 5	配線	
1 7	配線	
1 8	配線	
2 1	入力端子	
2 2	入力端子	
2 3	入力端子	
2 4	入力端子	
2 5	入力端子	10
2 6	出力端子	
2 7	出力端子	
3 1	トランジスタ	
3 2	トランジスタ	
3 3	トランジスタ	
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	20
3 9	トランジスタ	
4 0	トランジスタ	
4 1	トランジスタ	
5 1	電源線	
5 2	電源線	
6 1	期間	
6 2	期間	
1 0 1	表示パネル	
1 0 3	記憶回路	
1 0 4	比較回路	30
1 0 5	選択回路	
1 0 6	表示制御回路	
1 0 7	駆動回路部	
1 0 8	画素部	
1 0 9 A	駆動回路	
1 0 9 B	駆動回路	
1 1 0	フレームメモリ	
1 5 1	トランジスタ	
1 5 2	液晶素子	
1 5 3	容量素子	40
1 5 4	信号線	
1 5 5	走査線	
1 5 6	配線	
1 5 7	配線	
2 0 1	フレーム期間	
2 0 2	フレーム期間	
2 1 1	書き込み期間	
2 1 2	表示期間	
2 3 1	直線	
2 3 2	直線	50

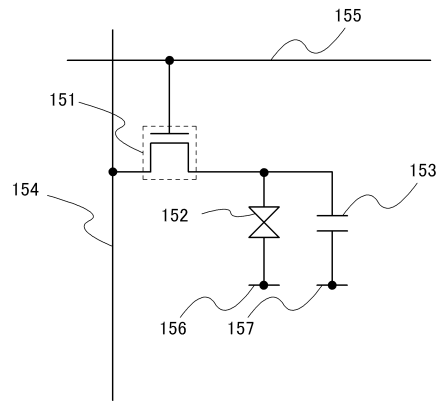
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 1 0	トランジスタ	
4 1 1	ゲート電極層	
4 1 3	チャンネル形成領域	
4 1 4 a	低抵抗領域	
4 1 4 b	低抵抗領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	10
4 1 6	酸化物絶縁層	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
1 0 0 1	表示部	
1 0 0 2	操作部	
1 1 0 1	表示部	
1 1 0 2	操作ボタン	
1 1 0 3	外部入力端子	
1 2 0 1	筐体	
1 2 0 2	表示部	20
1 2 0 3	スピーカ	
1 2 0 4	LEDランプ	
1 2 0 5	ポインティングデバイス	
1 2 0 6	接続端子	
1 2 0 7	キーボード	
1 3 0 1	表示部	
1 3 0 2	表示部	
1 3 0 3	スピーカ	
1 3 0 4	接続端子	
1 3 0 5	LEDランプ	30
1 3 0 6	マイクロフォン	
1 3 0 7	記録媒体読込部	
1 3 0 8	操作ボタン	
1 3 0 9	センサ	
1 4 0 1	表示部	
1 4 0 2	平面部	
1 5 0 1	筐体	
1 5 0 2	表示部	
1 5 0 3	スピーカ	
1 5 0 4	LEDランプ	40
1 5 0 5	操作ボタン	
1 5 0 6	接続端子	
1 5 0 7	センサ	
1 5 0 8	マイクロフォン	
1 5 0 9	支持台	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	50

2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	10
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	ゲート絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	20
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	
4 0 4 0	導電層	
4 0 4 1	絶縁層	
4 0 4 2	絶縁層	
4 0 5 1	ゲート電極層	
4 0 5 2	酸化物半導体層	
4 0 5 3	ソース電極層	30
4 0 5 4	ドレイン電極層	
4 0 6 1	ゲート電極層	
4 0 6 2	酸化物半導体層	
4 0 6 3	ソース電極層	
4 0 6 4	ドレイン電極層	
6 5 0 5	画素	
6 6 0 1	液晶表示ユニット	
6 6 0 2	タッチパネルユニット	
6 6 0 3	筐体	
6 6 0 4	液晶表示装置	40
6 6 0 5	画素	
6 6 0 6	光センサ	
6 6 0 7	液晶素子	
6 6 0 8	走査線駆動回路	
6 6 0 9	信号線駆動回路	
6 6 1 0	光センサ用駆動回路	

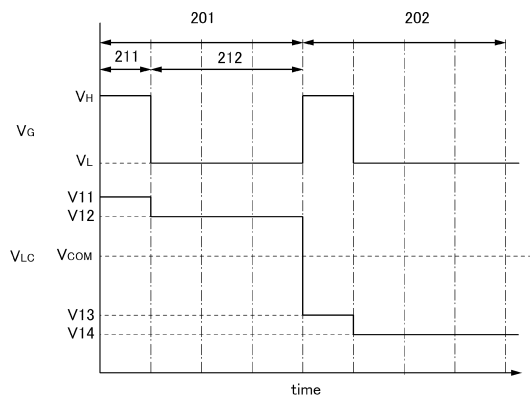
【図1】



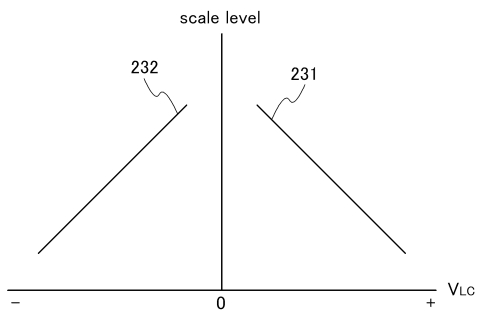
【図2】



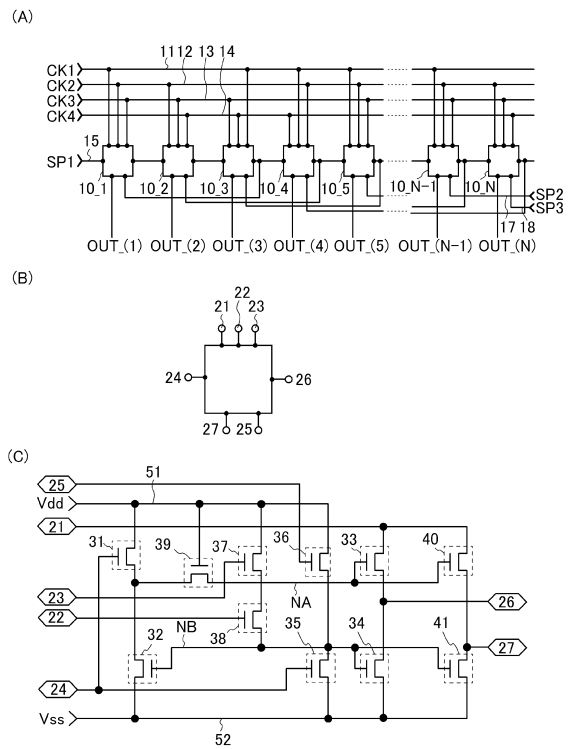
【図3】



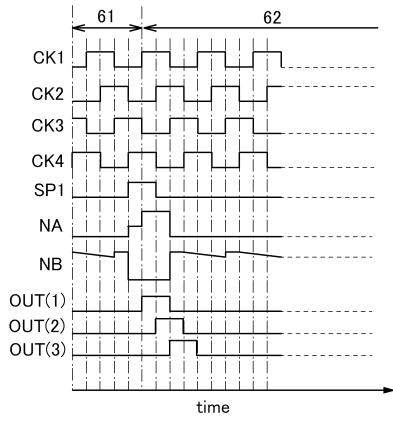
【図4】



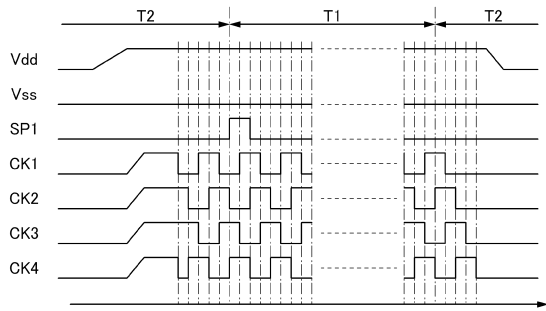
【図5】



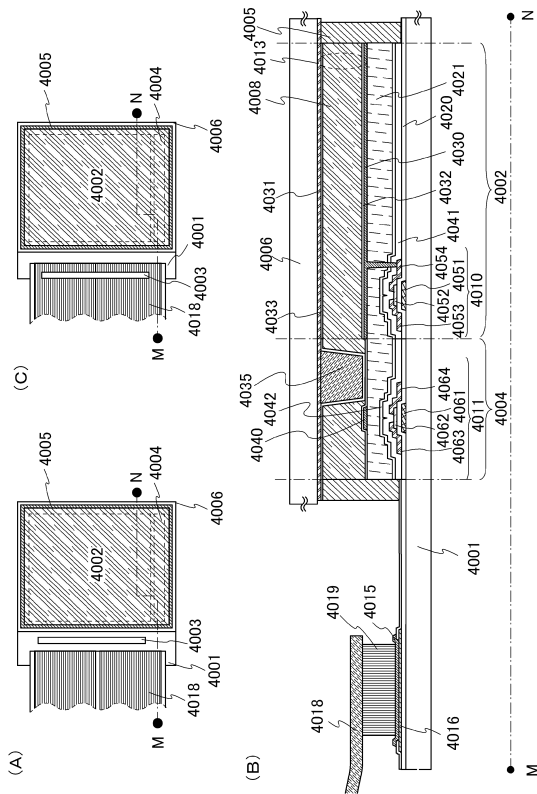
【 図 6 】



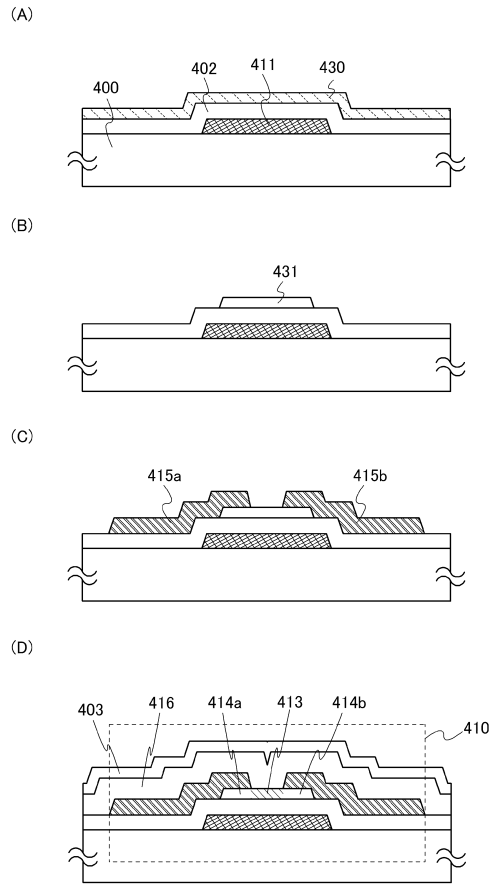
【 図 7 】



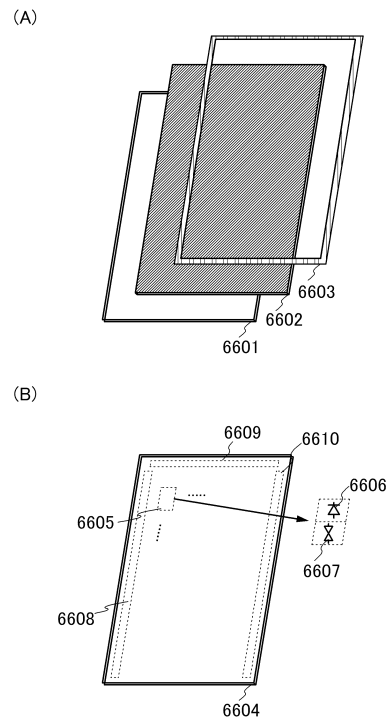
【 図 9 】



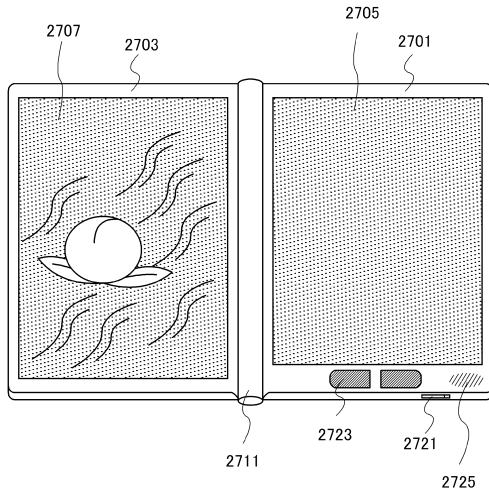
【 図 8 】



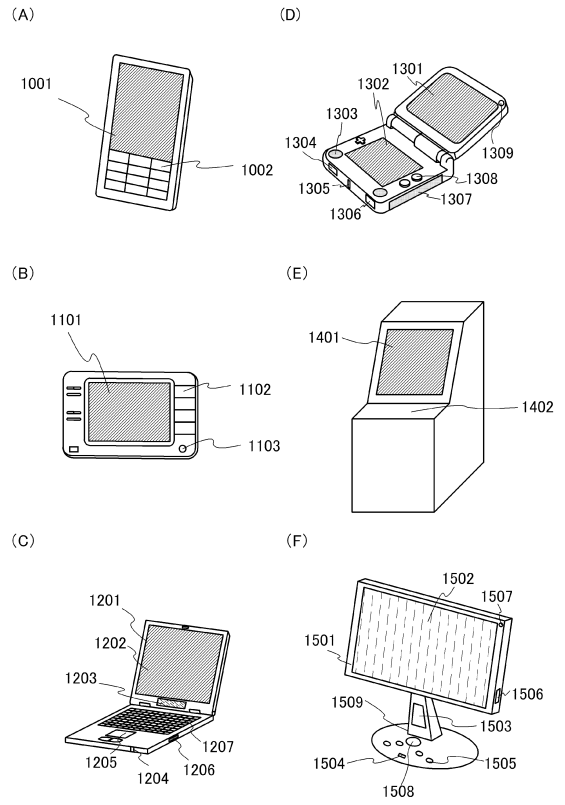
【 図 10 】



【図 11】



【図 12】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 P
G 0 9 G 3/20 6 4 2 C
G 0 9 G 3/20 6 6 0 U

(56) 参考文献 特開 2 0 0 0 - 2 6 7 0 6 6 (J P , A)
特開 2 0 0 5 - 3 0 0 9 4 8 (J P , A)
特開 2 0 0 8 - 1 4 1 1 1 9 (J P , A)
特開 2 0 0 8 - 1 7 6 2 8 7 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G09G3/36

G02F1/133

G09G3/20

专利名称(译)	液晶表示装置		
公开(公告)号	JP5805944B2	公开(公告)日	2015-11-10
申请号	JP2010277076	申请日	2010-12-13
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	荒澤亮 豊高耕平		
发明人	荒澤 亮 豊高 耕平		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G09G3/3614 G09G2320/0247 G09G2320/103 G09G2330/021 G09G2340/16 H01L27/1225		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.U G09G3/20.621.B G09G3/20.624.B G09G3/20.641.P G09G3/20.642.C G09G3/20.660.U G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA03 2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZB13 2H193/ZC16 2H193/ZC20 2H193/ZF16 2H193/ZF23 2H193/ZF32 2H193/ZF44 2H193/ZF51 2H193/ZH23 2H193/ZH38 2H193/ZH53 2H193/ZQ06 5B074/AA10 5B074/CA01 5B074/DB02 5B074/EA01 5C006/AA02 5C006/AC28 5C006/AF44 5C006/AF46 5C006/AF69 5C006/BB16 5C006/BC06 5C006/FA18 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD26 5C080/EE17 5C080/EE29 5C080/FF07 5C080/FF11 5C080/GG09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
优先权	2009288283 2009-12-18 JP		
其他公开文献	JP2011145667A JP2011145667A5		
外部链接	Espacenet		

摘要(译)

在液晶显示装置的显示质量的劣化抑制，也减少了功率消耗。在第一帧周期和第二帧周期中是相互连续的帧周期，用于通过从彼此反转电压的极性通过将电压施加到液晶元件的显示像素中的液晶显示装置的驱动方法，在第一帧周期中的图像和由图像的图像和在第一帧周期中的第二帧周期中比较所述第二帧周期被确定为静止图像，并且所述第一在帧周期中施加到液晶元件的电压的绝对值，如果在第二周期中施加到液晶元件的电压的绝对值，是在第一帧周期或第二帧周期不同，并且执行校正处理以校正施加到液晶元件的电压。点域1

(21) 出願番号	特願2010-277076 (P2010-277076)	(73) 特許権者	000153878
(22) 出願日	平成22年12月13日 (2010.12.13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-145667 (P2011-145667A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年7月28日 (2011.7.28)	(72) 発明者	荒澤 亮
審査請求日	平成25年9月19日 (2013.9.19)		神奈川県厚木市長谷398番地 株式会社
審判番号	不服2015-3008 (P2015-3008/J1)		半導体エネルギー研究所内
審判請求日	平成27年2月17日 (2015.2.17)	(72) 発明者	豊高 耕平
(31) 優先権主張番号	特願2009-288283 (P2009-288283)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成21年12月18日 (2009.12.18)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)		
		合議体	
		審判長	森 電介
		審判官	堀 圭史
		審判官	中塚 直樹