

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5535666号
(P5535666)

(45) 発行日 平成26年7月2日 (2014.7.2)

(24) 登録日 平成26年5月9日 (2014.5.9)

(51) Int.Cl. F I

GO2F 1/1337 (2006.01)

GO2F 1/1368 (2006.01)

GO2F 1/1343 (2006.01)

GO2F 1/1335 (2006.01)

GO2F 1/1333 (2006.01)

GO2F 1/1337 505

GO2F 1/1368

GO2F 1/1343

GO2F 1/1335 505

GO2F 1/1333 505

請求項の数 6 (全 33 頁)

(21) 出願番号	特願2010-12820 (P2010-12820)	(73) 特許権者	512187343
(22) 出願日	平成22年1月25日 (2010.1.25)		三星ディスプレイ株式会社
(65) 公開番号	特開2010-181874 (P2010-181874A)		Samsung Display Co., Ltd.
(43) 公開日	平成22年8月19日 (2010.8.19)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成25年1月16日 (2013.1.16)		95, Samsung 2 Ro, Giheung-Gu, Yongin-City, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2009-0010026	(74) 代理人	110000408
(32) 優先日	平成21年2月9日 (2009.2.9)		特許業務法人高橋・林アンドパートナーズ
(33) 優先権主張国	韓国 (KR)	(72) 発明者	張 龍 圭
			大韓民国京畿道華城市盤松洞 ソルビットマウル慶南アヌスビルアパートメント402棟902号
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素領域に液晶ドメインを形成するための陥没パターンを含むドメイン形成層、画素電極、及び前記画素電極と電気的に接続されたコンタクト電極を含むスイッチング素子を含む第1基板と、

前記第1基板と対向する全面に形成された共通電極を含む第2基板と、

前記第1基板と前記第2基板との間に介在され、液晶ドメインを形成する液晶分子を固定させる反応性メソゲンを含む液晶層と、

を含み、

前記第1基板は、前記画素電極とオーバーラップするストレージライン及び前記ドメイン形成層の下部に形成され、前記ストレージラインとコンタクトするボトム電極をさらに含み、

前記陥没パターンは、前記コンタクト電極を露出させ、

前記画素電極と前記コンタクト電極とは、前記陥没パターンを介して電気的に接続することを特徴とする表示装置。

【請求項 2】

前記ストレージラインは、前記コンタクト電極とオーバーラップすることを特徴とする請求項1に記載の表示装置。

【請求項 3】

前記ボトム電極は、透明電極層から形成されることを特徴とする請求項2に記載の表示装

置。

【請求項 4】

前記ドメイン形成層は、少なくとも 1 つのカラーフィルタを含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記ドメイン形成層は、前記カラーフィルタ上に形成され、前記陥没パターンを含むパターン層を含むことを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記画素電極は、前記画素領域に液晶ドメインを形成するための開口パターンを有することを特徴とする請求項 1 に記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より詳しくは、液晶を利用して画像を表示する表示装置に関する。

【背景技術】

【0002】

一般的に、液晶表示パネルは、各画素領域を駆動するためのスイッチング素子が形成されたアレイ基板と、アレイ基板と対向する対向基板と、アレイ基板及び対向基板の間に介在されて形成された液晶層とを含む。液晶表示パネルは、液晶層に電圧を印加して光の透過率を制御する方式で画像を表示する。

20

【0003】

一方、液晶表示装置の動作モードのうち、VAモードの液晶表示装置の一種であるPVAモード(Patterned Vertical Alignment mode)は、パターニングされた透明電極を利用して液晶分子を互いに異なる方向に配列させて液晶ドメインを形成することによって、液晶表示装置の視野角を向上させることができる。このとき、PVAモードの液晶表示装置を製造するためには、パターニングされた透明電極を形成する工程を伴わなければならない。また、PVAモードの別の形態で、対向基板に突起を形成し、突起が形成された基板上に共通電極層を形成することによって、液晶表示装置の視野角を向上させることができる。しかし、この場合もまた突起を形成するための別途の工程を伴わなければならない。

30

【0004】

前述のように液晶表示装置の液晶ドメインを形成するためには、透明電極をパターニングする工程及び/または突起を形成する工程をさらに実行しなければならないため、液晶表示装置の製造工程数が増加する。また、表示基板及び対向基板のアセンブリ工程における表示基板と対向基板とのミスアラインは、表示基板の画素電極と対向基板の共通電極とのパターンのミスアラインにつながって、正常的な液晶ドメインを形成することができない。また、透明電極のパターニング及び突起の形成は、液晶表示装置の開口率を低下させる要因になる。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献 1】日本特開 2006 - 243494 号

【特許文献 2】韓国特開 2002 - 0010211 号

【特許文献 3】韓国特開 2003 - 0030741 号

【特許文献 4】韓国特開 2008 - 0049383 号

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の技術的課題は、このような従来の問題点を解決するためのものであり、本発明

50

の目的は、生産性及び表示品質を向上させることのできる表示装置を提供することである。

【課題を解決するための手段】

【0007】

上述の本発明の目的を実現するための一実施形態による表示装置は、第1基板、第2基板、及び液晶層を含む。第1基板は、画素領域に液晶ドメインを形成するための陥没パターンを含むドメイン形成層及び画素電極を含む。第2基板は、第1基板と対向する前面に形成された共通電極を含む。液晶層は、第1基板と第2基板との間に介在して形成され、陥没パターンを中心に液晶ドメインを形成する液晶分子を固定させる反応性メソゲン (Reactive mesogen: RM) を有する。

10

【0008】

上述の本発明の目的を実現するための他の実施形態による表示装置は、第1基板、第2基板、及び液晶層を含む。第1基板は、画素領域に液晶ドメインを形成するための開口パターンを有する画素電極を含む。第2基板は、第1基板と対向し、共通電極を含む。液晶層は、第1基板と第2基板との間に介在され、液晶ドメインを形成する液晶分子を固定させる反応性メソゲン (Reactive mesogen) を含む。

【発明の効果】

【0009】

このような表示装置によると、共通電極に別途のパターンが無くても、液晶ドメインを形成することができるため、開口率及び視野角を向上させることができる。また、共通電極に別途のパターンがないため、表示装置の上下板ミスアラインの原因を根本的に除去することによって、製造工程の信頼性を向上させることができる。さらに、共通電極にパターンを形成するための別途のパターニング工程を省略することによって製造工程を単純化させることができる。よって、表示装置の生産性及び表示品質を向上させることができる。

20

【図面の簡単な説明】

【0010】

【図1】本発明の第1実施形態による表示装置の平面図である。

【図2】図1のI-I'ラインに沿って切断した断面図である。

【図3】図1のII-II'ラインに沿って切断した断面図である。

30

【図4】図3に示す表示装置に電圧が印加された状態の断面図である。

【図5】図3に示す表示装置の製造方法を説明するための断面図である。

【図6】図3に示す表示装置の製造方法を説明するための断面図である。

【図7】図3に示す表示装置の製造方法を説明するための断面図である。

【図8】図3に示す表示装置の製造方法を説明するための断面図である。

【図9】図3に示す表示装置の製造方法を説明するための断面図である。

【図10】本発明の第2実施形態による表示装置の断面図である。

【図11】図10に示す表示装置の製造方法を説明するための断面図である。

【図12】図10に示す表示装置の製造方法を説明するための断面図である。

【図13】図10に示す表示装置の製造方法を説明するための断面図である。

40

【図14】本発明の第3実施形態による表示装置の平面図である。

【図15】図14のIII-III'ラインに沿って切断した断面図である。

【図16】図15に示す表示装置の製造方法を説明するための断面図である。

【図17】本発明の第4実施形態による表示装置の断面図である。

【図18】図17に示す表示装置の製造方法を説明するための断面図である。

【図19】本発明の第5実施形態による表示装置の平面図である。

【図20】図19のIV-IV'ラインに沿って切断した断面図である。

【図21】図20に示す表示装置の製造方法を説明するための断面図である。

【図22】図20に示す表示装置の製造方法を説明するための断面図である。

【図23】図19の構造を有する透過モードの表示装置の断面図である。

50

【図 2 4】本発明の第 6 実施形態による表示装置の平面図である。

【図 2 5】図 2 4 の V - V ' ラインに沿って切断した断面図である。

【図 2 6】図 2 5 に示す表示装置の製造方法を説明するための断面図である。

【図 2 7】図 2 5 に示す表示装置の製造方法を説明するための断面図である。

【図 2 8】図 2 5 に示す表示装置の製造方法を説明するための断面図である。

【図 2 9】本発明の第 7 実施形態による表示装置の平面図である。

【図 3 0】図 2 9 の V I - V I ' ラインに沿って切断した断面図である。

【図 3 1】図 2 9 の V I I - V I I ' ラインに沿って切断した断面図である。

【図 3 2】図 3 1 に示す表示装置の製造方法を説明するためのフローチャートである。

【図 3 3】本発明の第 8 実施形態による表示装置の製造方法を説明するためのフローチャートである。 10

【図 3 4】本発明の第 9 実施形態による表示装置の断面図である。

【図 3 5】本発明の第 1 0 実施形態による表示装置の断面図である。

【発明を実施するための最良の形態】

【 0 0 1 1 】

本発明は多様な変更を加えることができ、様々な形態を有することができるため、特定実施形態を図面に例示し、本明細書に詳しく説明する。しかし、これは本発明を特定の開示形態に対して限定しするものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物、ないしは代替物を含むことと理解されるべきである。各図面を説明しながら類似する参照符号を、類似する構成要素に対して使用した。図面において、構造物のサイズは本発明を明確にするために実際より拡大して示した。第 1、第 2 などの用語は多様な構成要素を説明するにあたって使用することができるが、各構成要素は使用される用語によって限定されるものではない。各用語は 1 つの構成要素を他の構成要素と区別する目的で使用されるものであって、例えば、明細書中において、第 1 構成要素を第 2 構成要素に書き換えることも可能であり、同様に第 2 構成要素を第 1 構成要素とすることができる。単数表現は文脈上、明白に異なる意味を有しない限り、複数の表現を含む。 20

【 0 0 1 2 】

本明細書において、「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものが存在することを意図するものであって、1 つまたはそれ以上の別の特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものの存在または付加可能性を予め排除しないことと理解されるべきである。また、層、膜、領域、板などの部分が他の部分の「上に」とあるとする場合、これは他の部分の「すぐ上に」とある場合のみでなく、その中間にさらに他の部分がある場合も含む。反対に、層、膜、領域、板などの部分が他の部分の「下に」とあるとする場合、これは他の部分の「すぐ下に」とある場合のみでなく、その中間にさらに他の部分がある場合も含む。 30

【 0 0 1 3 】

以下、図面を参照しつつ、本発明の表示装置の望ましい実施形態をより詳しく説明する。 40

【 0 0 1 4 】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態による表示装置の平面図である。

【 0 0 1 5 】

図 2 は、図 1 の I - I ' ラインに沿って切断した断面図であり、図 3 は、図 1 の I I - I I ' ラインに沿って切断した断面図である

【 0 0 1 6 】

図 2 及び図 3 においての液晶層は、画素電極と共通電極との間に電圧が印加されていない無電界状態での液晶分子及び反応性メソゲン (R e a c t i v e m e s o g e n、R M) の状態を示す。

【 0 0 1 7 】

図 1、図 2、及び図 3 を参照すると、本実施形態による表示装置は、第 1 基板 100、第 2 基板 200、及び第 1 基板 100 及び第 2 基板 200 間に介在された液晶層 300 を含む。

【0018】

第 1 基板は、第 1 ベース基板 110、第 1 ゲートライン GL1 及び第 2 ゲートライン GL2、ストレージライン STL、ゲート絶縁層 120、第 1 データライン DL1 及び第 2 データライン DL2、スイッチング素子である薄膜トランジスタ SW、パッシベーション層 140、ドメイン形成層 150、画素電極 PE、及び第 1 配向膜 AL1 を含む。

【0019】

第 1 ゲートライン GL1 及び第 2 ゲートライン GL2 は、第 1 ベース基板 110 上で第 1 方向 D1 に沿って延伸される。第 1 ゲートライン GL1 及び第 2 ゲートライン GL2 は、互いに第 1 方向 D1 と異なる第 2 方向 D2 に平行になるように配列されてもよい。第 2 方向 D2 は、例えば、第 1 方向 D1 と垂直方向であってもよい。ストレージライン STL は、第 1 ゲートライン GL1 と第 2 ゲートライン GL2 との間に配置され、第 1 方向 D1 に沿って延伸されてもよい。ゲート絶縁層 120 は、第 1 ゲートライン GL1 及び第 2 ゲートライン GL2、並びにストレージライン STL を覆うように第 1 ベース基板 110 上に形成される。第 1 データライン DL1 及び第 2 データライン DL2 は、ゲート絶縁層 120 上に第 2 方向 D2 に沿って延伸され、第 1 方向 D1 に互いに平行に配列される。第 1 データライン DL1 及び第 2 データライン DL2 は、それぞれ第 1 ゲートライン GL1 及び第 2 ゲートライン GL2、及びストレージライン STL と交差する。第 1 基板 100 では、第 1 ゲートライン GL1 及び第 2 ゲートライン GL2、並びに第 1 データライン DL1 及び第 2 データライン DL2 によって画素領域 P が区画され、画素領域 P に画素電極 PE が形成される。

【0020】

薄膜トランジスタ SW は、第 1 ゲートライン GL1 と接続された第 1 ゲート電極 GE1、第 1 ゲート電極 GE1 と対応するようにゲート絶縁層 120 上に形成されたアクティブパターン AP、第 1 データライン DL1 と接続され、アクティブパターン AP とオーバーラップされたソース電極 SE、ソース電極 SE1 と離隔され、アクティブパターン AP とオーバーラップされているドレイン電極 DE、及びドレイン電極 DE から延伸されて画素領域 P に延伸されたコンタクト電極 CNT を含んでもよい。アクティブパターン AP は、ゲート絶縁層 120 上に順次に形成された半導体層 130a 及びオーミックコンタクト層 130b を含んでもよい。コンタクト電極 CNT は、ドレイン電極 DE からストレージライン STL まで延伸されて、ストレージライン STL とオーバーラップされてもよい。

【0021】

パッシベーション層 140 は、第 1 データライン DL1 及び第 2 データライン DL2、ソース電極 SE、並びにドレイン電極 DE 及びコンタクト電極 CNT を覆うようにゲート絶縁層 120 上に形成されてもよい。

【0022】

ドメイン形成層 150 は、パッシベーション層 140 上に形成されてもよい。ドメイン形成層 150 は、第 1 基板 100 を平坦化する。ドメイン形成層 150 は、ドメイン形成層 150 の表面から下部方向に陥没されて形成された陥没パターン 152 を含む。陥没パターン 152 は、画素領域 P に形成され、画素領域 P の液晶ドメインを形成することができる。陥没パターン 152 は、ドット型 (dot type) でドメイン形成層 150 に形成されてもよい。陥没パターン 152 は、コンタクト電極 CNT と対応するようにコンタクト電極 CNT 上に形成されてもよい。陥没パターン 152 は、コンタクト電極 CNT の一部を露出させるドット型のホール (hole) で形成されてもよい。陥没パターン 152 がホール形状に形成されても、陥没パターン 152 の下部に形成されたストレージライン STL 及びコンタクト電極 CNT によって陥没パターン 152 が形成された領域の光漏れを防ぐことができる。ドメイン形成層 150 は、有機物質または無機物質で形成されてもよい。他の実施形態において、ドメイン形成層は、有機物質で形成された有機層及び

無機物質で形成された無機層を含み、有機層または無機層に陥没パターン 152 が形成されてもよい。

【0023】

画素電極 P E は、画素領域 P のドメイン形成層 152 上に形成される。画素電極 P E は透明で、導電性のある物質で形成されてもよい。画素電極 P E は、陥没パターン 152 を全体的に覆うように形成されてもよい。画素電極 P E は、陥没パターン 152 を介してコンタクト電極 C N T と接触することによって、薄膜トランジスタ S W と電氣的に接続されてもよい。平面的に同一面積を有する領域において、陥没パターン 152 上の画素 P E の表面積は、ドメイン形成層 150 の平らな領域上に形成された画素電極 P E の表面積に比べて相対的に広い。よって、第 1 基板 100 と第 2 基板 200 との間に電界が形成される場合、陥没パターン 152 に隣接する領域の電界の強度は、陥没パターン 152 が形成されていない平らな領域の電界の強度に比べて相対的に大きい。

10

【0024】

第 1 配向膜 A L 1 は、画素電極 P E を含む第 1 ベース基板 110 の全面に形成されてもよい。第 1 配向膜 A L 1 は、画素電極 P E を含む第 1 ベース基板 110 の面の一部に形成されてもよい。

【0025】

第 2 基板 200 は、第 1 基板 100 と対向する第 2 ベース基板 210、ブラックマトリックスパターン 220、第 1 カラーフィルタ 232、第 2 カラーフィルタ 234、第 3 カラーフィルタ 236、オーバーコーティング層 240、共通電極層 250、及び第 2 配向膜 A L 2 を含む。第 2 基板 200 は、オーバーコーティング層 240 を含まなくてもよい。

20

【0026】

ブラックマトリックスパターン 220 は、第 1 ゲートライン G L 1 及び第 2 ゲートライン G L 2、第 1 データライン D L 1 及び第 2 データライン D L 2、並びに薄膜トランジスタ S W が形成された領域と対応する第 2 ベース基板 210 上に形成される。第 1 カラーフィルタ 232、第 2 カラーフィルタ 234、及び第 3 カラーフィルタ 236 は、ブラックマトリックスパターン 220 によって区画される第 2 ベース基板 210 の領域に形成される。例えば、画素電極 P E が形成された画素領域 P と対応する領域の第 2 ベース基板 210 上に第 1 カラーフィルタ 232 が形成されてもよい。第 1 カラーフィルタ 232 の第 1 方向 D 1 に第 2 カラーフィルタ 234 が形成されてもよく、第 1 カラーフィルタ 232 の第 1 方向 D 1 の反対方向に第 3 カラーフィルタ 236 が形成されてもよい。オーバーコーティング層 240 は、ブラックマトリックスパターン 220、第 1 カラーフィルタ 232、第 2 カラーフィルタ 234、及び第 3 カラーフィルタ 236 が形成された第 2 ベース基板 210 上に形成され、第 2 基板 200 を平坦化する。

30

【0027】

共通電極 250 は、オーバーコーティング層 240 上に形成される。共通電極 250 は、透明で導電性のある物質からなってもよい。共通電極 250 には、別途のパターンが無く、第 2 基板 200 の全面に形成される。つまり、陥没パターン 152 によって電界の強度を変更することができる画素電極 P E とパターンが無い (p a t t e r n l e s s) 共通電極 250 とによって、液晶層 300 の液晶ドメインを形成してもよい。

40

【0028】

第 2 配向膜 A L 2 は、共通電極 250 が形成された第 2 ベース基板 210 上に形成され、第 2 基板 200 の全面に形成されてもよい。

【0029】

液晶層 300 は、第 1 基板 100 と第 2 基板 200 との間に介在され、液晶分子 310 及び反応性メソゲン硬化物 (R e a c t i v e M e s o g e n C u r i n g M a t e r i a l、以下、R M 硬化物と称する) 320 を含む。電界は、画素電極 P E と共通電極 250 との間に形成される。

【0030】

50

液晶分子 310 は、画素電極 PE と共通電極 250 との間に形成される電界によって配列が変更されることによって、光の透過率を調節することができる。液晶分子 310 は、例えば、負の誘電率異方性を有してもよい。

【0031】

画素電極 PE と共通電極 250 との間に電圧が印加されていない状態で、第 1 基板 100 及び / または第 2 基板 200 に隣接する液晶分子 310 は、液晶分子 310 の長軸が第 1 ベース基板 110 及び / または第 2 ベース基板 210 の表面を基準に垂直な状態に配列されてもよい。陥没パターン 152 に隣接する液晶分子 310 の長軸は、陥没パターン 152 を形成するドメイン形成層 150 の側壁の表面を基準に側壁の表面に対して垂直方向に配列されてもよい。

10

【0032】

RM 硬化物 320 は、液晶分子 310 間に介在される。RM 硬化物 320 は、画素電極 PE 及び / または共通電極 250 に隣接する液晶分子 310 との間に介在される。より具体的には、RM 硬化物 320 は、第 1 配向膜 AL1 に隣接する液晶分子 310 との間に介在されてもよい。また、RM 硬化物 320 は、第 2 配向膜 AL2 に隣接する液晶分子 310 との間に介在されてもよい。

【0033】

RM 320 は、画素電極 PE と共通電極 250 との間に電界が印加されない場合でも、第 1 基板 100 及び / または第 2 基板 200 に隣接する液晶分子 310 を、第 1 ベース基板 110 及び / または第 2 ベース基板 210 の表面を基準にプレチルトされた状態に維持することができる。RM 320 は、表示装置を製造する工程のうち、外部光によって RM モノマー 330 (図 9 参照) が重合されて形成されてもよい。

20

【0034】

図 4 は、図 3 に示す表示装置に電圧が印加された状態の断面図である。

【0035】

図 4 を参照すると、画素電極 PE と共通電極 250 との間に電界が形成された場合、画素領域 P の内部においての電界の方向は、第 1 基板 100 及び / または第 2 基板 200 の表面に対して垂直な方向である。

【0036】

画素電極 PE の端部と共通電極 250 との間では電界の方向が撓む。画素電極 PE に隣接する別の画素電極の端部と共通電極 250 との間においても電界の方向が撓む。よって、互いに隣接する画素電極 PE との間では、液晶分子 310 が共通電極 250 の互いに異なる地点に向かって広がるように配列されることによって、互いに隣接する画素領域 P の間の液晶ドメインが分割される。

30

【0037】

陥没パターン 152 に隣接する領域の電界は、陥没パターン 152 の側壁によるプレチルトによって共通電極 250 の一地点、例えば、陥没パターン 152 と対応する領域の共通電極 250 の一地点に向かって収斂する形状を有する。

【0038】

図 5 ~ 図 9 は、図 3 に示す表示装置の製造方法を説明するための断面図である。

40

【0039】

図 5 ~ 図 9 においては、表示装置の各製造工程における図 1 の II - II' ラインに沿って切断した断面図を図示すが、図 5 ~ 図 9 を説明するとき、それぞれ図 1、図 3、及び図 4 を共に参照して説明する。

【0040】

図 5 ~ 図 7 は、図 3 に示す第 1 基板を製造する方法を説明するための断面図である。

【0041】

図 5 を参照すると、第 1 ベース基板 110 上にゲート金属層 (図示せず) を形成し、ゲート金属層をフォトリソエッチング工程を通じてパターンニングして第 1 ゲートライン GL1 及び第 2 ゲートライン GL2、ゲート電極 GE、並びにストレージライン STL を含むゲー

50

トパターンを形成する。

【 0 0 4 2 】

ゲートパターンが形成された第 1 ベース基板 1 1 0 上にゲート絶縁層 1 2 0 を形成する。ゲート絶縁層 1 2 0 を形成する物質の例としては、酸化シリコン、窒化シリコンなどを挙げることができる。一般的に、ゲート絶縁層 1 2 0 を形成するために適合する物質であれば、どのような物質でもよい。

【 0 0 4 3 】

ゲート絶縁層 1 2 0 が形成された第 1 ベース基板 1 1 0 上にアクティブパターン A P を形成する。アクティブパターン A P は、ゲート絶縁層 1 2 0 上に半導体層 1 3 0 a 及びオーミックコンタクト層 1 3 0 b を順次に積層して形成してもよい。半導体層 1 3 0 a は、例えば、アモルファスシリコンを含み、オーミックコンタクト層 1 3 0 b は、n 型不純物が高濃度でドーピングされたアモルファスシリコンを含んでもよい。半導体層 1 3 0 a 及び / またはオーミックコンタクト層 1 3 0 b を形成するために、単独または組み合わせで多様な物質が採用できることは自明である。

【 0 0 4 4 】

アクティブパターン A P が形成された第 1 ベース基板 1 1 0 上にデータ金属層 (図示せず) を形成し、データ金属層をフォトリソング工程を通じてパターニングして、第 1 データライン D L 1 及び第 2 データライン D L 2、ソース電極 S E、ドレイン電極 D E、及びコンタクト電極 C N T を含むソースパターンを形成する。

【 0 0 4 5 】

ソースパターンが形成された第 1 ベース基板 1 1 0 上に、パッシベーション 1 4 0 及びドメイン形成層 1 5 0 を順次に形成する。パッシベーション層 1 4 0 を形成する物質の例としては、酸化シリコン、窒化シリコンなどを挙げることができる。ドメイン形成層 1 5 0 を形成する物質の例としては、ポジティブ型フォトリソグ組成物またはネガティブ型フォトリソグ組成物などの有機物質或いは酸化シリコン、窒化シリコンなどの無機物質などを挙げることができる。パッシベーション層 1 4 0 及び / またはドメイン形成層 1 5 0 を形成するために、単独または組合せで多様な物質が採用できるということは自明である。

【 0 0 4 6 】

図 6 を参照すると、ドメイン形成層 1 5 0 をパターニングして、陥没パターン 1 5 2 を形成する。陥没パターン 1 5 2 は、コンタクト電極 C N T 上に形成される。コンタクト電極 C N T は、ストレージライン S T L とオーバーラップされる。陥没パターン 1 5 2 は、コンタクト電極 C N T 上のパッシベーション層 1 4 0 を露出させるホール (h o l e) 形状に形成されてもよい。

【 0 0 4 7 】

続いて、陥没パターン 1 5 2 を介して露出されるパッシベーション層 1 4 0 を除去してパッシベーションホール 1 4 2 を形成する。パッシベーションホール 1 4 2 は、コンタクト電極 C N T 上に形成される。パッシベーションホール 1 4 2 及び陥没パターン 1 5 2 を介してコンタクト電極 C N T の一部が露出される。

【 0 0 4 8 】

図 7 を参照すると、陥没パターン 1 5 2 が形成されたドメイン形成層 1 5 0 を含む第 1 ベース基板 1 1 0 上に、透明電極層 (図示せず) を形成し、透明電極層をパターニングして画素電極 P E を形成する。透明電極層を形成する物質の例としては、インジウムスズ酸化物 (I n d i u m T i n O x i d e : I T O)、インジウム亜鉛酸化物 (I n d i u m Z i n c O x i d e : I Z O) などを挙げることができる。

【 0 0 4 9 】

画素電極 P E が形成された第 1 ベース基板 1 1 0 上に、第 1 配向膜 A L 1 を形成する。第 1 配向膜 A L 1 は、液晶分子 3 1 0 を垂直配向させる垂直配向物質を含んでもよい。

【 0 0 5 0 】

よって、ゲートパターン、ゲート絶縁層 1 2 0、アクティブパターン A P、ソースパタ

10

20

30

40

50

ーン、パッシベーション層 140、陥没パターン 152を含むドメイン形成層 150、画素電極 PE、及び第 1 配向膜 AL1を含む本実施形態に係る第 1 基板 100を製造することができる。

【0051】

図 8は、図 3に示す第 2 基板を製造する方法を説明するための断面図である。

【0052】

図 8を参照すると、第 2 ベース基板 210上にブラックマトリックスパターン 220を形成する。ブラックマトリックスパターン 220は、有機インクを噴射して形成するかまたは金属層をフォトリソング工程を通じてパターンニングして形成することができる。

【0053】

ブラックマトリックスパターン 220が形成された第 2 ベース基板 210上に、第 1 カラーフィルタ 232、第 2 カラーフィルタ 234、及び第 3 カラーフィルタ 236を形成する。例えば、第 1 カラーフィルタ 232を形成し、第 2 カラーフィルタ 234を第 1 カラーフィルタ 232を含む第 2 ベース基板 210上に形成し、第 3 カラーフィルタ 236を第 1 カラーフィルタ 232及び第 2 カラーフィルタ 234を含む第 2 ベース基板 210上に形成してもよい。第 1 カラーフィルタ 232～第 3 カラーフィルタ 236は、カラーフォトリソング層をフォトリソング工程を通じてパターンニングして形成するかまたは、カラーインクを噴射して形成することができる。

【0054】

ブラックマトリックスパターン 220及び第 1 カラーフィルタ 232～第 3 カラーフィルタ 236を含む第 2 ベース基板 210上に、オーバーコーティング層 240を形成する。オーバーコーティング層 240を形成する物質の例としては、アクリル樹脂を挙げることができる。

【0055】

オーバーコーティング層 240が形成された第 2 ベース基板 210上に、透明電極層（図示せず）を形成することによって、共通電極 250を形成する。共通電極 250は、透明電極層をパターンニングすることなく第 2 ベース基板 210の全面をカバーするように形成する。共通電極 250を形成する物質の例として、ITO、IZOなどを挙げることができる。

【0056】

共通電極 250が形成された第 2 ベース基板 210上に、第 2 配向膜 AL2を形成する。第 2 配向膜 AL2は、共通電極 250が形成された第 2 ベース基板 210の全面をカバーしてもよい。

【0057】

よって、上記のように、ブラックマトリックスパターン 220、第 1 カラーフィルタ 232～第 3 カラーフィルタ 236、オーバーコーティング層 240、共通電極 250、及び第 2 配向膜 AL2を含む本実施形態による第 2 基板 200を製造することができる。

【0058】

図 9は、図 3に示す液晶層を形成する段階を説明するための断面図である。

【0059】

図 9を参照すると、第 1 基板 100及び第 2 基板 200をアセンブリする。第 1 基板 100と第 2 基板 200との間には液晶分子 310及び RMモノマー 330を介在させる。液晶分子 310及び RMモノマー 330は、第 1 基板 100と第 2 基板 200との間でランダムに介在されてもよい。

【0060】

続いて、共通電極 250に第 1 電圧 V_{com} を印加し、画素電極 PEに第 1 電圧 V_{com} と異なる第 2 電圧 V_{data} を印加する。共通電極 250に第 1 電圧 V_{com} が印加され、画素電極 PEに第 2 電圧 V_{data} が印加されると、画素電極 PEと共通電極 250との間に電界が形成される。電界が形成されると、液晶分子 310は、その長軸が電界の方向に対して垂直な方向に傾く。

10

20

30

40

50

【0061】

第1電圧Vcomは、第2電圧Vdataより高いレベルを有してもよい。第1電圧Vcomは約0Vであってもよい。第2電圧Vdataは負の値を有してもよい。第2電圧Vdataは、例えば、約-5Vであってもよい。

【0062】

第1基板100及び第2基板200との間に電界が形成されて液晶分子310がプレチルトされた状態で、第1基板100及び第2基板200に光を照射する。光は、例えば、紫外線(ultraviolet ray、UV)であってもよい。光によって、RMモノマー330が光反応し、RMモノマー330が重合されることによって液晶分子310間にRM硬化物320が形成される。よって、第1基板100と第2基板200との間に介在された本実施形態による液晶層300を形成することができる。

10

【0063】

本実施形態によると、共通電極250に別途のパターンを形成せず、ドメイン形成層150の陥没パターン152によって液晶ドメインを形成することができる。よって、画素領域Pの開口率を向上させ、視野角を向上させることができる。また、共通電極250に別途のパターンが無いため、第1基板100と第2基板200のミスアラインの原因を根本的に除去することができる。また、共通電極250をパターンニングするための別途のパターンニング工程が省略されることによって、製造工程を単純化させることができる。よって、表示装置の生産性及び表示品質を向上させることができる。

【0064】

20

(第2実施形態)

図10は、本発明の第2実施形態による表示装置の断面図である。

【0065】

図10に示す本実施形態による表示装置の平面構造は、図1に示した第1実施形態による表示装置の平面構造と実質的に同一である。従って、本実施形態の平面図は、図1を参照して説明し、重複する具体的説明は省略する。

【0066】

図1及び図10を参照すると、本実施形態による表示装置は、第1基板100、第2基板200、及び液晶層300を含む。

【0067】

30

第1基板100は、第1ベース基板110上に形成されたストレージラインSTL、ストレージラインSTLを覆うように形成されたゲート絶縁層120、ゲート120上に形成された第1データラインDL1、第2データラインDL1、コンタクト電極CNT、並びに第1データラインDL1及び第2データラインDL2をカバーし、コンタクト電極CNTの一部を露出させるパッシベーション層140、パッシベーション層140上に形成され、パッシベーション層140と共にコンタクト電極CNTの一部を露出させる陥没パターン152を含むドメイン形成層150、ドメイン形成層150上に形成され、陥没パターン152を介してコンタクト電極CNTとコンタクトする画素電極PE、及び画素電極PEが形成された第1ベース基板110をカバーする第1配向膜AL1を含む。

【0068】

40

ドメイン形成層150は、パッシベーション層140が形成された第1ベース基板110上に形成され、第1基板100を平坦化する。ドメイン形成層150は、カラーを示すカラーフィルタであってもよい。例えば、ドメイン形成層150は、ポジティブ型またはネガティブ型カラーフォトリソで形成されてもよい。ドメイン形成層150は、第1ベース基板110の画素領域Pに形成されてもよい。ドメイン形成層150が形成された画素領域Pに隣接する画素領域には、それぞれドメイン形成層150と異なる物質で形成された第1カラー層CF1及び第2カラー層CF2が、それぞれ形成されてもよい。ドメイン形成層150、第1カラーを示してもよく、第1カラー層CF1は、第1カラーと異なる第2カラーを示してもよく、第2カラー層CF2は、第1カラー及び第2カラーと異なる第3カラーを示してもよい。

50

【 0 0 6 9 】

ドメイン形成層 1 5 0 は、ストレージライン S T L とオーバーラップする領域に延長されたコンタクト電極 C N T 上に形成された陥没パターン 1 5 2 を含む。陥没パターン 1 5 2 は、画素領域 P の液晶ドメインを形成する。第 1 カラー層 C F 1 及び第 2 カラー層 C F 2 のそれぞれも陥没パターン 1 5 2 を含んでもよい。陥没パターン 1 5 2 は、図 2 及び図 3 に図示された陥没パターンと実質的に同一である。従って、重複する詳細な説明は省略する。

【 0 0 7 0 】

図示はしていないが、ドメイン形成層 1 5 0 は、互いに異なるカラーを示すカラーフィルタを含むカラー層及びカラー層上に形成されたパターン層を含んでもよい。カラー層は、例えば、第 1、第 2、及び第 3 カラーフィルタを含んでもよい。パターン層は、画素領域 P の液晶ドメインを形成する陥没パターン 1 5 2 を含んでもよい。パターン層は、有機物質または無機物質で形成されてもよい。

10

【 0 0 7 1 】

第 2 基板 2 0 0 は、第 2 ベース基板 2 1 0 の全面に形成された共通電極 2 5 0 及び共通電極 2 5 0 が形成された第 2 ベース基板 2 1 0 上に形成された第 2 配向膜 A L 2 を含む。共通電極 2 5 0 及び第 2 配向膜 A L 2 は、別途のパターン無しで、第 2 基板 2 0 0 の全面に形成される。

【 0 0 7 2 】

図 1 1 ~ 図 1 3 は、図 1 0 に示す表示装置の製造方法を説明するための断面図である。

20

【 0 0 7 3 】

図 1 1 及び図 1 2 は、図 1 0 に示す第 1 基板を製造する段階を説明するための断面図である。図 1 1 で、ストレージライン S T L、ゲート絶縁層 1 2 0、第 1 データライン D L 1 及び第 2 データライン D L 2、並びにパッシベーション層 1 4 0 をそれぞれ形成する段階は、図 5 で説明した段階と実質的に同一である。従って、重複する具体的説明は省略する。

【 0 0 7 4 】

図 1 1 を参照すると、パッシベーション層 1 4 0 が形成された第 1 ベース基板 1 1 0 上に、第 1 カラーを示す顔料を含む有機物質からなる第 1 カラーフォトリソ層を形成する。第 1 カラーフォトリソ層は、フォトリソエッチング工程を通じてパターンニングして画素領域 P に形成されたドメイン形成層 1 5 0 を形成する。ドメイン形成層 1 5 0 は、第 1 データライン D L 1 及び第 2 データライン D L 2 のそれぞれの一部とオーバーラップする。

30

【 0 0 7 5 】

図 1 0 及び図 1 2 を参照すると、ドメイン形成層 1 5 0 が形成された第 1 ベース基板 1 1 0 上に第 2 カラーフォトリソ層（図示せず）を形成し、第 2 カラーフォトリソ層をフォトリソエッチング工程を通じてパターンニングすることによって、第 1 カラー層 C F 1 を形成する。第 1 カラー層 C F 1 は、ドメイン形成層 1 5 0 の一側に形成されてもよい。つまり、第 1 カラー層 C F 1 は、画素領域 P に隣接する領域に形成されてもよい。第 1 カラー層 C F 1 は、実質的に画素領域 P に隣接する第 1 画素領域のドメイン形成層であり、第 2 カラー層 C F 2 は、実質的に画素領域 P に隣接する第 2 画素領域のドメイン形成層であってよい。

40

【 0 0 7 6 】

ドメイン形成層 1 5 0 及び第 1 カラー層 C F 1 が形成された第 1 ベース基板 1 1 0 上に、第 3 カラーフォトリソ層（図示せず）を形成し、第 3 カラーフォトリソ層をフォトリソエッチング工程を通じてパターンニングすることによって、第 2 カラー層 C F 2 を形成する。

【 0 0 7 7 】

続いて、ドメイン形成層 1 5 0 に陥没パターン 1 5 2 を形成する。陥没パターン 1 5 2 は、コンタクト電極 C N T 上に形成されてもよい。陥没パターン 1 5 2 は、コンタクト電

50

極CNT上のパッシベーション層140を露出させる。ドメイン形成層150に陥没パターン152を形成する工程で、第1カラー層CF1及び第2カラー層CF2のそれぞれにもドメイン形成層150の陥没パターン152と実質的に同一な陥没パターンが形成される。

【0078】

陥没パターン152を介してパッシベーション層140を一部除去してコンタクト電極CNTを露出させるパッシベーションホール142を形成する。パッシベーションホール142が形成された第1ベース基板110上に透明電極層（図示せず）を形成し、透明電極層をフォトリソグラフィング工程を通じてパターンニングして画素電極PEを形成する。陥没パターン152及びパッシベーションホール142を介して露出されたコンタクト電極CNTは、画素電極PEとコンタクトできる。画素電極PEは、画素領域Pの全面をカバーするように別途のパターン無しで、形成することができる。

10

【0079】

画素電極PEが形成された第1ベース基板110上に、第1配向膜AL1を形成する。よって、上記のように、本実施形態による第1基板100を製造することができる。

【0080】

図13は、図10に示す第2基板を製造する段階を説明するための断面図である。

【0081】

図13を参照すると、第2ベース基板210上に透明電極層（図示せず）を形成することによって、共通電極250を形成する。共通電極250は、透明電極層をパターンニングする工程無しで、第2ベース基板210の全面をカバーするように形成される。

20

【0082】

共通電極250が形成された第2ベース基板210上に、第2配向膜AL2を形成する。従って、上記のように、本実施形態による第2基板200を製造することができる。

【0083】

続いて、本実施形態に従って製造された第1基板100及び第2基板200をアセンブリし、第1基板100と第2基板200との間に液晶層300を形成する。液晶層300を形成する工程は、図9で説明した第1実施形態による液晶層を形成する工程と実質的に同一であるため、これについての説明は省略する。

【0084】

これによって、本実施形態による表示装置を製造することができる。

30

【0085】

本実施形態によると、共通電極250に別途のパターンを形成せずに、陥没パターン152を形成することによって、液晶ドメインを形成することができる。従って、画素領域Pの開口率を向上させ、視野角を向上させることができる。また、共通電極250に別途のパターンが無い場合、第1基板100と第2基板200とのミスマッチの原因を根本的に除去することができる。また、共通電極250をパターンニングするための別途のパターンニング工程が省略されることによって、製造工程を単純化させることができる。さらに、ドメイン形成層150をカラーフォトリソグラフィ層を利用して形成することによって、表示装置を製造する工程を単純化させることができる。

40

【0086】

（第3実施形態）

図14は、本発明の第3実施形態による表示装置の平面図である。

【0087】

図15は、図14のIII-III'ラインに沿って切断した断面図である。

【0088】

図14及び図15を参照すると、本実施形態による表示装置は、第1基板100、第2基板200、及び液晶層300を含む。

【0089】

第1基板100は、第1ベース基板110、第1ゲートラインGL1及び第2基板GL

50

2、ストレージラインSTL、ゲート絶縁膜120、第1データラインDL1及び第2データラインDL2、スイッチング素子である薄膜トランジスタSW、パッシベーション層140、ドメイン形成層150、画素電極PE、並びに第1配向膜AL1を含む。薄膜トランジスタSW及びドメイン形成層150を除いた他の構成要素は、図1、図2、及び図3に示した構成要素と実質的に同一である。従って、重複する説明は省略する。

【0090】

薄膜トランジスタSWは、第1ゲートラインGL1と接続されたゲート電極GE、ゲート電極GE上に形成されたアクティブパターン（図示せず）、第1データラインDL1と接続されたソース電極SE、ソース電極SEと離隔されたドレイン電極DE、及びドレイン電極DEと接続して画素電極PEとコンタクトするコンタクト電極CNTを含む。コンタクト電極CNTは、ストレージラインSTLに向かって延伸されるが、ストレージラインSTLとオーバーラップしないように第1ベース基板110の画素領域Pに形成される。

10

【0091】

ドメイン形成層150は、第1データラインDL1及び第2データラインDL2、ソース電極SE、並びにドレイン電極DE上に形成される。ドメイン形成層150は、ストレージラインSTLと対応する領域に形成された陥没パターン152、または、ストレージラインSTL以外の不透明メタルで形成されたパターンに対応して形成された陥没パターン152を含む。ストレージラインSTL以外の不透明メタルで形成されたパターンは、例えば、第1ゲートラインGL1及び第2ゲートラインGL2、第1データラインDL1及び第2データラインDL2などを挙げることができる。陥没パターン152は、ドメイン形成層150がその表面から所定の厚さを除去して形成されてもよい。このとき、陥没パターン152は、ストレージラインSTL上のパッシベーション層140をカバーする。陥没パターン152は、ホール(hole)形状で形成されて、パッシベーション層140を露出させる。陥没パターン152は、画素領域Pの液層ドメインを形成する。陥没パターン152の下部に形成されたストレージラインSTL、またはストレージラインSTL以外の不透明メタルで形成されたパターンは、陥没パターン152によって生じる光漏れを防ぐことができる。

20

【0092】

図14及び図15においては、ドメイン形成層150が1つの陥没パターン152を含む場合を一例として説明したが、陥没パターン152は、画素領域Pに2つ以上の複数個が形成されてもよい。陥没パターン152の個数が液晶ドメインの数を決める。

30

【0093】

ドメイン形成層150は、コンタクト電極CNTの一部を露出させるコンタクトホール154をさらに含む。コンタクトホール154を介して、画素電極PEとコンタクト電極CNTとがコンタクトすることによって、画素電極PEは、薄膜トランジスタSWと電氣的に接続することができる。

【0094】

本実施形態による第2基板200及び液晶層300は、図2及び図3で説明した第1実施形態による第2基板及び液晶層と実質的に同一である。従って、重複する説明は省略する。

40

【0095】

以下、図15及び図16を参照して本実施形態による表示装置の製造方法について説明する。

【0096】

図16は、図15に示す表示装置の製造方法を説明するための断面図である。

【0097】

図16で、ストレージラインSTL、ゲート絶縁層120、第1データラインDL1及び第2データラインDL2、並びにパッシベーション層140をそれぞれ形成する段階は、図5で説明した段階と実質的に同一である。従って、重複する具体的説明は省略する。

50

【 0 0 9 8 】

図 1 6 を参照すると、パッシベーション層 1 4 0 が形成された第 1 ベース基板 1 1 0 上にドメイン形成層 1 5 0 を形成し、ドメイン形成層 1 5 0 を第 1 マスク A を利用してパターンニングして、陥没パターン 1 5 2 を形成する。

【 0 0 9 9 】

ドメイン形成層 1 5 0 は、例えば、ポジティブ型フォトリソスト組成物で形成されてもよい。第 1 マスク A は、光を遮断する遮光部 1 及び光の一部を透過させる半透光部 2 を含む。第 1 マスク A の上部で照射される光量を「 1 0 0 」と定義し、遮光部 1 によって遮断されることによって、ドメイン形成層 1 5 0 に到達する光量を「 0 」と定義するとき、半透光部 2 を通過する光量は、「 0 以上 1 0 0 未満」であってもよい。半透光部 2 を通過する光量は、例えば、約 3 0 であってもよい。

10

【 0 1 0 0 】

第 1 マスク A の上部で光を照射し、ドメイン形成層 1 5 0 を現像すると、遮光部 1 に対応する領域のドメイン形成層 1 5 0 は、パッシベーション層 1 4 0 上に残留し、半透光部 2 に対応する領域のドメイン形成層 1 5 0 は、一部が除去されて陥没パターン 1 5 2 が形成される。

【 0 1 0 1 】

陥没パターン 1 5 2 を含むドメイン形成層 1 5 0 が形成された第 1 ベース基板 1 1 0 上に、画素電極 P E 及び第 1 配向膜 A L 1 を順次に形成する。画素電極 P E 及び第 1 配向膜 A L 1 は、画素領域 P の全面をカバーするように別途のパターン無しで形成される。従って、本実施形態による第 1 基板 1 0 0 を製造することができる。

20

【 0 1 0 2 】

図 1 5 を参照すると、第 2 基板 2 0 0 を製造し、第 1 基板 1 0 0 及び第 2 基板 2 0 0 をアセンブリした後、液晶層 3 0 0 を製造することによって、本実施形態による表示装置を製造することができる。

【 0 1 0 3 】

図 1 5 で、第 2 基板 2 0 0 を製造する工程及び液晶層 3 0 0 を形成する工程は、それぞれ図 8 及び図 9 で説明した工程と実質的に同一である。従って、重複する説明は省略する。

【 0 1 0 4 】

本実施形態によると、共通電極 2 5 0 に別途のパターンを形成せずに、陥没パターン 1 5 2 を形成することができる。これによって、画素領域 P の開口率を向上させ、視野角を向上させることができる。また、共通電極 2 5 0 に別途のパターンが無いいため、第 1 基板 1 0 0 と第 2 基板 2 0 0 とのミスアラインの原因を根本的に除去することができる。また、共通電極 2 5 0 をパターンニングするための別途のパターンニング工程を省略することによって製造工程を単純化させることができる。

30

【 0 1 0 5 】

(第 4 実施形態)

図 1 7 は、本発明の第 4 実施形態による表示装置の断面図である。

【 0 1 0 6 】

図 1 7 で、本実施形態による表示装置の平面構造は、図 1 に示した第 1 実施形態による表示装置の平面構造と実質的に同一である。従って、本実施形態による平面図は、図 1 を参照して説明し、重複する説明は省略する。また、メインスペーサ 3 4 0 及びサブスペーサ 3 5 0 を除いては図 3 で説明した表示装置と実質的に同一である。従って、重複する説明は省略する。

40

【 0 1 0 7 】

図 1 7 を参照すると、本実施形態による表示装置は、第 1 基板 1 0 0 、第 2 基板 2 0 0 、及び液晶層 3 0 0 を含む。

【 0 1 0 8 】

第 1 基板 1 0 0 は、ストレージライン S T L 、ストレージライン S T L 上に形成された

50

ゲート絶縁層 120、ゲート絶縁層 120 上に形成された第 1 データライン DL1 及び第 2 データライン DL2、薄膜トランジスタ SW のコンタクト電極 CNT、第 1 データライン DL1 及び第 2 データライン DL2 上に形成されたパッシベーション層 140、画素領域 P の液晶ドメインを形成するための陥没パターン 152 を含むドメイン形成層 150、画素電極 PE、並びに第 1 配向膜 AL1 を含む。

【0109】

第 2 基板 200 は、第 2 ベース基板 210 上に形成されたブラックマトリックスパターン 220、第 1 カラーフィルタ 232、第 2 カラーフィルタ 234、第 3 カラーフィルタ 236、オーバーコーティング層 240、共通電極 250、第 2 配向膜 AL2、メインスペーサ 340、及びサブスペーサ 350 を含む。

10

【0110】

メインスペーサ 340 は、第 2 基板 200 に形成されて、第 1 基板 100 と第 2 基板 200 との間の間隔を一定に維持する。メインスペーサ 340 の高さは、液晶層 300 のセルギャップと実質的に同一であるかまたは同一であってもよい。メインスペーサ 340 は、第 1 データライン DL1、第 2 データライン DL2、ストレージライン STL、及び/または薄膜トランジスタ SW 上に配置される。

【0111】

サブスペーサ 350 は、第 2 基板 200 上に形成される。サブスペーサ 350 は、表示装置が外力によって加圧されるとき、第 1 基板 100 と第 2 基板 200 との間を緩衝させることによって、第 1 基板 100 及び第 2 基板 200 が接触して液晶層 300 の液晶分子 310 が損傷されることを防ぐ。サブスペーサ 350 の高さは、メインスペーサ 340 の高さより低く形成される。

20

【0112】

メインスペーサ 340 またはサブスペーサ 350 は、陥没パターン 152 が形成された領域と対応する第 2 ベース基板 210 上に形成されてもよい。液晶分子 310 の長軸がメインスペーサ 340 またはサブスペーサ 350 の表面に対して垂直に配列されることによって、陥没パターン 152 が形成された領域の液晶分子 310 が安定的にプレチルトされる。つまり、液晶分子 310 は、陥没パターン 152 及びメインスペーサ 340 またはサブスペーサ 350 によって安定的にプレチルトされることができる。

【0113】

以下、図 17 及び図 18 を参照して本実施形態による表示装置の製造方法を説明する。

30

【0114】

先ず、図 17 を参照すると、第 1 基板 100 を製造する。第 1 基板 100 は、図 5 ~ 図 7 で説明した工程と実質的に同一な工程を通じて製造することができる。

【0115】

続いて、第 2 基板 200 を製造する。第 2 基板 200 は、メインスペーサ 340 及びサブスペーサ 350 を形成する段階をさらに含むことを除いては、図 8 で説明した工程と実質的に同一である。従って、重複する説明は省略する。

【0116】

図 18 は、図 17 に示す表示装置の製造方法を説明するための断面図である。

40

【0117】

図 18 を参照すると、第 2 配向膜 AL2 が形成された第 2 ベース基板 210 上にフォト層（図示せず）を形成し、フォト層の上部に配置された第 2 マスク B を利用して露光現象することによって、メインスペーサ 340 及びサブスペーサ 350 を形成することができる。

【0118】

フォト層は、例えば、ポジティブ型フォトリソ組成物で形成することができる。第 2 マスク B は、遮光部 1、半透光部 2、及び透光部 3 を含む。透光部 3 は、第 2 マスク B の上部で照射される光を大部分通過させる領域である。

【0119】

50

第2マスクBの上部で光を照射した後、フォトリソを現像すると、遮光部1に対応するフォトリソ層は残留してメインスペーサ340を形成する。半透光部2に対応するフォトリソ層は一部分除去され、残りは残留してサブスペーサ350を形成する。透光部3に対応する領域のフォトリソ層は除去されて下部の第2配向膜AL2を露出させる。よって、上記のように、本実施形態による第2基板200を製造することができる。

【0120】

第1基板100と第2基板200との間に液晶層300を形成する。液晶層300を形成する段階は、図9で説明した段階と実質的に同一である。従って、重複する説明は省略する。

【0121】

以上のように、第1基板100、第2基板200、及び液晶層300を含む本実施形態による表示装置を製造することができる。

【0122】

図17及び図18においては、陥没パターン152と対応してサブスペーサ350が形成されることを一例として図示したが、これとは異なって、メインスペーサ340が陥没パターン152と対応して形成されることによって液晶分子310を安定的にプレチルトさせてもよい。

【0123】

本実施形態によると、画素領域Pの開口率を向上させ、液晶表示装置の視野角を向上させることができる。また、液晶表示装置の製造工程の信頼性を向上させ、製造工程を単純化させることによって、生産性を向上させることができる。

【0124】

(第5実施形態)

図19は、本発明の第5実施形態による表示装置の平面図である。

【0125】

図20は、図19のIV-IV'ラインに沿って切断した断面図である。

【0126】

図19及び図20を参照すると、本実施形態による表示装置は、第1基板100、第2基板200、及び液晶層300を含む。

【0127】

第1基板100は、第1ベース基板110、第1ゲートラインGL1及び第2ゲートラインGL2、ストレージラインSTL、ゲート絶縁層120、第1データラインDL1及び第2データラインDL2、スイッチング素子である薄膜トランジスタSW、パッシベーション層140、ドメイン形成層150、画素電極PE、反射電極RFE、並びに第1配向膜AL1を含む。薄膜トランジスタSW、ドメイン形成層150、及び反射電極RFEを除いた他の構成要素は、図1、図2、及び図3に示した構成要素と実質的に同一である。従って、重複する説明は、省略する。

【0128】

薄膜トランジスタSWは、第1ゲートラインGL1と接続されたゲート電極GE、ゲート電極GE上に形成されたアクティブパターン(図示せず)、第1データラインDL1と接続されたソース電極SE、ソース電極SEと離隔されたドレイン電極DE、ドレイン電極DEと接続されて画素電極PEとコンタクトする第1コンタクトパターンCT1、第1コンタクトパターンCT1と接続されて画素領域Pに延長し、反射電極RFEとコンタクトする第2コンタクトパターンCT2を含む。

【0129】

ドメイン形成層150は、第1データラインDL1及び第2データラインDL2をカバーするように形成される。ドメイン形成層150は、画素領域Pの液晶ドメインを形成する陥没パターン152を含む。陥没パターン152は、第1コンタクトパターンCT1の一部を露出させる第1ホールパターンH1及び第2コンタクトパターンCT2の一部を露出させる第2ホールパターンH2を含む。第1ホールパターンH1によって第1液晶ドメ

10

20

30

40

50

インが形成され、第2ホールパターンH2によって第2液晶ドメインが形成される。つまり、1つの画素領域Pが2つの液晶ドメインに分割される。

【0130】

画素電極PEは、ドメイン形成層150上に形成され、画素領域Pの一領域に形成される。画素電極PEは、例えば、ITO、IZOなどで形成されることができる。反射電極RFEは、ドメイン形成層150上に形成され、画素領域Pの一領域を除いた他の領域に形成される。反射電極RFEは、例えば、アルミニウムで形成されることができる。画素電極PE及び反射電極RFEが形成された第1ベース基板110上に第1配向膜AL1が形成される。

【0131】

第2基板200及び液晶層300は、図1、図2、及び図3に示した第2基板及び液晶層と実質的に同一である。従って、重複する説明は省略する。

【0132】

図19及び図20においては、ストレージラインSTLが第1コンタクトパターンCT1と第2コンタクトパターンCT2との間に配置される場合を一例として示したが、ストレージラインSTLは、第1コンタクトパターンCT1または第2コンタクトパターンCT2にオーバーラップして形成されてもよい。

【0133】

また、図19及び図20においては、2つのホールパターン(H1、H2)を含む場合を一例として説明したが、陥没パターン152は、複数個のホールパターンを含むことによって、複数個の液晶ドメインを形成してもよい。

【0134】

他の実施形態においては、第2ホールパターンH2は形成しない場合もある。

【0135】

また、他の実施形態においては、画素電極PEと反射電極RFEはブリッジ(bridge)によって互いに電氣的に接続されてもよい。また、他の実施形態においては、側面視認性の改善のために画素電極PEと接続されたトランジスタ及び反射電極RFEと接続されたトランジスタを利用して、画素電極PE及び反射電極RFEをそれぞれ独立的に駆動するか、またはコムスイング(Common Swing)を利用して駆動させることができる。

【0136】

図21及び図22は、図20に示す表示装置の製造方法を説明するための断面図である。

【0137】

図20及び図21を参照すると、第1ベース基板110上にストレージラインSTLを形成し、ストレージラインSTLが形成された第1ベース基板110上に、ゲート絶縁層120を形成する。ゲート絶縁層120が形成された第1ベース基板110上に、第1コンタクトパターンCT1及び第2コンタクトパターンCT2を形成する。第1コンタクトパターンCT1及び第2コンタクト電極が形成された第1ベース基板110上に、パッシベーション層140及びドメイン形成層150を順次に形成し、ドメイン形成層150をパターンニングして第1ホールパターンH1及び第2ホールパターンH2を含む陥没パターン152を形成する。

【0138】

続いて、陥没パターン152を通じて露出されたパッシベーション層140を除去して、第1コンタクトパターンCT1及び第2コンタクトパターンCT2をそれぞれ露出させ、透明電極層(図示せず)を形成する。透明電極層は、第1ホールパターンH1を介して第1コンタクトパターンCT1とコンタクトし、第2ホールパターンH2を介して第2コンタクトパターンCT2とコンタクトする。続いて、透明電極層をパターンニングして第1コンタクトパターンCT1とコンタクトする画素電極PEを形成する。

【0139】

10

20

30

40

50

図 2 2 を参照すると、画素電極 P E が形成された第 1 ベース基板 1 1 0 上に、不透明電極層（図示せず）を形成し、不透明電極層をパターンニングして、第 2 コンタクトパターン C T 2 とコンタクトする反射電極 R F E を形成する。

【 0 1 4 0 】

続いて、画素電極 P E 及び反射電極 R F E が形成された第 1 ベース基板 1 1 0 上に第 1 配向膜 A L 1 を形成する。画素電極 P E 及び第 1 配向膜 A L 1 は、画素領域 P の全面をカバーするように別途のパターン無しで形成される。従って、上記のように、本実施形態による第 1 基板 1 0 0 が製造されることができる。

【 0 1 4 1 】

第 1 基板 1 0 0 と対向する第 2 基板 2 0 0 を製造し、第 1 基板 1 0 0 と第 2 基板 2 0 0 との間に液晶層 3 0 0 を形成することによって、本実施形態による表示装置を製造することができる。第 2 基板 2 0 0 を製造する段階及び液晶層 3 0 0 を形成する段階は、それぞれ図 8 及び図 9 で説明した段階と実質的に同一である。従って、重複する説明は省略する。

10

【 0 1 4 2 】

図 2 3 は、図 1 9 の構造を有する透過モード表示装置の断面図である。

【 0 1 4 3 】

図 2 3 に示した透過モード表示装置の平面構造は、図 1 9 の平面構造と実質的に同一である。また、図 2 3 で、透過電極 T E を除いては図 2 0 で説明した表示装置と実質的に同一である。従って、重複する説明は省略する。

20

【 0 1 4 4 】

図 2 3 を参照すると、画素電極 P E 及び透過電極 T E はドメイン形成層 1 5 0 上に形成される。透過電極 T E は、第 2 コンタクトパターン C T 2 と第 2 ホールパターン H 2 を介してコンタクトする。透過電極 T E は、画素電極 P E を形成する物質と同一物質、例えば、ITO、IZOなどで形成されることができる。

【 0 1 4 5 】

図 2 3 においては、画素電極 P E 及び透過電極 T E が物理的に分離されることを一例として図示したが、透過電極 T E は、画素電極 P E と接続されてもよい。

【 0 1 4 6 】

本実施形態によると、画素領域 P の開口率を向上させ、液晶表示装置の視野角を向上させることができる。特に、1つの画素領域 P に複数の液晶ドメインを形成することによって視野角をさらに向上させることができる。また、液晶表示装置の製造工程の信頼性を向上させ、製造工程を単純化させることによって、生産性を向上させることができる。

30

【 0 1 4 7 】

（第 6 実施形態）

図 2 4 は、本発明の第 6 実施形態による表示装置の平面図である。

【 0 1 4 8 】

図 2 5 は、図 2 4 の V - V ' ラインに沿って切断した断面図である。

【 0 1 4 9 】

図 2 4 及び図 2 5 を参照すると、本実施形態による表示装置は、第 1 基板 1 0 0、第 2 基板 2 0 0、及び液晶層 3 0 0 を含む。

40

【 0 1 5 0 】

第 1 基板 1 0 0 は、第 1 ベース基板 1 1 0、第 1 ゲートライン G L 1 及び第 2 ゲートライン G L 2、ストレージライン S T L、ボトム電極 B E、ゲート絶縁層 1 2 0、第 1 データライン D L 1 及び第 2 データライン D L 2、スイッチング素子の薄膜トランジスタ S W、パッシベーション層 1 4 0、ドメイン形成層 1 5 0、画素電極 P E、並びに第 1 配向膜 A L 1 を含む。ボトム電極 B E を除いた他の構成要素は、図 1、図 2、及び図 3 に示した構成要素と実質的に同一である。従って、重複する説明は省略する。

【 0 1 5 1 】

ボトム電極 B E は画素領域 P に形成し、画素電極 P E とオーバーラップしてもよい。ボ

50

トム電極 B E と画素電極 P E との間にゲート絶縁層 1 2 0 及び薄膜トランジスタ S W のコンタクト電極 C N T が形成される。ボトム電極 B E は、ストレージライン S T L 上に形成される。ボトム電極 B E は、ストレージライン S T L と直接コンタクトしてストレージライン S T L と電氣的に接続される。

【 0 1 5 2 】

ボトム電極 B E とコンタクト電極 C N T との間のゲート絶縁層 1 2 0 には電荷が充電される。特に、画素領域 P に形成されたボトム電極 B E と画素電極 P E との間のゲート絶縁層 1 2 0 、パッシベーション層 1 4 0 、及びドメイン形成層 1 5 0 に電荷が充電される。つまり、画素領域 P の大部分の領域は、ストレージキャパシタ C S T として利用できる。

【 0 1 5 3 】

第 2 基板 2 0 0 及び液晶層 3 0 0 は、図 1 、図 2 、及び図 3 に示した第 2 基板及び液晶層と実質的に同一である。従って、重複する説明は省略する。

【 0 1 5 4 】

図 2 6 ~ 図 2 8 は、図 2 5 に示す表示装置の製造方法を説明するための断面図である。

【 0 1 5 5 】

図 2 5 及び図 2 6 を参照すると、第 1 ベース基板 1 1 0 上にゲート金属層 (図示せず) を形成し、ゲート金属層をパターニングして第 1 ゲートライン G L 1 及び第 2 ゲートライン G L 2 、ゲート電極 G E 、並びにストレージライン S T L を含むゲートパターンを形成する。

【 0 1 5 6 】

ゲートパターンを含む第 1 ベース基板 1 1 0 上に、透明電極層 T E L を形成する。透明電極層 T E L は、例えば、透明な導電性物質で形成される。透明電極層 T E L は例えば、ITO、IZO などで形成されることができる。

【 0 1 5 7 】

図 2 7 を参照すると、透明電極 T E L をパターニングしてボトム電極 B E を形成する。ボトム電極 B E は、ストレージライン S T L と直接コンタクトする。

【 0 1 5 8 】

続いて、ボトム電極 B E が形成された第 1 ベース基板 1 1 0 上に、ゲート絶縁層 1 2 0 を形成する。

【 0 1 5 9 】

図 2 8 を参照すると、ゲート絶縁層 1 2 0 上に薄膜トランジスタ S W のアクティブパターン A P を形成し、第 1 データライン D L 1 及び第 2 データライン D L 2 、ソース電極 S E 、ドレイン電極 D E 、並びにコンタクト電極 C N T を含むソースパターンを形成する。ソースパターンを含む第 1 ベース基板 1 1 0 上に、パッシベーション層 1 4 0 を形成し、パッシベーション層 1 4 0 上にドメイン形成層 1 5 0 を形成する。

【 0 1 6 0 】

ドメイン形成層 1 5 0 にコンタクト電極 C N T の一部を露出させる陥没パターン 1 5 2 を形成する。陥没パターン 1 5 2 が形成された第 1 ベース基板 1 1 0 上に、画素電極 P E 及び第 1 配向膜 A L 1 を順次に形成する。画素電極 P E 及び第 1 配向膜 A L 1 は、画素領域 P の全面をカバーするように別途のパターンなしで形成される。これによって、本実施形態による第 1 基板 1 0 0 を製造することができる。

【 0 1 6 1 】

続いて、第 1 基板 1 0 0 と対向する第 2 基板 2 0 0 を製造し、第 1 基板 1 0 0 と第 2 基板 2 0 0 との間に液晶層 3 0 0 を形成することによって、本実施形態による表示装置を製造することができる。第 2 基板 2 0 0 を製造する段階及び液晶層 3 0 0 を形成する段階は、それぞれ図 8 及び図 9 で説明した段階と実質的に同一である。従って、重複する説明は省略する。

【 0 1 6 2 】

本実施形態によると、画素領域 P の開口率を向上させ、液晶表示装置の視野角を向上させることができる。また、液晶表示装置の製造工程の信頼性を向上させ、製造工程を単純

10

20

30

40

50

化させることによって生産性を向上させることができる。

【0163】

(第7実施形態)

図29は、本発明の第7実施形態による表示装置の平面図である。

【0164】

図30は、図29のVI-VI'ラインに沿って切断した断面図であり、図31は、図29のVII-VII'ラインに沿って切断した断面図である。

【0165】

図29、図30、及び図31を参照すると、本実施形態による表示装置は第1基板100、第2基板200、及び第3基板300を含む。

10

【0166】

第1基板100は、第1ベース基板110、第1ゲートラインGL1及び第2ゲートラインGL2、ストレージラインSTL、ボトム電極BE、ゲート絶縁層120、第1データラインDL1及び第2データラインDL2、スイッチング素子である薄膜トランジスタSW、パッシベーション層140、ドメイン形成層150、画素電極PE、並びに第1配向膜AL1を含む。

【0167】

第1ゲートラインGL1及び第2ゲートラインGL2は、第1ベース基板110上に第1方向D1に従って延伸されてもよい。第1ゲートラインGL1及び第2ゲートラインGL2は、互いに第1方向D1と異なる第2方向D2に平行に配列されてもよい。第2方向D2は、例えば、第1方向Dと垂直する方向であってもよい。

20

【0168】

ストレージラインSTLは、第1ゲートラインGL1と第2ゲートラインGL2との間に配置され、第1方向D1に沿って延伸される。ボトム電極BEは、ストレージラインSTLの一端と直接コンタクトし、第1ベース基板110の画素領域Pに形成される。

【0169】

ゲート絶縁層120は、第1ゲートラインGL1及び第2ゲートラインGL2、ストレージラインSTL、並びにボトム電極BEを覆うように第1ベース基板110上に形成される。

【0170】

第1データラインDL1及び第2データラインDL2は、ゲート絶縁層120上に第2方向に沿って延伸され、第1方向D1に互いに平行に配列される。第1データラインDL1及び第2データラインDL2は、それぞれ第1ゲートラインGL1及び第2ゲートラインGL2、並びにストレージラインSTLと交差する。

30

【0171】

薄膜トランジスタSWは、第1ゲートラインGL1と接続された第1ゲート電極GE1、第1ゲート電極GE1と対応するようにゲート絶縁層120上に形成されたアクティブパターンAP、第1データラインDL1と接続し、アクティブパターンAPとオーバーラップされたソース電極SE、ソース電極SE1と離隔しアクティブパターンAPとオーバーラップするドレイン電極DE、及びドレイン電極DEから画素領域Pに延伸したコンタクト電極CNTを含む。コンタクト電極CNTは、ドレイン電極DEから延伸して前記ストレージラインSTLの一部とオーバーラップされてもよい。コンタクト電極CNTは、第1ゲートラインGL1に隣接する領域に大面積で形成されることができる。

40

【0172】

ドメイン形成層150は、パッシベーション層140上に形成される。ドメイン形成層150は、第1基板100を平坦化する。ドメイン形成層150は、コンタクト電極CNTを露出させるコンタクトホール154を含む。コンタクトホール154を介して、ドメイン形成層150上に形成された画素電極PEは、コンタクト電極CNTとコンタクトして、画素電極PEは薄膜トランジスタSWと電氣的に接続することができる。

【0173】

50

画素電極 P E は、画素領域 P のドメイン形成層 1 5 0 上に形成される。画素電極 P E は、透明で導電性のある物質で形成される。画素電極 P E は、画素領域 P に形成されたドット型 (d o t t y p e) の開口パターン 1 6 2 を含む。ドット型は、円形のみならず多角形及び線形を含んでもよい。開口パターン 1 6 2 が形成された領域に対応する第 2 基板 2 0 0 の一地点に向かって、液晶層 3 0 0 の液晶分子 3 1 0 が収斂して配列される。よって、開口パターン 1 6 2 は、画素領域 P の液晶ドメインを形成することができる。また、画素電極 P E に隣接する他の画素電極の端部と共通電極 2 5 0 との間でも電界の方向が撓む。よって、互いに隣接する画素電極 P E の間では液晶分子 3 1 0 が共通電極 2 5 0 の互いに異なる地点に向かって広がるように配列されることによって、互いに隣接する画素領域 P の間のドメインが分割されることができる。

10

【 0 1 7 4 】

第 1 配向膜 A L 1 は、画素電極 P E を含む第 1 ベース基板 1 1 0 の全面に形成される。

【 0 1 7 5 】

第 2 基板 2 0 0 は、第 2 ベース基板 2 1 0 上に形成されたブラックマトリックスパターン 2 2 0、第 1 カラーフィルタ 2 3 2、第 2 カラーパターン 2 3 4、第 3 カラーフィルタ 2 3 6、オーバーコーティング層 2 4 0、共通電極 2 5 0、及び第 2 配向膜 A L 2 を含む。液晶層 3 0 0 は、液晶分子 3 1 0 及び R M 硬化物 3 2 0 を含む。第 2 基板 2 0 0 及び液晶層 3 0 0 は、図 2 及び図 3 で説明した第 1 実施形態による第 2 基板及び液晶層と実施的に同一である。従って、重複する説明は省略する。

【 0 1 7 6 】

20

以下、図 3 0 及び図 3 1 を参照して本実施形態による第 1 基板 1 0 0 及び第 2 基板 2 0 0 の製造方法について説明する。

【 0 1 7 7 】

図 3 0 及び図 3 1 を参照すると、第 1 ベース基板 1 1 0 上にゲート金属層 (図示せず) を形成し、ゲート金属層をパターンニングして第 1 ゲートライン G L 1 及び第 2 ゲートライン G L 2、ゲート電極 G E、並びにストレージライン S T L を含むゲートパターンを形成することができる。

【 0 1 7 8 】

ゲートパターンを含む第 1 ベース基板 1 1 0 上に透明電極層 (図示せず) を形成し、透明電極層をパターンニングしてストレージライン S T L の一端部に直接コンタクトするボトム電極 B E を形成する。画素領域 P においては、ボトム電極 B E が第 1 ベース基板 1 1 0 と直接接触してもよい。

30

【 0 1 7 9 】

ボトム電極 B E が形成された第 1 ベース基板 1 1 0 上に、アクティブパターン A P を形成し、アクティブパターン A P を含む第 1 ベース基板 1 1 0 上に、ソース金属層 (図示せず) を形成する。ソース金属層をパターンニングして第 1 データライン D L 1 及び第 2 データライン D L 2、ソース電極 S E、ドレイン電極 D E、並びにコンタクト電極 C N T を含むソースパターンを形成する。

【 0 1 8 0 】

ソースパターンが形成された第 1 ベース基板 1 1 0 上に、パッシベーション層 1 4 0 及びドメイン形成層 1 5 0 を順次に形成した後、ドメイン形成層 1 5 0 上に画素電極 P E 及び第 1 配向膜 A L 1 を順次に形成する。よって、以上のように、本実施形態による第 1 基板 1 0 0 を製造することができる。

40

【 0 1 8 1 】

続いて、第 1 基板 1 0 0 と対向する第 2 基板 2 0 0 を製造し、第 1 基板 1 0 0 と第 2 基板 2 0 0 との間に液晶層 3 0 0 を形成することによって、本実施形態による表示装置を製造することができる。第 2 基板 2 0 0 を製造する段階は、図 8 で説明した段階と実質的に同一である。従って、重複する説明は省略する。以下において、図 3 2 を参照して本実施形態による液晶層 3 0 0 を形成する段階を説明する。

【 0 1 8 2 】

50

図 3 2 は、図 3 1 に示す表示装置の製造方法を説明するためのフローチャートである。

【 0 1 8 3 】

図 3 1 及び図 3 2 参照すると、第 1 基板 1 0 0 と第 2 基板 2 0 0 とをアセンブリし、第 1 基板 1 0 0 と第 2 基板 2 0 0 との間に液晶組成物を介在させる。液晶組成物は、複数の液晶分子 3 1 0 及び R M モノマー 3 3 0 (図 9 参照) を含んでもよい。

【 0 1 8 4 】

液晶組成物が第 1 基板 1 0 0 と第 2 基板 2 0 0 との間に介在された状態で、共通電極 2 5 0 に第 1 電圧 V c o m を印加し (ステップ S 1 2) 、ボトム電極 B E に第 2 電圧 V b 1 を印加する (ステップ S 1 4) 。

【 0 1 8 5 】

第 1 電圧 V c o m は、例えば、約 0 V であってもよい。第 2 電圧 V b 1 は第 1 電圧 V c o m より高い電圧である。第 2 電圧 V b 1 は、例えば、約 7 V ~ 約 1 6 V であってもよい。第 2 電圧 V b 1 は、ストレージライン S T L を介してボトム電極 B E に印加されてもよい。第 1 電圧 V c o m と第 2 電圧 V b 1 とによって、第 1 基板 1 0 0 と第 2 基板 2 0 0 との間に電界が形成される。第 1 電圧 V c o m と第 2 電圧 V b 1 とによって形成された電界によって、液晶分子 3 1 0 の長軸が電界方向に対して垂直な方向に配列される。

【 0 1 8 6 】

続いて、画素領域 P E に第 3 電圧 V d a t a を印加する (ステップ S 1 6) 。第 3 電圧 V d a t a は、第 1 電圧 V c o m より高く、第 2 電圧 V d 1 より低い電圧であり、正極性または負極性電圧のどちらであってもよい。第 3 電圧 V d a t a は、例えば、約 5 V

【 0 1 8 7 】

続いて、液晶分子 3 1 0 を、第 1 電圧 ~ 第 3 電圧 (V c o m 、 V b 1 、 V d a t a) を利用してプレチルトさせた状態で、第 1 基板 1 0 0 及び第 2 基板 2 0 0 に紫外線を照射する (ステップ S 5 0) 。紫外線によって、R M モノマーが光反応して重合される。よって、重合された R M 硬化物 3 2 0 (図 3 1 参照) を形成し、R M 硬化物 3 2 0 によって液晶分子 3 1 0 がプレチルトされた状態で画素電極 P E 及び / または共通電極 2 5 0 に隣接して固定されることができる。

【 0 1 8 8 】

このように、画素電極 P E の下部に形成されたボトム電極 B E に、画素電極 P E に印加される第 3 電圧 V d a t a より高い第 2 電圧 V b 1 を提供することによって、開口パターン 1 6 3 に隣接する領域に配置された液晶分子 3 1 0 をより強い電界を利用して安定的に配列させることができる。従って、本実施形態による液晶層 3 0 0 を形成することができる。

【 0 1 8 9 】

本実施形態によると、画素領域 P の開口率を向上させ、液晶表示装置の視野角を向上させることができる。また、液晶表示装置の製造工程の信頼性を向上させ、製造工程を単純化させることによって生産性を向上させることができる。

【 0 1 9 0 】

(第 8 実施形態)

本実施形態による表示装置は、図 2 9 、図 3 0 、及び図 3 1 で説明した第 7 実施形態による表示装置と実質的に同一である。従って、重複する説明は省略する。

【 0 1 9 1 】

以下、図 3 0 、図 3 1 、及び図 3 3 を参照して本実施形態による表示装置の製造方法を説明する。本実施形態による第 1 基板 1 0 0 及び第 2 基板 2 0 0 を製造する段階をそれぞれ第 7 実施形態による第 1 基板及び第 2 基板を製造する段階と実質的に同一である。従って、重複する説明は省略する。

【 0 1 9 2 】

図 3 0 、図 3 1 、及び図 3 3 を参照すると、第 1 基板 1 0 0 及び第 2 基板をそれぞれ製造し、第 1 基板 1 0 0 と第 2 基板 2 0 0 とをアセンブリする。第 1 基板 1 0 0 と第 2 基板

10

20

30

40

50

200との間に液晶組成物を介在させる。液晶組成物は、複数の液晶分子310及びRMモノマー330(図9参照)を含んでもよい。

【0193】

図33は、本実施形態による表示装置の製造方法を説明するためのフローチャートである。

【0194】

図33を参照すると、液晶組成物が第1基板100と第2基板200との間に介在された状態で、共通電極250に第1電圧Vcomを印加し(ステップS22)、ボトム電極BEに第2電圧Vb1を印加する(ステップS24)。第2電圧Vb1は、第1電圧Vcomより高い電圧である。第2電圧Vb1は、ストレージラインSTLを介してボトム電極BEに印加されてもよい。

10

【0195】

第1電圧Vcomと第2電圧Vb1とによって、第1基板100と第2基板200との間に電界が形成される。第1電圧Vcomと第2電圧Vb1とによって形成された電界によって、液晶分子310の長軸が電界方向に対して垂直な方向に配列される。

【0196】

続いて、画素電極PEに第3電圧Vdataを印加する(ステップS26)。第3電圧Vdataは、第1電圧Vcomよりは高く、第2電圧Vb1よりは低い電圧である。画素電極PEに第3電圧Vdataが印加されるとしても、既に第1電圧Vcomと第2電圧Vb1とによって開口パターン163に隣接する領域に強い電界が形成されているため、開口パターン163に隣接する領域に配置された液晶分子310は、第2電圧Vb1を印加したときと配列状態がほぼ変化しない。第1、第2、及び第3電圧は、正極性及び負極性の電圧を全部適用することができ、DC電圧のみでなくAC電圧も適用することができる。

20

【0197】

続いて、ボトム電極BEに第4電圧Vb2を印加する(ステップS28)。第4電圧Vb2は、第1～第3電圧(Vcom、Vb1、Vdata)よりも大きい電圧である。第4電圧Vb2は、例えば、約25Vであってもよい。これによって、共通電極250と第4電圧Vb2が印加されたボトム電極BEとの間に最も強い電界が形成され、第1電圧Vcomと第4電圧Vb2との間に形成された電界によって、液晶分子310の長軸が電界方向に対して垂直に配列される。

30

【0198】

液晶分子310を第1～第4電圧(Vcom、Vb1、Vdata、Vb2)を利用してプレチルトさせた状態で、第1基板100及び第2基板200に紫外線を照射する(ステップS50)。紫外線によって、RMモノマーが光反応して重合される。これによって、RM硬化物320(図31参照)が形成され、このRM硬化物によって液晶分子310がプレチルトされた状態で画素電極PE及び/または共通電極250に隣接するように固定されることができる。

【0199】

このように、画素電極PEの下部に形成されたボトム電極BEに、画素電極PEに印加される第3電圧Vdataよりも高い第2Vb1及び第4電圧Vb2を提供することによって、開口パターン163に隣接する領域に配置された液晶分子310をより強い電界を利用して安定的に配列させることができる。特に、第1～第4電圧(Vcom、Vb1、Vdata、Vb2)のうち、最も高いレベルである第4電圧Vb2をボトム電極BEに提供する前に、第3電圧Vdataよりは高く、第4電圧Vb2よりは低い第2電圧V1を印加することによって、液晶分子310の挙動が急激に変化することを防ぐことができる。従って、開口パターン163に隣接する領域に配置された液晶分子310をより強い電界を利用して安定的に配列させることができる。よって、以上のように、本実施形態による液晶層300を形成することができる。

40

【0200】

50

図面には図示していないが、ボトム電極 B E に第 4 電圧 V b 2 を印加する前に、第 1 基板 1 0 0 及び第 2 基板 2 0 0 に紫外線を照射する段階をさらに含んでもよい。第 4 電圧 V b 2 を印加する前に紫外線を照射して R M モノマー 3 3 0 を部分的に反応して硬化させ、第 4 電圧 V b 2 を印加した後、再び紫外線を照射することによって、R M モノマー 3 3 0 を完全に硬化させることができる。

【 0 2 0 1 】

本実施形態によると、画素領域 P の開口率を向上させ、液晶表示装置の視野角を向上させることができる。特に、液晶層 3 0 0 の液晶分子 3 1 0 を安定的にプレチルトさせることができる。従って、液晶表示装置の製造工程の信頼性を向上させ、製造工程を単純化させることによって生産性を向上させることができる。

10

(第 9 実施形態)

【 0 2 0 2 】

図 3 4 は、本発明の第 9 実施形態による表示装置の断面図である。

【 0 2 0 3 】

図 3 4 において、第 1 基板 1 0 0 のドメイン形成層 1 5 0 の陥没パターン 1 5 2 を除いては、図 2 9、図 3 0、及び図 3 1 で説明した第 7 実施形態の表示装置と実質的に同一である。従って、重複する説明は省略する。

【 0 2 0 4 】

図 3 4 を参照すると、本実施形態による表示装置は、第 1 基板 1 0 0、第 2 基板 2 0 0、及び液晶層 3 0 0 を含む。

20

【 0 2 0 5 】

第 1 基板 1 0 0 は、ボトム電極 B E、ゲート絶縁層 1 2 0、第 1 データライン D L 1 及び第 2 データライン D L 2、パッシベーション層 1 4 0、ドメイン形成層 1 5 0、画素電極 P E、並びに第 1 配向膜 A L 1 を含む。

【 0 2 0 6 】

ドメイン形成層 1 5 0 を画素領域 P に形成されたドット型 (d o t t y p e) の陥没パターン 1 5 2 を含む。陥没パターン 1 5 2 は、ドメイン形成層 1 5 0 が所定の厚さが除去されて形成される。陥没パターン 1 5 2 は、画素領域 P に液晶ドメインを形成することができる。

【 0 2 0 7 】

30

画素電極 P E は、ドット型 (d o t t y p e) の開口パターン 1 6 2 を含む。開口パターン 1 6 2 は、陥没パターン 1 5 2 に対応する領域に形成される。画素電極 P E が形成された第 1 ベース基板 1 0 0 上に形成された第 1 配向膜 A L 1 は、開口パターン 1 6 2 によって陥没パターン 1 5 2 と接触してもよい。開口パターン 1 6 2 は、陥没パターン 1 5 2 と共に画素領域 P に液晶ドメインを形成することができる。

【 0 2 0 8 】

第 2 基板 2 0 0 及び液晶層 3 0 0 は、図 2 9、図 3 0、及び図 3 1 で説明した第 2 基板及び液晶層と実質的に同一であるため、重複する説明は省略する。

【 0 2 0 9 】

本実施形態による表示装置は、ドメイン形成層 1 5 0 に陥没パターン 1 5 2 を形成することを除いては、第 7 実施形態による表示装置の製造方法と実質的に同一な方法で製造される。

40

【 0 2 1 0 】

これとは異なって、本実施形態による表示装置は、ドメイン形成層 1 5 0 に陥没パターン 1 5 2 を形成することを除いては、本実施形態による表示装置の製造方法と実質的に同一な方法で製造されることができる。

【 0 2 1 1 】

本実施形態によると、画素領域 P の開口率を向上させ、液晶表示装置の視野角を向上させることができる。また、液晶層 3 0 0 の液晶分子 3 1 0 を安定的にプレチルトさせることができる。従って、液晶表示装置の製造工程の信頼性を向上させ、製造工程を単純化さ

50

せることによって、生産性を向上させることができる。

【0212】

(第10実施形態)

図35は、本発明の第10実施形態による表示装置の断面図である。

【0213】

図35で、本実施形態による表示装置は、第1基板100の遮光パターンBLを除いては、図34で説明した第9実施形態の表示装置と実質的に同一である。従って、重複する説明は省略する。

【0214】

図35を参照すると、本実施形態による表示装置は、第1基板100、第2基板200、及び液晶層300を含む。

10

【0215】

第1基板100は、遮光パターンBL、ボトムパターンBE、ゲート絶縁層120、第1データラインDL1及び第2データラインDL2、パッシベーション層140、ドメイン形成層150、画素電極PE、並びに第1配向膜AL1を含む。

【0216】

遮光パターンBLは、第1ゲートラインGL1及び第2ゲートラインGL2を形成する金属層と同一のゲート金属層をパターンニングして形成することができる。遮光パターンBLは、ドメイン形成層150の陥没パターン152及び画素電極PEの開口パターン162による光漏れを防ぐことができる。遮光パターンBLは、陥没パターン152及び開口パターン162に対応する領域に形成される。

20

【0217】

第2基板200及び液晶層300は、図29、図30、及び図31で説明した第2基板及び液晶層と実質的に同一であるため、重複する説明は省略する。

【0218】

本実施形態による表示装置は、ドメイン形成層150に陥没パターン152を形成することを除いては、第7実施形態による表示装置の製造方法と実質的に同一な方法で製造することができる。

【0219】

これとは異なって、本実施形態による表示装置は、ドメイン形成層150に陥没パターン152を形成することを除いては、第8実施形態による表示装置の製造方法と実質的に同一な方法で製造することができる。

30

【0220】

図35においては、遮光パターンBLは、ゲート金属層で形成されることを一例として説明したが、遮光パターンBLは、第1データラインDL1及び第2データラインDL2を形成するソース金属層をパターンニングして、ゲート絶縁層120上に形成されてもよい。これとは異なって、遮光パターンBLは、第2基板200にブラックマトリックスパターン220と同層で形成されてもよい。

【0221】

本実施形態によると、画素領域Pの開口率を向上させ、液晶表示装置の視野角を向上させることができる。また、液晶層300の液晶分子310を安定的にプレチルトさせることができる。従って、液晶表示装置の製造工程の信頼性を向上させ、製造工程を単純化させることによって生産性を向上させることができる。

40

【0222】

以上、図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特徴請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

50

【 0 2 2 3 】

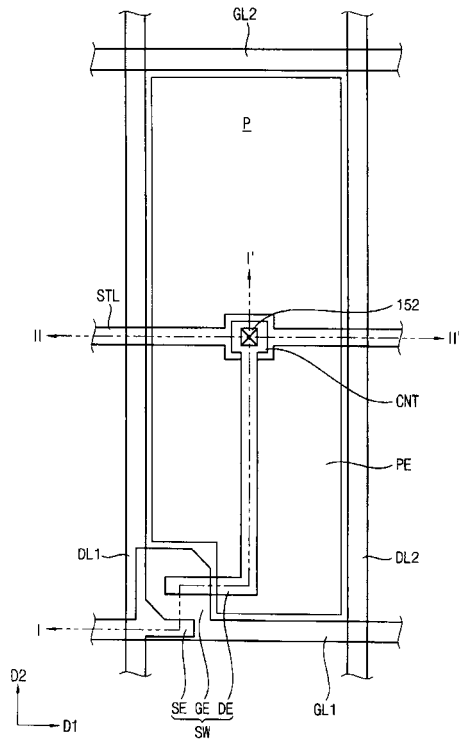
以上の詳しい説明によれば、共通電極に別途のパターン無しで液晶ドメインを形成することができるため、開口率及び視野角が向上された表示装置を提供することができる。また、共通電極に別途のパターンが無いため、表示装置の上下板ミスアラインの原因を根本的に除去することによって、製造工程の信頼性が向上された表示装置を製造することができる。さらに、共通電極にパターンを形成するための別途のパターニング工程を省略することによって、製造工程を単純化させることができる。従って、表示装置の生産性及び表示品質が向上された表示装置を製造することができる。

【 符号の説明 】

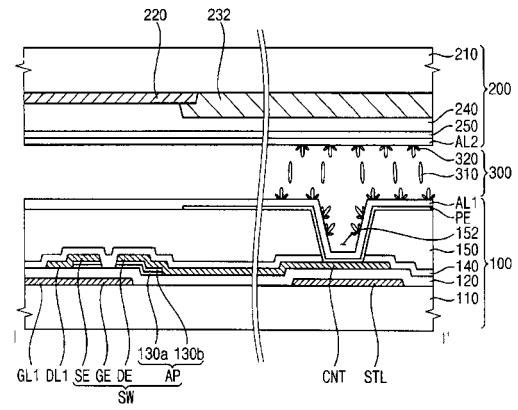
【 0 2 2 4 】

1 0 0	第 1 基板	
2 0 0	第 2 基板	
3 0 0	液晶層	
1 5 0	ドメイン形成層	
1 5 2	陥没パターン	
1 5 4	コンタクトホール	
3 1 0	液晶分子	
3 2 0	反応性メソゲン硬化物 (R M 硬化物)	
3 3 0	R M モノマー	
3 4 0	メインスペーサー	20
3 5 0	サブスペーサー	
H 1	第 1 ホールパターン	
H 2	第 2 ホールパターン	
P E	画素電極	
B E	ボトム電極	
S T L	ストレージライン	
1 6 2	開口パターン	
D E	ドレイン電極	
C N T	コンタクト電極	
C T 1	第 1 コンタクトパターン	30
C T 2	第 2 コンタクトパターン	

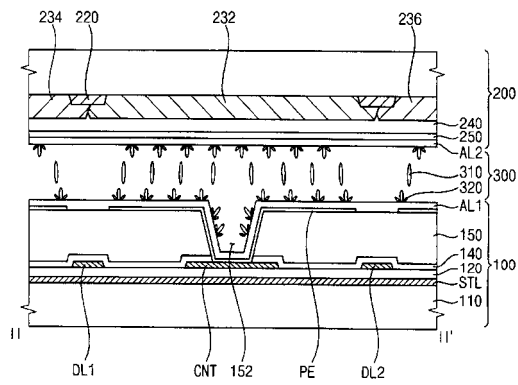
【図 1】



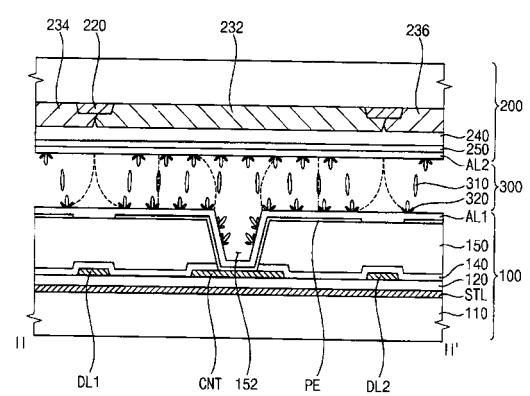
【図 2】



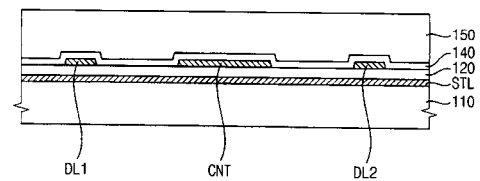
【図 3】



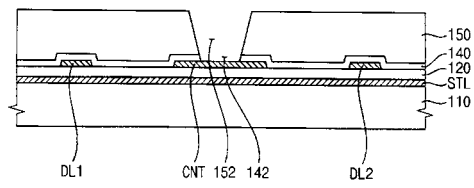
【図 4】



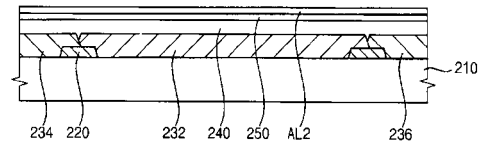
【図 5】



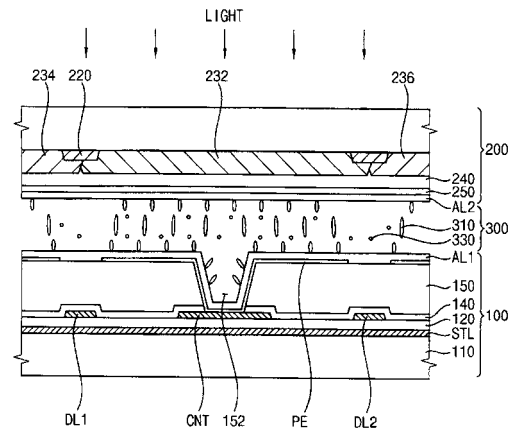
【図 6】



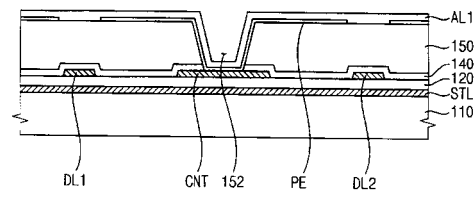
【図 8】



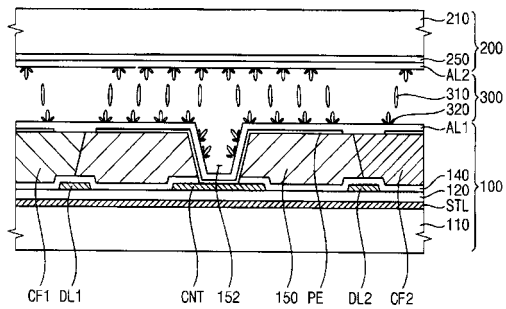
【図 9】



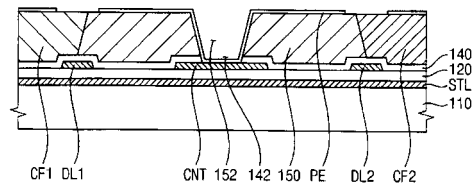
【図 7】



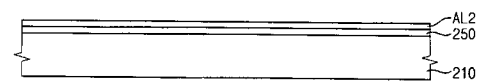
【図 10】



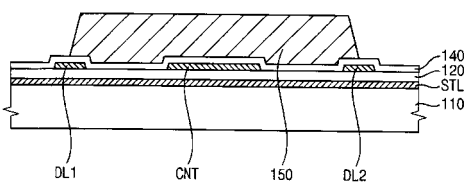
【図 12】



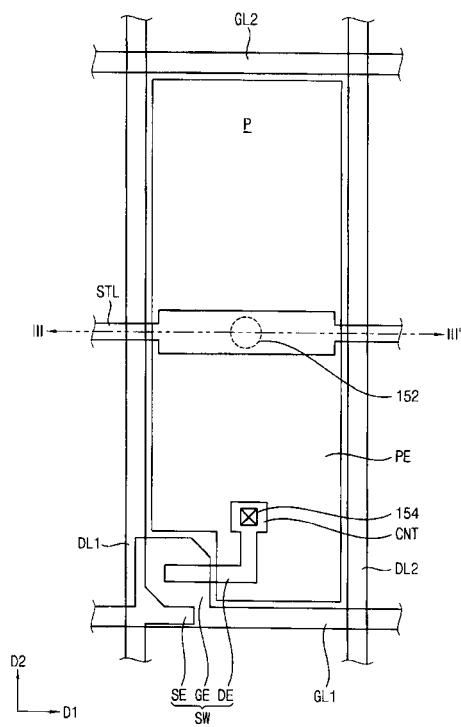
【図 13】



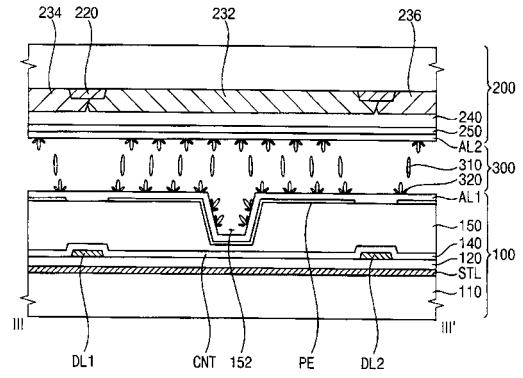
【図 11】



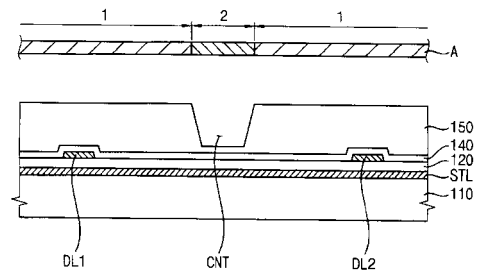
【 図 1 4 】



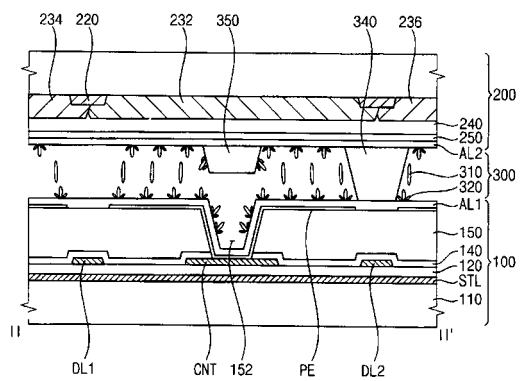
【 図 1 5 】



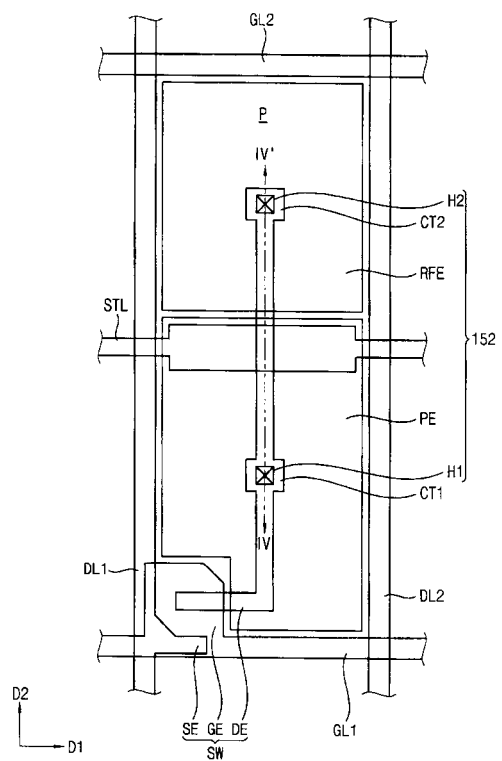
【 図 1 6 】



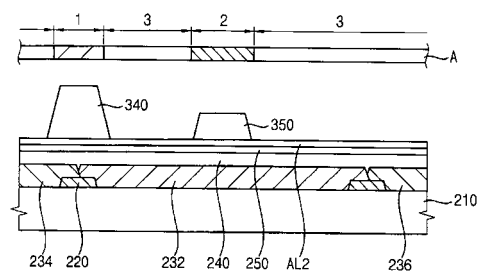
【圖 17】



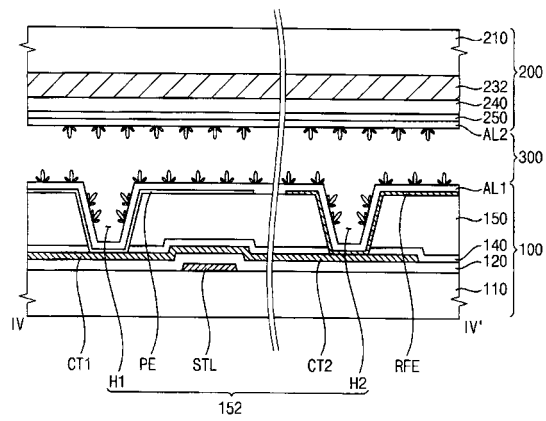
【 図 1 9 】



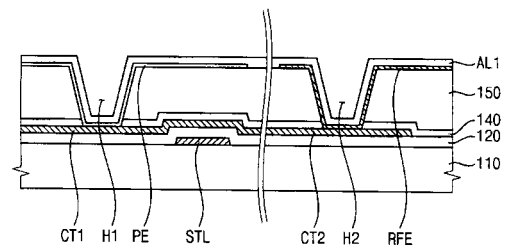
【 圖 1 8 】



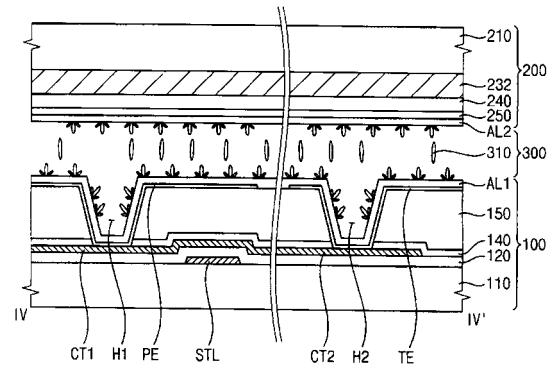
【図 20】



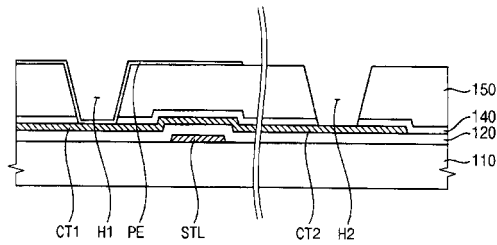
【図 22】



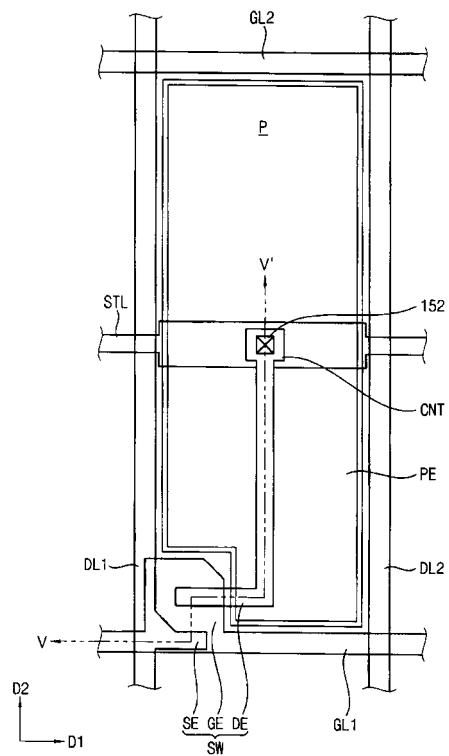
【図 23】



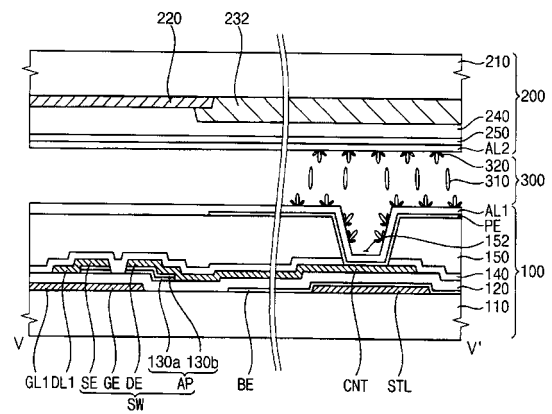
【図 21】



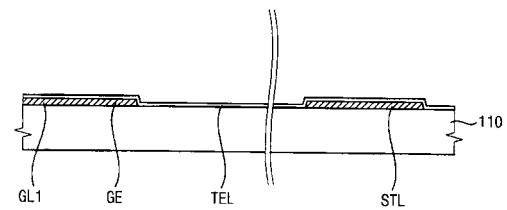
【図 24】



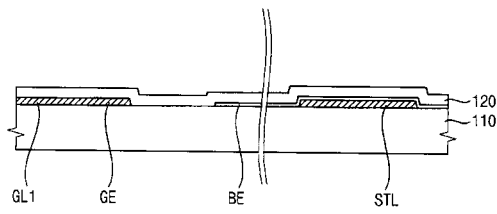
【図 25】



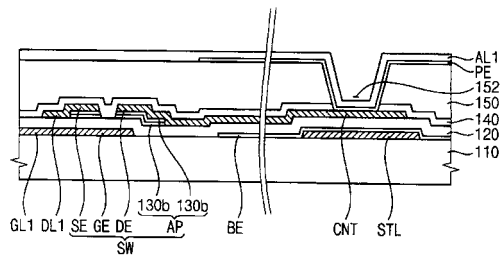
【図 26】



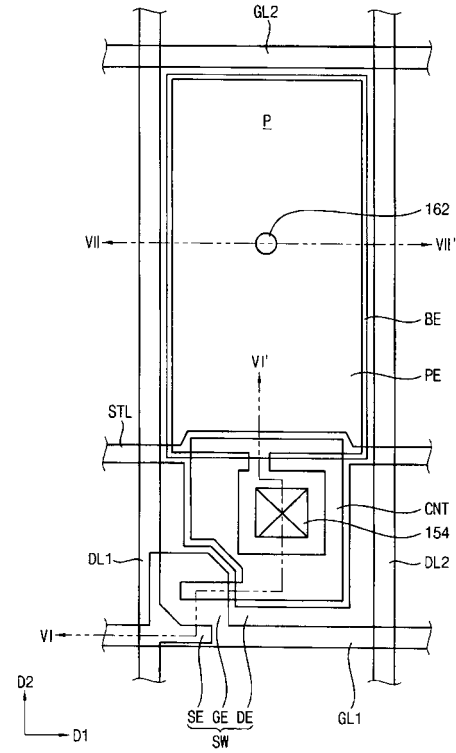
【図27】



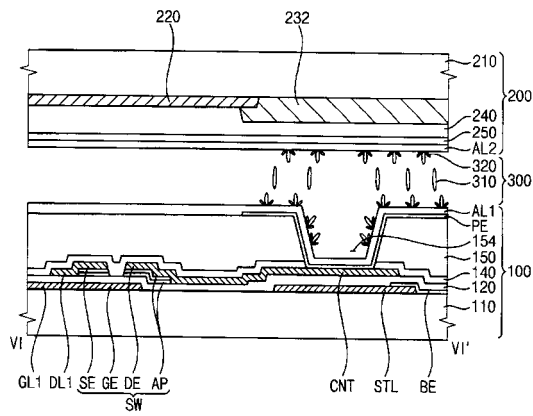
【図28】



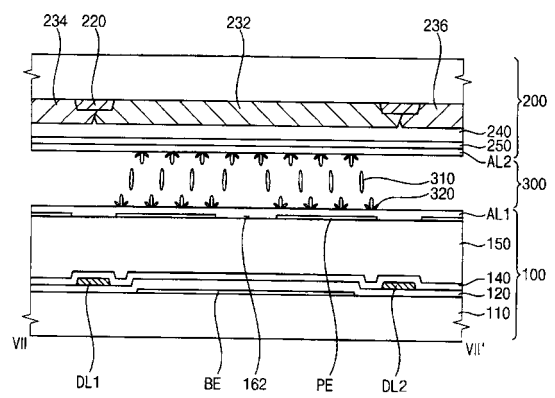
【図29】



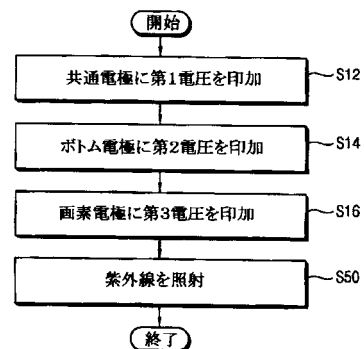
【図30】



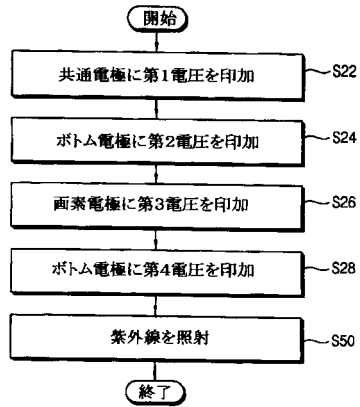
【図31】



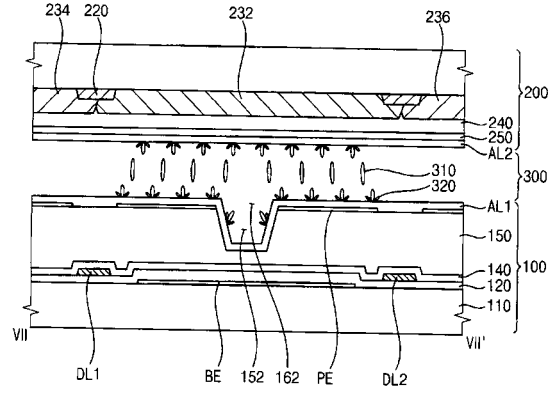
【図32】



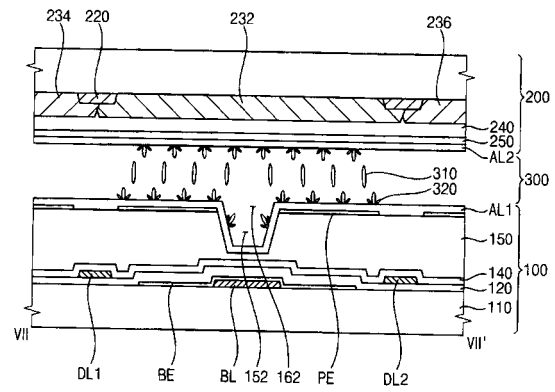
【図 33】



【図 34】



【図 35】



フロントページの続き

(72)発明者 李 宰 瑛

大韓民国京畿道龍仁市水枝区上▲見▼洞 ソウォンマウル現代ホームタウン 2 0 6 棟 1 6 0 2 号

(72)発明者 李 聖 俊

大韓民国ソウル特別市麻浦区東橋洞 1 4 7 - 8 3 番地

(72)発明者 李 毅

大韓民国京畿道龍仁市器興邑農書里山 2 4 番地

審査官 右田 昌士

(56)参考文献 特開 2 0 0 3 - 1 7 7 4 0 8 (J P , A)

特開 2 0 0 3 - 2 0 7 6 4 1 (J P , A)

特開 2 0 0 1 - 1 7 4 8 2 1 (J P , A)

特開 2 0 0 5 - 0 0 3 9 1 6 (J P , A)

特開 2 0 0 5 - 0 1 8 0 9 0 (J P , A)

米国特許出願公開第 2 0 1 0 / 0 3 0 4 0 1 5 (U S , A 1)

特開 2 0 0 3 - 1 7 7 3 8 4 (J P , A)

国際公開第 2 0 0 7 / 1 0 8 2 6 8 (W O , A 1)

特開 2 0 0 5 - 1 5 7 2 2 4 (J P , A)

国際公開第 2 0 0 6 / 1 0 1 0 8 3 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 3 7

G 0 2 F 1 / 1 3 3 3

G 0 2 F 1 / 1 3 3 5

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 6 8

专利名称(译)	表示装置		
公开(公告)号	JP5535666B2	公开(公告)日	2014-07-02
申请号	JP2010012820	申请日	2010-01-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	張龍圭 李宰瑛 李聖俊 李毅		
发明人	張 龍 圭 李 宰 瑛 李 聖 俊 李 毅		
IPC分类号	G02F1/1337 G02F1/1368 G02F1/1343 G02F1/1335 G02F1/1333		
CPC分类号	G02F1/136227 G02F1/133707 G02F1/1393 G02F2001/133746 G02F2001/13775		
FI分类号	G02F1/1337.505 G02F1/1368 G02F1/1343 G02F1/1335.505 G02F1/1333.505		
F-TERM分类号	2H090/HA04 2H090/HA06 2H090/HB16Y 2H090/HD03 2H090/HD14 2H090/LA01 2H090/LA15 2H090/MA01 2H090/MA13 2H092/GA17 2H092/GA29 2H092/HA04 2H092/JA24 2H092/JA46 2H092/JB13 2H092/JB58 2H092/JB63 2H092/JB69 2H092/KA24 2H092/KB22 2H092/KB26 2H092/MA10 2H092/MA13 2H092/MA17 2H092/NA07 2H092/NA27 2H092/NA29 2H092/PA02 2H092/PA08 2H190/HA03 2H190/HA04 2H190/HA06 2H190/HB03 2H190/HB04 2H190/HB13 2H190/HD03 2H190/HD06 2H190/LA01 2H190/LA04 2H190/LA15 2H190/LA21 2H191/FA02Y 2H191/FA14Y 2H191/FB04 2H191/FC10 2H191/FC13 2H191/FC33 2H191/FD04 2H191/FD20 2H191/FD22 2H191/FD25 2H191/FD26 2H191/GA08 2H191/GA19 2H191/HA11 2H191/HA35 2H191/JA03 2H191/LA13 2H191/LA19 2H191/LA25 2H191/LA31 2H192/AA24 2H192/BA02 2H192/BA24 2H192/BC32 2H192/BC63 2H192/BC72 2H192/CB05 2H192/CB56 2H192/DA13 2H192/EA04 2H192/EA13 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA67 2H192/GD23 2H192/HA44 2H192/JA13 2H290/AA33 2H290/BA53 2H290/BA54 2H290/BA67 2H290/BB12 2H290/BB20 2H290/BB22 2H290/BB40 2H290/BC01 2H290/BF54 2H290/CA12 2H290/CA33 2H290/CA46 2H290/CA48 2H291/FA02Y 2H291/FA14Y 2H291/FB04 2H291/FC10 2H291/FC13 2H291/FC33 2H291/FD04 2H291/FD20 2H291/FD22 2H291/FD25 2H291/FD26 2H291/GA08 2H291/GA19 2H291/HA11 2H291/HA35 2H291/JA03 2H291/LA13 2H291/LA19 2H291/LA25 2H291/LA31		
优先权	1020090010026 2009-02-09 KR		
其他公开文献	JP2010181874A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有提高的生产率和显示质量的显示装置。解决方案：显示装置包括第一基板，第二基板和液晶层。第一基板包括畴形成层，该畴形成层包括用于在像素区域中形成液晶畴的凹陷图案和形成在畴形成层上的像素电极。第二基板包括形成在其

