

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5520899号
(P5520899)

(45) 発行日 平成26年6月11日 (2014. 6. 11)

(24) 登録日 平成26年4月11日 (2014. 4. 11)

(51) Int. Cl. F 1
GO 2 F 1/1345 (2006. 01) GO 2 F 1/1345
GO 2 F 1/1362 (2006. 01) GO 2 F 1/1362

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2011-181589 (P2011-181589)	(73) 特許権者	502356528
(22) 出願日	平成23年8月23日 (2011. 8. 23)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-44876 (P2013-44876A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年3月4日 (2013. 3. 4)	(74) 代理人	110001737
審査請求日	平成24年11月21日 (2012. 11. 21)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

アクティブエリアに配置された帯状の画素電極と、アクティブエリア外に配置された給電パッド、前記給電パッドから離間した除電パッド、前記除電パッドに電氣的に接続された第1パッド、前記第1パッドに隣接して第1パッド間隔で配置され前記給電パッドに電氣的に接続された第2パッド、及び、前記第2パッドに隣接して第1パッド間隔よりも大きな第2パッド間隔で配置された第3パッドと、前記第1パッドと前記除電パッドとを接続する第1接続配線と、前記第1接続配線に隣接して第1配線間隔で配置され前記第2パッドと前記給電パッドとを接続する第2接続配線と、前記第2接続配線に隣接して第1配線間隔よりも大きな第2配線間隔で配置され前記第3パッドに接続された第3接続配線と、を備えた第1基板と、

前記第1基板に対向配置された第2基板であって、アクティブエリアにおいて前記画素電極を挟んだ両側で前記画素電極と略平行に延出するとともにアクティブエリア外に延在し前記給電パッドに対向する共通電極と、アクティブエリアに対応して配置されたシールド電極と、を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、

前記給電パッドと前記共通電極とを電氣的に接続する第1導電部材と、

前記除電パッドと前記シールド電極とを電氣的に接続する第2導電部材と、

を備え、

前記第2接続配線は、前記第2基板と対向する領域において前記第1基板の端部に沿っ

10

20

て延出し、アクティブエリアを囲むように配置されたことを特徴とする液晶表示装置。

【請求項 2】

前記第 1 パッド、前記第 2 パッド、及び、前記第 3 パッドは、それぞれ略同等のパッド幅を有し、

前記第 2 パッド間隔は、前記パッド幅以上の長さであることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記除電パッドは前記第 2 基板の端部よりも外側に延出した前記第 1 基板の延出部に配置され、前記給電パッドは前記第 1 基板において前記第 2 基板と対向する位置に配置されたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

10

【請求項 4】

前記第 1 基板は、さらに、前記第 2 パッドとの間で前記第 1 パッドを挟むように第 1 パッド間隔よりも大きな第 3 パッド間隔で配置された第 4 パッドを備えたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記シールド電極は、アクティブエリアの略全体に亘って配置されたことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

【請求項 6】

アクティブエリアに配置された画素電極及び前記画素電極から離間した第 1 共通電極と、アクティブエリア外に配置され前記第 1 共通電極と電氣的に接続された給電パッド、前記給電パッドから離間した除電パッド、前記除電パッドに電氣的に接続された第 1 パッド、前記第 1 パッドに隣接して第 1 パッド間隔で配置され前記給電パッドに電氣的に接続された第 2 パッド、及び、前記第 2 パッドに隣接して第 1 パッド間隔よりも大きな第 2 パッド間隔で配置された第 3 パッドと、前記第 1 パッドと前記除電パッドとを接続する第 1 接続配線と、前記第 1 接続配線に隣接して第 1 配線間隔で配置され前記第 2 パッドと前記給電パッドとを接続する第 2 接続配線と、前記第 2 接続配線に隣接して第 1 配線間隔よりも大きな第 2 配線間隔で配置され前記第 3 パッドに接続された第 3 接続配線と、を備えた第 1 基板と、

20

前記第 1 基板に対向配置された第 2 基板であって、アクティブエリアに対応して配置されたシールド電極と、を備えた第 2 基板と、

30

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

前記除電パッドと前記シールド電極とを電氣的に接続する導電部材と、

を備え、

前記第 2 接続配線は、前記第 2 基板と対向する領域において前記第 1 基板の端部に沿って延出し、アクティブエリアを囲むように配置されたことを特徴とする液晶表示装置。

【請求項 7】

前記第 2 基板は、さらに、帯状の前記画素電極を挟んだ両側で前記画素電極と略平行に延出するとともに前記第 1 共通電極と電氣的に接続された第 2 共通電極を備えたことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

40

前記第 1 基板は、さらに、ゲート配線及びソース配線を備え、

前記第 1 共通電極は、前記ゲート配線及び前記ソース配線と対向することを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 接続配線及び前記除電パッドは、前記第 2 接続配線よりも外側に位置すること
を特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

50

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードやFFS (Fringe Field Switching) モードなどの横電界（フリンジ電界も含む）を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-182047号公報

【特許文献2】特開2009-192822号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、製造歩留まりを改善することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

アクティブエリアに配置された帯状の画素電極と、アクティブエリア外に配置された給電パッド、前記給電パッドから離間した除電パッド、前記給電パッド及び前記除電パッドのうちの一方に電気的に接続された第1パッド、前記第1パッドに隣接して第1パッド間隔で配置され前記給電パッド及び前記除電パッドのうちの他方に電気的に接続された第2パッド、及び、前記第2パッドに隣接して第1パッド間隔よりも大きな第2パッド間隔で配置された第3パッドと、を備えた第1基板と、アクティブエリアにおいて前記画素電極を挟んだ両側で前記画素電極と略平行に延出するとともにアクティブエリア外に延在し前記給電パッドに対向する共通電極と、アクティブエリアに対応して配置されたシールド電極と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、前記給電パッドと前記共通電極とを電気的に接続する第1導電部材と、前記除電パッドと前記シールド電極とを電気的に接続する第2導電部材と、を備えたことを特徴とする液晶表示装置が提供される。

【0007】

本実施形態によれば、

アクティブエリアに配置された画素電極及び前記画素電極から離間した第1共通電極と、アクティブエリア外に配置され前記第1共通電極と電気的に接続された給電パッド、前記給電パッドから離間した除電パッド、前記給電パッド及び前記除電パッドのうちの一方に電気的に接続された第1パッド、前記第1パッドに隣接して第1パッド間隔で配置され前記給電パッド及び前記除電パッドのうちの他方に電気的に接続された第2パッド、及び、前記第2パッドに隣接して第1パッド間隔よりも大きな第2パッド間隔で配置された第3パッドと、を備えた第1基板と、アクティブエリアに対応して配置されたシールド電極と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、前記除電パッドと前記シールド電極とを電気的に接続する導電部材と、を備えたことを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した電極パッドT1及び電極パッドT2を含む領域を拡大した平面図である。

【図3】図3は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図4】図4は、図3に示した液晶表示パネルをA-A線で切断したときの画素の断面構造、アクティブエリア外の給電パッドの断面構造、及び、除電パッドの断面構造を概略的に示す断面図である。

10

【図5】図5は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0010】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

20

【0011】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0012】

30

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0013】

40

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0014】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0015】

50

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0016】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジnk・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

10

【0017】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PE及び共通電極CEがともにアレイ基板ARに形成された構成、例えば、IPSモードやFFSモードに対応する構成であっても良いし、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であっても良い。

【0018】

以下の説明では、共通電極CEの少なくとも一部が対向基板CTに形成された構成を例に説明する。このような構成では、画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界(あるいは、基板主面にほぼ平行な横電界)である。

20

【0019】

アレイ基板ARは、給電パッドTA、及び、給電パッドから離間した除電パッドTBを備えている。これらの給電パッドTA及び除電パッドTBは、ともにアクティブエリアACTの外側に配置されている。図示した例では、給電パッドTAは駆動ICチップ2の一方の側(図中の左側)に配置され、除電パッドTBは駆動ICチップ2の他方の側(図中の右側)に配置されている。給電パッドTAは、アレイ基板ARにおいて対向基板CTと対向する位置(つまり、対向基板CTの端部CTEよりもアクティブエリアACT側)に配置されている。この給電パッドTAには、図示しない導電部材を介して、対向基板CTに形成された共通電極CEが電氣的に接続されている。除電パッドTBは、対向基板CTの端部CTEよりも外側に延出したアレイ基板ARの延出部AREに配置されている。この除電パッドTBには、図示しない導電部材を介して、後述するシールド電極が電氣的に接続されている。

30

【0020】

アレイ基板ARは、延出部AREにおいて、フレキシブル配線基板などの信号源と電氣的に接続される複数の電極パッドTを備えている。これらの複数の電極パッドTは、アレイ基板ARの端部付近において、第1方向Xに沿って並んで配置されている。複数の電極パッドTのうち、例えば、電極パッドT1は、除電パッドTBと電氣的に接続されている。電極パッドT2は、給電パッドTAと電氣的に接続されている。また、電極パッドT2も、給電パッドTAと電氣的に接続されている。

40

【0021】

図示した例では、電極パッドT1は、駆動ICチップ2の他方の側(図中の右側)に配置され、除電パッドTBから延出部AREに引き出された接続配線W1に接続されている。この電極パッドT1は、例えば、接地電位(GND)に設定されている。このような構成により、シールド電極は、除電パッドTBを介して、除電される。

【0022】

50

また、図示した例では、電極パッドT 2は、駆動ICチップ2の他方の側（図中の右側）に配置され、給電パッドT Aから対向基板C Tと対向する領域のアレイ基板A Rの端部に沿って延出した接続配線（最外周配線）W 2に接続されている。また、電極パッドT 2は、駆動ICチップ2の一方の側（図中の左側）に配置され、給電パッドT Aから延出部A R Eに引き出された接続配線W 2 2に接続されている。接続配線W 2の一部は、除電パッドT Bの近傍を通り、接続配線W 1に隣接して配置されている。換言すると、除電パッドT B及び接続配線W 1の略全体は、接続配線W 2の一部に近接して配置されている。電極パッドT 2及び電極パッドT 2 2は、コモン電位に設定されている。このような構成により、共通電極C Eには、コモン電位が供給される。

【0023】

図2は、図1に示した電極パッドT 1及び電極パッドT 2を含む領域を拡大した平面図である。

【0024】

すなわち、電極パッドT 1、電極パッドT 2、及び、電極パッドT 3は、この順に並んで配置されている。電極パッドT 2は、電極パッドT 1（の一方の側）に隣接して第1パッド間隔G P 1で配置されている。電極パッドT 3は、電極パッドT 2に隣接して第1パッド間隔G P 1よりも大きな第2パッド間隔G P 2で配置されている。つまり、電極パッドT 1と電極パッドT 3との間に位置する電極パッドT 2は、電極パッドT 3の側よりも電極パッドT 1の側に近接するように偏在している。電極パッドT 3は、例えば、アクティブエリア内のソース配線やゲート配線に印加される電圧を制御するための回路などに接続されている。

【0025】

また、図示した例では、電極パッドT 4は、電極パッドT 2との間で電極パッドT 1を挟むように配置されている。この電極パッドT 4は、電極パッドT 1（の他方の側）に隣接して第1パッド間隔G P 1よりも大きな第3パッド間隔G P 3で配置されている。つまり、電極パッドT 2と電極パッドT 4との間に位置する電極パッドT 1は、電極パッドT 4の側よりも電極パッドT 2の側に近接するように偏在している。電極パッドT 4は、電氣的にフローティング状態のダミーパターンなどである。

【0026】

これらの電極パッドT 1～T 4は、それぞれ略同等のパッド幅P Wを有している。第1パッド間隔G P 1は電極パッド1個分のパッド幅P Wよりも短い長さであるのに対して、第2パッド間隔G P 2は、電極パッド1個分のパッド幅P W以上の長さである。同様に、第3パッド間隔G P 3についても、電極パッド1個分のパッド幅P W以上の長さである。一例として、第1パッド間隔G P 1は約40 μm ～50 μm であり、第2パッド間隔G P 2及び第3パッド間隔G P 3は約180 μm ～200 μm である。このように、互いに近接して配置された電極パッドT 1及び電極パッドT 2の両側には、電極パッド1個分以上の間隔をおいて他の電極パッドが配置されている。

【0027】

電極パッドT 2に接続された接続配線W 2は、電極パッドT 1に接続された接続配線W 1に隣接して第1配線間隔G P 1 1で配置されている。電極パッドT 3に接続された接続配線W 3は、接続配線W 2に隣接して第1配線間隔G P 1 1よりも大きな第2配線間隔G P 1 2で配置されている。

【0028】

なお、図示しない電極パッドT 2 2についても、隣接する電極パッドとの間隔は電極パッド1個分のパッド幅以上の長さに設定されており、電極パッドT 2 2に接続された接続配線W 2 2と隣接する接続配線との間隔も他の接続配線間での配線間隔よりも大きく設定されている。

【0029】

このような構成によれば、除電パッドT B及び接続配線W 1の略全体は接続配線W 2に近接して配置され、電極パッドT 1は電極パッドT 2に近接して配置されているため、ア

10

20

30

40

50

レイ基板ARの製造過程などにおいて、除電パッドTBに静電気が侵入したとしても、接続配線W1を介して電極パッドT1に至る経路の途中で、接続配線W2や電極パッドT2への放電を誘導することが可能となる。このような除電パッドTBあるいは接続配線W1から接続配線W2への放電、また、電極パッドT1から電極パッドT2への放電により、侵入した静電気のエネルギーが消費され、不所望な帯電を抑制することが可能となる。

【0030】

また、除電パッドTBに静電気が侵入したとしても、接続配線W2や電極パッドT2以外の他の配線やパッドへの放電を抑制することが可能となる。さらに、電極パッドT1から電極パッドT2への放電が生じた後の電極パッドT2から電極パッドT3への2次的な放電、あるいは、接続配線W1から接続配線W2への放電が生じた後の接続配線W2から
10 接続配線W3への2次的な放電も抑制することが可能となる。このため、電極パッドT3及び接続配線W3に接続された回路の静電気放電による破損を防止することが可能となる。

【0031】

また、給電パッドTAに静電気が侵入したとしても同様の効果が得られる。すなわち、給電パッドTAに接続された接続配線W2の一部は接続配線W1及び除電パッドTAに近接して配置され、電極パッドT1は電極パッドT2に近接して配置されているため、レイ基板ARの製造過程などにおいて、給電パッドTAに静電気が侵入したとしても、接続配線W2を介して電極パッドT2に至る経路の途中で、除電パッドTBや接続配線W1や
20 電極パッドT1への放電を誘導することが可能となる。このような接続配線W2から除電パッドTBや接続配線W1への放電、また、電極パッドT2から電極パッドT1への放電により、侵入した静電気のエネルギーが消費され、不所望な帯電を抑制することが可能となる。また、給電パッドTAに静電気が侵入したとしても、除電パッドTBや接続配線W1や電極パッドT1以外の他の配線やパッドへの放電を抑制することが可能となる。

【0032】

なお、上記の例では、電極パッドT1には除電パッドTBが接続され、電極パッドT2には給電パッドTAが接続される場合について説明したが、電極パッドT2に除電パッドTBが接続され、電極パッドT1に給電パッドTAが接続されていても良い。

【0033】

図3は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。
30

【0034】

図示した画素PXは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長形状である。ゲート配線G1及びゲート配線G2は、第1方向Xに沿って延出している。補助容量線C1は、ゲート配線G1とゲート配線G2との間に配置され、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第2方向Yに沿って延出している。画素電極PEは、隣接するソース配線S1とソース配線S2との間に配置されている。また、この画素電極PEは、ゲート配線G1とゲート配線G2との間に位置している。
40

【0035】

図示した例では、画素PXにおいて、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。また、画素PXにおいて、ゲート配線G1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。補助容量線C1は、画素の略中央部に配置されている。

【0036】

画素電極PEは、互いに電氣的に接続された主画素電極PA及び副画素電極PBを備えている。主画素電極PAは、画素PXの上側端部付近から下側端部付近まで第2方向Yに
50

沿って直線的に延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。副画素電極 P B は、主画素電極 P A よりも幅広に形成されている。画素電極 P E は、例えば、副画素電極 P B においてスイッチング素子と電氣的に接続されている。

【0037】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X-Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A の延出方向と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A の延出方向と略平行に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。これらの主共通電極 C A は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

10

【0038】

主画素電極 P A と主共通電極 C A との位置関係に着目すると、主画素電極 P A と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。これらの主画素電極 P A と主共通電極 C A とは、互いに略平行に配置されている。このとき、X-Y 平面内において、主共通電極 C A のいずれも主画素電極 P A とは重ならない。

【0039】

図 4 は、図 3 に示した液晶表示パネル L P N を A-A 線で切断したときの画素の断面構造、アクティブエリア外の給電パッド T A の断面構造、及び、除電パッド T B の断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

20

【0040】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0041】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、アクティブエリア A C T において、ソース配線 S、画素電極 P E、第 1 配向膜 A L 1 などを備えている。ソース配線 S は、第 1 層間絶縁膜 1 1 の上に形成され、第 2 層間絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 1 0 と第 1 層間絶縁膜 1 1 との間に配置されている。主画素電極 P A を含む画素電極 P E は、第 2 層間絶縁膜 1 2 の上に形成されている。この画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。

30

【0042】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 層間絶縁膜 1 2 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

40

【0043】

また、アレイ基板 A R は、アクティブエリア A C T の外側において、給電パッド T A 及び除電パッド T B を備えている。給電パッド T A 及び除電パッド T B は、例えば、シール材 S B の外側において、第 1 層間絶縁膜 1 1 の上に形成され、第 2 層間絶縁膜 1 2 及び第 1 配向膜 A L 1 から露出している。このような給電パッド T A 及び除電パッド T B は、ソース配線 S や画素電極 P E などと同一材料を用いて形成されている。

【0044】

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。アレイ基板 A R に備えられた共通電極 C E については、その一部がアクティブエリア A C T の外側に延在し、給電パッド T A と電氣的に接続される。

50

【0045】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。また、対向基板CTは、シールド電極SEを備えている。

【0046】

図示した例では、シールド電極SEは、第2絶縁基板20の外表面20Bの全体に亘って配置され、アクティブエリアACTに対応して配置されるとともに、アクティブエリアACTの外側にも延在している。このようなシールド電極SEは、ITOやIZOなどの略透明な導電材料によって形成されている。このようなシールド電極SEは、外部から液晶層LQへの不所望な電界の侵入を抑制するものである。このため、表示面となる対向基板CTの側に上記したような帯状の主共通電極CAが配置されるような構成、あるいは、対向基板CTに共通電極が形成されていないIPSモードやFFSモードに対応した構成においては、シールド電極SEを設置することが望ましい。シールド電極SEを設置することにより、不所望な電界の侵入に起因して液晶分子の配向が乱されるなど表示上の不具合の発生を抑制することが可能となる。

10

【0047】

なお、このシールド電極SEは、第2絶縁基板20の内表面20Aに配置されても良い。

【0048】

ブラックマトリクスBMは、各画素PXを区画し、画素電極PEと対向する開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスBMは、第2方向Yに沿って延出した部分のみが図示されているが、第1方向Xに沿って延出した部分を備えていても良い。また、このブラックマトリクスBMは、アクティブエリアACTの外側にも延在している。

20

【0049】

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第1方向Xに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。詳述しないが、赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士の境界は、ブラックマトリクスBMと重なる位置にある。

30

【0050】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。また、このオーバーコート層OCは、アクティブエリアACTの外側にも延在し、ブラックマトリクスBMに積層されている。

40

【0051】

主共通電極CAを含む共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。図示した例では、主共通電極CAは、ブラックマトリクスBMの直下に位置するとともに、ソース配線Sの直上に位置している。また、共通電極CEは、アクティブエリアACTの外側に延在し、給電パッドTAに対向している。

【0052】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配

50

向性を示す材料によって形成されている。

【0053】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図3に示したように、第2方向Yと略平行であって、同じ向きである。

【0054】

10

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば2〜7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材SBによって貼り合わせられている。

【0055】

液晶層LQは、シール材SBによって囲まれた内側であって、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

20

【0056】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。

【0057】

30

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。

【0058】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第2方向Yと平行である場合、一方の偏光板の偏光軸は、第2方向Xと平行、あるいは、第1方向Xと平行である。

40

【0059】

図3において、（a）で示した例では、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向（第2方向Y）に対して直交する（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向に対して平行となる（つまり、第2方向Yと平行となる）ように配置されている。

【0060】

また、図3において、（b）で示した例では、第2偏光板PL2は、その第2偏光軸A

50

X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【0061】

アレイ基板 A R 側の給電パッド T A と対向基板 C T 側の共通電極 C E とは、導電部材 C D A によって電氣的に接続されている。また、アレイ基板 A R 側の除電パッド T B と対向基板 C T 側のシールド電極 S E とは、導電部材 C D B によって電氣的に接続されている。このような導電部材 C D A 及び導電部材 C D B は、例えば、銀やカーボンなどの導電粒子を含む導電性ペーストなどによって形成されている。

10

【0062】

次に、上記構成の液晶表示パネル L P N の動作について、図 3 及び図 4 を参照しながら説明する。

【0063】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成されていない状態（O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

20

【0064】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【0065】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 3 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行（あるいは、第 2 方向 Y に対して 0 °）である。

30

【0066】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

40

【0067】

バックライト 4 からのバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって異なる。O F F 時においては、液晶層 L Q を通過した光は、第 2 偏光板 P L 2 によって吸収される（黒表示）。

【0068】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内

50

で回転する。

【0069】

図3に示した例では、画素電極PEとソース配線S1上の主共通電極CAとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEとソース配線S2上の主共通電極CAとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

【0070】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、10

【0071】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライト光は、その偏光状態が変化する。このようなON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

【0072】

このような本実施形態によれば、対向基板CTは、シールド電極SEを備えている。このため、たとえ対向基板CTが帯電したり、表示面側から液晶層LQに向かって外部電界が侵入しようとしたりしても、シールド電極SEによって電荷が拡散され、導電部材CDB及び除電パッドTBを介して接地電位の電極パッドT1まで電荷を逃がすことが可能となる。したがって、液晶層LQが不所望な電界の影響を受けにくくなり、液晶層LQには、画素電極PEと共通電極CEとの間に形成される所望の電界を印加することが可能となる。20

【0073】

特に、共通電極CEが形成されていない領域、すなわち、開口部APが形成されている領域において、帯電の影響による不所望な電界によって液晶分子が動作することに起因した液晶分子の配向不良を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。30

【0074】

また、除電パッドTBや接続配線W1や電極パッドT1に逃げた電荷は、近接する接続配線W2や電極パッドT2に放電しやすく、電荷の蓄積を抑制することが可能となる。

【0075】

また、本実施形態によれば、画素電極と共通電極との間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極と主共通電極との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（例えば、主画素電極に対して主共通電極の配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。40

【0076】

また、本実施形態によれば、ブラックマトリクスBMと重なる領域では、透過率が十分に低下する。これは、ソース配線の直上に位置する共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、50

隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0077】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極を挟んだ両側の共通電極との水平電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

10

【0078】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0079】

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、不透明な導電材料を用いて形成しても良い。

20

【0080】

本実施形態において、画素PXの構造は、図2に示した例に限定されるものではない。

【0081】

図5は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

【0082】

この構造例は、アレイ基板ARが画素電極PE及び共通電極CE1を備えた構成に相当する。主画素電極PA及び副画素電極PBを含む画素電極PEは、図3に示した構造例と同一構成であり、画素PXの略中央に配置されている。共通電極CE1は、一画素PXを取り囲むように格子状に形成されている。

30

【0083】

すなわち、共通電極CE1は、互いに電氣的に接続された主共通電極CA1及び副共通電極CB1を備えている。主共通電極CA1は、図3に示した構造例の主共通電極CAと同様に、主画素電極PAを挟んだ両側で主画素電極PAの延出方向と略平行な第2方向Yに沿って直線的に延出している。この主共通電極CA1は、ソース配線S1及びソース配線S2と対向している。副共通電極CB1は、第1方向Xに沿って延出している。この副共通電極CB1は、ゲート配線G1及びゲート配線G2と対向している。これらの主共通電極CA1及び副共通電極CB1は、一体的あるいは連続的に形成されている。このような構成の共通電極CE1は、アクティブエリアの外側において、給電パッドTAと電氣的に接続されている。

40

【0084】

このような構成のアレイ基板ARに対して、図3及び図4に示した対向基板CTを組み合わせることで液晶表示パネルを構成することが可能である。この場合、対向基板CTの主共通電極CAは、アレイ基板ARの主共通電極CA1と対向する。アレイ基板ARの共通電極CE1は、対向基板CTの共通電極CEと電氣的に接続されており、同電位である。

【0085】

このような構造例においても、対向基板CTにシールド電極SEを設置することが望ま

50

しく、このシールド電極 S E を接地するための除電パッド T A や第 1 接続配線 W 1 や電極パッド T 1 が必要となる。また、共通電極に対してコモン電位を供給するための給電パッド T B や第 2 接続配線 W 2 や電極パッド T 2 も必要となる。このとき、除電パッド T B から電極パッド T 1 までのレイアウト及び給電パッド T A から電極パッド T 2 までのレイアウトは、上記の例と同様にすることで、同様の効果が得られる。

【0086】

また、この構造例においては、主共通電極 C A 1 を設けたことにより、ソース配線 S からの不所望な電界をシールドすることが可能となる。また、副共通電極 C B 1 を設けたことにより、ゲート配線 G からの不所望な電界をシールドすることが可能である。これにより、表示品位の劣化を抑制することが可能となる。

10

【0087】

なお、図 5 に示した構造例のアレイ基板 A R は、画素電極 P E 及び共通電極 C E を備えている点で、I P S モードや F F S モードの構成と共通している。このような I P S モードや F F S モードでは、上記の通り、対向基板側には共通電極が配置されていないため、表示面となる対向基板側にシールド電極を設置することが望ましく、また、このシールド電極を接地するための除電パッド T A や第 1 接続配線 W 1 や電極パッド T 1 が必要となる。また、アレイ基板に備えられた共通電極に対してコモン電位を供給するための給電パッド T B や第 2 接続配線 W 2 や電極パッド T 2 も必要となる。このとき、除電パッド T B から電極パッド T 1 までのレイアウト及び給電パッド T A から電極パッド T 2 までのレイアウトは、上記の例と同様にすることで、同様の効果が得られる。

20

【0088】

本実施形態において、画素 P X の構造は、図 3 及び図 5 に示した例に限定されるものではない。

【0089】

上記の例では、副画素電極 P B の直下に補助容量線が配置された構成について説明したが、副画素電極 P B の直下には、ゲート配線が配置されても良い。また、補助容量線の配置位置は画素の略中央でなくても良いし、ゲート配線の配置位置は画素の上側端部あるいは下側端部でなくてもよい。

【0090】

上記の例では、画素電極 P E が主画素電極 P A 及び副画素電極 P B を備えた場合について説明したが、画素電極 P E は、スイッチング素子 S W と電氣的に接続可能であれば、副画素電極 P B を備えていなくても良い。

30

【0091】

上記の例では、主画素電極 P A の延出方向が第 2 方向 Y である場合について説明したが、主画素電極 P A は第 1 方向 X に沿って延出していても良い。この場合には、主共通電極 C A の延出方向は第 1 方向 X となる。また、この場合、上記の例と同様に第 1 方向 X に沿った第 1 配線がゲート配線 G であれば、主共通電極 C A はゲート配線 G と対向するが、第 1 方向 X に沿った第 1 配線がソース配線 S であり第 2 方向 Y に沿った第 2 配線がゲート配線 G であれば、主共通電極 C A はソース配線 S と対向する。

【0092】

40

上記の例では、主画素電極 P A を含む画素電極 P E に対して、この主画素電極 P A の両側に位置する主共通電極 C A を含む共通電極 C E を設けた場合について説明したが、主共通電極 C A を含む共通電極 C E に対して、この主共通電極 C A の両側に位置する主画素電極 P A を含む画素電極 P E を設けても良い。

【0093】

上記の例では、共通電極 C E は対向基板に主共通電極 C A を備えた構成について説明したが、この例に限らない。例えば、共通電極 C E は、上記の主共通電極 C A に加えて、対向基板 C T に備えられゲート配線 G や補助容量線 C と対向する副共通電極を備えていても良い。この副共通電極は、第 1 方向 X に沿って延出し、主共通電極 C A と一体的あるいは連続的に形成される。

50

【0094】

以上説明したように、本実施形態によれば、製造歩留まりを改善することが可能な液晶表示装置を提供することが可能となる。

【0095】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

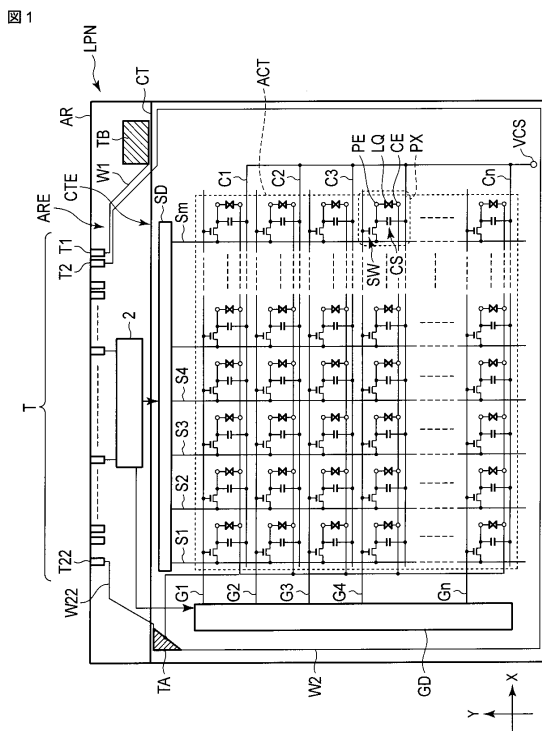
10

【符号の説明】

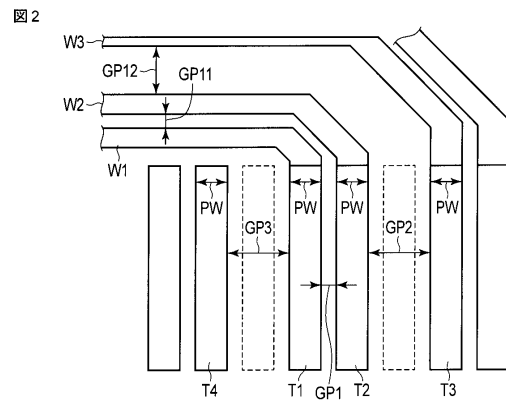
【0096】

LPN…液晶表示パネル
 AR…アレイ基板 CT…対向基板 LQ…液晶層
 PE…画素電極 CE…共通電極
 SE…シールド電極
 TA…給電パッド TB…除電パッド
 T1、T2、T3、T4、T11…電極パッド
 CDA、CDB…導電部材

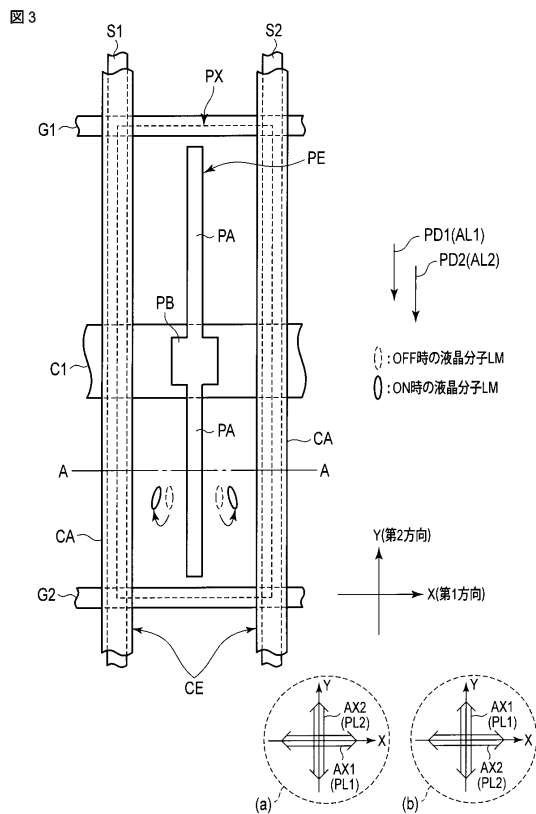
【図1】



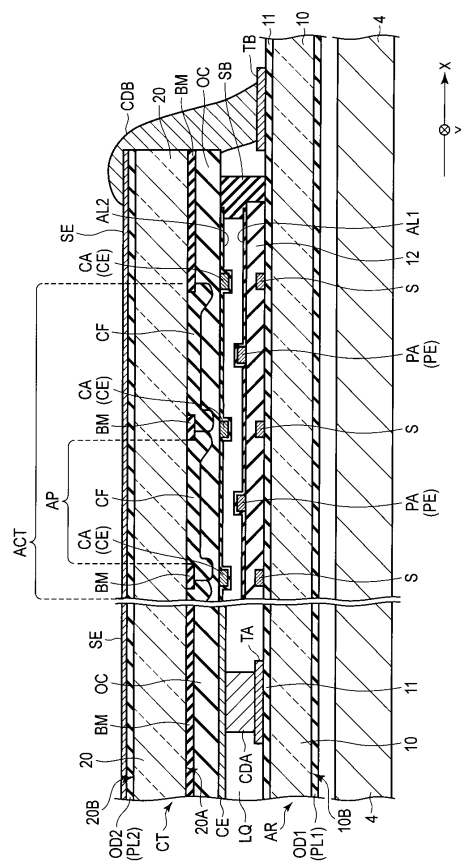
【図2】



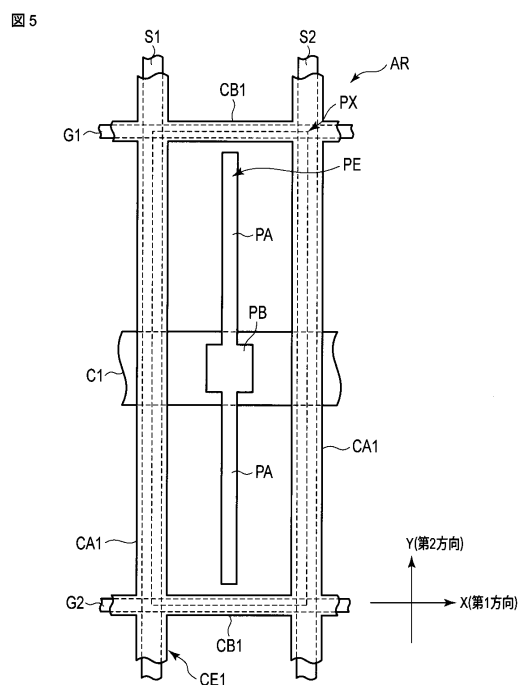
【図 3】



【図 4】



【図 5】



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 宮永 直季
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 佐藤 洋允

- (56)参考文献 特開2007-140353 (JP, A)
特開2008-040290 (JP, A)
特開2009-109657 (JP, A)
特開2008-165179 (JP, A)
特開2008-046278 (JP, A)
特開2005-181706 (JP, A)
特開2005-092185 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F1/1343-1/1345
G02F1/135-1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5520899B2	公开(公告)日	2014-06-11
申请号	JP2011181589	申请日	2011-08-23
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	宫永直季		
发明人	宫永 直季		
IPC分类号	G02F1/1345 G02F1/1362		
CPC分类号	G02F1/1345 G02F1/134363 G02F2001/134372 G02F2001/134381 G02F2201/121 G02F2202/22		
FI分类号	G02F1/1345 G02F1/1362		
F-TERM分类号	2H092/GA36 2H092/GA41 2H092/GA44 2H092/GA59 2H092/GA64 2H092/JA25 2H092/JA26 2H092/JB05 2H092/JB69 2H092/JB79 2H092/KA04 2H092/KA05 2H092/NA14 2H092/NA29 2H092/PA02 2H092/PA08 2H092/PA09 2H192/AA24 2H192/BA32 2H192/BB01 2H192/BB84 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FA15 2H192/FA31 2H192/GA06 2H192/GA31 2H192/JA03		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP2013044876A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够提高制造产量的液晶显示装置。和布置在所述的有源区的条形像素电极，电源焊盘设置在有源区域的外侧，中和垫从馈送焊盘间隔，同时电的所述电源焊盘和所述静电消除器垫第一焊盘T1连接，所述第二焊盘T2电连接到另一个所述第一设置在所述第一焊盘间距邻近所述衬垫的馈送焊盘和电荷去除焊盘，并且所述第二第三焊盘T3布置在较大的第二焊盘间距小于相邻的所述第一焊盘间距的垫，所述第一衬底，其中平行于所述像素电极和基本上在像素电极的两侧相对于电源焊盘的公共电极的有源区外部延伸与延伸对应于所述有源区，第二基板配置于屏蔽电极，其中所述第一基片的第二基板液晶显示装置和夹持的液晶层。 .The

图 2

