

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5495974号
(P5495974)

(45) 発行日 平成26年5月21日 (2014. 5. 21)

(24) 登録日 平成26年3月14日 (2014. 3. 14)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1343 (2006.01)

G09G 3/36

G09G 3/20 624B

G09G 3/20 631H

G09G 3/20 611A

G02F 1/133 525

請求項の数 6 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2010-144153 (P2010-144153)

(22) 出願日 平成22年6月24日 (2010. 6. 24)

(65) 公開番号 特開2012-8340 (P2012-8340A)

(43) 公開日 平成24年1月12日 (2012. 1. 12)

審査請求日 平成25年3月4日 (2013. 3. 4)

(73) 特許権者 502356528

株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号

(74) 代理人 100089118

弁理士 酒井 宏明

(74) 代理人 100118762

弁理士 高村 順

(74) 代理人 100092152

弁理士 服部 毅巖

(72) 発明者 寺西 康幸

東京都港区港南1丁目7番1号 ソニー株
式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、及び、電子機器

(57) 【特許請求の範囲】

【請求項1】

液晶容量、

一方の電極が前記液晶容量の画素電極に接続され、信号線を介して与えられる、階調を反映した信号電位を保持するDRAMとして用いられる容量素子、

一端が前記信号線に接続され、当該信号線を介して与えられる、階調を反映した信号電位を前記容量素子に書き込む第1の動作モードではオン状態となり、前記容量素子に保持されている保持電位を読み出した後当該保持電位の極性を反転して前記容量素子に再度書き込む第2の動作モードではオフ状態となる第1のスイッチ素子、

一端が前記第1のスイッチ素子の他端に接続され、他端が前記容量素子の一方の電極及び画素電極に接続され、前記第1の動作モード、前記第2の動作モードにおける前記容量素子からの保持電位を読み出し期間、及び、前記容量素子への反転電位の再書き込み期間にオン状態となる第2のスイッチ素子、

一端が前記第1のスイッチ素子の他端に接続され、前記第1の動作モードではオフ状態となり、前記第2の動作モードにおける前記読み出し期間にオン状態となって前記容量素子から保持電位を前記第2のスイッチ素子を通じて読み出す第3のスイッチ素子、

入力端が前記第3のスイッチ素子の他端に接続され、前記第2の動作モードにおける前記読み出し期間に前記第2のスイッチ素子及び前記第3のスイッチ素子を通じて前記容量素子から読み出された保持電位の極性を反転するインバータ回路、

及び、

10

20

一端が前記第1のスイッチ素子の他端に接続され、他端が前記インバータ回路の出力端に接続され、前記第1の動作モードではオフ状態となり、前記第2の動作モードにおける前記再書き込み期間にオン状態となって前記インバータ回路で極性反転された反転電位を前記第2のスイッチ素子を通じて前記容量素子に書き込む第4のスイッチ素子

を含む画素が配置されてなる画素アレイ部と、

前記画素に対して、前記第4のスイッチ素子による反転電位の書き込み後の一定期間、前記信号線から前記第1のスイッチ素子及び前記第3のスイッチ素子を通じて前記インバータ回路の入力端に電源電位を与える駆動を行う駆動部と

を備え、

前記インバータ回路は、CMOSインバータからなり、

前記第3のスイッチ素子は、MOSトランジスタからなり、導通状態から非導通状態に遷移するとき、ゲートソース間に存在する寄生容量によるカップリングによって前記インバータ回路の入力電位を下げる、液晶表示装置。

【請求項2】

前記インバータ回路は、画素毎に1つずつ設けられる

請求項1に記載の液晶表示装置。

【請求項3】

前記インバータ回路は、複数の画素に対して1つ共通に設けられる

請求項1に記載の液晶表示装置。

【請求項4】

液晶容量、

一方の電極が前記液晶容量の画素電極に接続され、信号線を介して与えられる、階調を反映した信号電位を保持するDRAMとして用いられる容量素子、

一端が前記信号線に接続され、当該信号線を介して与えられる、階調を反映した信号電位を前記容量素子に書き込む第1の動作モードではオン状態となり、前記容量素子に保持されている保持電位を読み出した後当該保持電位の極性を反転して前記容量素子に再度書き込む第2の動作モードではオフ状態となる第1のスイッチ素子、

一端が前記第1のスイッチ素子の他端に接続され、他端が前記容量素子の一方の電極及び画素電極に接続され、前記第1の動作モード、前記第2の動作モードにおける前記容量素子からの保持電位の読み出し期間、及び、前記容量素子への反転電位の再書き込み期間にオン状態となる第2のスイッチ素子、

一端が前記第1のスイッチ素子の他端に接続され、前記第1の動作モードではオフ状態となり、前記第2の動作モードにおける前記読み出し期間にオン状態となって前記容量素子から保持電位を前記第2のスイッチ素子を通じて読み出す第3のスイッチ素子、

CMOSインバータからなり、入力端が前記第3のスイッチ素子の他端に接続され、前記第2の動作モードにおける前記読み出し期間に前記第2のスイッチ素子及び前記第3のスイッチ素子を通じて前記容量素子から読み出された保持電位の極性を反転するインバータ回路、

及び、

一端が前記第1のスイッチ素子の他端に接続され、他端が前記インバータ回路の出力端に接続され、前記第1の動作モードではオフ状態となり、前記第2の動作モードにおける前記再書き込み期間にオン状態となって前記インバータ回路で極性反転された反転電位を前記第2のスイッチ素子を通じて前記容量素子に書き込む第4のスイッチ素子

を含む画素が配置されてなる画素アレイ部と、

前記画素に対して、前記第4のスイッチ素子による反転電位の書き込み後の一定期間、前記信号線から前記第1のスイッチ素子及び前記第3のスイッチ素子を通じて前記CMOSインバータの一方のMOSトランジスタを非導通状態にする電位を与える駆動を行う駆動部とを備え、

前記インバータ回路の正側の電源電位を V_{DD} 、負側の電源電位を V_{SS} 、前記CMOSインバータを構成するPchMOSトランジスタの閾値電圧を V_{thp} 、NchMOSトラン

10

20

30

40

50

ジスタの閾値電圧を V_{thn} とするとき、

前記一方の MOS トランジスタを非導通状態にする電位は、 $(V_{DD} - V_{thp})$ 以上、または、 $(V_{SS} + V_{thn})$ 以下の電位である

液晶表示装置。

【請求項 5】

液晶容量、

一方の電極が前記液晶容量の画素電極に接続され、信号線を介して与えられる、階調を反映した信号電位を保持する DRAM として用いられる容量素子、

一端が前記信号線に接続され、当該信号線を介して与えられる、階調を反映した信号電位を前記容量素子に書き込む第 1 の動作モードではオン状態となり、前記容量素子に保持されている保持電位を読み出した後当該保持電位の極性を反転して前記容量素子に再度書き込む第 2 の動作モードではオフ状態となる第 1 のスイッチ素子、

一端が前記第 1 のスイッチ素子の他端に接続され、他端が前記容量素子の一方の電極及び画素電極に接続され、前記第 1 の動作モード、前記第 2 の動作モードにおける前記容量素子からの保持電位を読み出し期間、及び、前記容量素子への反転電位の再書き込み期間にオン状態となる第 2 のスイッチ素子、

一端が前記第 1 のスイッチ素子の他端に接続され、前記第 1 の動作モードではオフ状態となり、前記第 2 の動作モードにおける前記読み出し期間にオン状態となって前記容量素子から保持電位を前記第 2 のスイッチ素子を通じて読み出す、MOS トランジスタからなる第 3 のスイッチ素子、

CMOS インバータからなり、入力端が前記第 3 のスイッチ素子の他端に接続され、前記第 2 の動作モードにおける前記読み出し期間に前記第 2 のスイッチ素子及び前記第 3 のスイッチ素子を通じて前記容量素子から読み出された保持電位の極性を反転するインバータ回路、

及び、

一端が前記第 1 のスイッチ素子の他端に接続され、他端が前記インバータ回路の出力端に接続され、前記第 1 の動作モードではオフ状態となり、前記第 2 の動作モードにおける前記再書き込み期間にオン状態となって前記インバータ回路で極性反転された反転電位を前記第 2 のスイッチ素子を通じて前記容量素子に書き込む第 4 のスイッチ素子を含む画素が配置されてなり、

前記前記第 3 のスイッチ素子が、前記導通状態から非導通状態に遷移するとき、ゲートソース間に存在する寄生容量によるカップリングによって前記インバータ回路の入力電位を下げ、かつ前記画素に対して、前記第 4 のスイッチ素子による反転電位の書き込み後の一定期間、前記信号線から前記第 1 のスイッチ素子及び前記第 3 のスイッチ素子を通じて前記インバータ回路の入力端に電源電位を与える駆動を行う

液晶表示装置の駆動方法。

【請求項 6】

液晶容量、

一方の電極が前記液晶容量の画素電極に接続され、信号線を介して与えられる、階調を反映した信号電位を保持する DRAM として用いられる容量素子、

一端が前記信号線に接続され、当該信号線を介して与えられる、階調を反映した信号電位を前記容量素子に書き込む第 1 の動作モードではオン状態となり、前記容量素子に保持されている保持電位を読み出した後当該保持電位の極性を反転して前記容量素子に再度書き込む第 2 の動作モードではオフ状態となる第 1 のスイッチ素子、

一端が前記第 1 のスイッチ素子の他端に接続され、他端が前記容量素子の一方の電極及び画素電極に接続され、前記第 1 の動作モード、前記第 2 の動作モードにおける前記容量素子からの保持電位を読み出し期間、及び、前記容量素子への反転電位の再書き込み期間にオン状態となる第 2 のスイッチ素子、

一端が前記第 1 のスイッチ素子の他端に接続され、前記第 1 の動作モードではオフ状態となり、前記第 2 の動作モードにおける前記読み出し期間にオン状態となって前記容量素

10

20

30

40

50

子から保持電位を前記第 2 のスイッチ素子を通じて読み出す、M O S トランジスタからなる第 3 のスイッチ素子、

C M O S インバータからなり、入力端が前記第 3 のスイッチ素子の他端に接続され、前記第 2 の動作モードにおける前記読み出し期間に前記第 2 のスイッチ素子及び前記第 3 のスイッチ素子を通じて前記容量素子から読み出された保持電位の極性を反転するインバータ回路、

及び、

一端が前記第 1 のスイッチ素子の他端に接続され、他端が前記インバータ回路の出力端に接続され、前記第 1 の動作モードではオフ状態となり、前記第 2 の動作モードにおける前記再書き込み期間にオン状態となって前記インバータ回路で極性反転された反転電位を前記第 2 のスイッチ素子を通じて前記容量素子に書き込む第 4 のスイッチ素子を含む画素が配置されてなる画素アレイ部と、

前記前記第 3 のスイッチ素子が、前記導通状態から非導通状態に遷移するとき、ゲートソース間に存在する寄生容量によるカップリングによって前記インバータ回路の入力電位を下げ、かつ前記画素に対して、前記第 4 のスイッチ素子による反転電位の書き込み後の一定期間、前記信号線から前記第 1 のスイッチ素子及び前記第 3 のスイッチ素子を通じて前記インバータ回路の入力端に電源電位を与える駆動を行う駆動部と

を備えた液晶表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、液晶表示装置の駆動方法、及び、電子機器に関し、特に、画像データを記憶するメモリを画素内に持つ液晶表示装置、当該液晶表示装置の駆動方法、及び、当該液晶表示装置を有する電子機器に関する。

【背景技術】

【0002】

液晶表示装置の中には、画像データを記憶するメモリを画素内に持つものがある。メモリを画素内に内蔵する液晶表示装置では、アナログ表示モードによる表示と、メモリ表示モードによる表示とを実現できる。ここで、アナログ表示モードとは、画素の階調をアナログ的に表示する表示モードである。また、メモリ表示モードとは、画素内のメモリに記憶されている 2 値情報（論理“1”／“0”）に基づいて、画素の階調をデジタル的に表示する表示モードである。

【0003】

メモリ表示モードの場合、メモリに保持されている情報を用いるため、階調を反映した信号電位の書き込み動作をフレーム周期で実行する必要がない。そのため、メモリ表示モードの場合は、階調を反映した信号電位の書き込み動作をフレーム周期で実行する必要があるアナログ表示モードの場合に比べて消費電力が少なくて済む。

【0004】

アナログ表示モードによる表示とメモリ表示モードによる表示の両方に対応可能な液晶表示装置としては、従来、画素内に内蔵するメモリに S R A M (Static Random Access Memory) を用いた液晶表示装置が知られている（例えば、特許文献 1 参照）。

【0005】

図 19 に、画素内のメモリに S R A M を用いた従来例に係る液晶表示装置の画素回路の一例を示す。本従来例に係る液晶表示装置における画素 90 は、液晶容量 91、保持容量 92、S R A M 93、及び、5つのスイッチングトランジスタ 94～98 を有する構成となっている。画素 90 には、階調を反映した信号電位 V_{sig} 、または、コモン電位 V_{COM} とは異なる電位 V_{XCS} が信号線 99 を介して選択的に与えられる。

【0006】

液晶容量 91 は、画素電極と当該画素電極に対向して形成される対向電極との間に液晶を封入したときに、画素電極-対向電極間で発生する容量を意味する。液晶容量 91 の対

10

20

30

40

50

向電極には、コモン電位 V_{COM} が全画素共通に与えられる。液晶容量 91 の画素電極は、保持容量 92 の一方の電極と電氣的に共通に接続されている。保持容量 92 は、階調を反映した信号電位 V_{sig} を保持する。保持容量 92 の他方の電極には、コモン電位 V_{COM} とほぼ同電位の $C S$ 電位 V_{CS} が与えられる。

【0007】

$S R A M 93$ は、正側の電源電位 V_{RAM} と負側の電源電位 V_{SS} との間に設けられた 2 つの $C M O S$ インバータからなり、これら 2 つの $C M O S$ インバータの一方の入力端と他方の出力端とが共通に接続され、他方の入力端と一方の出力端とが共通に接続された構成となっている。

【0008】

$S R A M 93$ を構成する 2 つの $C M O S$ インバータのうち、一方の $C M O S$ インバータは、電源電位 V_{RAM} と電源電位 V_{SS} との間に直列に接続され、ゲート電極が共通に接続された $P c h M O S$ トランジスタ 931 と $N c h M O S$ トランジスタ 932 とから構成されている。他方の $C M O S$ インバータは、電源電位 V_{RAM} と電源電位 V_{SS} との間に直列に接続され、ゲート電極が共通に接続された $P c h M O S$ トランジスタ 933 と $N c h M O S$ トランジスタ 934 とから構成されている。

【0009】

5 つのスイッチングトランジスタ 94 ~ 98 は、例えば、薄膜トランジスタ (Thin Film Transistor) からなる。スイッチングトランジスタ 94, 95 は、制御信号 C_{TL1} によって導通/非導通の制御が行われる。具体的には、スイッチングトランジスタ 94, 95 は、階調を反映した信号電位 V_{sig} を保持容量 52 に書き込む際にアクティブ（高電位）状態になる制御信号 C_{TL1} に応答して導通状態になる。

【0010】

スイッチングトランジスタ 96 は、アナログ表示モードの場合に階調を反映した信号電位 V_{sig} を書き込むときに、または、メモリ表示モードの場合にコモン電位 V_{COM} とは異なる電位 V_{XCS} を書き込むときに導通状態になる。一方、スイッチングトランジスタ 97 は、メモリ表示モードにおいて、液晶容量 91 の対向電極に与えられるコモン電位 V_{COM} とほぼ同電位の $C S$ 電位 V_{CS} を保持容量 92 に書き込む際に導通状態になる。

【0011】

スイッチングトランジスタ 96, 97 の導通/非導通の制御には、 $S R A M 93$ の保持電位が用いられる。そして、この回路例の場合、スイッチングトランジスタ 96 が導通状態のときにスイッチングトランジスタ 97 が非導通状態となり、スイッチングトランジスタ 96 が非導通状態のときにスイッチングトランジスタ 97 が導通状態となる。

【0012】

スイッチングトランジスタ 98 は、 $S R A M 93$ に対する制御電位の書き込みの際にアクティブ（高電位）状態になる制御信号 C_{TL2} によって導通制御が行われる。具体的には、スイッチングトランジスタ 98 は、 $S R A M 93$ に対して、アナログ表示モードの場合に信号電位 V_{sig} を書き込むときに、または、メモリ表示モードの場合に電位 V_{XCS} を書き込むとき場合にアクティブ状態になる制御信号 C_{TL2} に応答して導通状態になる。

【0013】

尚、ここでは、 $S R A M 93$ を画素 90 毎に 1 対 1 の対応関係をもって設ける画素回路例を示したが、1 つの $S R A M 93$ を複数の画素 90 に対して共通に設ける（共有する）構成を採ることも可能である。

【0014】

一例として、図 20 に示すように、カラー表示対応の液晶表示装置において、1 つの画素 90 を構成する例えば R （赤色）、 G （緑色）、 B （青色）の副画素 90_R, 90_G, 90_B に対して、1 つの $S R A M 93$ を共通に設けるようにすることも可能である。図 20 において、副画素 90_R, 90_G, 90_B の各保持容量 92_R, 92_G, 92_B については図示しているが、副画素 90_R, 90_G, 90_B の各液晶容量 91 については、図面の簡略化のために図示を省略している。

10

20

30

40

50

【0015】

1つのSRAM53を副画素90_R, 90_G, 90_Bで共有する構成を採る場合、スイッチングトランジスタ94(94_R, 94_G, 94_B)については、副画素90_R, 90_G, 90_B毎に配されることになる。そして、これらスイッチングトランジスタ94_R, 94_G, 94_Bは、各色に対応した制御信号C_{TL1}(R), C_{TL1}(G), C_{TL1}(B)によって時分割にて導通／非導通の制御が行われる。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】特開2009-98234号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0017】

上述したように、画素内のメモリにSRAM93を用いた画素構成を採ると、SRAM93の構造が複雑であり、画素90内においてSRAM93が大きな面積を占めるため、画素90の微細化を図る上で妨げとなる。

【0018】

一般的に、SRAMに比べて、DRAM(Dynamic Random Access Memory)の方が、構造が簡単であることが知られている。しかし、DRAMは、データ保持のためにメモリをリフレッシュする必要があるため、SRAMに比べて消費電力が大きい。

20

【0019】

そこで、本発明は、信号電位を保持する容量素子をDRAMとして利用し、画素構造の簡略化を図るに当たり、消費電力の低減を可能にした液晶表示装置、液晶表示装置の駆動方法、及び、電子機器を提供することを目的とする。

【課題を解決するための手段】

【0020】

上記の目的を達成するために、本発明は、

液晶容量、

一方の電極が前記液晶容量の画素電極に接続され、信号線を介して与えられる、階調を反映した信号電位を保持するDRAMとして用いられる容量素子、

30

一端が前記信号線に接続され、当該信号線を介して与えられる、階調を反映した信号電位を前記容量素子に書き込む第1の動作モードではオン状態となり、前記容量素子に保持されている保持電位を読み出した後当該保持電位の極性を反転して前記容量素子に再度書き込む第2の動作モードではオフ状態となる第1のスイッチ素子、

一端が前記第1のスイッチ素子の他端に接続され、他端が前記容量素子の一方の電極及び画素電極に接続され、前記第1の動作モード、前記第2の動作モードにおける前記容量素子からの保持電位を読み出し期間、及び、前記容量素子への反転電位の再書き込み期間にオン状態となる第2のスイッチ素子、

一端が前記第1のスイッチ素子の他端に接続され、前記第1の動作モードではオフ状態となり、前記第2の動作モードにおける前記読み出し期間にオン状態となって前記容量素子から保持電位を前記第2のスイッチ素子を通じて読み出す第3のスイッチ素子、

40

入力端が前記第3のスイッチ素子の他端に接続され、前記第2の動作モードにおける前記読み出し期間に前記第2のスイッチ素子及び前記第3のスイッチ素子を通じて前記容量素子から読み出された保持電位の極性を反転するインバータ回路、

及び、

一端が前記第1のスイッチ素子の他端に接続され、他端が前記インバータ回路の出力端に接続され、前記第1の動作モードではオフ状態となり、前記第2の動作モードにおける前記再書き込み期間にオン状態となって前記インバータ回路で極性反転された反転電位を前記第2のスイッチ素子を通じて前記容量素子に書き込む第4のスイッチ素子

を含む画素が配置されてなる液晶表示装置において、

50

前記画素に対して、前記第4のスイッチ素子による反転電位の書き込み後の一定期間、前記信号線から前記第1のスイッチ素子及び前記第3のスイッチ素子を通じて前記インバータ回路の入力端に電源電位を与える駆動を行う駆動部を備え、

前記インバータ回路は、CMOSインバータからなり、

前記第3のスイッチ素子は、MOSトランジスタからなり、導通状態から非導通状態に遷移するとき、ゲートソース間に存在する寄生容量によるカップリングによって前記インバータ回路の入力電位を下げる

構成を採っている。

【0021】

上記構成の液晶表示装置において、第1の動作モードでは、第3のスイッチ素子及び第4のスイッチ素子がオフ状態にある。従って、第1のスイッチ素子及び第2のスイッチ素子がオン状態になることで、これら第1、第2のスイッチ素子を通じて信号線から、階調を反映した信号電位（アナログ電位または2値電位）が容量素子に書き込まれる。一方、第2の動作モードでは、第1のスイッチ素子がオフ状態になる。この状態において、第2のスイッチ素子及び第3のスイッチ素子がオン状態になる一方、第4のスイッチ素子がオフ状態を維持する。このとき、容量素子の保持電位が第2のスイッチ素子及び第3のスイッチ素子を通じて読み出され、インバータ回路の入力端に与えられる。すると、インバータ回路は容量素子の保持電位の極性を反転する。その後、第3のスイッチ素子がオフ状態となり、第4のスイッチ素子がオン状態になる。そして、第4のスイッチ素子は、インバータ回路の出力電位、即ち、上記保持電位の反転電位を第2のスイッチ素子を通じて容量素子に書き込む（再書き込み動作）。

【0022】

この第2の動作モードにおける一連の動作、即ち、容量素子から保持電位を読み出す読み出し動作、及び、当該保持電位の極性を反転した反転電位を容量素子に再度書き込む再書き込み動作により、所謂、リフレッシュ動作が実行される。このリフレッシュ動作は、第1のスイッチ素子の作用によって、画素を信号線から切り離した状態で行われる。従って、リフレッシュ動作時に、大きな負荷容量を有する信号線に対する充放電が行われることはない。また、リフレッシュ動作の際に、インバータ回路の作用により、第2の動作モードの繰り返し周期で、容量素子に保持される電位の極性の反転動作が繰り返される。

【0023】

そして、リフレッシュ動作後の一定期間、具体的には、第4のスイッチ素子による反転電位の書き込み後の一定期間、第1のスイッチ素子及び第3のスイッチ素子がオン状態になる。このとき、信号線の電位は電源電位にあり、第1のスイッチ素子及び第3のスイッチ素子を通じてインバータ回路の入力端に電源電位が与えられる。これにより、インバータ回路の入力電位が電源電位に確定される。ここで、インバータ回路の入力電位が不確定状態となると、インバータ回路に貫通電流が流れ、消費電力の増大を招く。これに対し、インバータ回路の入力電位が電源電位に確定されることで、インバータ回路に貫通電流が流れることはなくなる。

【発明の効果】

【0024】

本発明によれば、画素内の信号電位を保持する容量素子をDRAMとして利用し、画素構造の簡略化を図るに当たり、リフレッシュ動作時に大きな負荷容量を有する信号線の充放電が不要であるため、リフレッシュ動作に伴う消費電力を低く抑えることができる。更に、リフレッシュ動作後インバータ回路の入力電位を電源電位に確定することで、インバータ回路に貫通電流が流れないようにすることができるため、消費電力をより低く抑えることができる。

【図面の簡単な説明】

【0025】

【図1】本発明が適用されるアクティブマトリクス型の液晶表示装置の構成の概略を示すシステム構成図である。

10

20

30

40

50

【図 2】液晶表示パネル（液晶表示装置）の断面構造の一例を示す断面図である。

【図 3】本発明の一実施形態に係る画素の回路構成例を示す回路図である。

【図 4】実施例 1 に係る画素の回路構成を示す回路図である。

【図 5】実施例 1 に係る画素のアナログ表示モードの動作説明に供するタイミング波形図である。

【図 6】アナログ表示モードにおいて、階調を反映した信号電位を信号線から書き込む際の画素内の状態を示す回路図である。

【図 7】実施例 1 に係る画素のメモリ表示モードにおけるリフレッシュ動作の動作説明に供するタイミング波形図である。

【図 8】ある走査線についてのメモリ表示モードにおける動作の説明に供するタイミング波形図である。 10

【図 9】実施例 2 に係る画素（3つの副画素）の回路構成を示す回路図である。

【図 10】実施例 2 に係る 3つの副画素のアナログ表示モードの動作説明に供するタイミング波形図である。

【図 11】実施例 2 に係る 3つの副画素のメモリ表示モードにおけるリフレッシュ動作の動作説明に供するタイミング波形図である。

【図 12】ある走査線についてのメモリ表示モードにおける動作の説明に供するタイミング波形図である。

【図 13】変形例として実施例 2 において、インバータ回路としてラッチ回路を用いた場合の回路図である。 20

【図 14】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図 15】本発明が適用されるデジタルカメラの外観を示す斜視図であり、（A）は表側から見た斜視図、（B）は裏側から見た斜視図である。

【図 16】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図 17】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図 18】本発明が適用される携帯電話機を示す外観図であり、（A）は開いた状態での正面図、（B）はその側面図、（C）は閉じた状態での正面図、（D）は左側面図、（E）は右側面図、（F）は上面図、（G）は下面図である。

【図 19】画素内のメモリに S R A M を用いた従来例に係る液晶表示装置の画素回路の一例を示す回路図である。 30

【図 20】1つの S R A M を R, G, B の副画素に対して共通に設けた従来例に係る液晶表示装置の画素回路の一例を示す回路図である。

【発明を実施するための形態】

【0026】

以下、発明を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1. 本発明が適用される液晶表示装置

1-1. システム構成

1-2. パネル断面構造 40

2. 実施形態に係る液晶表示装置の説明

2-1. 実施例 1（画素毎にインバータ回路を配置する例）

2-2. 実施例 2（R, G, B の副画素間で 1つのインバータ回路を共有する例）

3. 変形例

4. 適用例（電子機器）

【0027】

<1. 本発明が適用される液晶表示装置>

[1-1. システム構成]

図 1 は、本発明が適用されるアクティブマトリクス型液晶表示装置の構成の概略を示すシステム構成図である。液晶表示装置は、少なくとも一方が透明な 2 枚の基板（図示せず 50

）が所定の間隔をもって対向して配置され、これら2枚の基板間に液晶が封入されたパネル構造となっている。

【0028】

本適用例に係る液晶表示装置10は、液晶容量を含む複数の画素20と、当該画素20が行列状に2次元配列されてなる画素アレイ部30と、当該画素アレイ部30の周辺に配置された駆動部とを有する構成となっている。当該駆動部は、信号線駆動部40、制御線駆動部50及び駆動タイミング発生部60などからなり、例えば、画素アレイ部30と同じ基板（液晶表示パネル11_A）上に集積され、画素アレイ部30の各画素20を駆動する。

【0029】

ここで、液晶表示装置10がカラー表示対応の場合は、1つの画素は複数の副画素（サブピクセル）から構成され、この副画素の各々が画素20に相当することになる。より具体的には、カラー表示用の液晶表示装置では、1つの画素は、赤色（R）光の副画素、緑色（G）光の副画素、青色（B）光の副画素の3つの副画素から構成される。

【0030】

但し、1つの画素としては、RGBの3原色の副画素の組み合わせに限られるものではなく、3原色の副画素に更に1色あるいは複数色の副画素を加えて1つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光の副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために補色光の少なくとも1つの副画素を加えて1つの画素を構成したりすることも可能である。

【0031】

本適用例に係る液晶表示装置10は、画素20にメモリを内蔵し、アナログ表示モードによる表示とメモリ表示モードによる表示の両方に対応可能な構成となっている。前にも述べたように、アナログ表示モードとは、画素の階調をアナログ的に表示する表示モードである。また、メモリ表示モードとは、画素内のメモリに記憶されている2値情報（論理“1”／“0”）に基づいて、画素の階調をデジタル的に表示する表示モードである。

【0032】

メモリ表示モードの場合、メモリに保持されている情報を用いるため、階調を反映した信号電位の書き込み動作をフレーム周期で実行する必要がない。そのため、メモリ表示モードの場合は、階調を反映した信号電位の書き込み動作をフレーム周期で実行する必要があるアナログ表示モードの場合に比べて消費電力が少なくて済む利点がある。

【0033】

図1において、画素アレイ部30のm行n列の画素配列に対して、列方向に沿って信号線31₁～31_n（以下、単に「信号線31」と記述する場合もある）が画素列毎に配線されている。また、行方向に沿って制御線32₁～32_m（以下、単に「制御線32」と記述する場合もある）が画素行毎に配線されている。ここで、列方向とは画素列の画素の配列方向（即ち、垂直方向）を言い、行方向とは画素行の画素の配列方向（即ち、水平方向）を言う。

【0034】

信号線31₁～31_nの各一端は、信号線駆動部40の列に対応した各出力端に接続されている。信号線駆動部40は、任意の階調を反映した信号電位（アナログ表示モードではアナログ電位V_{sig}、メモリ表示モードでは2値電位V_{XCS}）を、対応する信号線31に対して出力するように動作する。また、信号線駆動部40は、例えばメモリ表示モードの場合でも、画素20内に保持する信号電位の論理レベルを入れ替える場合、必要な階調を反映した信号電位を対応する信号線31に対して出力するように動作する。

【0035】

図1では、制御線32₁～32_mについて、1本の配線として示しているが、1本に限られるものではない。実際には、制御線32₁～32_mは複数本の配線からなる。この制御線32₁～32_mの各一端は、制御線駆動部50の行に対応した各出力端に接続されている。制御線駆動部50は、例えばアナログ表示モードの場合、信号線駆動部40から信号線3

10

20

30

40

50

1₁～3 1_nに出力された、階調を反映した信号電位の画素2 0に対する書き込み動作の制御を行う。

【0 0 3 6】

ここで、本適用例に係る液晶表示装置1 0は、画素2 0に内蔵するメモリとしてD R A Mを用いる。D R A Mは、S R A Mに比べて構造が簡単であることが知られている。しかし、D R A Mは、データ保持のためにメモリをリフレッシュする必要がある。そこで、制御線駆動部5 0は、画素2 0内に保持する信号電位のリフレッシュ動作と再書き込み動作のための制御を行う（その詳細については後述する）。

【0 0 3 7】

駆動タイミング発生部（T G；タイミングジェネレータ）6 0は、信号線駆動部4 0及び制御線駆動部5 0に対して、これら駆動部4 0、5 0を駆動するための各種の駆動パルス（タイミング信号）を供給する。

【0 0 3 8】

[1-2. パネル断面構造]

図2は、液晶表示パネル（液晶表示装置）の断面構造の一例を示す断面図である。図2に示すように、液晶表示パネル1 0_Aは、所定の間隔をもって対向して設けられた2枚のガラス基板1 1、1 2と、これらガラス基板1 1、1 2間に封入された液晶層1 3とを有する構成となっている。

【0 0 3 9】

一方のガラス基板1 1の外側表面には偏光板1 4が設けられ、内側表面には配向膜1 5が設けられている。他方のガラス基板1 2についても同様に、外側表面には偏光板1 6が設けられ、内側表面には配向膜1 7が設けられている。配向膜1 5、1 7は、液晶層1 3の液晶分子群を一定方向に配列させるための膜である。この配向膜1 5、1 7としては、一般的に、ポリイミド膜が使用される。

【0 0 4 0】

また、他方のガラス基板1 2には、画素電極1 8及び対向電極1 9が透明導電膜によって形成されている。本構造例の場合、画素電極1 8は、櫛歯状に加工された例えば5本の電極枝1 8_Aを有し、これら電極枝1 8_Aの両端を連結部（図示せず）で連結した構造となっている。一方、対向電極1 9は、電極枝1 8_Aよりも下側（ガラス基板1 2側）に画素アレイ部3 0の領域の全体を覆うように形成されている。

【0 0 4 1】

この櫛歯状の画素電極1 8及び対向電極1 9による電極構造により、電極枝1 8_Aと対向電極1 9との間には、図2に破線で示すように、放射線状の電界が発生する。これにより、画素電極1 8の上面側の領域に対しても、電界の影響を与えることができる。このため、画素アレイ部3 0の領域全体に亘って、液晶層1 3の液晶分子群を所望の配向方向に向けることができる。

【0 0 4 2】

<2. 実施形態に係る液晶表示装置の説明>

上記構成のアクティブマトリックス型液晶表示装置1 0において、本実施形態では、メモリを内蔵し、アナログ表示モードによる表示とメモリ表示モードによる表示の両方に対応可能な画素2 0の具体的な構成を特徴としている。図3に、本実施形態に係る画素2 0の回路構成例を示す。

【0 0 4 3】

図3に示すように、本実施形態に係る画素2 0は、液晶容量2 1、容量素子2 2、インバータ回路2 3、及び、第1～第4のスイッチ素子2 4～2 7を有し、容量素子2 2をD R A Mとして利用する構成となっている。一般的に、D R A MはS R A Mに比べて構造が簡単であることが知られている。従って、内蔵するメモリとしてD R A Mを用いることにより、画素構造の簡略化を図ることができるため、画素2 0の微細化を図る上でS R A Mを用いる場合よりも有利となる。

【0 0 4 4】

液晶容量 21 は、画素電極（図 2 の画素電極 18 に相当）と当該画素電極に対向して形成される対向電極（図 2 の対向電極 19 に相当）との間で画素単位で発生する容量を意味する。液晶容量 21 の対向電極には、コモン電位 V_{COM} が全画素共通に与えられる。液晶容量 21 の画素電極は、容量素子 22 の一方の電極と電氣的に共通に接続されている。

【0045】

容量素子 22 は、信号線 31（ $31_1 \sim 31_n$ ）から後述する書き込み動作によって書き込まれる、階調を反映した信号電位（アナログ電位 V_{sig} または 2 値電位 V_{XCS} ）を保持する。以降、容量素子 22 を保持容量 22 と記述することとする。保持容量 22 の他方の電極には、当該保持容量 22 が保持する信号電位の基準となる電位（以下、「CS 電位」と記述する） V_{CS} が与えられる。CS 電位 V_{CS} は、コモン電位 V_{COM} とほぼ同電位に設定される。保持容量 22 は、メモリ表示モードでは DRAM として用いられる。

10

【0046】

第 1 のスイッチ素子 24 は、一端が信号線 31 に接続され、当該信号線 31 を介して与えられる、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を保持容量 22 に書き込む第 1 の動作モードでオン（閉）状態となる。すなわち、第 1 のスイッチ素子 24 は、第 1 の動作モードでオン状態となることによって信号電位（ V_{sig}/V_{XCS} ）を画素 20 内に書き込む（取り込む）。

【0047】

第 1 のスイッチ素子 24 は、保持容量 22 に保持されている電位（以下、「保持電位」と記述する）を読み出した後、当該保持電位の極性をインバータ回路 23 で反転し、その反転電位を保持容量 22 に再度書き込む第 2 の動作モードではオフ（開）状態になる。第 1 のスイッチ素子 24 のオン／オフ制御は、制御信号 $GATE_1$ によって行われる。

20

【0048】

第 2 のスイッチ素子 25 は、一端が第 1 のスイッチ素子 24 の他端に接続され、他端が保持容量 22 の一方の電極及び液晶容量 21 の画素電極に接続されている。そして、第 2 のスイッチ素子 25 は、第 1 の動作モード、第 2 の動作モードにおける保持容量 22 からの保持電位の読み出し期間、及び、保持容量 22 への反転電位の再書き込み期間にオン（閉）状態となり、それ以外の期間ではオフ（開）状態になる。第 2 のスイッチ素子 25 のオン／オフ制御は、制御信号 $GATE_2$ によって行われる。

【0049】

30

第 3 のスイッチ素子 26 は、一端が第 1 のスイッチ素子 24 の他端（第 2 のスイッチ素子 25 の一端）に接続され、第 1 の動作モードではオフ（開）状態となる。また、第 3 のスイッチ素子 26 は、第 2 の動作モードにおける読み出し期間にオン（閉）状態となることで、保持容量 22 から保持電位を第 2 のスイッチ素子 25 を通じて読み出し、インバータ回路 23 の入力端に与える。第 3 のスイッチ素子 26 のオン／オフ制御は、制御信号 SR_1 によって行われる。

【0050】

インバータ回路 23 は、入力端が第 3 のスイッチ素子 26 の他端に接続され、第 2 の動作モードにおける読み出し期間に第 2、第 3 のスイッチ素子 25、26 を通じて保持容量 22 から読み出された保持電位の極性を反転する、即ち、論理を反転する。

40

【0051】

第 4 のスイッチ素子 27 は、一端が第 1 のスイッチ素子 24 の他端（第 2 のスイッチ素子 25 の一端）に接続され、他端がインバータ回路 23 の出力端に接続され、第 1 の動作モードではオフ（開）状態となる。また、第 4 のスイッチ素子 27 は、第 2 の動作モードにおける再書き込み期間にオン（閉）状態となってインバータ回路 23 で極性反転された反転電位を第 2 のスイッチ素子 25 を通じて保持容量 22 に書き込む（再書き込み）。第 4 のスイッチ素子 27 のオン／オフ制御は、制御信号 SR_2 によって行われる。

【0052】

スイッチ素子 24～27 のオン／オフ制御を行うための制御信号 $GATE_1$ 、制御信号 $GATE_2$ 、制御信号 SR_1 、及び、制御信号 SR_2 は、図 1 の駆動タイミング発生部 60

50

によるタイミング制御の下に、制御線駆動部50から与えられる。

【0053】

上記構成の本実施形態に係る液晶表示装置10において、第1の動作モードでは、第3のスイッチ素子26及び第4のスイッチ素子27がオフ状態にある。従って、第1のスイッチ素子24及び第2のスイッチ素子25がオン状態になることで、これら第1、第2のスイッチ素子24、25を通じて信号線31から、階調を反映した信号電位（アナログ電位 V_{sig} または2値電位 V_{XCS} ）が保持容量22に書き込まれる。すなわち、第1の動作モードは、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を信号線31から保持容量22に書き込む動作モードである。

【0054】

一方、第2の動作モードでは、第1のスイッチ素子24がオフ状態になる。この状態において、第2のスイッチ素子25及び第3のスイッチ素子26がオン状態になる一方、第4のスイッチ素子27がオフ状態を維持する。このとき、保持容量22の保持電位が第2のスイッチ素子25及び第3のスイッチ素子26を通じて読み出され、インバータ回路23の入力端に与えられる。

【0055】

インバータ回路23は、保持容量22の保持電位の極性を反転し、その反転電位を出力する。その後、第3のスイッチ素子26がオフ状態となり、第4のスイッチ素子27がオン状態になる。そして、第4のスイッチ素子27は、インバータ回路23の反転電位を第2のスイッチ素子25を通じて保持容量22に書き込む（再書き込み動作）。すなわち、第2の動作モードは、保持容量22の保持電位を読み出し、インバータ回路23で極性反転（論理反転）して保持容量22に再度書き込む動作モードである。

【0056】

この第2の動作モードにおける一連の動作、即ち、保持容量22から保持電位を読み出す読み出し動作、及び、当該保持電位の極性を反転した反転電位を保持容量22に再度書き込む再書き込み動作により、所謂、リフレッシュ動作が実行される。このリフレッシュ動作は、第1のスイッチ素子24の作用によって、画素20を信号線31から切り離した状態で行われる。従って、リフレッシュ動作時に、大きな負荷容量を有する信号線31に対する充放電が行われることはない。

【0057】

すなわち、上記の画素構成によれば、リフレッシュ動作時に大きな負荷容量を有する信号線31の充放電が不要であるため、リフレッシュ動作に伴う消費電力を低く抑えることができる。また、リフレッシュ動作の際に、インバータ回路23の作用により、第2の動作モードの繰り返し周期（例えば、1フレーム周期）で、保持容量22に保持される電位の極性の反転動作が繰り返される。その結果、1フレーム周期で液晶に対する印加電圧の極性が反転駆動される液晶表示装置において、メモリ表示モードでは、画素電極と対向電極との間の電位関係を適切な状態に維持し続けることができる。

【0058】

上述したように、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を保持する保持容量22をDRAMとして利用し、アナログ表示モードによる表示とメモリ表示モードによる表示の両方に対応可能な液晶表示装置10において、本実施形態では次の構成を採用することを主な特徴としている。

【0059】

具体的には、画素20に対して、第4のスイッチ素子27による反転電位の書き込み後の一定期間、信号線31から第1のスイッチ素子24及び第3のスイッチ素子26を通じてインバータ回路23の入力端に電源電位を与える駆動を行う構成を採用する。このときの駆動は、第1、第3のスイッチ素子24、26のオン／オフ制御を行うための制御信号 $GATE_1$ 及び制御信号 SR_1 を発生する制御線駆動部50によって行われる。すなわち、制御線駆動部50は、上記の駆動を行う駆動部となる。

【0060】

また、信号線 31 から電源電位を与えるに当たって、図 1 の信号線駆動部 40 は、階調を反映した信号電位（アナログ電位 V_{sig} / 2 値電位 V_{XCS} ）の他に、当該電源電位を信号線 31 に対して適宜出力するように動作する。

【0061】

ここで言う「電源電位」とは、基本的に、正側の電源電位 V_{DD} や負側の電源電位 V_{SS} である。負側の電源電位 V_{SS} には、当然のことながら、接地（グランド）電位も含まれる。また、「電源電位」の概念には、電源電位 V_{DD} や電源電位 V_{SS} （接地電位）と厳密に一致する場合の他、インバータ回路の入力として与えることで以下に記述する貫通電流が流れないような電位であればよい。そして、種々の要因に起因する、例えば ± 0.3 V 程度の若干のばらつきの存在も勿論含まれるものとする。

10

【0062】

更に、液晶容量 21 の対向電極に印加されるコモン電位 V_{COM} や、保持容量 22 の他方の電極に印加される CS 電位 V_{CS} は、一般的に、電源電位 V_{DD} に設定される。従って、コモン電位 V_{COM} や CS 電位 V_{CS} 、更には、それらの反転電位 XV_{COM} 、 XV_{CS} も、「電源電位」の概念に含まれるものとする。

【0063】

ところで、インバータ回路 23 の反転動作後は、第 3 のスイッチ素子 26 がオフ状態にあり、インバータ回路 23 の入力端がフローティング状態にあるために、インバータ回路 23 の入力電位が不確定な状態となる。そして、インバータ回路 23 の入力電位が不確定状態にあると、当該入力電位がインバータ回路 23 の入力段の閾値を越える場合が生じ、その結果、インバータ回路 23 に貫通電流が流れるため消費電力の増大を招く。

20

【0064】

これに対して、第 4 のスイッチ素子 27 による反転電位の書き込み後の一定期間、信号線 31 から第 1、第 3 のスイッチ素子 24、26 を通じてインバータ回路 23 の入力端に電源電位を与えることで、当該インバータ回路 23 の入力電位が電源電位に確定される。これにより、入力電位がインバータ回路 23 の入力段の閾値を超えるような状態になることはなくなる。その結果、インバータ回路 23 に貫通電流が流れることはなくなるため、消費電力をより低く抑えることができる。

【0065】

ここで、インバータ回路 23 の入力段が例えば PchMOS トランジスタからなる場合は、電源電位として、正側の電源電位 V_{DD} 、コモン電位 V_{COM} 、あるいは、CS 電位 V_{CS} をインバータ回路 23 の入力端に与えるようにすればよい。また、インバータ回路 23 の入力段が例えば NchMOS トランジスタからなる場合は、電源電位として、負側の電源電位 V_{SS} 、コモン電位 V_{COM} の反転電位 XV_{COM} 、あるいは、CS 電位 V_{CS} の反転電位 XV_{CS} をインバータ回路 23 の入力端に与えるようにすればよい。いずれの場合にも、入力段の MOS トランジスタを確実に非導通状態にすることができるために、インバータ回路 23 に貫通電流が流れないようにすることができる。

30

【0066】

また、インバータ回路 23 の入力段が例えば CMOS インバータからなる場合は、電源電位として、正側の電源電位 V_{DD} 、 V_{COM} 、 V_{CS} を与えるようにしてもよいし、負側の電源電位 V_{SS} 、 XV_{COM} 、 XV_{CS} を与えるようにしてもよい。正側の電源電位 V_{DD} 、 V_{COM} 、 V_{CS} を与えることで、CMOS インバータの PchMOS トランジスタが確実に非導通状態になり、負側の電源電位 V_{SS} 、 XV_{COM} 、 XV_{CS} を与えることで、CMOS インバータの NchMOS トランジスタが確実に非導通状態になる。すなわち、正側、負側のいずれの電源電位を与えるようにしても、インバータ回路 23 に貫通電流が流れないようにすることができる。

40

【0067】

また、インバータ回路 23 の入力段が例えば CMOS インバータからなる場合には、必ずしも電源電位を与えなくても、CMOS インバータを構成する一方のトランジスタを確実に非導通状態にする電位を与えるようにすることで、所期の目的を達成できる。すなわ

50

ち、インバータ回路 23 の正側の電源電位を V_{DD} 、PchMOSトランジスタの閾値電圧を V_{thp} とするとき、 $(V_{DD} - V_{thp})$ 以上の電位を与えることで、PchMOSトランジスタを確実に非導通状態にできる。または、負側の電源電位を V_{SS} とし、NchMOSトランジスタの閾値電圧を V_{thn} とするとき、 $(V_{SS} + V_{thn})$ 以下の電位を与えることで、NchMOSトランジスタを確実に非導通状態にできる。従って、インバータ回路 23 の入力電位を、 $(V_{DD} - V_{thp})$ 以上の電位、または、 $(V_{SS} + V_{thn})$ 以下の電位に確定することで、インバータ回路 23 に貫通電流が流れないようにすることができる。

【0068】

尚、インバータ回路 23 については、画素 20 毎に 1 対 1 の対応関係をもって設ける構成を採ることも可能であるし、1 つのインバータ回路 23 を複数の画素 20 に対して共通に設ける（共有する）構成を採ることも可能である。以下に、保持容量 22 を DRAM として利用する画素 20 の具体的な実施例について説明する。

10

【0069】

[2-1. 実施例 1]

図 4 は、実施例 1 に係る画素の回路構成を示す回路図であり、図中、図 3 と同等部位には同一符号を付して示している。本実施例 1 に係る画素 20 は、インバータ回路 23 を画素毎に 1 対 1 の対応関係をもって設ける回路構成例となっている。

【0070】

(回路構成)

本実施例 1 に係る画素 20 においては、第 1～第 4 のスイッチ素子 24～27 として、例えば薄膜トランジスタを用いている。以下、第 1～第 4 のスイッチ素子 24～27 を、第 1～第 4 のスイッチングトランジスタ 24～27 と記述することとする。ここでは、第 1～第 4 のスイッチングトランジスタ 24～27 として NchMOSトランジスタを用いているが、PchMOSトランジスタを用いることも可能である。

20

【0071】

第 1～第 4 のスイッチングトランジスタ 24～27 は、各ゲート電極に与えられる制御信号 $GATE_1$ 、制御信号 $GATE_2$ 、制御信号 SR_1 、及び、制御信号 SR_2 によって導通／非導通の制御が行われる。これら制御信号 $GATE_1$ 、制御信号 $GATE_2$ 、制御信号 SR_1 、及び、制御信号 SR_2 は、図 1 の駆動タイミング発生部 60 によるタイミング制御の下に、制御線駆動部 50 から与えられる。

30

【0072】

第 1 のスイッチングトランジスタ 24 は、一方の主電極（ドレイン電極／ソース電極）が信号線 31 に接続されている。そして、第 1 のスイッチングトランジスタ 24 は、制御信号 $GATE_1$ による制御の下に、階調を反映した信号電位 (V_{sig}/V_{XCS}) を信号線 31 から画素 20 内に書き込む（取り込む）ときに導通状態となる。

【0073】

第 2 のスイッチングトランジスタ 25 は、一方の主電極が液晶容量 21 の画素電極及び保持容量 22 の一方の電極に共通に接続され、他方の主電極が第 1 のスイッチングトランジスタ 24 の他方の主電極に接続されている。そして、第 2 のスイッチングトランジスタ 25 は、制御信号 $GATE_2$ による制御の下に、階調を反映した信号電位 (V_{sig}/V_{XCS}) を信号線 31 から保持容量 22 に書き込むときに導通状態となる。

40

【0074】

第 3 のスイッチングトランジスタ 26 は、一方の主電極が第 1 のスイッチングトランジスタ 24 の他方の主電極（第 2 のスイッチングトランジスタ 25 の他方の主電極）に接続され、他方の主電極がインバータ回路 23 の入力端に接続されている。そして、第 3 のスイッチングトランジスタ 26 は、制御信号 SR_1 による制御の下に、信号線 31 から階調を反映した信号電位 (V_{sig}/V_{XCS}) を画素 20 内に書き込むときに非導通状態となる。

【0075】

第 3 のスイッチングトランジスタ 26 は更に、制御信号 SR_1 による制御の下に、メモリ表示モードにおけるリフレッシュ動作の実行時に、各フレームの終了直前の一定期間に

50

において導通状態となる。因みに、第3のスイッチングトランジスタ26が導通状態にあるときに、DRAMとして機能する保持容量22の保持電位が、第2のスイッチングトランジスタ25及び第3のスイッチングトランジスタ26を通してインバータ回路23の入力端に読み出される。

【0076】

第4のスイッチングトランジスタ27は、一方の主電極が第1のスイッチングトランジスタ24の他方の主電極（第2のスイッチングトランジスタ25の他方の主電極）に接続され、他方の主電極がインバータ回路23の出力端に接続されている。そして、第4のスイッチングトランジスタ27は、制御信号 SR_2 による制御の下に、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を信号線31から画素20内に書き込むときに非導通状態となる。

10

【0077】

第4のスイッチングトランジスタ27は更に、制御信号 SR_2 による制御の下に、メモリ表示モードにおけるリフレッシュ動作の実行時に、各フレームの開始直後の一定期間において導通状態となる。因みに、第4のスイッチングトランジスタ27が導通状態にあるときに、インバータ回路23で極性が反転（論理が反転）された、階調を反映した信号電位が、第4のスイッチングトランジスタ27及び第2のスイッチングトランジスタ25を通して保持容量22に書き込まれる。

【0078】

インバータ回路23は、例えば、CMOSインバータによって構成されている。具体的には、インバータ回路23は、電源電位 V_{DD} の電源ラインと電源電位 V_{SS} の電源ラインとの間に直列に接続されたPchMOSトランジスタ231及びNchMOSトランジスタ232によって構成されている。

20

【0079】

PchMOSトランジスタ231及びNchMOSトランジスタ232の各ゲート電極は共通に接続されてインバータ回路23の入力端となっている。この入力端は、第3のスイッチングトランジスタ26の他方の主電極に接続されている。また、PchMOSトランジスタ231及びNchMOSトランジスタ232の各ドレイン電極は共通に接続されてインバータ回路23の出力端となっている。この出力端は、第4のスイッチングトランジスタ27の他方の主電極に接続されている。

【0080】

30

（回路動作）

続いて、上記構成の実施例1に係る画素20の回路動作について、表示モード別に説明する。

【0081】

（1）アナログ表示モード

図5は、実施例1に係る画素20のアナログ表示モードの動作説明に供するタイミング波形図である。図5には、（A）信号線31の電位（即ち、階調を反映した信号電位）、（B）制御信号 $GATE_1/GATE_2$ 、及び、（C）制御信号 SR_1/SR_2 の各波形を示している。

【0082】

40

本例の場合、液晶容量21の画素電極と対向電極との間に印加される電圧の極性が1水平期間（1H/1ライン）の周期で反転駆動される、即ち、ライン反転駆動される。周知の通り、液晶表示装置では、液晶に同極性の直流電圧が印加され続けることによって液晶の比抵抗（物質固有の抵抗値）等が劣化するのを防ぐために、コモン電位 V_{COM} を中心にある周期にて液晶に対する印加電圧の極性を反転する交流駆動が行われる。

【0083】

この交流駆動として、本例ではライン反転駆動が行われる。このライン反転駆動を実現するために、信号線31の電位である、階調を反映した信号電位の極性は、図5（A）に示すように、1H周期で反転する。図5（A）の波形において、High側電位は V_{DD1} であり、Low側電位は V_{SS1} である。また、図5（A）には、最大振幅 $V_{DD1} - V_{SS1}$ の

50

場合の例を示している。実際には、信号線 31 の電位は、階調に応じて $V_{DD1} - V_{SS1}$ の範囲内のいずれかの電位レベルをとる。

【0084】

制御信号 $GATE_1 / GATE_2$ の波形を示す図 5 (B) において、High 側電位は V_{DD2} であり、Low 側電位は V_{SS2} である。制御信号 $GATE_1 / GATE_2$ は、信号線 31 から保持容量 22 に対して、階調を反映した信号電位を書き込む書き込み期間において High 側電位 V_{DD2} になる。

【0085】

制御信号 SR_1 / SR_2 の波形を示す図 5 (C) においても、High 側電位は V_{DD2} であり、Low 側電位は V_{SS2} である。制御信号 SR_1 / SR_2 は、アナログ表示モードでは常に Low 側電位は V_{SS2} の状態にある。

10

【0086】

図 6 に、アナログ表示モードにおいて、階調を反映した信号電位を信号線 31 から書き込む際の画素 20 内の状態を示す。図 6 では、理解を容易にするために、第 1～第 4 のスイッチングトランジスタ 24～27 をスイッチのシンボルを用いて表している。

【0087】

階調を反映した信号電位の書き込み期間では、第 1、第 2 のスイッチングトランジスタ 24、25 が共に導通状態（スイッチ閉状態）となる。一方、第 3、第 4 のスイッチングトランジスタ 26、27 は共に全期間に亘って非導通状態（スイッチ開状態）となって、液晶容量 21 の画素電極や保持容量 22 側とインバータ回路 23 側とを電氣的に完全に分離する。これにより、図 6 に一点鎖線の矢印で示すように、階調を反映した信号電位が、第 1 のスイッチングトランジスタ 24 及び第 2 のスイッチングトランジスタ 25 を通して保持容量 22 に書き込まれる。

20

【0088】

(2) メモリ表示モード

メモリ表示モードでは、階調を反映した信号電位を信号線 31 から保持容量 22 に書き込む書き込み動作と、保持容量 22 の保持電位をリフレッシュするリフレッシュ動作とが行われる。このうち、書き込み動作は、表示内容を変更する場合等に実行される動作である。なお、信号線 31 から階調を反映した信号電位を保持容量 22 に書き込む動作については、アナログ表示モードの場合と同じであるので、ここではその説明については省略する。

30

【0089】

図 7 は、実施例 1 に係る画素 20 のメモリ表示モードにおけるリフレッシュ動作の動作説明に供するタイミング波形図であり、1 フレーム (1 F) 単位での駆動動作の関係を示している。図 7 には、(A) 制御信号 $GATE_2$ 、(B) 制御信号 SR_1 / SR_2 、(C) CS 電位 V_{CS} 、及び、(D) 保持容量 22 に書き込む信号電位 PIX の各波形を示している。

【0090】

図 7 のタイミング波形図から明らかなように、制御信号 $GATE_2$ 及び制御信号 SR_1 / SR_2 は、1 フレーム周期で High 側電位がパルス状に発生する。CS 電位 V_{CS} は、1 フレーム周期で交互に High 側電位と Low 側電位になる。保持容量 22 に書き込む信号電位 PIX は、交流駆動を実現するために 1 フレーム周期で極性が反転する。

40

【0091】

尚、メモリ表示モードでは、制御信号 $GATE_1$ は常に Low 側電位の状態にある。これにより、第 1 のスイッチングトランジスタ 24 は非導通状態（スイッチ開状態）となって画素 20 を信号線 31 から電氣的に切り離す。

【0092】

次に、1 フレーム内での動作の詳細について説明する。図 8 は、ある走査線についてのメモリ表示モードにおける動作の説明に供するタイミング波形図である。図 8 には、図 7 のフレームの境界部分における、(A) 信号線 31 の電位、(B) 制御信号 $GATE_1$ 、

50

(C) 制御信号 $GATE_2$ 、(D) 制御信号 SR_1 、及び、(E) 制御信号 SR_2 の各波形を拡大した状態で表している。

【0093】

図8には更に、保持容量22に保持されている電位(保持電位) PIX 、インバータ回路23の入力電位 INV_{in} 、及び、出力電位 INV_{out} の各波形についても拡大した状態で表している。尚、図8では、現フレームをフレームNで表し、次フレームをフレームN+1で表している。また、本例では、制御信号 $GATE_1$ 、制御信号 $GATE_2$ 、制御信号 SR_1 、及び、制御信号 SR_2 のパルス幅については、例えば1Hを単位としている。

【0094】

第2のスイッチングトランジスタ25の導通/非導通の制御を行う制御信号 $GATE_2$ は、現フレームNの終了直前(本例では、2H前)から次フレームN+1の開始直後(本例では、2H後)までの一定期間(本例では、4H期間) $HIGH$ 側電位 V_{DD2} となる。第3のスイッチングトランジスタ26の導通/非導通の制御を行う制御信号 SR_1 は、各フレームの終了直前(本例では、2H前)に一定期間(本例では、1H期間)だけ $HIGH$ 側電位 V_{DD2} となる。第4のスイッチングトランジスタ27の導通/非導通の制御を行う制御信号 SR_2 は、各フレームの開始直後(本例では、1H後)に一定期間(本例では、2H期間)だけ $HIGH$ 側電位 V_{DD2} となる。

【0095】

制御信号 $GATE_2$ が $HIGH$ 側電位 V_{DD2} となることによって第2のスイッチングトランジスタ25が導通状態になるフレームの境界部分において、先ず、制御信号 SR_1 が $HIGH$ 側電位 V_{DD2} となることによって第3のスイッチングトランジスタ26が導通状態になる。これにより、保持容量22の保持電位 PIX が第2、第3のスイッチングトランジスタ25、26を通して読み出され、インバータ回路23にその入力電位 INV_{in} として与えられる。

【0096】

インバータ回路23は、保持容量22から読み出された保持電位 PIX の極性(論理)を反転する。このインバータ回路23の作用により、 $HIGH$ 側電位 V_{DD1} の入力電位 INV_{in} が、 LOW 側電位 V_{SS1} の出力電位 INV_{out} に極性反転される。入出力電位 INV_{in} 、 INV_{out} において、 $HIGH$ 側電位 V_{DD1} は図4の正側の電源電位 V_{DD} に相当し、 LOW 側電位 V_{SS1} は負側の電源電位 V_{SS} に相当する。

【0097】

ここで、第3のスイッチングトランジスタ26のゲートソース間には寄生容量が存在する。従って、制御信号 SR_1 が $HIGH$ 側電位 V_{DD2} から LOW 側電位 V_{SS2} に遷移するタイミングでは、当該寄生容量によるカップリングにより、インバータ回路23の入力電位 INV_{in} は $HIGH$ 側電位 V_{DD1} から電位 ΔV だけ降下(低下)する。

【0098】

次フレームN+1に入り、制御信号 SR_2 が $HIGH$ 側電位 V_{DD2} となることによって第4のスイッチングトランジスタ27が導通状態になる。これにより、インバータ回路23で極性反転(論理反転)された信号電位、即ち、インバータ回路23の出力電位 INV_{out} が、第4、第2のスイッチングトランジスタ27、25を通して保持容量22に書き込まれる。その結果、保持容量22の保持電位 PIX の極性が反転する。この一連の動作により、保持容量22の保持電位 PIX の極性反転動作及びリフレッシュ動作が実行される。

【0099】

そして、リフレッシュ動作では、大きな負荷容量を有する信号線31の充放電は行われない。換言すれば、インバータ回路23及び第1～第4のスイッチングトランジスタ24～27の作用により、大きな負荷容量を有する信号線31に対する充放電を行わずに、保持容量22の保持電位 PIX のリフレッシュ動作を行うことができる。

【0100】

上述した、保持容量22の保持電位 PIX の極性反転動作及びリフレッシュ動作が、メ

10

20

30

40

50

メモリ表示モードの間、1フレーム周期で繰り返して実行される。

【0101】

以上説明した実施例1に係る画素20によれば、アナログ表示モードにもメモリ表示モードにも対応可能な液晶表示装置を実現できる。しかも、メモリ表示モードにおいて、保持容量22をDRAMとして利用しているために、メモリとしてSRAMを用いる場合に比べて画素構造の簡略化を図ることができる。従って、メモリとしてSRAMを用いる場合に比べて画素20の微細化を図る上で有利となる。

【0102】

また、メモリ表示モードにおいては、画素20と信号線31とを基本的に電氣的に接続する必要がない。すなわち、大きな負荷容量を有する信号線31を充放電しなくても、DRAMとして動作させる保持容量22の保持電位をリフレッシュできる。従って、メモリ表示モードにおける消費電力を更に少なく抑えることができる。

【0103】

ところで、インバータ回路23の極性反転動作後は、第3のスイッチングトランジスタ26が非導通状態にあるために、インバータ回路23の入力端がフローティング状態にある。このフローティング状態においては、容量カップリングによって $V_{DD1} (= V_{DD}) - \Delta V$ の電位に低下していたインバータ回路23の入力電位 INV_{in} が不確定な状態となり、リーク電流等によって低下する場合がある。

【0104】

そして、入力電位 INV_{in} がインバータ回路23を構成するPchMOSトランジスタ231の閾値電圧 V_{thp} を超えると、即ち、 $V_{DD1} (= V_{DD}) - V_{thp}$ よりも低くなると、PchMOSトランジスタ231が導通状態になる。このとき、NchMOSトランジスタ232が導通状態にあることから、インバータ回路23にはMOSトランジスタ231、232を通して貫通電流が流れる。インバータ回路23に貫通電流が流れると、画素20個々の消費電力、ひいては、液晶表示装置10全体の消費電力の増大を招く。

【0105】

そこで、本実施例1に係る画素20においては、インバータ回路23に貫通電流が流れないようにするために、第4のスイッチ素子27による反転電位の書き込み後一定期間インバータ回路23の入力電位 INV_{in} を電源電位に確定する。具体的には、図8に示すように、制御信号 SR_2 のHigh側電位 V_{DD2} からLow側電位 V_{SS2} への遷移タイミングから一定期間（本例では、1H）経過後に、一定期間（本例では、1H）だけ制御信号 $GATE_1$ 、 SR_1 をLow側電位 V_{SS2} からHigh側電位 V_{DD2} に遷移させる。

【0106】

このとき、図1に示す信号線駆動部40からは信号線31に対して、階調を反映した信号電位に代えて電源電位、例えば、Low側電位 V_{SS1} に相当する接地（GND）電位が出力されているものとする。そして、制御信号 $GATE_1$ 、 SR_1 に応答して第1、第3のスイッチングトランジスタ24、26が導通状態になることで、これらスイッチングトランジスタ24、26を通して信号線31から接地（GND）電位がインバータ回路23の入力端に書き込まれる。

【0107】

これにより、極性反転動作後のインバータ回路23の入力電位 INV_{in} が電源電位、具体的には、接地（GND）電位に確定された状態となる。入力電位 INV_{in} が接地電位に確定された状態では、PchMOSトランジスタ231が導通状態にあっても、NchMOSトランジスタ232が確実に非導通状態になるため、インバータ回路23に貫通電流が流れることはない。これにより、画素20個々の消費電力、ひいては、液晶表示装置10全体の消費電力を低く抑えることができる。

【0108】

特に、インバータ回路23の入力電位 INV_{in} を確定する電源電位として負側（Low側）の電源電位 V_{SS1} 、本例では接地（GND）電位を用いることで、特有の作用効果を得ることができる。すなわち、制御信号 SR_1 がHigh側電位 V_{DD2} からLow側電位 V_{SS2}

10

20

30

40

50

ss_2 に遷移するタイミングでは、第3のスイッチングトランジスタ26のゲートソース間に存在する寄生容量によるカップリングによりインバータ回路23の入力電位 INV_{in} は、接地電位から更に電位 ΔV だけ降下する。

【0109】

これにより、NchMOSトランジスタ232をより確実に非導通状態にすることができるため、インバータ回路23に対する貫通電流の阻止をより確実に行えることになる。特に、次フレームの確定動作までの1フレーム期間に、リーク電流が多少流れることで入力電位 INV_{in} が上昇したとしても、接地電位 $-\Delta V$ からの上昇となるため、接地電位からの上昇の場合に比べて、NchMOSトランジスタ232非導通状態を維持することができる。

10

【0110】

尚、インバータ回路23の入力電位 INV_{in} を確定する電源電位として負側の電源電位 V_{ss1} に代えて正側の電源電位 V_{DD1} を、信号線31からインバータ回路23の入力端に書き込むようにしてもよい。インバータ回路23の入力電位 INV_{in} を正側の電源電位 V_{DD1} に確定することで、NchMOSトランジスタ232が導通状態にあっても、PchMOSトランジスタ231を確実に非導通状態にすることができるため、インバータ回路23に貫通電流が流れることはない。

【0111】

ところで、本実施例1に係る画素20では、保持容量22をDRAMとして利用する構成を採ることで、信号線31から保持容量22に至る書き込み経路を、第1、第2のスイッチングトランジスタ24、25からなるダブルトランジスタ構造となっている。このダブルトランジスタ構造によれば、一方のスイッチングトランジスタ24/25に規定値を超えるリーク電流が流れたとしても、他方のスイッチングトランジスタ25/24で当該規定値を超えるリーク電流が流れるのを阻止することができる。従って、リーク電流を規定値内に抑えた液晶表示パネル10Aを得ることができる。

20

【0112】

一方で、インバータ回路23の入力電位 INV_{in} を電源電位に確定するには、一般的には、第1のスイッチングトランジスタ24を常時導通状態にして、信号線31から電源電位をインバータ回路23の入力端に与える手法が考えられる。しかしながら、保持容量22をDRAMとして利用する画素20であって、ダブルトランジスタ構造を採る場合は、第1のスイッチングトランジスタ24を常時導通状態にすることは、上述したリーク電流の観点からは好ましくない。従って、ダブルトランジスタ構造を採る本実施例1に係る画素20にあっては、上述したように、1フレーム期間における一定期間だけ第1のスイッチングトランジスタ24を導通状態にして、信号線31から電源電位をインバータ回路23の入力端に与える手法が有効となる。

30

【0113】

[2-2. 実施例2]

図9は、実施例2に係る画素の回路構成を示す回路図であり、図中、図4と同等部位には同一符号を付して示している。本実施例2に係る画素20は、カラー表示対応の画素であり、例えば、R、G、Bの3つの副画素 20_R 、 20_G 、 20_B により1つの画素を構成している。そして、1つのインバータ回路23を3つの副画素 20_R 、 20_G 、 20_B で共有する構成を採っている。

40

【0114】

(回路構成)

本実施例2に係る副画素 20_R 、 20_G 、 20_B でも、実施例1に係る画素20の場合と同様に、第1～第4のスイッチ素子である第1～第4のスイッチングトランジスタ24～27として、例えば薄膜トランジスタを用いている。

【0115】

赤色(R)に対応する副画素 20_R は、液晶容量 21_R 及び保持容量 22_R に加えて、第2のスイッチングトランジスタ 25_R を有している。第2のスイッチングトランジスタ2

50

5_Rは、一方の主電極が液晶容量21_Rの画素電極及び保持容量22_Rの一方の電極に共通に接続され、他方の主電極が第1のスイッチングトランジスタ24の他方の主電極に接続されている。そして、第2のスイッチングトランジスタ25_Rは、赤色に対応する制御信号GATE_{2R}による制御の下に、階調を反映した信号電位(V_{sig}/V_{XCS})を保持容量22_Rに書き込むときに導通状態となる。

【0116】

同様に、緑色(G)に対応する副画素20_Gは、液晶容量21_G及び保持容量22_Gに加えて、第2のスイッチングトランジスタ25_Gを有している。第2のスイッチングトランジスタ25_Gは、一方の主電極が液晶容量21_Gの画素電極及び保持容量22_Gの一方の電極に共通に接続され、他方の主電極が第1のスイッチングトランジスタ24の他方の主電極に接続されている。そして、第2のスイッチングトランジスタ25_Gは、緑色に対応する制御信号GATE_{2G}による制御の下に、階調を反映した信号電位(V_{sig}/V_{XCS})を保持容量22_Gに書き込むときに導通状態となる。

10

【0117】

同様に、青色(B)に対応する副画素20_Bは、液晶容量21_B及び保持容量22_Bに加えて、第2のスイッチングトランジスタ25_Bを有している。第2のスイッチングトランジスタ25_Bは、一方の主電極が液晶容量21_Bの画素電極及び保持容量22_Bの一方の電極に共通に接続され、他方の主電極が第1のスイッチングトランジスタ24の他方の主電極に接続されている。そして、第2のスイッチングトランジスタ25_Bは、青色に対応する制御信号GATE_{2B}による制御の下に、階調を反映した信号電位(V_{sig}/V_{XCS})を保持容量22_Bに書き込むときに導通状態となる。

20

【0118】

これら副画素20_R、20_G、20_Bに対して、インバータ回路23、第1のスイッチングトランジスタ24、及び、第3、第4のスイッチングトランジスタ26、27が共通に設けられている。インバータ回路23の回路構成、第1のスイッチングトランジスタ24、及び、第3、第4のスイッチングトランジスタ26、27の接続関係、並びに、それらの機能については、実施例1の場合と基本的に同じである。

【0119】

すなわち、第1のスイッチングトランジスタ24は、一方の主電極(ドレイン電極/ソース電極)が信号線31に接続されている。そして、第1のスイッチングトランジスタ24は、制御信号GATE₁による制御の下に、信号線31から階調を反映した信号電位(V_{sig}/V_{XCS})を画素20内に書き込む(取り込む)ときに導通状態となる。

30

【0120】

第3のスイッチングトランジスタ26は、一方の主電極が第1のスイッチングトランジスタ24の他方の主電極(第2のスイッチングトランジスタ25_R、25_G、25_Bの各他方の主電極)に接続され、他方の主電極がインバータ回路23の入力端に接続されている。そして、第3のスイッチングトランジスタ26は、制御信号SR₁による制御の下に、信号線31から階調を反映した信号電位(V_{sig}/V_{XCS})を画素20内に書き込むときに非導通状態となる。

【0121】

40

第3のスイッチングトランジスタ26は更に、制御信号SR₁による制御の下に、メモリ表示モードにおけるリフレッシュ動作の実行時に、各フレームの終了直前の一定期間において導通状態となる。因みに、第3のスイッチングトランジスタ26が導通状態にあるときに、DRAMとして機能する保持容量22_R、22_G、22_Bの各保持電位が、第2のスイッチングトランジスタ25_R、25_G、25_B及び第3のスイッチングトランジスタ26を通してインバータ回路23の入力端に読み出される。

【0122】

第4のスイッチングトランジスタ27は、一方の主電極が第1のスイッチングトランジスタ24の他方の主電極(第2のスイッチングトランジスタ25_R、25_G、25_Bの各他方の主電極)に接続され、他方の主電極がインバータ回路23の出力端に接続されている

50

。そして、第4のスイッチングトランジスタ27は、制御信号 SR_2 による制御の下に、信号線31から階調を反映した信号電位(V_{sig}/V_{XCS})を画素20内に書き込むときに非導通状態となる。

【0123】

第4のスイッチングトランジスタ27は更に、制御信号 SR_2 による制御の下に、メモリ表示モードにおけるリフレッシュ動作の実行時に、各フレームの開始直後の一定期間において導通状態となる。因みに、第4のスイッチングトランジスタ27が導通状態にあるときに、インバータ回路23で極性が反転(論理が反転)された、階調を反映した信号電位が、第4のスイッチングトランジスタ27及び第2のスイッチングトランジスタ 25_R 、 25_G 、 25_B を通して保持容量22に書き込まれる。

10

【0124】

インバータ回路23は、例えば、CMOSインバータによって構成されている。具体的には、インバータ回路23は、電源電位 V_{DD} の電源ラインと電源電位 V_{SS} の電源ラインとの間に直列に接続されたPchMOSトランジスタ231及びNchMOSトランジスタ232によって構成されている。

【0125】

PchMOSトランジスタ231及びNchMOSトランジスタ232の各ゲート電極は共通に接続されてインバータ回路23の入力端となっている。この入力端は、第3のスイッチングトランジスタ26の他方の主電極に接続されている。また、PchMOSトランジスタ231及びNchMOSトランジスタ232の各ドレイン電極は共通に接続されてインバータ回路23の出力端となっている。この出力端は、第4のスイッチングトランジスタ27の他方の主電極に接続されている。

20

【0126】

(回路動作)

続いて、上記構成の実施例2に係る画素、即ち、副画素 20_R 、 20_G 、 20_B の回路動作について、表示モード別に説明する。

【0127】

(1) アナログ表示モード

図10は、実施例2に係る副画素 20_R 、 20_G 、 20_B のアナログ表示モードの動作説明に供するタイミング波形図である。図10には、(A)信号線31の電位、(B)制御信号 $GATE_1$ 、(C)赤色に対応した制御信号 $GATE_{2R}$ 、(D)緑色に対応した制御信号 $GATE_{2G}$ 、(E)青色に対応した制御信号 $GATE_{2B}$ 、及び、(F)制御信号 SR_1/SR_2 の各波形を示している。

30

【0128】

本例の場合、液晶容量 21_R 、 21_G 、 21_B の画素電極と対向電極との間に印加される電圧の極性が1水平期間(1H/1ライン)の周期で反転駆動される、即ち、ライン反転駆動される(交流駆動)。このライン反転駆動を実現するために、信号線31の電位である、階調を反映した信号電位の極性は、図10(A)に示すように、1H周期で反転する。

【0129】

図10(A)に示す、階調を反映した信号電位の波形において、High側電位は V_{DD1} であり、Low側電位は V_{SS1} である。また、図10(A)には、最大振幅 $V_{DD1} - V_{SS1}$ の場合の例を示している。実際には、信号線31の電位は、階調に応じて $V_{DD1} - V_{SS1}$ の範囲内のいずれかの電位レベルをとる。

40

【0130】

制御信号 $GATE_1$ の波形を示す図10(B)において、High側電位は V_{DD2} であり、Low側電位は V_{SS2} である。制御信号 $GATE_1$ は、信号線31から保持容量 22_R 、 22_G 、 22_B に対して、階調を反映した信号電位を書き込む書き込み期間においてHigh側電位 V_{DD2} になる。

【0131】

50

制御信号 $GATE_{2R}$, $GATE_{2G}$, $GATE_{2B}$ の各波形を示す図 10 (C), (D), (E) においても、High 側電位は V_{DD2} であり、Low 側電位は V_{SS2} である。制御信号 $GATE_{2R}$, $GATE_{2G}$, $GATE_{2B}$ は、信号線 31 から保持容量 22_R , 22_G , 22_B に対して、階調を反映した信号電位を書き込む書き込み期間、即ち、制御信号 $GATE_1$ が High 側電位 V_{DD2} になる期間において、例えば $R \rightarrow G \rightarrow B$ の順番で High 側電位 V_{DD2} になる。

【0132】

尚、制御信号 $GATE_{2R}$, $GATE_{2G}$, $GATE_{2B}$ が High 側電位 V_{DD2} になる期間は互いに重複しないように設定されている。また、制御信号 $GATE_{2R}$, $GATE_{2G}$, $GATE_{2B}$ が High 側電位 V_{DD2} になる各期間には、各色に対応する、階調を反映した信号電位 V_{sig} が、図 1 の信号線駆動部 40 から信号線 31 に対して出力されることになる。

10

【0133】

制御信号 SR_1/SR_2 の波形を示す図 10 (F) においても、High 側電位は V_{DD2} であり、Low 側電位は V_{SS2} である。制御信号 SR_1/SR_2 は、アナログ表示モードでは常に Low 側電位は V_{SS2} の状態にある。

【0134】

(2) メモリ表示モード

メモリ表示モードでは、信号線 31 から階調を反映した信号電位を保持容量 22_R , 22_G , 22_B に書き込む書き込み動作と、保持容量 22_R , 22_G , 22_B の保持電位をリフレッシュするリフレッシュ動作とが行われる。このうち、書き込み動作は、表示内容を変更する場合等に実行される動作である。なお、信号線 31 から階調を反映した信号電位を保持容量 22_R , 22_G , 22_B に書き込む動作については、アナログ表示モードの場合と同じであるので、ここではその説明を省略する。

20

【0135】

図 11 は、実施例 2 に係る副画素 20_R , 20_G , 20_B のメモリ表示モードにおけるリフレッシュ動作の動作説明に供するタイミング波形図であり、1 フレーム (1 F) 単位での駆動動作の関係を示している。図 11 には、(A) 制御信号 $GATE_{2R}$ 、(B) 制御信号 $GATE_{2G}$ 、(C) 制御信号 $GATE_{2B}$ 、(D) 制御信号 SR_1/SR_2 、及び、(E) CS 電位 V_{CS} の各波形を示している。図 11 には更に、(F) 保持容量 22_R に書き込む信号電位 PIX_R 、(G) 保持容量 22_G に書き込む信号電位 PIX_G 、及び、(H) 保持容量 22_B に書き込む信号電位 PIX_B の各波形を示している。

30

【0136】

図 11 のタイミング波形図から明らかなように、制御信号 $GATE_{2R}$, $GATE_{2G}$, $GATE_{2B}$ は、3 フレーム周期で High 側電位がパルス状に発生する。制御信号 SR_1/SR_2 は、1 フレーム周期で High 側電位がパルス状に発生する。CS 電位 V_{CS} は、1 フレーム周期で交互に High 側電位と Low 側電位になる。

【0137】

また、図 11 (F), (G), (H) において、点線で示す波形が CS 電位 V_{CS} の波形であり、実線で示す波形が階調を反映した信号電位 PIX_R , PIX_G , PIX_B の波形である。CS 電位 V_{CS} の 1 フレーム周期での変化に伴って、階調を反映した信号電位 PIX_R , PIX_G , PIX_B も 1 フレーム周期で変化するが、CS 電位 V_{CS} と信号電位 PIX_R , PIX_G , PIX_B との電位関係は、3 フレーム周期で変化する。

40

【0138】

すなわち、各色の保持容量 22_R , 22_G , 22_B の保持電位 PIX_R , PIX_G , PIX_B に対する、極性反転動作及びリフレッシュ動作は 3 フレーム周期で実行される。勿論、前回の極性反転動作及びリフレッシュ動作から今回の極性反転動作及びリフレッシュ動作までは、副画素 20_R , 20_G , 20_B における電位関係が維持される。従って、本例の場合、保持容量 22_R , 22_G , 22_B には、リフレッシュレートが 3 フレーム周期になっても、階調を反映した信号電位 PIX_R , PIX_G , PIX_B を保持できるだけの容量が求めら

50

れる。

【0139】

尚、メモリ表示モードでは、制御信号 $GATE_1$ は常に Low 側電位の状態にある。これにより、第1のスイッチングトランジスタ 24 は非導通状態（スイッチ開状態）となって副画素 20_R 、 20_G 、 20_B の各々を信号線 31 から電氣的に切り離す。

【0140】

次に、1フレーム内での動作の詳細について説明する。図12は、ある走査線についてのメモリ表示モードにおける動作の説明に供するタイミング波形図である。ここでは、一例として、緑色に対応した副画素 20_G の場合を例に挙げて説明するが、他の色の副画素 20_R 、 20_B の場合についても、副画素 20_G の場合と同じである。

10

【0141】

図12には、図11のフレームの境界部分における、(A) 信号線 31 の電位、(B) 制御信号 $GATE_1$ 、(C) G に対応した制御信号 $GATE_{2G}$ 、(D) 制御信号 SR_1 、及び、(E) 制御信号 SR_2 の各波形を拡大した状態で表している。図12には更に、保持容量 22_G に保持されている電位（保持電位） PIX_G 、インバータ回路 23 の入力電位 INV_{in} 、及び、出力電位 INV_{out} の各波形についても拡大した状態で表している。

【0142】

尚、図12では、現フレームをフレーム N で表し、次フレームをフレーム $N+1$ で表している。また、本例では、制御信号 $GATE_1$ 、制御信号 $GATE_{2G}$ 、制御信号 SR_1 、及び、制御信号 SR_2 のパルス幅については、例えば $1H$ を単位としている。

20

【0143】

第2のスイッチングトランジスタ 25_G の導通／非導通の制御を行う制御信号 $GATE_2$ は、現フレーム N の終了直前（本例では、 $2H$ 前）から次フレーム $N+1$ の開始直後（本例では、 $2H$ 後）までの一定期間（本例では、 $4H$ 期間） $HIGH$ 側電位 V_{DD2} となる。第3のスイッチングトランジスタ 26 の導通／非導通の制御を行う制御信号 SR_1 は、各フレームの終了直前（本例では、 $2H$ 前）に一定期間（本例では、 $1H$ 期間）だけ $HIGH$ 側電位 V_{DD2} となる。第4のスイッチングトランジスタ 27 の導通／非導通の制御を行う制御信号 SR_2 は、各フレームの開始直後（本例では、 $1H$ 後）に一定期間（本例では、 $2H$ 期間）だけ $HIGH$ 側電位 V_{DD2} となる。

【0144】

30

制御信号 $GATE_{2G}$ が $HIGH$ 側電位 V_{DD2} となることによって第2のスイッチングトランジスタ 25_G が導通状態になるフレームの境界部分において、先ず、制御信号 SR_1 が $HIGH$ 側電位 V_{DD2} となることによって第3のスイッチングトランジスタ 26 が導通状態になる。これにより、保持容量 22_G の保持電位 PIX_G が第2、第3のスイッチングトランジスタ 25_G 、 26 を通して読み出され、インバータ回路 23 にその入力電位 INV_{in} として与えられる。

【0145】

インバータ回路 23 は、保持容量 22_G から読み出された保持電位 PIX_G の極性（論理）を反転する。このインバータ回路 23 の作用により、 $HIGH$ 側電位 V_{DD1} の入力電位 INV_{in} が、 Low 側電位 V_{SS1} の出力電位 INV_{out} に極性反転される。入出力電位 INV_{in} 、 INV_{out} において、 $HIGH$ 側電位 V_{DD1} は図9の正側の電源電位 V_{DD} に相当し、 Low 側電位 V_{SS1} は負側の電源電位 V_{SS} に相当する。

40

【0146】

ここで、第3のスイッチングトランジスタ 26 のゲートソース間には寄生容量が存在する。従って、制御信号 SR_1 が $HIGH$ 側電位 V_{DD2} から Low 側電位 V_{SS2} に遷移するタイミングでは、当該寄生容量によるカップリングにより、インバータ回路 23 の入力電位 INV_{in} は $HIGH$ 側電位 V_{DD1} から電位 ΔV だけ降下（低下）する。

【0147】

次フレーム $N+1$ に入り、制御信号 SR_2 が $HIGH$ 側電位 V_{DD2} となることによって第4のスイッチングトランジスタ 27 が導通状態になる。これにより、インバータ回路 23

50

で極性反転（論理反転）された信号電位、即ち、インバータ回路23の出力電位 $IN V_{out}$ が、第4、第2のスイッチングトランジスタ27、25_Gを通して保持容量22_Gに書き込まれる。その結果、保持容量22_Gの保持電位 $PI X_G$ の極性が反転する。この一連の動作により、保持容量22_Gの保持電位 $PI X_G$ の極性反転動作及びリフレッシュ動作が実行される。

【0148】

そして、実施例1の場合と同様に、リフレッシュ動作では、大きな負荷容量を有する信号線31の充放電は行われない。換言すれば、インバータ回路23及び第1～第4のスイッチングトランジスタ24～27の作用により、大きな負荷容量を有する信号線31に対する充放電を行わずに、保持容量22_Gの保持電位 $PI X_G$ のリフレッシュ動作を行うことができる。

10

【0149】

上述した保持容量22_Gの保持電位 $PI X_G$ の極性反転動作及びリフレッシュ動作が、メモリ表示モードの間、3フレーム周期で繰り返して実行される。ここでは、副画素20_Gの場合を例に挙げて説明したが、以上の動作が、フレーム毎に、赤色表示に対応する副画素20_R、緑色表示に対応する副画素20_G、青色表示に対応する副画素20_Bについて順番に実行される。但し、その順番は任意である。

【0150】

以上説明した実施例2に係る副画素20_R、20_G、20_Bの場合にも、実施例1に係る画素20の場合と同様に、アナログ表示モードにもメモリ表示モードにも対応可能な液晶表示装置を実現できる。しかも、実施例2に係る副画素20_R、20_G、20_Bの場合には、1つのインバータ回路23を3つの副画素20_R、20_G、20_Bで共有する構成を採っているために、液晶表示パネル10_Aを構成する回路素子数を削減できる。その結果、回路素子数を削減できる分だけ、液晶表示パネル10_Aの歩留りを向上できる。

20

【0151】

また、実施例1の場合と同様に、インバータ回路23の極性反転動作後は、第3のスイッチングトランジスタ26が非導通状態にあり、インバータ回路23の入力端がフローティング状態にあるため、インバータ回路23の入力電位 $IN V_{in}$ が不確定な状態となる。そして、入力電位 $IN V_{in}$ がインバータ回路23を構成する $Pch MOS$ トランジスタ231の閾値電圧 V_{thp} を超えると、即ち、 $V_{DD1} (= V_{DD}) - V_{thp}$ よりも低くなると、インバータ回路23に貫通電流が流れるために消費電力の増大を招く。

30

【0152】

そこで、実施例2に係る副画素20_R、20_G、20_Bにおいても、実施例1の場合と同様に、インバータ回路23に貫通電流が流れないようにするために、第4のスイッチ素子27による反転電位の書き込み後一定期間インバータ回路23の入力電位 $IN V_{in}$ を電源電位に確定する。具体的には、図12に示すように、例えば制御信号 SR_{2G} の $High$ 側電位 V_{DD2} から Low 側電位 V_{SS2} への遷移タイミングから一定期間（本例では、1H）経過後に、一定期間（本例では、1H）だけ制御信号 $GATE_1$ 、 SR_1 を Low 側電位 V_{SS2} から $High$ 側電位 V_{DD2} に遷移させる。

【0153】

40

このとき、図1に示す信号線駆動部40からは信号線31に対して、階調を反映した信号電位に代えて電源電位、例えば、 Low 側電位 V_{SS1} に相当する接地（ GND ）電位が出力されているものとする。そして、制御信号 $GATE_1$ 、 SR_1 に応答して第1、第3のスイッチングトランジスタ24、26が導通状態になることで、これらスイッチングトランジスタ24、26を通して信号線31から接地（ GND ）電位がインバータ回路23の入力端に書き込まれる。

【0154】

これにより、極性反転動作後のインバータ回路23の入力電位 $IN V_{in}$ が電源電位、具体的には、接地（ GND ）電位に確定された状態となる。入力電位 $IN V_{in}$ が接地電位に確定された状態では、 $Pch MOS$ トランジスタ231が導通状態にあっても、 $Nch M$

50

OSトランジスタ232が確実に非導通状態になるため、インバータ回路23に貫通電流が流れることはない。これにより、画素20個々の消費電力、ひいては、液晶表示装置10全体の消費電力を低く抑えることができる。

【0155】

特に、インバータ回路23の入力電位 INV_{in} を確定する電源電位として負側(Low側)の電源電位 V_{SS1} 、本例では接地(GND)電位を用いることで、特有の作用効果を得ることができる。すなわち、制御信号 SR_1 がHigh側電位 V_{DD2} からLow側電位 V_{SS2} に遷移するタイミングでは、第3のスイッチングトランジスタ26のゲートソース間に存在する寄生容量によるカップリングによりインバータ回路23の入力電位 INV_{in} は、接地電位から更に電位 ΔV だけ降下する。

10

【0156】

これにより、NchMOSトランジスタ232をより確実に非導通状態にすることができるため、インバータ回路23に対する貫通電流の阻止をより確実に行えることになる。特に、次フレームの確定動作までの1フレーム期間に、リーク電流が多少流れることで入力電位 INV_{in} が上昇したとしても、接地電位 $-\Delta V$ からの上昇となるため、接地電位からの上昇の場合に比べて、NchMOSトランジスタ232非導通状態を維持することができる。

【0157】

尚、インバータ回路23の入力電位 INV_{in} を確定する電源電位として負側の電源電位 V_{SS1} に代えて正側の電源電位 V_{DD1} を、信号線31からインバータ回路23の入力端に書き込むようにしてもよい。インバータ回路23の入力電位 INV_{in} を正側の電源電位 V_{DD1} に確定することで、NchMOSトランジスタ232が導通状態にあっても、PchMOSトランジスタ231を確実に非導通状態にすることができるため、インバータ回路23に貫通電流が流れることはない。

20

【0158】

<3. 変形例>

上記実施形態では、画素20毎に1対1の対応関係をもってインバータ回路23を設ける例(実施例1)、3つの副画素 20_R 、 20_G 、 20_B に対して1つのインバータ回路23を共通に設ける例(実施例2)について説明したが、これらの実施例は一例に過ぎない。例えば、1つのインバータ回路23を4つ以上の画素(副画素)間で共有する構成を採用することも可能である。

30

【0159】

具体的には、カラー表示対応の液晶表示装置において、R、G、Bの副画素からなる単位画素について、例えば2つの単位画素間、即ち、6つの副画素間で1つのインバータ回路23を共有する構成等を採用することも可能である。1つのインバータ回路23を共有する画素(副画素)の数が多くなればなるほど、液晶表示パネル10_Aを構成する回路素子数を削減でき、その分だけ液晶表示パネル10_Aの歩留りを向上できる。

【0160】

なお、『インバータ回路』として、図13に示すようなラッチ回路を用いてもよい。図13は、変形例として実施例2において、インバータ回路としてラッチ回路を用いた場合の回路図であり、図中、図9と同等部位には同一符号を付して示している。

40

【0161】

本変形例に係る画素回路において、極性反転部24は、ラッチ回路244、第3のスイッチ素子242、及び、第4のスイッチ素子243を有する構成となっている。本変形例2でも、スイッチ素子であるスイッチングトランジスタ231、 232_R 、 232_G 、 232_B 、242、243として、例えば薄膜トランジスタを用いている。また、スイッチングトランジスタ231、 232_R 、 232_G 、 232_B 、242、243としてNchMOSトランジスタを用いているが、PchMOSトランジスタを用いることも可能である。

【0162】

(回路構成)

50

図13において、セレクト部23の回路構成については、実施例2の場合と全く同じである。すなわち、第1のスイッチングトランジスタ231は、一方の主電極（ドレイン電極／ソース電極）が信号線31に接続されている。そして、第1のスイッチングトランジスタ231は、制御信号 $GATE_1$ による制御の下に、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を信号線31から画素20内に書き込む（取り込む）ときに導通状態となる。

【0163】

第2のスイッチングトランジスタ232_Rは、一方の主電極が液晶容量21_Rの画素電極及び保持容量22_Rの一方の電極に共通に接続され、他方の主電極が第1のスイッチングトランジスタ231の他方の主電極に接続されている。そして、第2のスイッチングトランジスタ232_Rは、赤色に対応する制御信号 $GATE_{2R}$ による制御の下に、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を保持容量22_Rに書き込むときに導通状態となる。

10

【0164】

第2のスイッチングトランジスタ232_Gは、一方の主電極が液晶容量21_Gの画素電極及び保持容量22_Gの一方の電極に共通に接続され、他方の主電極が第1のスイッチングトランジスタ231の他方の主電極に接続されている。そして、第2のスイッチングトランジスタ232_Gは、緑色に対応する制御信号 $GATE_{2G}$ による制御の下に、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を保持容量22_Gに書き込むときに導通状態となる。

【0165】

第2のスイッチングトランジスタ232_Bは、一方の主電極が液晶容量21_Bの画素電極及び保持容量22_Bの一方の電極に共通に接続され、他方の主電極が第1のスイッチングトランジスタ231の他方の主電極に接続されている。そして、第2のスイッチングトランジスタ232_Bは、青色に対応する制御信号 $GATE_{2B}$ による制御の下に、階調を反映した信号電位（ V_{sig}/V_{XCS} ）を保持容量22_Bに書き込むときに導通状態となる。

20

【0166】

極性反転部24において、ラッチ回路244は、2つのCMOSインバータによって構成されている。具体的には、一方のCMOSインバータは、電源電位 V_{DD} の電源ラインと電源電位 V_{SS} の電源ラインとの間に直列に接続されたPchMOSトランジスタ Q_{p11} 及びNchMOSトランジスタ Q_{n11} によって構成されている。他方のCMOSインバータも同様に、電源電位 V_{DD} の電源ラインと電源電位 V_{SS} の電源ラインとの間に直列に接続されたPchMOSトランジスタ Q_{p12} 及びNchMOSトランジスタ Q_{n12} によって構成されている。

30

【0167】

PchMOSトランジスタ Q_{p11} 及びNchMOSトランジスタ Q_{n11} の各ゲート電極は共通に接続されてラッチ回路244の入力端となっている。この入力端は、第3のスイッチングトランジスタ242の他方の主電極に接続されている。PchMOSトランジスタ Q_{p12} 及びNchMOSトランジスタ Q_{n12} の各ゲート電極は共通に接続されてラッチ回路244の出力端となっている。この出力端は、第4のスイッチングトランジスタ243の他方の主電極に接続されている。

【0168】

また、PchMOSトランジスタ Q_{p11} 及びNchMOSトランジスタ Q_{n11} の各ゲート電極は、制御トランジスタ Q_{n13} を介して、PchMOSトランジスタ Q_{p12} 及びNchMOSトランジスタ Q_{n12} の各ドレイン電極に接続されている。PchMOSトランジスタ Q_{p12} 及びNchMOSトランジスタ Q_{n12} の各ゲート電極は直接、PchMOSトランジスタ Q_{p11} 及びNchMOSトランジスタ Q_{n11} の各ドレイン電極に接続されている。

40

【0169】

制御トランジスタ Q_{n13} は、制御信号 SR_3 による制御の下に、メモリ表示モードにおけるリフレッシュ動作の実行の際に、ラッチ回路244を選択的に活性化状態にする。具体的には、制御トランジスタ Q_{n13} が導通状態のときに、2つのCMOSインバータからなるラッチ回路244が活性化状態となる。ラッチ回路244は活性化状態になることで、保持容量22_R、22_G、22_Bの保持電位についての極性反転動作及びリフレッシュ動作

50

を行う。また、制御トランジスタ Q_{n13} が非導通状態のときは、2つのCMOSインバータはそれぞれ独立した増幅回路として動作する。

【0170】

第3のスイッチングトランジスタ242は、一方の主電極が第1のスイッチングトランジスタ231の他方の主電極に接続され、他方の主電極がラッチ回路244の入力端（即ち、MOSトランジスタ Q_{p11} 、 Q_{n11} の各ゲート電極）に接続されている。そして、第3のスイッチングトランジスタ242は、制御信号 SR_1 による制御の下に、信号線31から信号電位（ V_{sig}/V_{XCS} ）を画素20内へ書き込むときに非導通状態となる。

【0171】

<4. 適用例>

以上説明した本発明による液晶表示装置は、電子機器に入力された映像信号、または、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。一例として、図14～図18に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなどの表示装置に適用することが可能である。

【0172】

このように、あらゆる分野の電子機器の表示装置として本発明による液晶表示装置を用いることにより、各種の電子機器における表示装置の高精細化及び電子機器の消費電力の低減に寄与できる。すなわち、先述した実施形態の説明から明らかなように、本発明による液晶表示装置は、画素内の保持容量をDRAMに利用することで、SRAMを用いる場合に比べて画素構造を簡略化できるため、画素の微細化を図ることができる。しかも、インバータ回路に貫通電流が流れないようにすることができるため、液晶表示装置の消費電力を小さく抑えることができる。このような理由から、各種の電子機器における表示装置の高精細化及び電子機器の消費電力の低減に寄与できる。

【0173】

本発明による液晶表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部を囲むようにシーリング部（図示せず）が設けられ、このシーリング部を接着剤として透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0174】

以下に、本発明が適用される電子機器の具体例について説明する。

【0175】

図14は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明による表示装置を用いることにより作製される。

【0176】

図15は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、（A）は表側から見た斜視図、（B）は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明による表示装置を用いることにより作製される。

【0177】

図16は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明による表示装置を用いることにより作製される。

【0178】

図17は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート／ストップスイッチ133、表示部134等を含み、その表示部134として本発明による表示装置を用いることにより作製される。

【0179】

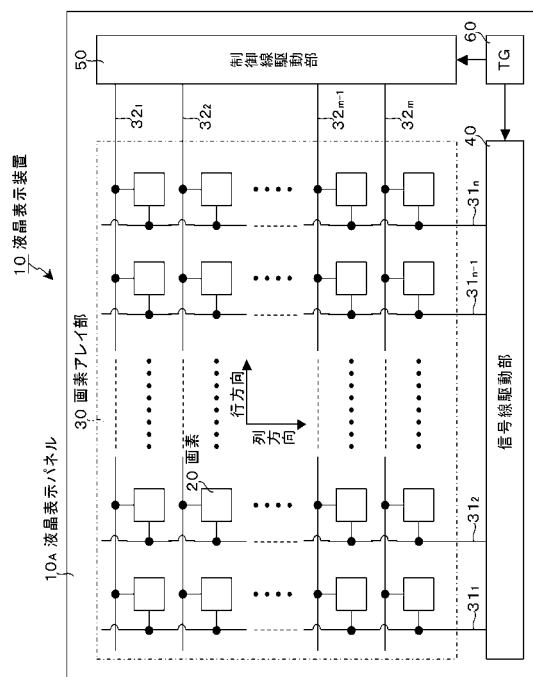
図18は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部（ここではヒンジ部）143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含んでいる。そして、ディスプレイ144やサブディスプレイ145として本発明による表示装置を用いることにより本適用例に係る携帯電話機が作製される。

【符号の説明】

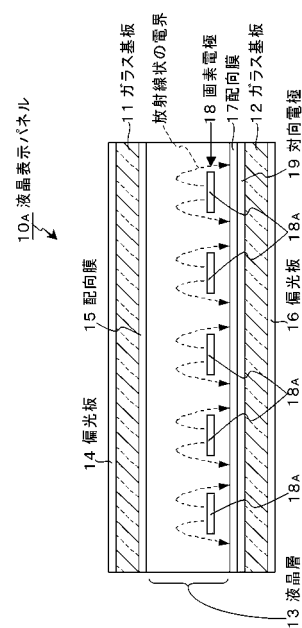
【0180】

10…液晶表示装置、10_A…液晶表示パネル、20…画素、20_R、20_G、20_B…副画素、21、21_R、21_G、21_B…液晶容量、22、22_R、22_G、22_B…容量素子（保持容量）、23…インバータ回路、24～27…第1～第4のスイッチ素子（スイッチングトランジスタ）、30…画素アレイ部、31（31₁～31_n）…信号線、32（32₁～32_m）…制御線、40…信号線駆動部、50…制御線駆動部、60…駆動タイミング発生部

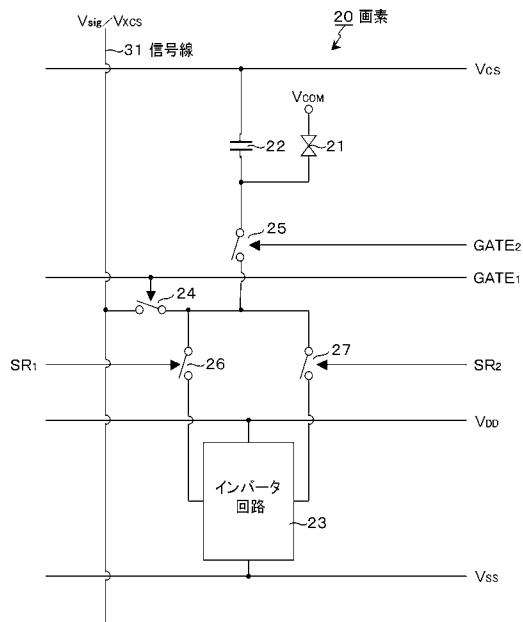
【図1】



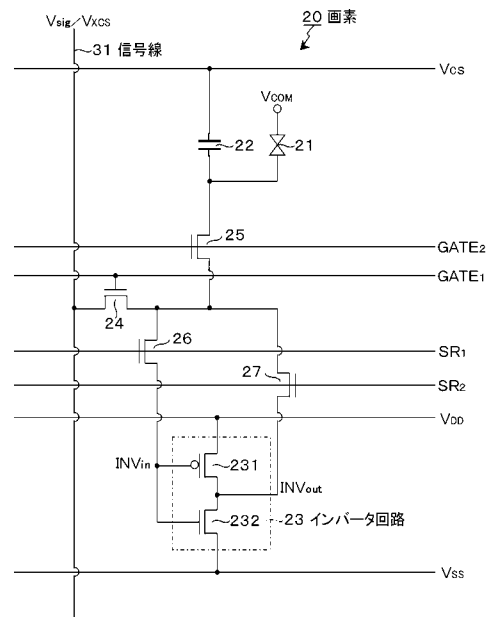
【図2】



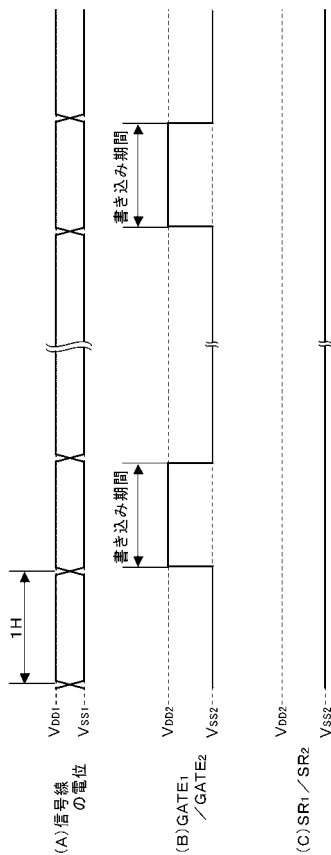
【図 3】



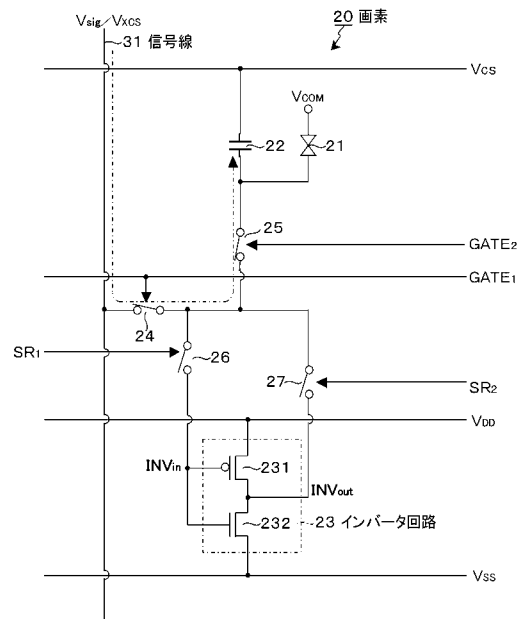
【図 4】



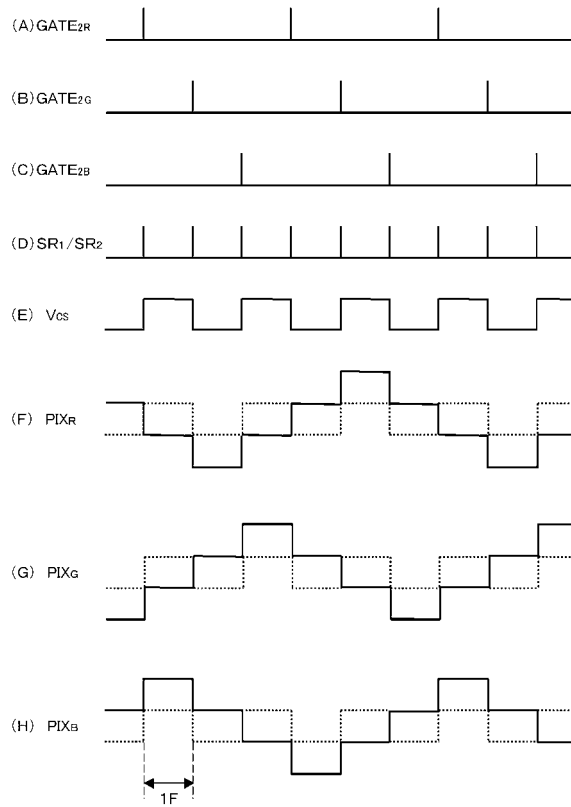
【図 5】



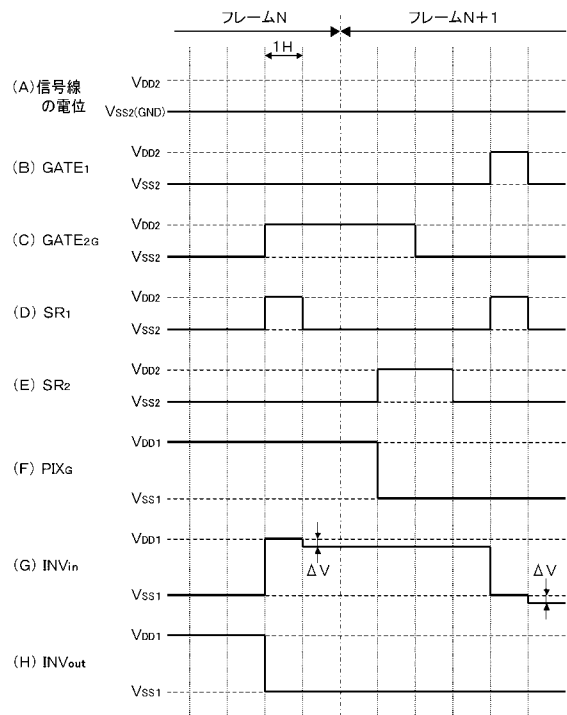
【図 6】



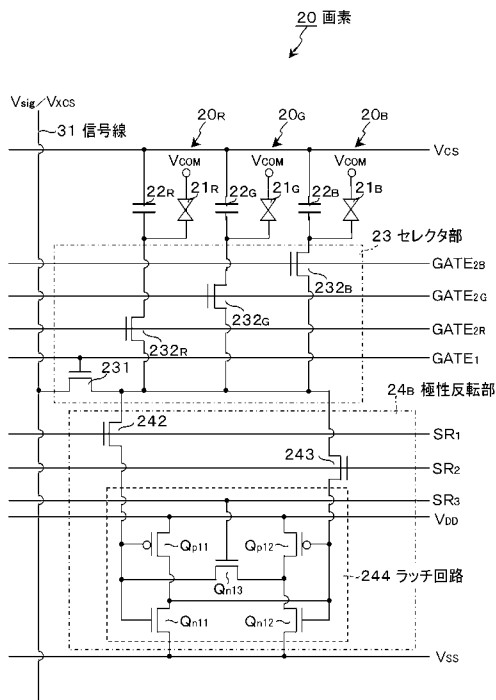
【図 1 1】



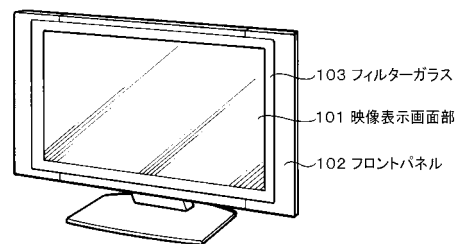
【図 1 2】



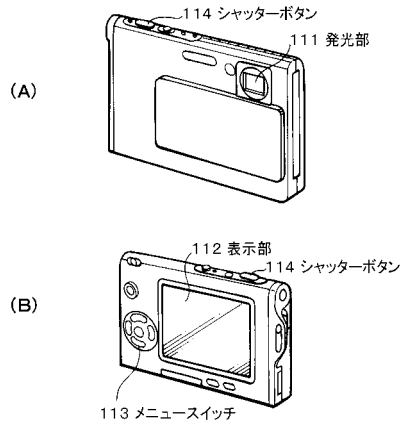
【図 1 3】



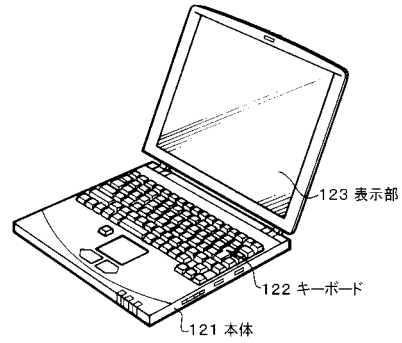
【図 1 4】



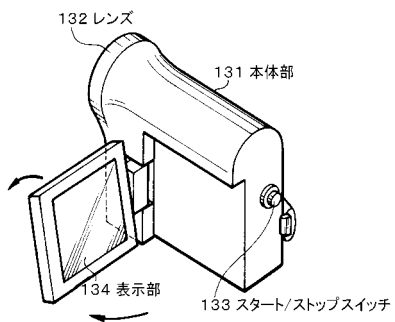
【図 15】



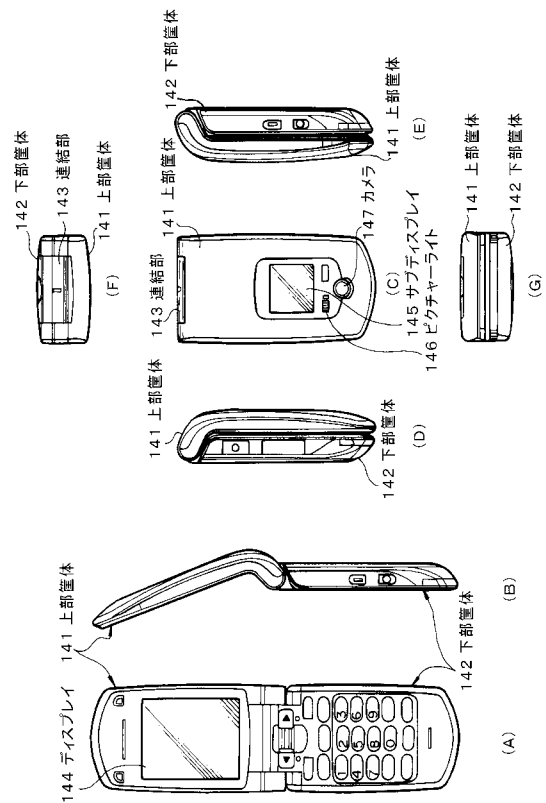
【図 16】



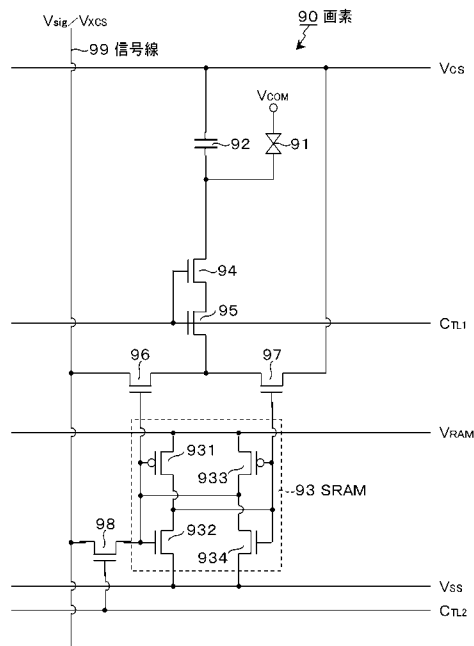
【図 17】



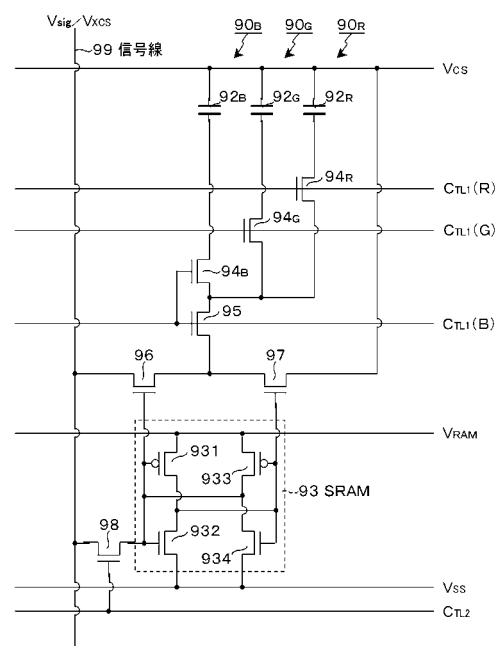
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 7 5
G 0 2 F 1/133 5 5 0
G 0 9 G 3/20 6 2 1 B
G 0 2 F 1/1343

(56)参考文献 特開2004-191574 (JP, A)
国際公開第2009/128283 (WO, A1)
特開2008-310860 (JP, A)
特開2006-343609 (JP, A)
特開2002-297100 (JP, A)
特開2001-166749 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
G 0 2 F 1/133
G 0 2 F 1/1343

专利名称(译)	液晶显示装置，液晶显示装置的驱动方法和电子设备		
公开(公告)号	JP5495974B2	公开(公告)日	2014-05-21
申请号	JP2010144153	申请日	2010-06-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	寺西康幸		
发明人	寺西 康幸		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1343		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.631.H G09G3/20.611.A G02F1/133.525 G02F1/133.575 G02F1/133.550 G09G3/20.621.B G02F1/1343		
F-TERM分类号	2H092/JA24 2H092/JB42 2H092/JB68 2H092/JB69 2H092/NA27 2H092/PA06 2H092/QA06 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB06 2H193/ZC04 2H193/ZC16 2H193/ZP03 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AB03 5C006/AC24 5C006/AC25 5C006/AC28 5C006/AF11 5C006/AF75 5C006/AF85 5C006/BB16 5C006/BC03 5C006/BC05 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF01 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF37 5C006/EB05 5C006/EC06 5C006/FA04 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/EE26 5C080/EE29 5C080/EE30 5C080/EE31 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47		
代理人(译)	酒井宏明 高村秩序		
审查员(译)	中村直之		
其他公开文献	JP2012008340A		
外部链接	Espacenet		

摘要(译)

要解决的问题：当通过采用电容元件来保持信号电位来反映作为DRAM的灰度时，在简化像素结构时实现更低的功耗。解决方案：通过采用保持信号的保持电容器22来简化像素20的结构。反映渐变作为DRAM的潜力。在像素20中，反相器电路23执行保持电容器22的极性反转操作和刷新操作。诸如接地（GND）电位的电源电位从信号线31经由电路31施加到反相器电路23的输入端子。在第四开关晶体管27向输入端子写入反相电位之后的一段时间内，第一和第三开关晶体管24和26由此将中的输入电位INV 固定为接地电位使得没有直通电流馈送到逆变器电路23。

