

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5228022号
(P5228022)

(45) 発行日 平成25年7月3日 (2013.7.3)

(24) 登録日 平成25年3月22日 (2013.3.22)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 338
HO1L 29/786 (2006.01)	GO9F 9/30 348A
	HO1L 29/78 612C

請求項の数 3 (全 21 頁)

(21) 出願番号	特願2010-230817 (P2010-230817)	(73) 特許権者	000153878
(22) 出願日	平成22年10月13日 (2010.10.13)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2000-204339 (P2000-204339) の分割		神奈川県厚木市長谷398番地
原出願日	平成12年7月5日 (2000.7.5)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2011-65169 (P2011-65169A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成23年3月31日 (2011.3.31)		半導体エネルギー研究所内
審査請求日	平成22年10月19日 (2010.10.19)	(72) 発明者	江口 晋吾
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	村上 智史
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	▲ひろ▼木 正明
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上に、薄膜トランジスタとソース信号線を有し、
 前記ソース信号線上に、第1の絶縁層を有し、
 前記第1の絶縁層上にゲート信号線と、ソース配線とを有し、
 前記ゲート信号線および前記ソース配線の上に、一部が除去された領域を有する第2の絶縁層を有し、

前記ソース配線により、前記薄膜トランジスタと前記ソース信号線が電氣的に接続されており、

前記ゲート信号線は、前記第2の絶縁層の端部より、内側に窪んだ部分を有し、
 配向膜は、前記第2の絶縁層を覆っていることを特徴とする表示装置。

10

【請求項 2】

請求項 1 において、

前記ゲート信号線は導電層の積層構造を有し、

前記内側に窪んだ部分は、前記積層構造のうちの一層が窪んでいることを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記内側に窪んだ部分を有するゲート信号線は、アルミニウムを有することを特徴とする表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁基板上に形成された薄膜トランジスタ（TFT）で構成された液晶表示装置およびその作製方法に関する。

【背景技術】

【0002】

薄膜トランジスタ（TFT）を利用したアクティブマトリクス型液晶表示装置は、ビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、携帯電話、携帯情報端末等の直視型表示装置として、また、フロント及びリアプロジェクトのようなレンズ光学系により拡大表示を目的とする投射型の表示装置として開発が活発に行われている。

【0003】

図3に、アクティブマトリクス型液晶表示装置の構成の例を示す。ソース信号線301とゲート信号線302と画素TFT303と保持容量304より構成される。画素TFT303のゲート電極は、ゲート信号線302に接続され、画素TFT303のドレイン領域またはソース領域の一方は、ソース信号線301に接続され、もう一方は、保持容量304及び画素電極305に接続されている。

【0004】

この画素の駆動方法を以下に説明する。ゲート信号線302に信号電圧が入力され、画素TFT303がオンになると、ソース信号線301より、信号電圧が入力されて、保持容量304に電荷が蓄積される。この蓄積された電荷により、画素電極305に電圧が印可され、液晶を挟んだ電極間に電圧が印可される。この印可電圧に対応して液晶の分子の配向が変化し、透過光量が制御される。

【0005】

印可電圧と透過光量の関係を図4に示す。印可電圧を $-V_m \sim V_m$ の範囲で変化させることによって、透過光量を変化させることができる。なお、印可電圧が0の時、最大透過光量 T_{max} となるものとする。ここで、液晶は一定の方向の電界をかけ続けると、イオンが片側にたまり、すぐ劣化するという問題がある。そのため、画素に信号書き込みをおこなう毎に印可電圧の極性を逆にした駆動を行うのが一般的である。

【0006】

図5に、この表示装置を駆動したときのゲート信号電圧とソース信号電圧と液晶に印可される電圧の関係を示す。この図では、ある1本のゲート信号線 G_n と、ある1本のソース信号線 S_m に注目し、ある1つの画素における液晶への印可電圧を示している。

【0007】

ゲート信号線が選択され、液晶に電圧が印可されると、その印可電圧に応じて液晶分子の配向が変化する。これにより透過光量が変化し、画像の表示を行う。ここで、液晶に印可される電圧は、 $-V \sim V$ の範囲で変化し、画素に信号が書き込まれる毎に極性が逆になっている。なお、 $|V|$ は、図4において、 $|V_m|$ 以下の値にとる。

【0008】

このアクティブマトリクス型液晶表示装置の作製において、その工程数を削減することにより、製造コストの低減及び歩留まりの向上が進められてきた。

【0009】

従来のアクティブマトリクス型液晶表示装置の画素部の断面図の例を図6（A）に示す。

【0010】

画素部101には、画素TFT102と保持容量103が形成されている。ここで、104はTFT基板の絶縁基板、105は画素TFT102のソース領域もしくはドレイン領域、106は画素TFT102のチャンネル領域、108はゲート絶縁膜、107及び1

10

20

30

40

50

12は保持容量103の電極で、間に絶縁層109を挟んでいる。なお、電極107は半導体層で形成され、不純物元素がドーピングされている。電極107は、画素TFT102のドレイン領域と接続されている。また、215はゲート信号線、210はソース信号線、116はドレイン配線、113は層間絶縁膜、118は画素電極、119及び126は対向膜、120は液晶、121は対向基板の絶縁基板、122はブラックマトリクス(BM)、123はカラーフィルタ、124は平坦化膜、125は対向電極である。

【0011】

ここで、使用するマスク枚数を少なくするため、ドレイン配線116に接続される画素電極118は、直接ドレイン配線116上に接触させることによって導通がとられている。

【0012】

ここで、ソース配線210は、ドレイン配線116や画素電極118と同じ層にパターニングされている。このため、ソース配線と画素電極とのショートを防ぐために、ソース信号線と画素電極の間は十分なスペース部分が必要ではない。また、このスペース部分からの光漏れを防ぐため、このスペース部分をBMで覆う必要がある。

【0013】

このときの画素の上面図を図6(B)に示す。なおわかりやすくするために、画素電極及びBMを取り去った領域を一部示している。ここで、図6(A)は、図6(B)におけるA~A'の断面図に相当する。なお、図6(A)と同じ符号の部分は、同じ部分を示す。210はソース信号線、116はドレイン配線、215はゲート信号線、118は画素電極、220は半導体層で、図6(A)において105~107に相当する。

【0014】

ここで、ソース信号線210と画素電極118の間には、スペース部分230が設けられ、ソース信号線210と画素電極118がショートするのを防いでいる。このため、画素電極118の面積を大きくすることができない。そのため開口率を大きくすることができない。また、このスペース部分230からの光漏れを防ぐため、対向基板上に設けられたBM122によって、このスペース部分230が覆われている。ここで、TFT基板と対向基板を貼り合わせる際のずれや、光の回り込み等の影響を考慮して、BMが画素電極の端部分と重なるようにしておく必要がある。これによりさらに開口率が下がるという問題がある。

【0015】

そこで、図7(A)に示すような構造をもつ表示装置が、提案された。なお、図6(A)及び図6(B)と同じ符号の部分は、同じ部分を示している。

【0016】

図7(A)において、111はゲート電極、114はソース配線、110はソース信号線、115はゲート信号線である。

【0017】

図7(A)に示した断面図の表示装置では、ソース信号線114をゲート電極111と同時に形成し、また、ゲート信号線115は、ソース配線114及びドレイン配線116と同時に形成する。ここで、ソース信号線110は、このソース配線114によって画素TFT102のソース領域と接続されている。この構成により、マスク枚数を増やすことなくソース信号線とゲート信号線の作製される層を入れ替えられる。この様なソース信号線とゲート信号線の配置を逆クロス構造と呼ぶ。この構成により、ソース信号線110がドレイン配線116の下層に配置されるため、ソース信号線110の上部にも画素電極118が形成できるようになり、開口率を増大することができる。

【0018】

図7(B)に、図7(A)の上面図を示す。なおわかりやすくするために、画素電極及びBMを取り去った領域を一部示している。ここで図7(A)は、図7(B)におけるA~A'及びB~B'の断面図に相当する。画素電極118をソース信号線110の上にまで重ねて形成し光漏れを防いでいるため、対向基板上に設けられるBM122の部分は、図6(B)に比べて減少している。こうして、図6に比べて開口率が増大する。

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0019】

前記した逆クロス構造を用いた表示装置では、ゲート信号線がドレイン配線及び画素電極と同じ層に形成され、その上部に配向膜および液晶が形成されることになる。

【0020】

ここで、図5において、ゲート信号線選択信号電圧を V_o とし、非選択の信号電圧は $-V_o$ である。ゲート信号線の数 y とすると、ゲート信号線が選択されている期間は、1フレーム期間の $1/y$ であるから、 y が多くなるほど選択期間は短くなり、非選択の信号電圧が印可されている期間の割合が多くなる。そのため、画素が選択されていない間は、
10

【0021】

表示装置の規格がVGAの場合、 $479/480$ 以上の期間において $-V_o$ が入力されていることになる。

【0022】

なお、図5で示したようにソース信号線に印可される電圧は、周期的に極性が反転しているため液晶部分に影響は少ない。一方、ゲート信号線に入力される電圧は、上述した様に一定の極性を持つ傾向にある。この様な、ゲート信号線に入力される信号電圧が、ゲート信号線のすぐ上部に配置された液晶部分に影響を与える。これが、液晶の劣化を進める原因となっている。
20

【0023】

そこで、工程上使用するマスク枚数を増やすことなく、ゲート信号線に印可される信号電圧の、周辺の液晶に与える影響が抑えられた表示装置を作製することを課題とする。

【課題を解決するための手段】

【0024】

ゲート信号線、ソース配線及びドレイン配線となる金属層を成膜した後、絶縁層を形成し、絶縁層と金属層を1回のフォトリソグラフィ工程によってパターンニングする。すなわち、マスク枚数を増やすことなくゲート信号線と配向膜との間に絶縁膜を形成する。これにより、ゲート信号線に流れる信号電圧の、液晶への影響を抑えることができる。
30

【0025】

以下に本発明の構成を示す。

【0026】

本発明によって、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素とを有し、前記複数の画素は、画素TFTと、画素電極と、対向電極と、前記画素電極と前記対向電極との間に配置された液晶部分とを有し、前記液晶部分は、第1の配向膜と、第2の配向膜と、前記第1の配向膜と前記第2の配向膜に挟まれた液晶とを有し、前記画素TFTのゲート電極は、前記複数のゲート信号線の1つと接続され、前記画素TFTのドレイン領域とソース領域とは、一方は前記複数のソース信号線の1つに接続され、もう一方は前記画素電極に接続され、前記第1の配向膜は、前記画素電極と前記液晶との間に配置され、前記第2の配向膜は、前記対向電極と前記液晶の間に配置され、前記複数のゲート信号線が、前記画素TFTのソース電極及びドレイン電極を構成する導電物質で形成された表示装置において、前記ゲート信号線と、前記第1の配向膜との間に絶縁層を有し、かつ前記絶縁層は、前記ゲート信号線をパターンニングする工程で絶縁物質からなる層をパターンニングして形成されることを特徴とする表示装置が提供される。
40

【0027】

本発明によって、前記絶縁物質からなる層を、ドライエッチングにてエッチングした絶縁層と、前記導電物質からなる層を、ウェットエッチングのみで、もしくはウェットエッチングとドライエッチングの両方で、エッチングすることにより形成した前記ゲート信号線とを、有することを特徴とする表示装置が提供される。

【0028】

本発明によって、前記ゲート信号線の端面は、前記絶縁層の端面より、 $0.1\mu\text{m}$ ～ $0.5\mu\text{m}$ 内側に位置し、前記絶縁層の端部に対して前記ゲート信号線端部が内側に窪んだ、窪み部分を有することを特徴とする表示装置が提供される。

【0029】

本発明によって、前記窪み部分は、前記第1の配向膜によってふさがれていることを特徴とする表示装置が提供される。

【0030】

本発明によって、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素とを有し、前記複数の画素は、画素TFTと、画素電極と、対向電極と、前記画素電極と前記対向電極との間に配置された液晶部分とを有し、前記液晶部分は、第1の配向膜と、第2の配向膜と、前記第1の配向膜と前記第2の配向膜に挟まれた液晶とを有し、前記画素TFTのゲート電極は、前記複数のゲート信号線の1つと接続され、前記画素TFTのドレイン領域とソース領域とは、一方は前記複数のソース信号線の1つに接続され、もう一方は前記画素電極に接続され、前記第1の配向膜は、前記画素電極と前記液晶との間に配置され、前記第2の配向膜は前記対向電極と前記液晶の間に配置され、前記複数のゲート信号線が、前記画素TFTのソース電極及びドレイン電極を構成する導電物質で形成された表示装置において、前記ゲート信号線と前記第1の配向膜の間に、遮光性のある絶縁材料を有することを特徴とする表示装置が提供される。

10

【0031】

本発明によって、複数のソース信号線に入力される信号を処理するソース信号線駆動回路と複数のゲート信号線に入力される信号を処理するゲート信号線駆動回路に、フレキシブルプリントサーキット基板により外部からの信号を入力する表示装置において、前記フレキシブルプリントサーキット基板が接続された外部入力端子の配線部分を、前記ソース信号線駆動回路と前記ゲート信号線駆動回路を構成するTFTのゲート電極と同じ層に同じ材質で形成することを特徴とする表示装置が提供される。

20

【0032】

本発明によって、絶縁基板上に複数の画素と、フレキシブルプリントサーキット基板を接続する外部入力端子とを有し、前記複数の画素は、TFTと透明電極とを有する表示装置において、前記外部入力端子は、前記TFTのゲート電極を構成する材料と、前記透明電極を構成する材料との積層構造によって構成されていることを特徴とする表示装置が提供される。

30

【0033】

本発明によって、前記外部入力端子は、前記TFTのゲート電極と前記TFTのソース電極及びドレイン電極との間の、層間膜を除去して形成されていることを特徴とする表示装置が提供される。

【0034】

本発明は、前記表示装置を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、携帯電話、携帯情報端末であっても良い。

【発明の効果】

【0035】

従来の逆クロス構造の液晶表示装置では、ゲート信号線が直接配向膜に接していたため、そこを流れる信号電圧によって液晶が劣化するという問題があった。

40

【0036】

本発明は、上記構成により、作製工程上使用するマスク枚数を増やすことなく、ゲート信号線の上部に絶縁膜を形成することができる。これにより、ゲート信号線を流れる信号電圧の液晶への影響を抑え、液晶の劣化を防ぐことができる。

【図面の簡単な説明】

【0037】

【図1】本発明の液晶表示装置の画素部の断面図。

【図2】本発明の液晶表示装置の画素部の作製工程を示す図。

50

- 【図 3】液晶表示装置の画素の構成を示す図。
【図 4】液晶の印可電圧と透過光量とを関係を示す図。
【図 5】液晶表示装置の駆動電圧のタイミングチャートを示す図。
【図 6】従来の液晶表示装置の画素部の断面図及び上面図。
【図 7】従来の液晶表示装置の画素部の断面図及び上面図。
【図 8】本発明の液晶表示装置の画素部の断面図。
【図 9】本発明の液晶表示装置の画素部の作製工程を示す図。
【図 10】本発明の液晶表示装置の作製工程を示す図。
【図 11】本発明の液晶表示装置の作製工程を示す図。
【図 12】本発明の液晶表示装置の作製工程を示す図。
【図 13】本発明の液晶表示装置の作製工程を示す図。
【図 14】本発明の液晶表示装置の上面図及び断面図。
【図 15】本発明の液晶表示装置の上面図。
【図 16】本発明の液晶表示装置の T F T のゲート信号線周辺の S E M 観察像。
【図 17】本発明の液晶表示装置の T F T のゲート信号線周辺の拡大図。
【図 18】本発明の液晶表示装置を用いた電子機器の図。
【発明を実施するための形態】

【0038】

図 1 に本発明の表示装置の画素部の断面図を示す。なお、図 7 と同じ部分は、同じ符号によって表し、説明は省略する。

【0039】

図 1 において、ゲート信号線 115、ソース配線 114、ドレイン配線 116 及び配線 117 の上部には、絶縁膜 10 が配置されている。この絶縁膜 10 により、ゲート信号線 115 を流れる信号電圧が、配向膜 119 及び液晶 120 に及ぼす影響を抑えることができる。

【0040】

図 1 の構造をもつ表示装置を作製する手法について、図 2 を用いて説明する。
なお、図 7 と同じ部分は、同じ符号によって表し、説明は省略する。

【0041】

図 2 (A) は、画素 T F T 102 及び保持容量 103 を作製した後、層間絶縁膜 113 を形成した状態である。ここまでのプロセスは、公知の方法を用いればよい。この後、図 2 (B) に示すように、まず画素電極 118 をパターニング形成する。その後、ソース信号線、画素 T F T のソース領域及びドレイン領域、保持容量の半導体層に達するコンタクトホール 16 ~ 19 を形成する。なお図示していないが、画素 T F T のゲート電極に達するコンタクトホールも、この時同時に形成する。そして、ゲート信号線、ソース配線、ドレイン配線及び保持容量と画素電極を接続するための配線を形成するために、金属層 20 を形成する。なお、本明細書では、便宜上、この金属層 20 を S / D メタル層と呼ぶことにする。

この S / D メタル層 20 の上にさらに絶縁層 21 を形成する。この S / D メタル層 20 及び絶縁層 21 を同時にパターニングし、ソース配線 114、ゲート信号線 115、ドレイン配線 116、配線 117 を形成し、図 2 (C) のような構造が得られる。

【0042】

また上記では、画素電極 118 を形成した後、コンタクトホール 16 ~ 19 を形成しているが、この順序は逆でも良い。

【0043】

この後、配向膜をつけ対向基板と貼り合わせて間に液晶を封入すれば、図 1 の構造をもつ液晶表示装置が得られる。

【0044】

この様に、S / D メタル層 20 と絶縁層 21 を一度にパターニングすることによって、マスク枚数を増やすことなく、ゲート信号線が絶縁膜 10 で覆われた構造の表示装置を作

10

20

30

40

50

製することができる。

【0045】

以下に、本発明の実施例について説明する。

【実施例1】

【0046】

本実施例では、実施の形態で述べた方法とは異なる方法で、マスク枚数を増やすことなくゲート信号線が絶縁膜で覆われた構造の表示装置を作製する手法について説明する。

【0047】

図7に示したような従来の表示装置や、図1で示した表示装置では、対向基板側にBM層を作製していた。ここで、本実施例では、図8に示すようにBM222をゲート信号線を覆う絶縁膜として用いた。このため、対向基板上には、BM層を形成する必要がない。なお、図7と同じ部分は、同じ符号によって表し、説明は省略する。

10

【0048】

図9に、図8の表示装置の作製工程を示す。

【0049】

図9(A)に示すように、画素TF T102及び保持容量103を作製した後、層間絶縁膜113を形成し、まず画素電極118をパターニング形成する。その後、ソース信号線、画素TF Tのソース領域及びドレイン領域、保持容量の半導体層に達するコンタクトホール16～19を形成する。なお図示していないが、画素TF Tのゲート電極に達するコンタクトホールも、この時同時に形成する。そして、ゲート信号線、ソース配線、ドレイン配線及び保持容量と画素電極を接続するための配線を形成するために、S/Dメタル層20を形成する。

20

【0050】

なお、上記では画素電極118を形成した後コンタクトホール16～19を形成しているが、この順序は逆でも良い。

【0051】

ここまでのプロセスは、発明の実施の形態で述べたプロセスと同じである。

【0052】

次に、図9(B)のように、S/Dメタル層20をパターニングし、ソース配線114、ゲート信号線115、ドレイン配線116、配線117を形成する。その後、BM層22を形成する。BM層22は、黒色または褐色の樹脂によって形成され、遮光を行う。

30

【0053】

図9(C)に示すように、BM層22をパターニングし、ゲート信号線、ソース配線及びドレイン配線周りがBM222によって覆われる様にする。なお、BM層22は、レジストマスクをパターニングした後、ドライエッチングしても良いし、感光性の樹脂を用いても良い。

【0054】

その後、配向膜をつけ、対向基板と貼り合わせて間に液晶を封入すれば、図8に示した様な表示装置が完成する。

【0055】

40

本実施例では、BM222をゲート信号線周りにパターニングする際、マスクを1枚使っているが、その代わりに、対向基板上にBM層を形成する必要がなくなり、このとき使用されるマスクが必要なくなるため、全体として表示装置を作製する際のマスク枚数の増加はない。

【実施例2】

【0056】

本実施例では、本発明の表示装置のFPC（フレキシブルプリントサーキット基板：Flexible Printed Circuit）端子部の例について説明する。

【0057】

従来の表示装置では、S/Dメタルにより形成された配線を用いて、各回路の入力部と

50

外部入力端子との接続を取り、外部からの信号を入力していた。ここで、本実施例の構造では、このS/Dメタル層の上部には絶縁膜が形成されており、このS/Dメタル層に形成された配線では、FPCと接続することができない。

【0058】

そこで、ゲート電極を形成した層と同じ層に、ゲート電極を形成する金属を用いて、各回路の入力部と外部入力端子を接続するための配線を形成する。なお、本明細書では、ゲート電極を形成する金属をゲートメタルと呼ぶことにする。

【0059】

図14に本発明の表示装置の上面図及び断面図を示す。

【0060】

図14(A)は、本発明の表示装置の上面図である。画素基板1400上に、ソース信号線駆動回路1401、ゲート信号線駆動回路1402、画素部1403、外部入力端子1404が形成されている。また、1430は、シール材である。なお、この図では、わかりやすくするために、対向基板側及び液晶部分は、図示しなかった。

【0061】

外部入力端子1404において、FPC端子1406が接続され、そこから入力された信号は、配線1407a、1407bによって各回路に入力される。

【0062】

図中、A-A'の断面図を図14(B)に示す。図14(A)と同じ部分は、同じ符号で表す。なお、ソース信号線駆動回路1401の構造として、Nチャネル型TFTとPチャネル型TFTを組み合わせさせたCMOS回路1408を図示する。また、画素部1403には、画素TFT1414のみを示す。ここで、1422は下地膜、1421はゲート絶縁膜、1405は液晶である。なお、配向膜等は図示していない。また、対向基板側1420の対向電極やカラーフィルタ等もここでは省略した。

【0063】

外部入力端子1404において、異方性導電性樹脂1417によりFPC端子1406が貼り付けられ、接続配線1410とFPC端子1406が接続されている。なお、接続配線1410は、図14(A)において、1407a及び1407bに対応する。このFPC端子1406を介して外部より信号などが入力される。

【0064】

ここで、接続配線1410は、ゲート電極形成時に同時に形成される。この接続配線1410にFPC端子1406を接続するためには、層間絶縁膜1411にコンタクトホールを形成する必要がある。これは、ソース配線1412、ドレイン配線1413等のためにコンタクトホールを形成する際に、同時に形成すればよい。

【0065】

また、このコンタクトホール形成後、画素電極1415を形成する際にITO膜1416を同時にパターンニング形成する。ITO膜1416を設けることにより、FPC端子1406を、異方性導電性樹脂1417により貼り付ける際の密着性を高めることができ、また、接続配線1410を形成するゲートメタルの酸化を防止することができる。

【0066】

なお、異方性導電性樹脂1417は、導電性粒子1418と接着材1419によって構成される。この導電性粒子1418の外径は、配線1410のピッチよりも小さいため、接着剤1419中に分散する量を適当なものにすると、隣接する配線と短絡することなく対応するFPC側の配線と電気的な接続を形成することができる。

【実施例3】

【0067】

本実施例では、図1で示した画素部の構造をもつ表示装置の、画素部及びその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路）のTFT及び保持容量を同時に作製する手法について、図10～図12を用いて詳しく説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示す

10

20

30

40

50

ることとする。

【0068】

まず、図10(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10~200[nm]（好ましくは50~100[nm]）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50~200[nm]（好ましくは100~150[nm]）の厚さに積層形成する。

10

本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0069】

島状半導体層5003~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003~5006の厚さは25~80[nm]（好ましくは30~60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0070】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²]（代表的には200~300[mJ/cm²]）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²]（代表的には350~500[mJ/cm²]）とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80~98[%]として行う。

20

30

【0071】

次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波（13.56[MHz]）、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

40

【0072】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100[nm]の厚さに形成し、第2の導電膜5009をWで100~300[nm]の厚さに形成する。

【0073】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電

50

極に使用することが出来るが、 β 相のTa膜の抵抗率は $180[\mu\Omega\text{cm}]$ 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを $10\sim50[\text{nm}]$ 程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることが出来る。

【0074】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF_6)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20[\mu\Omega\text{cm}]$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 $99.9999[\%]$ のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim20[\mu\Omega\text{cm}]$ を実現することが出来る。

10

【0075】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

20

【0076】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、 $1[\text{Pa}]$ の圧力でコイル型の電極に $500[\text{W}]$ のRF($13.56[\text{MHz}]$)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも $100[\text{W}]$ のRF($13.56[\text{MHz}]$)電力を投入し、実質的に負の自己バイアス電圧を印可する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

30

【0077】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印可するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15\sim45^\circ$ となる。

ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10\sim20[\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2\sim4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim50[\text{nm}]$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011 $\sim$ 5016(第1の導電層5011a $\sim$ 5016aと第2の導電層5011b $\sim$ 5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011 $\sim$ 5016で覆われない領域は $20\sim50[\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

40

(図10(B))

【0078】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1\times10^{13}\sim5\times10^{14}[\text{atoms}/\text{cm}^2]$ とし、加速電圧を $60\sim100[\text{keV}]$ として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン

50

(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。(図10(B))

【0079】

次に、図10(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026~5031(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

10

【0080】

W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

20

【0081】

そして、図11(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図11(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026~5030を不純物元素に対するマスクとして用い、第1の導電層5026a~5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032~5036が形成される。この第3の不純物領域5032~5036に添加されたリン(P)の濃度は、第1の導電層5026a~5030aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a~5030aのテーパー部と重なる半導体層において、第1の導電層5026a~5030aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

30

40

【0082】

図11(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF₆を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a~5031aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037~5042(第1の導電層5037a~5042aと第2の導電層5037b~5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037~5042で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0083】

50

第3のエッチング処理によって、第3の不純物領域5032～5036においては、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5036bとが形成される。

【0084】

そして、図11(C)に示すように、Pチャネル型TFTを形成する島状半導体層504、5006に第1の導電型とは逆の導電型の第4の不純物領域5043～5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005および導電層5042はレジストマスク5200で全面を被覆しておく。不純物領域5043～5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【0085】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0086】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。

熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うものであり、本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0087】

さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0088】

次いで、図12(A)に示すように、酸化窒化シリコン膜から成る第1の層間絶縁膜5055を100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成する。

【0089】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm](さらに好ましくは2～4[μm])とすれば良い。

【0090】

次に、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成した。

【0091】

コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5023に達するコンタクトホール、P型の不純物領域5043、5048、5049または5054に達するコンタクトホール、

10

20

30

40

50

ソース信号線 5042 に達するコンタクトホール、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0092】

その後、画素電極 5063 として ITO 膜を 110 [nm] の厚さに形成し、パターニングを行った。また、酸化インジウムに 2～20 [%] の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。（図 12 (A)）

【0093】

その後、S/Dメタル層 5100 を形成した。なお、本実施例では、この S/Dメタル層 5100 としてチタン膜、窒化チタン膜、アルミニウム膜をスパッタ法で連続形成した 3 層構造の積層膜を用いた。勿論、他の導電膜を用いても良い。

10

【0094】

S/Dメタル層 5100 の上に、絶縁層 5101 を形成する。なお、この絶縁層 5101 としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。絶縁層 5101 をこれらの樹脂を用いて、5000 Å～1 μm の厚さに形成する。本実施例では、絶縁層 5101 としてアクリルを 0.6 μm の厚さに形成した。

【0095】

次に、図 12 (B) に示すように、絶縁層 5101 及び S/Dメタル層 5100 を同時にパターニングし、各配線（接続配線、信号線を含む）5057～5062、5099 及びその上の絶縁膜 5111 を形成した。

20

【0096】

ここで、図 17 (A) は、パターニング形成されたゲート信号線 5099 付近の拡大図である。絶縁層 5101 及び S/Dメタル層 5100 のエッチングについて、図 17 (A) を用いて説明する。なお、図 17 (A) において、図 12 と同じ符号は同じ部分を示す。

【0097】

エッチングは、絶縁層 5101 として形成したアクリル 1704 をドライエッチング、また、S/Dメタル層 5100 のアルミニウム層 1703 をウェットエッチング、窒化チタン層 1702 及びチタン層 1701 をドライエッチングによって行う。これにより、アルミニウム層を、内側に 0.1 μm～0.5 μm 窪ませた形状を作製することができる。

30

【0098】

図 12 (B) において、ドレイン配線 5061 及び接続配線 5062 を画素電極 5063 と接して重なるように配置することでコンタクトを取っている。

【0099】

こうして、同一基板上に、駆動回路部の TFT 及び画素部の TFT と保持容量が完成する。本明細書では、便宜上、この様な基板をアクティブマトリクス基板とよぶ。

【0100】

なお、本実施例では、透過型のアクティブマトリクス型液晶表示装置のアクティブマトリクス基板の作製方法を示したが、反射型のアクティブマトリクス型液晶表示装置のアクティブマトリクス基板も同様の手法で作製可能である。

40

【0101】

この様にして得られたアクティブマトリクス基板の、ゲート信号線及びその上部に形成された絶縁層の断面 SEM（走査電子顕微鏡）写真を図 16 (a) に示す。図 16 (a) は、配向膜を形成する前の観察像である。

【実施例 4】

【0102】

本実施例では、実施例 3 の手法により作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。説明には図 13 を用いる。

【0103】

図 12 (B) の状態のアクティブマトリクス基板を得た後、図 12 (B) のアクティブ

50

マトリクス基板上に配向膜 1 6 7 を形成しラビング処理を行う。この配向膜 1 6 7 は、 $500\text{ \AA} \sim 1500\text{ \AA}$ の膜厚で形成するのが好ましい。本実施例では、 $700\text{ \AA}$ の膜厚で形成した。

【0104】

ここで、図 1 7 (B) に示すように、配向膜 1 6 7 を、図 1 7 (A) に示したアルミニウム層の窪み部分に入れる。これにより、ゲート信号線の信号電圧による、ゲート信号線周りに生じる電界の液晶部への影響を、さらに軽減することができる。なお、図 1 7 (B) において、図 1 3 と同じ符号は同じ部分を示す。

【0105】

ゲート信号線及びその上部に形成された絶縁層を、配向膜で覆ったところの観察像を図 1 6 (b) に示す。なお、配向膜をつけた後、 $200\text{ }^{\circ}\text{C}$ で 90 分間ポストバークを行っている。

【0106】

なお、本実施例では配向膜 1 6 7 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサ (図示せず) を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0107】

次いで、対向基板 1 6 8 を用意する。この対向基板には、着色層 1 7 4、遮光層 1 7 5 が各画素に対応して配置されたカラーフィルタに設けられている。また、駆動回路の部分にも遮光層 1 7 7 を設けた。このカラーフィルタと遮光層 1 7 7 とを覆う平坦化膜 1 7 6 を設けた。次いで、平坦化膜 1 7 6 上に透明導電膜からなる対向電極 1 6 9 を画素部に形成し、対向基板の全面に配向膜 1 7 0 を形成し、ラビング処理を施した。この配向膜 1 7 0 は、 $500\text{ \AA} \sim 1500\text{ \AA}$ の膜厚で形成するのが好ましい。本実施例では、 $700\text{ \AA}$ の膜厚で形成した。

【0108】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材 1 7 1 で貼り合わせる。シール材 1 7 1 にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 1 7 3 を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料 1 7 3 には公知の液晶材料を用いれば良い。このようにして図 1 3 に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、実施例 2 で述べた手法により FPC を貼りつけた。

【0109】

こうして得られた液晶表示パネルの構成を図 1 5 の上面図を用いて説明する。

なお、図 1 4 と対応する部分には同じ符号を用いた。

【0110】

図 1 5 で示す上面図は、画素部 1 4 0 3、ソース信号線駆動回路 1 4 0 1、ゲート信号線駆動回路 1 4 0 2、FPC 端子 1 4 0 6 を貼り付ける外部入力端子 1 4 0 4、外部入力端子と各回路の入力部までを接続する配線 1 4 0 7 a、1 4 0 7 b などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板 1 4 2 0 とがシール材 1 4 3 0 を介して貼り合わされている。

【0111】

ソース信号線駆動回路 1 4 0 1 と重なるように対向基板側に遮光層 4 7 7 a が設けられ、ゲート信号線駆動回路 1 4 0 2 と重なるように対向基板側に遮光層 4 7 7 b が形成されている。また、画素部 1 4 0 3 上の対向基板側に設けられたカラーフィルタ 4 0 9 は遮光層と、赤色 (R)、緑色 (G)、青色 (B) の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色 (R) の着色層、緑色 (G) の着色層、青色 (B) の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なもの

10

20

30

40

50

する。

【0112】

ここでは、カラー化を図るためにカラーフィルタ409を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【0113】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層477a、477bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、

10

【0114】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【0115】

この様にして、液晶表示装置が完成する。

【0116】

なお、本実施例では、透過型のアクティブマトリクス型液晶表示装置の作製方法を示したが、反射型のアクティブマトリクス型液晶表示装置も同様の手法で作製可能である。

20

【実施例5】

【0117】

実施例3及び実施例4のようにして作製される液晶表示装置は、液晶モジュールを構成でき、さらに液晶表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された液晶表示装置を表示媒体として組み込んだ電子機器について説明する。

【0118】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18に示す。

30

【0119】

図18（A）はパーソナルコンピュータであり、本体2001、筐体2002、表示部2003、キーボード2004等を含む。本発明の液晶表示装置はパーソナルコンピュータの表示部2003に用いることができる。

【0120】

図18（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明の液晶表示装置はビデオカメラの表示部2102に用いることができる。

40

【0121】

図18（C）は頭部取り付け型の液晶表示装置の一部（右片側）であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示部2306等を含む。本発明の液晶表示装置は頭部取り付け型の液晶表示装置の表示部2306に用いることができる。

【0122】

図18（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2401、記録媒体（CD、LDまたはDVD等）2402、操作スイッチ2403、表示部（a）2404、表示部（b）2405等を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の液晶表

50

示装置は記録媒体を備えた画像再生装置の表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0123】

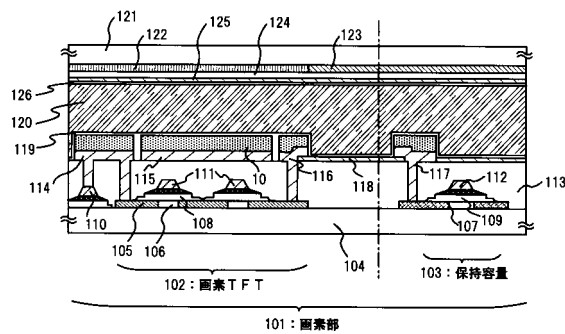
図18（E）は携帯型（モバイル）コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示部2505等を含む。本発明の液晶表示装置2505は携帯型（モバイル）コンピュータの表示部に用いることができる。

【0124】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～4のどのような組み合わせからなる構成を用いても実現することができる。

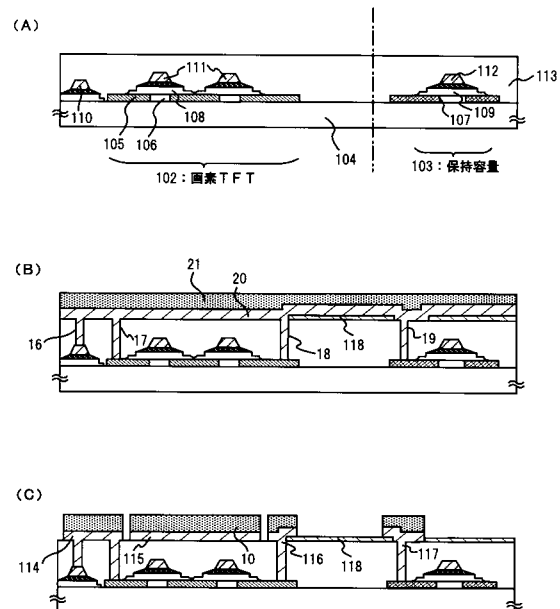
10

【図1】

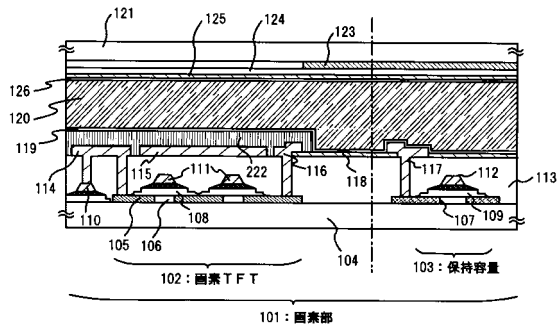


- | | |
|----------------------|--------------|
| 10: 絶縁膜 | 114: ソース配線 |
| 101: 画素部 | 115: ゲート信号線 |
| 102: 画素TFT | 116: ドレイン配線 |
| 103: 保持容量 | 117: 配線 |
| 104: 絶縁基板 | 118: 画素電極 |
| 105: ソース領域もしくはドレイン領域 | 119: 配向膜 |
| 106: チャンネル領域 | 120: 液晶 |
| 107: 保持容量の電極1 | 121: 絶縁基板 |
| 108: ゲート絶縁膜 | 122: BM |
| 109: 絶縁層 | 123: カラーフィルタ |
| 110: ソース信号線 | 124: 平坦化膜 |
| 111: ゲート電極 | 125: 対向電極 |
| 112: 保持容量の電極2 | 126: 配向膜 |
| 113: 層間絶縁膜 | |

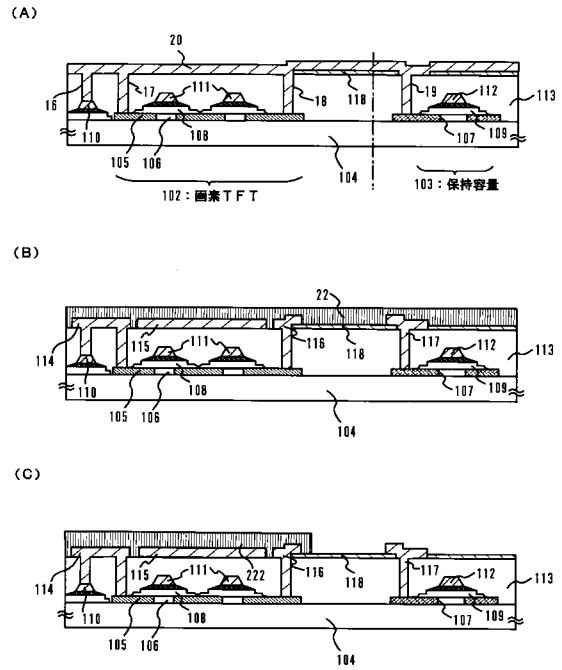
【図2】



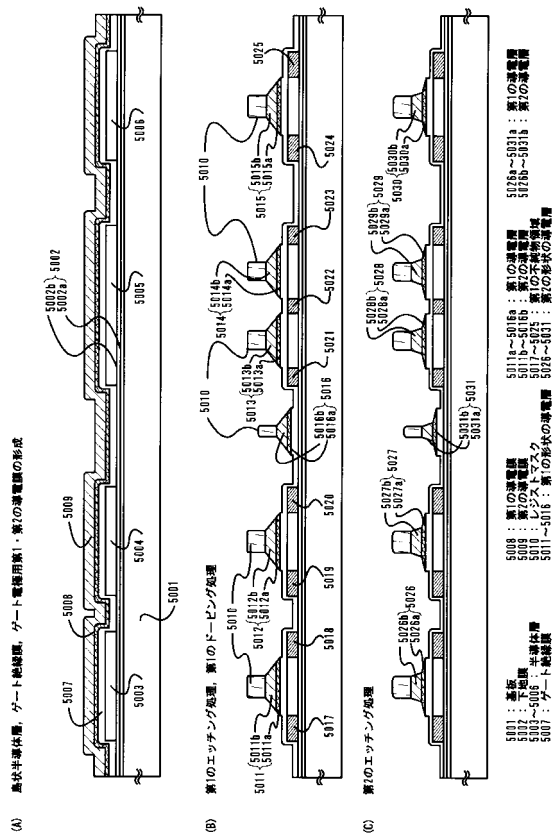
【図 8】



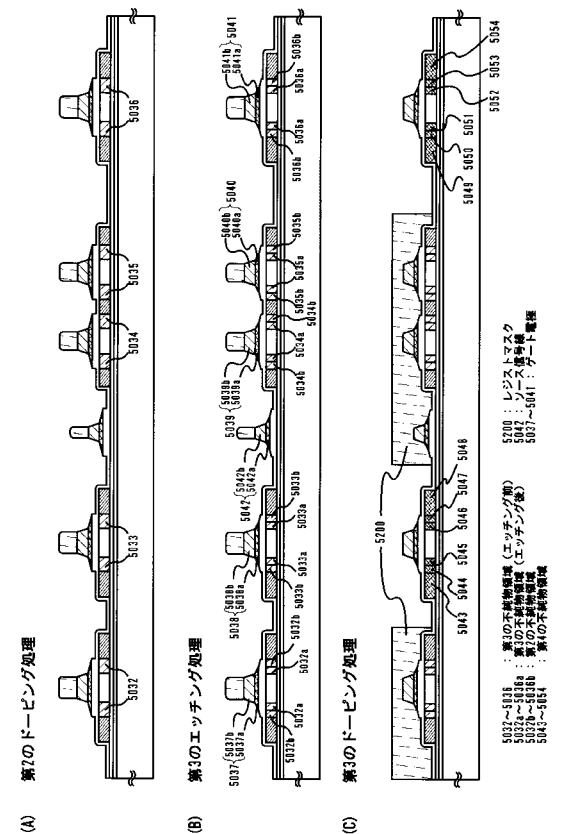
【図 9】



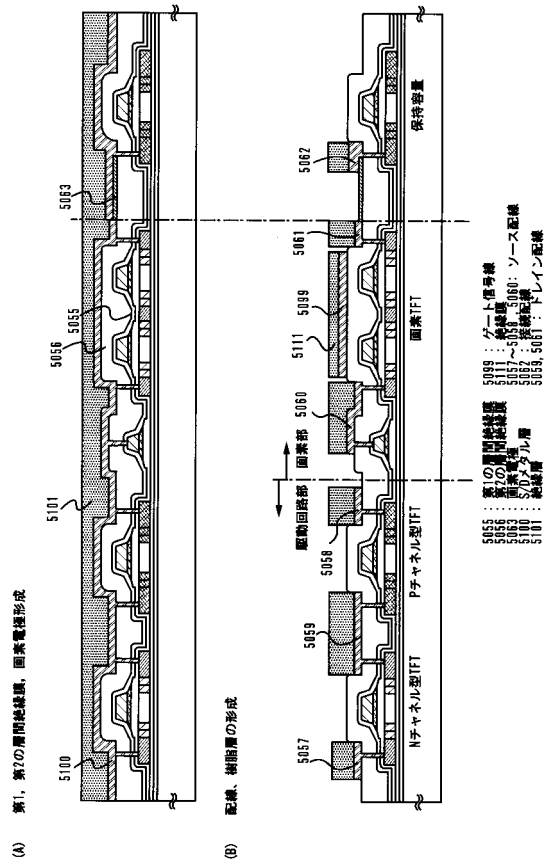
【図 10】



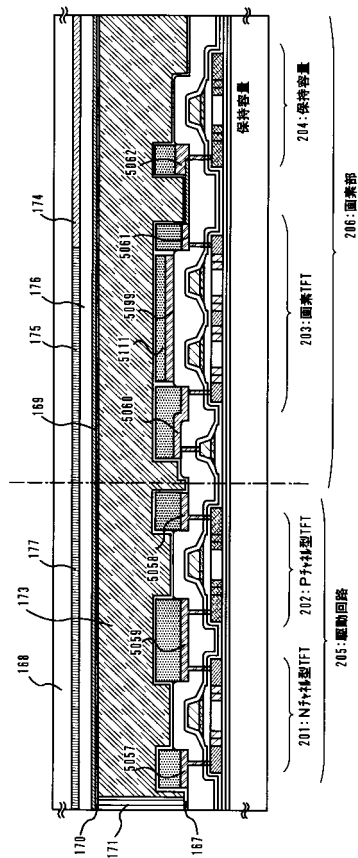
【図 11】



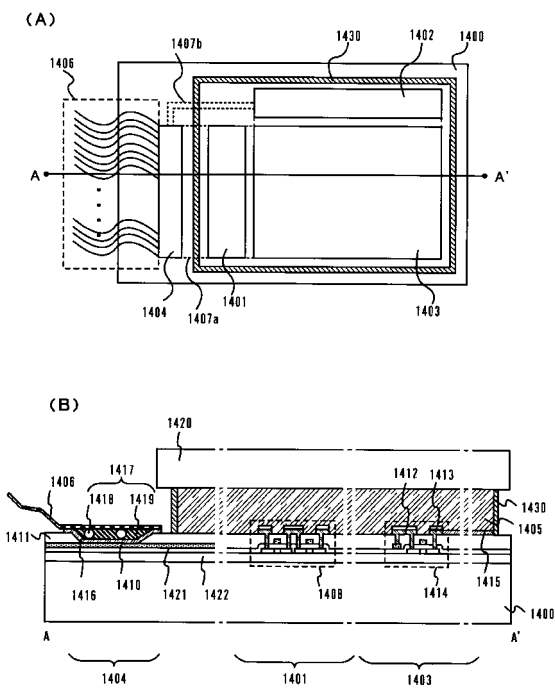
【図12】



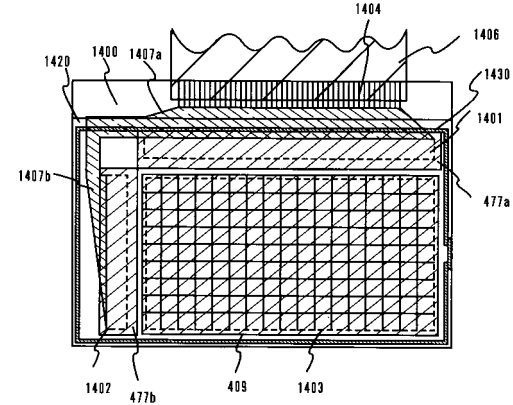
【図13】



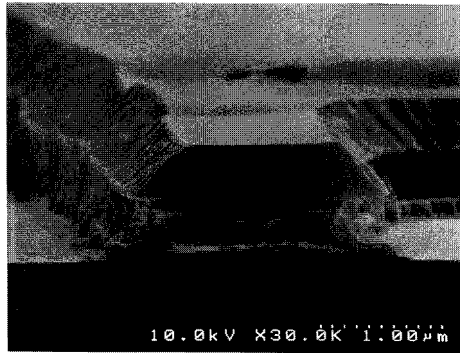
【図14】



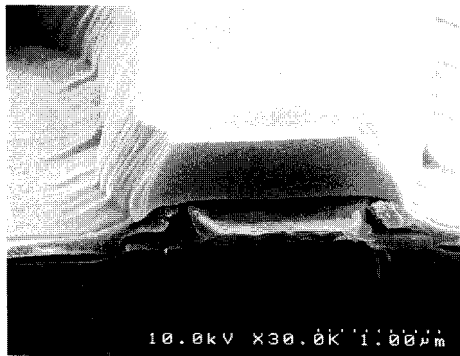
【図15】



【図 16】

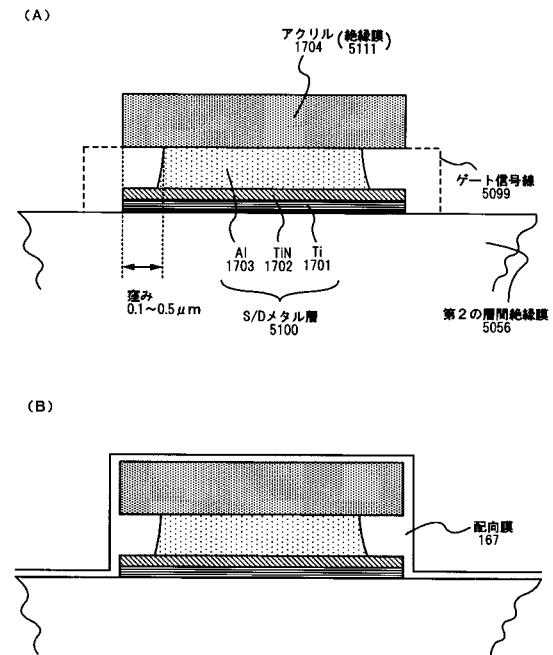


a) 素子工程終了後

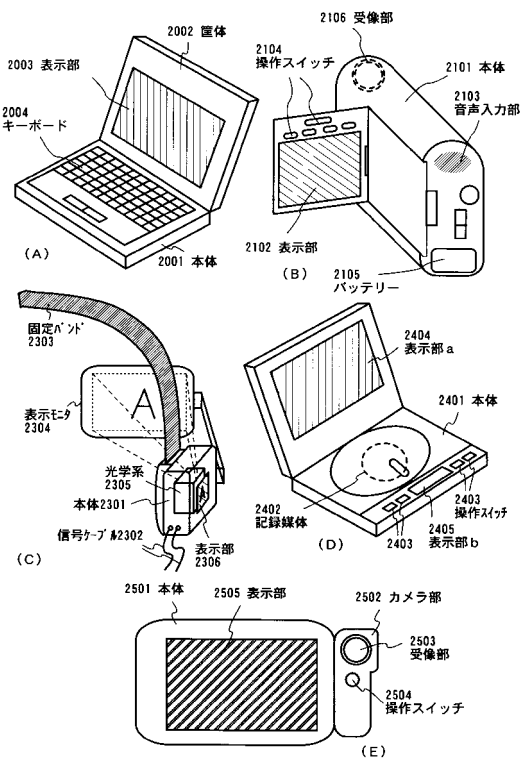


b) 配向膜印刷+ポストバーク後 (200℃ 90分)

【図 17】



【図 18】



フロントページの続き

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 藤田 都志行

(56)参考文献 特開平08-023100 (JP, A)

特開平10-319431 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G09F 9/30

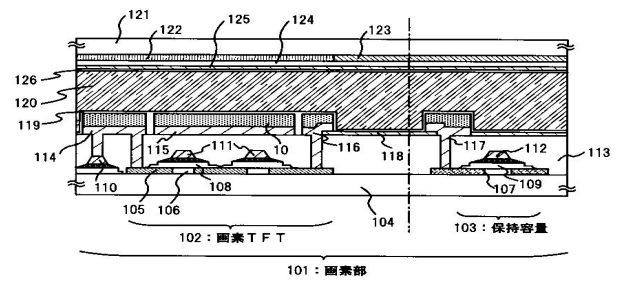
H01L 29/786

专利名称(译)	表示装置		
公开(公告)号	JP5228022B2	公开(公告)日	2013-07-03
申请号	JP2010230817	申请日	2010-10-13
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 江口晋吾 村上智史 ひろ木正明 小山潤		
发明人	山崎 舜平 江口 晋吾 村上 智史 ▲ひろ▼木 正明 小山 潤		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/30.348.A H01L29/78.612.C G02F1/1343		
F-TERM分类号	2H092/GA29 2H092/GA43 2H092/GA48 2H092/GA50 2H092/GA59 2H092/JA25 2H092/JA36 2H092/JA40 2H092/JA44 2H092/JA46 2H092/JB51 2H092/JB56 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KA12 2H092/KA18 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA18 2H092/MA19 2H092/MA27 2H092/MA29 2H092/MA30 2H092/NA27 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CC07 2H192/CC12 2H192/CC32 2H192/CC44 2H192/CC72 2H192/DA02 2H192/DA44 2H192/DA52 2H192/EA06 2H192/EA22 2H192/EA43 2H192/EA72 2H192/FA65 2H192/FB02 2H192/FB33 2H192/HA47 5C094/AA37 5C094/BA03 5C094/BA43 5C094/DA15 5C094/DB01 5C094/HA07 5C094/HA08 5F110/AA14 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE09 5F110/EE11 5F110/EE14 5F110/EE23 5F110/EE37 5F110/EE44 5F110/EE45 5F110/FF02 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG25 5F110/HJ01 5F110/HJ04 5F110/HJ07 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HL10 5F110/HL12 5F110/HL23 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN27 5F110/NN73 5F110/PP01 5F110/PP03 5F110/PP05 5F110/PP06 5F110/QQ11 5F110/QQ19 5F110/QQ24 5F110/QQ25		
其他公开文献	JP2011065169A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在有源矩阵型液晶显示装置中提供一种显示装置，其解决了在传统工艺中减少用于简化生产工艺的掩模数量的问题，必须采用栅极信号线与液晶部分（包括取向层）直接接触的结构，并且由栅极信号电压的影响导致的液晶部分劣化；并且抑制栅极信号电压对液晶部分的影响。解决方案：在显示装置中，栅极信号线被绝缘膜覆盖，并且液晶部分不直接接触。其像素部分的结构如图1所示。具有绝缘膜的显示装置可以通过在其上同时图案化形成栅极信号线和绝缘膜而不增加要使用的掩模的数量来制造。此外，栅极信号线的外围可以用BM层覆盖，而不是在对向基板上产生BM层，并且BM用作绝缘层。此时，所使用的掩模的数量没有增加。

【 図 1 】



- | | |
|----------------------|--------------|
| 10: 絶縁膜 | 114: ソース配線 |
| 101: 画素部 | 115: ゲート信号線 |
| 102: 画素TFT | 116: ドレイン配線 |
| 103: 保持容量 | 117: 配線 |
| 104: 絶縁基板 | 118: 画素電極 |
| 105: ソース領域もしくはドレイン領域 | 119: 配向膜 |
| 106: チャンネル領域 | 120: 液晶 |
| 107: 保持容量の電極 1 | 121: 絶縁基板 |
| 108: ゲート絶縁膜 | 122: BM |
| 109: 絶縁層 | 123: カラーフィルタ |
| 110: ソース信号線 | 124: 平坦化膜 |
| 111: ゲート電極 | 125: 対向電極 |
| 112: 保持容量の電極 2 | 126: 配向膜 |
| 113: 層間絶縁膜 | |