

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5026550号
(P5026550)

(45) 発行日 平成24年9月12日 (2012.9.12)

(24) 登録日 平成24年6月29日 (2012.6.29)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 633P

G09G 3/20 612D

G09G 3/20 612J

G09G 3/20 612F

請求項の数 2 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2010-94555 (P2010-94555)
 (22) 出願日 平成22年4月16日 (2010.4.16)
 (62) 分割の表示 特願2003-408359 (P2003-408359)
 の分割
 原出願日 平成15年12月8日 (2003.12.8)
 (65) 公開番号 特開2010-250322 (P2010-250322A)
 (43) 公開日 平成22年11月4日 (2010.11.4)
 審査請求日 平成22年4月16日 (2010.4.16)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイイースト
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の液晶表示パネルと、
 第2の液晶表示パネルと、
 前記第1の液晶表示パネルに設けられた駆動回路と、
 前記第1の液晶表示パネルに設けられ前記駆動回路から出力される信号が供給される出力端子と、
 前記出力端子と前記第2の液晶表示パネルとを接続する接続配線とを有し、
 前記駆動回路は、昇圧回路部を有し、
 前記昇圧回路部は、第1の昇圧回路と、第2の昇圧回路とを有し、
 前記第1の昇圧回路は、複数のトランジスタ素子が並列に接続されたスイッチング素子を有し、

前記昇圧回路部は、液晶表示装置の外部から入力される外部信号により、前記第1の昇圧回路と第2の昇圧回路とを相補的に動作させる第1のモードと、前記第1の昇圧回路を動作させる第2のモードと、前記第1の昇圧回路のスイッチング素子として、前記複数のトランジスタ素子の中の1個のトランジスタ素子を使用して前記第1の昇圧回路を動作させる第3のモードに変更可能であることを特徴とする液晶表示装置。

【請求項 2】

前記第2の液晶表示パネルの映像線は、前記接続配線、および前記第1の液晶表示パネルの映像線を介して、前記駆動回路に接続されることを特徴とする請求項1に記載の液晶

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、携帯型電話などに用いられる2つの液晶表示パネルを有する液晶表示装置の駆動回路に適用して有効な技術に関する。

【背景技術】

【0002】

サブピクセル数が、カラー表示で $100 \times 150 \times 3$ 程度の小型の液晶表示パネルを有するTFT (Thin Film Transistor) 方式の液晶表示モジュール、あるいは、有機EL素子を有するEL表示装置が、携帯電話機などの携帯機器の表示部として広く使用されている。

10

さらに、近年、メインの表示部と、サブの表示部とを備える折り畳み型の携帯電話機も使用されている。

このようなメインの表示部と、サブの表示部とを備える携帯電話機用の液晶表示モジュールとして、メインの表示部に対応する第1の液晶表示パネルと、サブの表示部に対応する第2の液晶表示パネルとを備える一体型の液晶表示モジュールが知られている。(下記、特許文献1参照)。

前述の特許文献1に記載されている一体型の液晶表示モジュールは、第1の液晶表示パネルと第2の液晶表示パネルとを、フレキシブル回路基板上の接続配線で接続するとともに、1つの液晶駆動回路により、第1および第2の液晶表示パネルを駆動するものである。

20

これにより、実装部品の削減を図り、コスト低減、かつ、省スペース化を図ることが可能である。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2004-61892号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

前述の特許文献1に記載されている液晶表示モジュールでは、メインの表示部の表示ライン数を m 、サブの表示部の表示ライン数を n とすると、擬似的に $(m+n)$ 表示ラインの単一の画面として駆動しているために、メイン、サブのそれぞれの表示部に最適な駆動方法を採用することができず、低消費電力化を図る上で妨げとなっていた。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、2つの液晶表示パネルを有する小型の液晶表示装置において、最適な駆動方法を実現し、低消費電力化を図ることが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

40

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

即ち、本発明は、第1の液晶表示パネルと、第2の液晶表示パネルと、前記第1の液晶表示パネルに設けられた駆動回路と、前記第1の液晶表示パネルに設けられ前記駆動回路から出力される信号が供給される出力端子と、前記出力端子と前記第2の液晶表示パネルとを接続する接続配線とを有する液晶表示装置において、同一フレーム内に存在する第1液晶表示パネルの表示期間の交流化駆動方式と、第2液晶表示パネルの表示期間の交流化駆動方式とを変更可能としたことを特徴とする。

50

また、本発明では、前記第 1 の液晶表示パネルの非表示期間に前記第 1 の共通電圧の交流化を停止し、前記第 2 の液晶表示パネルの非表示期間に前記第 2 の共通電圧の交流化を停止することを特徴とする。

また、本発明では、前記駆動回路が、昇圧回路部を有し、前記昇圧回路部は、外部信号により動作モードが変更可能であることを特徴とする。

また、本発明では、前記駆動回路は、階調電圧生成部を有し、前記駆動回路は、前記第 1 の液晶表示パネル、あるいは、前記第 2 の液晶表示パネルの非表示期間に、前記階調電圧生成部内で不要なアンプ回路を停止することを特徴とする。

【発明の効果】

【 0 0 0 6 】

10

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の液晶表示装置によれば、低消費電力化を図ることが可能となる。

【図面の簡単な説明】

【 0 0 0 7 】

【図 1】本発明の実施例 1 の液晶表示モジュールの概略構成を示すブロック図である。

【図 2】本発明の実施例 1 の液晶表示モジュールの変形例の概略構成を示すブロック図である。

【図 3】従来の液晶表示モジュールの交流化駆動方法を説明するための図である。

【図 4】本発明の実施例 1 の液晶表示モジュールの交流化駆動方法の一例を説明するための図である。

20

【図 5】本発明の実施例 1 の液晶表示モジュールにおいて使用されるインストラクション信号を説明するための図である。

【図 6】本発明の実施例 1 の液晶表示モジュールにおいて、駆動回路が 2 つに分割されている場合に、第 1 駆動回路から第 2 駆動回路に転送する信号を説明するための図である。

【図 7】本発明の実施例 1 の液晶表示モジュールにおいて、駆動回路が 2 つに分割されている場合に、第 1 駆動回路から第 2 駆動回路に転送する信号を説明するための図である。

【図 8】本発明の実施例 2 の液晶表示モジュールの交流化駆動方法の一例を説明するための図である。

【図 9】本発明の実施例 2 の液晶表示モジュールの交流化駆動方法の他の例を説明するための図である。

30

【図 10】本発明の実施例 2 の液晶表示モジュールの交流化駆動方法の他の例を説明するための図である。

【図 11】本発明の実施例 1 の液晶表示モジュールのソースドライバ (SD) の一例の概略構成を示すブロック図である。

【図 12】本発明の実施例 3 の液晶表示モジュールにおける、階調電圧発生回路とセレクタの構成の一例を示す図である。

【図 13】本発明の実施例 3 の液晶表示モジュールにおける、階調電圧発生回路とセレクタの構成の他の例を示す図である。

【図 14 (a)】本発明の実施例 4 の液晶表示モジュールの昇圧回路を説明するための図である。

40

【図 14 (b)】本発明の実施例 4 の液晶表示モジュールの昇圧回路を説明するための図である。

【図 14 (c)】本発明の実施例 4 の液晶表示モジュールの昇圧回路を説明するための図である。

【図 15】図 14 に示す昇圧回路のより具体的な構成を示す回路図である。

【発明を実施するための形態】

【 0 0 0 8 】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け

50

、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

【実施例１】

図１は、本発明の実施例１の液晶表示モジュールの概略構成を示すブロック図である。

本実施例の液晶表示モジュールは、第１の液晶表示パネルと第２の液晶表示パネルとを備える一体型の液晶表示モジュールである。

図１において、PNL１は、折り畳み型の携帯電話機を開いた状態で使用するときのメインの表示部となる第１の液晶表示パネルであり、PNL２は、折り畳み型の携帯電話機を閉じた状態で使用するときのサブの表示部となる第２の液晶表示パネルである。

第１の液晶表示パネル（PNL１）、及び第２の液晶表示パネル（PNL２）には、複数の走査線（またはゲート線）（GL）と、映像線（またはドレイン線）（SL）とが、各々並列して設けられる。

走査線（GL）と映像線（SL）との交差する部分に対応して画素部が設けられる。複数の画素部はマトリックス状に配置され、各画素部には、画素電極１２と薄膜トランジスタ１０が設けられる。

第１および第２の液晶表示パネル（PNL１，PNL２）は、画素電極１２、薄膜トランジスタ１０等が設けられたガラス基板（SUB１，SUB２）と、カラーフィルタ等が形成されるガラス基板（図示せず）とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

なお、本発明は、液晶表示パネルの内部構造とは関係がないので、液晶表示パネルの内部構造の詳細な説明は省略する。さらに、本発明は、どのような構造の液晶表示パネルであっても適用可能である。

【０００９】

本実施例において、第１の液晶表示パネルのガラス基板（SUB１）上には、第１駆動回路（DRV１）が搭載される。

第１駆動回路（DRV１）は、コントローラ（CNTL）と、第１および第２の液晶表示パネル（PNL１，PNL２）の映像線（SL）を駆動するソースドライバ（SD）と、第１および第２の液晶表示パネル（PNL１，PNL２）の走査線（GL）を駆動するゲートドライバ（GD）と、第１の液晶表示パネル（PNL１）の共通電極（対向電極、または、コモン電極ともいう）１５に第１の共通電圧（Vcom１）、および第２の液晶表示パネル（PNL２）の共通電極１５に第２の共通電圧（Vcom２）を供給する電源回路（PC）などを有する。

コントローラ（CNTL）には、本体側の中央処理装置（Microprocessing Unit；以下、MPUという）から、表示データと表示コントロール信号が入力される。

なお、図１では、第１駆動回路（DRV１）は、１個の半導体チップで構成した場合を図示している。

【００１０】

図２は、本実施例の液晶表示モジュールの変形例の概略構成を示すブロック図である。

図２に示す液晶表示モジュールは、駆動回路を、第１駆動回路（DRV１）と、第２駆動回路（DRV２）の２つに分割したものである。

図２において、第１駆動回路（DRV１）は、コントローラ（CNTL）と、第１および第２の液晶表示パネル（PNL１，PNL２）の映像線（SL）を駆動するソースドライバ（SD）を有し、第２駆動回路（DRV２）は、第１および第２の液晶表示パネル（PNL１，PNL２）の走査線（GL）を駆動するゲートドライバ（GD）と、第１の液晶表示パネル（PNL１）の共通電極１５に第１の共通電圧（Vcom１）、および第２の液晶表示パネル（PNL２）の共通電極１５に第２の共通電圧（Vcom２）を供給する電源回路（PC）を有する。

また、第１駆動回路（DRV１）、および第２駆動回路（DRV２）は、それぞれ１個

の半導体チップで構成される。

【0011】

図1に示すように、第1の液晶表示パネル(PNL1)および第2の液晶表示パネル(PNL2)には、それぞれ端子(図示せず)が形成され、この端子がフレキシブル配線基板(FPC)に接続されることにより、第2の液晶表示パネル(PNL2)が、フレキシブル配線基板(FPC)を介して、第1の液晶表示パネル(PNL1)に接続される。

フレキシブル配線基板(FPC)には、映像線用の接続配線、走査線用の接続配線、コントロール信号用の接続配線、および、共通電極用の接続配線が設けられる。

即ち、第2の液晶表示パネル(PNL2)の映像線(SL)は、フレキシブル配線基板(FPC)の映像線用の接続配線、並びに、第1の液晶表示パネル(PNL1)の映像線(SL)を介して、第1駆動回路(DRV1)に接続される。

10

また、第2の液晶表示パネル(PNL2)の走査線(GL)は、フレキシブル配線基板(FPC)の走査線用の接続配線、並びに、第1の液晶表示パネル(PNL1)のガラス基板(SUB1)上の配線を介して、第1駆動回路(DRV1)に接続される。

さらに、第2の液晶表示パネル(PNL2)の共通電極15は、フレキシブル配線基板(FPC)の共通電極用の接続配線、並びに、第1の液晶表示パネル(PNL1)のガラス基板(SUB1)上の配線を介して、第1駆動回路(DRV1)に接続される。

【0012】

図1、図2に示すような映像線を共有する第1の液晶表示パネル(PNL1)、第2の液晶表示パネル(PNL2)を駆動する場合、従来は、図3に示すように、第1の液晶表示パネル(PNL1)と、第2の液晶表示パネル(PNL2)とを、擬似的に(m+n)ラインの単一の画面として駆動しており、そのため、第1の液晶表示パネル(PNL1)と、第2の液晶表示パネル(PNL2)の交流化駆動方式を変更することができなかった。

20

しかしながら、低消費電力化のためには、それぞれの液晶表示パネルに最適な交流化駆動方式を選択できることが望ましい。

なお、図3において、mは第1の液晶表示パネル(PNL1)の表示ライン数、nは第2の液晶表示パネル(PNL2)の表示ライン数、F1は第1フレーム、F2は第2フレーム、PE1は第1の液晶表示パネル(PNL1)の表示期間、PE2は第2の液晶表示パネル(PNL2)の表示期間、WE1、WE2はウエイト期間である。

30

また、図3では、第1の液晶表示パネル(PNL1)と、第2の液晶表示パネル(PNL2)ともに、交流化駆動方式として、1ラインコモン反転法を採用した場合を図示している。

【0013】

そこで、本実施例では、同一フレーム内に存在する第1の液晶表示パネル(PNL1)の表示期間、および、第2の液晶表示パネル(PNL2)の表示期間、それぞれにおいて交流化駆動方式を自由に設定可能としている。

例えば、図4に示すように、第1の液晶表示パネル(PNL1)を1ラインコモン反転法で駆動し、第2の液晶表示パネル(PNL2)を1フレームコモン反転法で駆動する。

第1および第2の液晶表示パネル(PNL1, PNL2)を駆動する駆動回路は、共通電極15に印加する共通電位(Vcom)などを生成する電源回路(PC)、走査線(GL)を駆動するゲートドライバ(GD)、階調電圧を出力するソースドライバ(SD)、およびコントローラ(CNTL)などで構成される。

40

ここで、コントローラ(CNTL)は、MPUと接続されており、第1および第2の液晶表示パネル(PNL1, PNL2)の駆動条件(交流化駆動方式)の設定をMPUで設定し、当該駆動条件の設定を、MPUからコントローラ(CNTL)内に内蔵されるレジスタ(図6、図7のRST)に書き込み、保持することで、第1の液晶表示パネル(PNL1)および第2の液晶表示パネル(PNL2)毎に、それぞれに交流化駆動方式を変更する。

【0014】

50

駆動回路が、図 1 に示す 1 半導体チップ構成の場合には、これらの駆動回路は全て第 1 駆動回路 (D R V 1) に含まれる。

第 1 の液晶表示パネル (P N L 1) および第 2 の液晶表示パネル (P N L 2) 毎に、交流化駆動方式を変えて駆動するためには、第 1 の液晶表示パネル (P N L 1) の表示期間、および第 2 の液晶表示パネル (P N L 2) の表示期間を設定する必要がある。

このため、各液晶表示パネルの表示ライン数や、各ウエイト期間を、M P U からインストラクション信号をコントローラ (C N T L) に送り、コントローラ (C N T L) 内に内蔵されるレジスタに設定する。

また、各液晶表示パネルの交流化駆動方式も、M P U からインストラクション信号をコントローラ (C N T L) に送り、コントローラ (C N T L) 内に内蔵されるレジスタに設定する。

10

この設定により、第 1 の液晶表示パネル (P N L 1) の表示期間、および第 2 の液晶表示パネル (P N L 2) の表示期間に、電源回路 (P C)、ソースドライバ (S D) を制御することにより、同一フレーム内に存在する第 1 の液晶表示パネル (P N L 1) の表示期間、第 2 の液晶表示パネル (P N L 2) の表示期間それぞれに、交流化駆動方式を自由に設定した駆動が可能となる。

図 5 に、インストラクション信号の一例を示す。図 5 に示すインストラクション信号は 1 6 ビットからなるシリアルデータを示している。

図 5 で、横方向に並んだ 1 6 ビットの信号がインストラクション信号として外部から第 1 駆動回路 (D R V 1) に転送され、レジスタに保持される。

20

図 5 に示すインストラクション信号では、D 1 5 から D 1 3 までの 3 ビットがインデックスコード (I D) となっており、インストラクション信号の内容を区別している。

そして、D 1 2 から D 0 までの 1 3 ビットにより、各液晶表示パネルの表示ライン数や、各ウエイト期間を設定する。

【 0 0 1 5 】

駆動回路が、図 2 に示す 2 半導体チップのように 2 つに分割されている場合、コントローラ (C N T L) を含まない第 2 駆動回路 (D R V 2) に、共通電極 1 5 に印加する共通電圧 (V c o m) を生成する電源回路 (P C) が内蔵されているため、第 1 の液晶表示パネル (P N L 1) の表示期間、および第 2 の液晶表示パネル (P N L 2) の表示期間を、第 2 駆動回路 (D R V 2) に認識させる必要がある。

30

そこで、図 6 に示すように、M P U から第 2 駆動回路 (D R V 1) 内のコントローラ (C N T L) に送られたインストラクション信号 (I N S T) を、第 2 駆動回路 (D R V 2) 内のレジスタ (R E T) に転送する。

これにより、第 1 の液晶表示パネル (P N L 1) の表示期間、および第 2 の液晶表示パネル (P N L 2) の表示期間を、第 2 駆動回路 (D R V 2) においても設定し、第 2 駆動回路 (D R V 2) において、第 1 駆動回路 (D R V 1) 内のコントローラ (C N T L) からのクロック信号 (C L 1) をカウンタ (C N T) でカウントすることにより、第 1 の液晶表示パネル (P N L 1) の表示期間、および第 2 の液晶表示パネル (P N L 2) の表示期間を認識する。

また、第 2 駆動回路 (D R V 2) 内の電源回路 (P C) において、第 1 の液晶表示パネル (P N L 1) の共通電極 1 5 に印加される第 1 の共通電圧 (V c o m 1)、および第 2 の液晶表示パネル (P N L 2) の共通電極 1 5 に印加される第 2 の共通電圧 (V c o m 2) の交流化を、第 1 駆動回路 (D R V 1) 内のコントローラ (C N T L) から出力される交流化信号 (M 1 , M 2) に同期して行うことにより、2 半導体チップ構成の場合においても、同一フレーム内に存在する第 1 の液晶表示パネル (P N L 1) の表示期間、第 2 の液晶表示パネル (P N L 2) の表示期間それぞれに、交流化駆動方式を自由に設定した駆動が可能となる。

40

【 0 0 1 6 】

駆動回路が、図 2 に示す 2 半導体チップのように 2 つに分割されている場合に、第 1 の液晶表示パネル (P N L 1) の表示期間、第 2 の液晶表示パネル (P N L 2) の表示期間

50

を認識させる他の方法としては、第1駆動回路(DRV1)内のコントローラ(CNTL)から第2駆動回路(DRV2)へ画面認識信号(図7のDR)を転送する方法がある。

図7に示すように、第1駆動回路(DRV1)と第2駆動回路(DRV2)間に画面認識信号(DR)を転送する信号線を設け、画面認識信号(DR)が、Highレベル(以下、Hレベルという)の場合は第1の液晶表示パネル(PNL1)の表示期間、画面認識信号(DR)が、Lowレベル(以下、Lレベルという)の場合は第2の液晶表示パネル(PNL2)の表示期間とすることにより、第2駆動回路(DRV2)に、第1の液晶表示パネル(PNL1)の表示期間、および第2の液晶表示パネル(PNL2)の表示期間を認識させることができる。

第2駆動回路(DRV2)の電源回路(PC)では、第1の液晶表示パネル(PNL1)の表示期間には、第1の液晶表示パネル(PNL1)の共通電極15に印加される第1の共通電圧(Vcom1)のみを、第1駆動回路(DRV1)内のコントローラ(CNTL)から出力される交流化信号(M)に同期して交流化を行い、第2の液晶表示パネル(PNL2)の表示期間には、第2の液晶表示パネル(PNL2)の共通電極15に印加される第2の共通電圧(Vcom2)のみを、交流化信号(M)に同期して交流化を行うことにより、2チップ構成の場合においても、同一フレーム内に存在する第1の液晶表示パネル(PNL1)の表示期間、および、第2の液晶表示パネル(PNL2)の表示期間それぞれに、交流化駆動方式を自由に設定した駆動が可能となる

これにより、本実施例では、第1および第2の液晶表示パネル(PNL1, PNL2)の2つの液晶表示パネルの駆動方法(交流化駆動方式)を自由に設定することが可能となり、第1、第2の2つの液晶表示パネル(PNL1, PNL2)を同時に点灯させる場合に、低消費電力化を図ることが可能となる。

【0017】

[実施例2]

本発明の液晶表示モジュールにおいては、液晶に直流が印加されることにより液晶の劣化を防止するために、液晶に印加する電圧の極性を周期的に反転させる交流化駆動を行う必要がある。

この交流化駆動方式として、コモン反転法を採用する場合には、共通電極15に印加する共通電圧(Vcom)も交流化、即ち、正電位側と低電位側に周期的に反転させる必要がある。

また、前述の実施例1のように、2つの液晶表示パネル(PNL1, PNL2)を有する場合には、液晶表示パネル毎に必要な電圧値が異なるために、第1の共通電圧(Vcom1)および第2の共通電圧(Vcom2)の2つの共通電圧が必要になる。

しかしながら、第1の液晶表示パネル(PNL1)の表示期間においては、第2の液晶表示パネル(PNL2)に共通電極15に印加する第2の共通電圧(Vcom2)、並びに、第2の液晶表示パネル(PNL2)の表示期間においては、第1の液晶表示パネル(PNL1)の共通電極15に印加する第1の共通電圧(Vcom1)の交流化を行う必要がない。

このため、第1の共通電圧(Vcom1)の交流化、並びに、第2の共通電圧(Vcom2)を、各液晶表示パネルの表示期間のみ交流化することにより、第1の液晶表示パネル(PNL1)および第2の液晶表示パネル(PNL2)の双方をコモン反転駆動する場合に比して、余分な液晶表示パネル充放電に伴う消費電力を削減することができるので、低消費電力化を図ることが可能となる。

また、各液晶表示パネルにとっての非表示期間(第1の液晶表示パネル(PNL1)においては第2の液晶表示パネル(PNL2)の表示期間、第2の液晶表示パネル(PNL2)においては第1の液晶表示パネル(PNL1)の表示期間)に、交流化駆動方式にかかわらず、共通電圧の交流化を行わないため、非表示期間内の液晶表示パネルの共通電極15に印加される共通電圧をアンプ出力を用いず、保持容量のみで電圧を保持することにより、共通電圧を出力するアンプを1つのみで、第1の液晶表示パネル(PNL1)および第2の液晶表示パネル(PNL2)の共通電極15に印加される共通電圧の交流化が可

10

20

30

40

50

能となる。

【 0 0 1 8 】

図 8 (a) に、本実施例において、第 1 の液晶表示パネル (P N L 1) および第 2 の液晶表示パネル (P N L 2) の共通電極 1 5 に印加される共通電圧を交流化した場合の、共通電圧の電圧波形を示す。

なお、図 8 (a) は、第 1 の液晶表示パネル (P N L 1) および第 2 の液晶表示パネル (P N L 2) の共通電極 1 5 に印加される共通電圧を 1 ライン毎に反転させた場合である。

また、図 8 (a) において、F 1 は第 1 フレーム、F 2 は第 2 フレーム、P E 1 は第 1 の液晶表示パネル (P N L 1) の表示期間、P E 2 は第 2 の液晶表示パネル (P N L 2) の表示期間、P 1 - L は第 1 の液晶表示パネル (P N L 1) の共通電圧 (V c o m 1) の 1 ライン反転期間、P 2 - L は第 2 の液晶表示パネル (P N L 2) の共通電圧 (V c o m 2) の 1 ライン反転期間、K A は共通電圧がアンプから供給されている期間、K C は保持容量により共通電圧が保持されている期間である。

図 8 (b)、図 8 (c) に、図 8 (a) に示す駆動方法を実現するための回路構成を示し、図 8 (b) は、第 1 の液晶表示パネル (P N L 1) の表示期間の回路動作を、また、図 8 (c) は、第 2 の液晶表示パネル (P N L 2) の表示期間の回路動作を示す。

【 0 0 1 9 】

図 8 (b)、(c) に示すように、第 1 のアンプ回路 (A M P 1) には、高電位側の第 1 の共通電圧 (V c o m H 1) と、高電位側の第 2 の共通電圧 (V c o m H 2) とが、スイッチング素子 (S 1) を介して選択的に入力される。

第 2 のアンプ回路 (A M P 2) には、低電位側の第 1 の共通電圧 (V c o m L 1) と、低電位側の第 2 の共通電圧 (V c o m L 2) とが、スイッチング素子 (S 2) を介して選択的に入力される。

第 1 のアンプ回路 (A M P 1) の出力は、スイッチング素子 (S 3) を介して、端子 (V 1)、あるいは端子 (V 3) に出力される。端子 (V 1) には第 1 の保持容量 (C 1) が接続され、端子 (V 3) には第 3 の保持容量 (C 3) が接続される。

第 2 のアンプ回路 (A M P 2) の出力は、スイッチング素子 (S 4) を介して、端子 (V 2)、あるいは端子 (V 4) に出力される。端子 (V 2) には第 2 の保持容量 (C 2) が接続され、端子 (V 4) には第 4 の保持容量 (C 4) が接続される。

端子 (V 1)、あるいは、端子 (V 2) の電圧は、スイッチング素子 (S 5) を介して端子 (V C 1) に出力され、この端子 (V C 1) から出力され電圧は、第 1 の液晶表示パネル (P N L 1) の共通電極 1 5 に印加される。

端子 (V 3)、あるいは、端子 (V 4) の電圧は、スイッチング素子 (S 6) を介して端子 (V C 2) に出力され、この端子 (V C 2) から出力され電圧は、第 2 の液晶表示パネル (P N L 2) の共通電極 1 5 に印加される。

【 0 0 2 0 】

以下、図 8 (b) を用いて、第 1 の液晶表示パネル (P N L 1) の表示期間の回路動作を説明する。

この期間には、スイッチング素子 (S 1) は、高電位側の第 1 の共通電圧 (V c o m H 1) を選択し、第 1 のアンプ回路 (A M P 1) には、高電位側の第 1 の共通電圧 (V c o m H 1) が入力される。

スイッチング素子 (S 2) は、低電位側の第 1 の共通電圧 (V c o m L 1) を選択し、第 2 のアンプ回路 (A M P 2) には、低電位側の第 1 の共通電圧 (V c o m L 1) が入力される。

スイッチング素子 (S 3) は、端子 (V 1) 側を選択し、第 1 のアンプ回路 (A M P 1) の出力は、端子 (V 1) に出力される。

同様に、スイッチング素子 (S 4) は、端子 (V 2) 側を選択し、第 2 のアンプ回路 (A M P 2) の出力は、端子 (V 2) に出力される。

スイッチング素子 (S 5) は、交流化信号 (M) に同期して、端子 (V 1)、あるいは

、端子 (V2) の電圧を選択するので、端子 (VC1) からは、高電位側の第1の共通電圧 (VcomH1) と、低電位側の第1の共通電圧 (VcomL1) とが、1ライン毎に交互に出力され、第1の液晶表示パネル (PNL1) の共通電極15に印加される。

この時、スイッチング素子 (S6) は停止しており、端子 (VC2) からは、保持容量 (C3)、あるいは、保持容量 (C4) に保持された電圧が出力され、第2の液晶表示パネル (PNL2) の共通電極15に印加される。

なお、図8 (b) では、保持容量 (C4) に保持された電圧が端子 (VC2) から出力されている場合を図示している。

【0021】

以下、図8 (c) を用いて、第2の液晶表示パネル (PNL2) の表示期間の回路動作を説明する。

この期間には、スイッチング素子 (S1) は、高電位側の第2の共通電圧 (VcomH2) を選択し、第1のアンプ回路 (AMP1) には、高電位側の第2の共通電圧 (VcomH2) が入力される。

スイッチング素子 (S2) は、低電位側の第2の共通電圧 (VcomL2) を選択し、第2のアンプ回路 (AMP2) には、低電位側の第2の共通電圧 (VcomL2) が入力される。

スイッチング素子 (S3) は、端子 (V3) 側を選択し、第1のアンプ回路 (AMP1) の出力は、端子 (V3) に出力される。

同様に、スイッチング素子 (S4) は、端子 (V4) 側を選択し、第2のアンプ回路 (AMP2) の出力は、端子 (V4) に出力される。

スイッチング素子 (S6) は、交流化信号 (M) に同期して、端子 (V2)、あるいは、端子 (V4) の電圧を選択するので、端子 (VC2) からは、高電位側の第2の共通電圧 (VcomH2) と、低電位側の第2の共通電圧 (VcomL2) とが、1ライン毎に交互に出力され、第2の液晶表示パネル (PNL2) の共通電極15に印加される。

この時、スイッチング素子 (S5) は停止しており、端子 (VC1) からは、保持容量 (C1)、あるいは、保持容量 (C2) に保持された電圧が出力され、第1の液晶表示パネル (PNL1) の共通電極15に印加される。

なお、図8 (c) では、保持容量 (C2) に保持された電圧が端子 (VC1) から出力されている場合を図示している。

【0022】

図9 (a) に、本実施例において、第1の液晶表示パネル (PNL1) の共通電極15に印加される共通電圧を1ライン毎に反転させる1ラインコモン反転法、第2の液晶表示パネル (PNL2) の共通電極15に印加される共通電圧を1フレーム毎に反転させる1フレームコモン反転法を採用した場合の共通電極の電圧波形を、図9 (b) に、図9 (a) に示す駆動方法における、第1の液晶表示パネル (PNL1) の表示期間の回路動作を、また、図9 (c) に、第2の液晶表示パネル (PNL2) の表示期間の回路動作を示す。

同様に、図10 (a) に、第1の液晶表示パネル (PNL1) の共通電極15に印加される共通電圧を1ライン毎に反転させる1ラインコモン反転法を採用し、第2の液晶表示パネル (PNL2) が非表示設定の場合の共通電極の電圧波形を、図10 (b) に、図10 (a) に示す駆動方法における、第1の液晶表示パネル (PNL1) の表示期間の回路動作を、また、図10 (c) に、第2の液晶表示パネル (PNL2) の表示期間の回路動作を示す。

なお、図9、図10において、P2 - Fは第2の液晶表示パネル (PNL2) の共通電圧 (Vcom2) の1フレーム反転期間である。また、図9、図10に示す回路動作は、図8と同様であるので再度の説明は省略する。

本実施例では、余分な液晶表示パネル充放電に伴う消費電力を削減することができるので、低消費電力化を図ることが可能となり、高電位側の第1の共通電圧 (VcomH1) および高電位側の第2の共通電圧 (VcomH2)、並びに、低電位側の第1の共通電圧

10

20

30

40

50

(V_{comL1}) および低電位側の第2の共通電圧(V_{comL2})を出力するアンプ回路が、それぞれ1個でよいので、アンプ回路を削減でき、低消費電力化を図ることが可能となる。

【0023】

[実施例3]

図11は、前述の実施例1の液晶表示モジュールのソースドライバ(SD)の一例の概略構成を示すブロック図である。

表示データ42は、メモリ書きこみ回路43に取り込まれた上でフレームメモリ44の所定のアドレスに書き込まれる。

次に、フレームメモリ44に記憶された表示データは、液晶表示パネルの駆動タイミングに応じてメモリ読み出し回路45により読み出され、データラッチ回路46に1行分の表示データとして一時保持される。

一方、階調電圧発生回路47は、階調表示に必要な複数の階調電圧48を発生する回路で、例えば、64個の階調電圧48を発生する。

次に、セレクトラ(デコーダともいう)49は、64個の階調電圧48のうち、1つの階調電圧をデータラッチ回路46に保持されている表示データに応じてそれぞれ選択し、映像線(SL)に出力する。

【0024】

図1、図2に示すような、映像線を共有する2つの液晶表示パネル(PNL1, PNL2)を有する液晶表示モジュールにおいて、片方の液晶表示パネルのみ表示を行った場合、表示動作を行っている液晶表示パネルを駆動するために、映像線に階調電圧が印加される。

ここで、薄膜トランジスタ10のソース・ドレイン間の寄生容量により、非表示に設定された液晶表示パネルにも電圧が印可されるため、非表示設定となっている液晶表示パネルの駆動を完全に停止することが出来ない。

このため、非表示設定となって液晶表示パネルの全画素に対し、黒または白の表示を行う必要がある。

ここで、黒、または白のみの表示を行う場合、ソースドライバ(SD)から映像線に出力される階調電圧は、上下2値のみしか必要ないため、図12、図13に示すように、階調電圧発生回路47から出力される階調電圧を、アンプ回路(または、バッファ回路)(BA)を介してセレクトラ49に供給している場合には、V1の階調電圧、およびV64の階調のアンプ回路(図12、図13において、Bで囲まれた部分のアンプ回路)以外は停止することができる。

また、図12に示すように、ラダー抵抗(R)を使用している場合には、スイッチング素子(SWR)により、ラダー抵抗(R)を切離すことが出来る。

このように、第1の液晶表示パネル(PNL1)、あるいは第2の液晶表示パネル(PNL2)の非表示期間において、階調電圧発生回路47から出力される階調電圧を電流増幅するアンプ回路(BA)、あるいは、ラダー抵抗(R)を切離すことにより、一方の液晶表示パネルのみ表示動作を行う場合に、低消費電力化を図ることが可能となる。

前述した動作を行うためには、第1および第2の液晶表示パネル(PNL1, PNL2)の表示期間が設定されている状態において、非表示に設定する液晶表示パネルをインストラクション信号を用いて、MPUから設定する。

それにより、非表示に設定された液晶表示パネルの非表示期間において、階調電圧発生回路47から出力される階調電圧を電流増幅するアンプ回路(BA)、あるいは、ラダー抵抗(R)を切離す制御を行う。

これにより、非表示期間においては、階調電圧発生回路47から出力される階調電圧を電流増幅するアンプ回路(BA)、あるいは、ラダー抵抗(R)が自動的に停止するので、一方の液晶表示パネルのみ表示動作を行う場合に、低消費電力化を図ることが可能となる。

【0025】

〔実施例 4〕

図 1、図 2 に示すような、映像線を共有する 2 つの液晶表示パネル（PNL 1，PNL 2）を駆動する場合、液晶表示パネルの駆動方式により消費電力が異なる。

昇圧回路は、昇圧クロック周波数や、昇圧回路の駆動 MOS サイズなどにより昇圧能力が異なり、能力により自己消費電力が異なる。

そのため、本実施例では、それぞれの液晶表示パネルに対しての昇圧回路の駆動設定を行い、各液晶表示パネルの表示期間において昇圧回路の駆動を切換える。

図 1 4（a）～（c）は、本実施例の昇圧回路を説明するための図である。なお、図 1 4（a）～（c）に示す昇圧回路は、Vin の入力電圧を 2 倍に昇圧する昇圧回路である。

10

本実施例の昇圧回路で特徴とする点は、スイッチング素子（SW 1～SW 4）として、TM 1，TM 2 の 2 個の MOS トランジスタを並列に接続した点である。

ここで、図 1 4（b）に示すノーマルモードを基準とした場合、図 1 4（a）に示すローパワーモードでは、昇圧回路のスイッチング素子を構成する、一方の MOS トランジスタ（TM 1）を停止させることにより、消費電力が削減できる。

また、図 1 4（c）に示すハイパワーモードでは、図 1 4（b）に示す昇圧回路を 2 つ相補的に駆動することにより大きな負荷電流に対応が可能である。

なお、図 1 4（c）では、スイッチング素子（SW 1 1～SW 1 4）を構成する 1 個の MOS トランジスタのゲート幅は、スイッチング素子（SW 1～SW 4）を構成する 2 個の MOS トランジスタ（TM 1，TM 2）のゲート幅を加算したものに等しい。

20

このため、例えば、第 1 の液晶表示パネル（PNL 1）を、1 ラインコモン反転法で駆動し、第 2 の液晶表示パネル（PNL 2）を 1 フレームコモン反転法で駆動する場合に、消費電流の大きい第 1 の液晶表示パネル（PNL 1）の表示期間においては、ハイパワーモードで昇圧回路を駆動し、消費電力が比較的少ないフレーム反転を行う第 2 の液晶表示パネル（PNL 2）の表示期間においてはノーマルモードにより駆動を行うことができる。

【0026】

このように、第 1 および第 2 の液晶表示パネル（PNL 1，PNL 2）のそれぞれの表示期間における消費電力に適した昇圧回路の設定を行っておくことにより、1 フレーム内の第 1 の液晶表示パネル（PNL 1）の表示期間、第 2 の液晶表示パネル（PNL 2）の表示期間それぞれにおいて、最適な昇圧回路動作が行われ、液晶表示モジュールの低消費電力化が可能となる。

30

また、他の例として、第 1 の液晶表示パネル（PNL 1）、あるいは、第 2 の液晶表示パネル（PNL 2）のうち一方の液晶表示パネルのみ表示動作を行う場合において、非表示設定の液晶表示パネル表示期間では、昇圧回路をローパワーモードとし、昇圧クロックの周期も遅らせる設定とすることにより、同様に低消費電力化が可能となる。

図 1 5 に、図 1 4 に示す昇圧回路のより具体的な構成を示す。

図 1 4（b）に示す回路とするには、図 1 5 のスイッチング素子（SW 2）とスイッチング素子（SW 4）をオンにする。これにより、昇圧容量（C 1 1）には入力電源 Vin の電圧が充電される。

40

次に、図 1 5 に示すスイッチング素子（SW 2）、スイッチング素子（SW 4）をオフとし、スイッチング素子（SW 3）をオンにして、昇圧容量（C 1 1）に入力電源 Vin を印加すると同時に、スイッチング素子（SW 1）をオンにして、保持容量（C out）を充電する。この場合に、各スイッチング素子（SW 1）は、並列に接続された 2 個の MOS トランジスタで構成されることはいうまでもない。

このようにして、保持容量（C out）には入力電源 Vin の 2 倍の電圧が保持される。

【0027】

以上説明したように、前述各実施例の液晶表示モジュールによれば、個別の交流化駆動方式により、第 1 の液晶表示パネル（PNL 1）、並びに第 2 の液晶表示パネル（PNL

50

２）に最適な駆動方法を採用でき、低消費電力化を図ることが可能となる。

また、第１および第２の液晶表示パネル（ＰＮＬ１，ＰＮＬ２）のうち片側の液晶表示パネルのみ表示を行う場合に、非表示に設定された液晶表示パネルの表示期間に不要アンプを停止することにより消費電力が削減でき、低消費電力化を図ることが可能となる。

また、表示が不要な期間に、共通電圧（Ｖｃｏｍ）の交流化を停止することにより、液晶表示パネルの充放電に伴う電力を削減でき、高電位側、および低電位側の共通電圧（Ｖｃｏｍ）を１つのアンプ回路で生成することができるので、低消費電力化を図ることが可能となる。

さらに、第１の液晶表示パネル（ＰＮＬ１）、および、第２の液晶表示パネル（ＰＮＬ２）の駆動方式に応じて、それぞれの液晶表示パネルの表示期間において昇圧回路の駆動を最適化することができるので、低消費電力化を図ることが可能となる。

10

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

【００２８】

１０ 薄膜トランジスタ

１２ 画素電極

１５ 共通電極

４３ メモリ書きこみ回路

20

４４ フレームメモリ

４５ メモリ読み出し回路

４６ データラッチ回路

４７ 階調電圧発生回路

４８ 階調電圧

４９ セレクタ（デコーダ）

ＰＮＬ１，ＰＮＬ２ 液晶表示パネル

ＦＰＣ フレキシブル配線基板

ＳＬ 映像線（またはドレイン線）

ＧＬ 走査線（またはゲート線）

30

ＳＵＢ１，ＳＵＢ２ ガラス基板

ＤＲＶ１，ＤＲＶ２ 駆動回路

ＣＮＴＬ コントローラ

ＳＤ ソースドライバ

ＧＤ ゲートドライバ

ＰＣ 電源回路

ＭＰＵ 中央処理装置（Microprocessing Unit）

ＲＳＴ，ＲＥＴ レジスタ

ＣＮＴ カウンタ

ＡＭＰ１，ＡＭＰ２，ＢＡ アンプ回路

40

Ｓ１～Ｓ６，ＳＷＲ，ＳＷ１～ＳＷ４，ＳＷ１１～ＳＷ１４ スイッチング素子

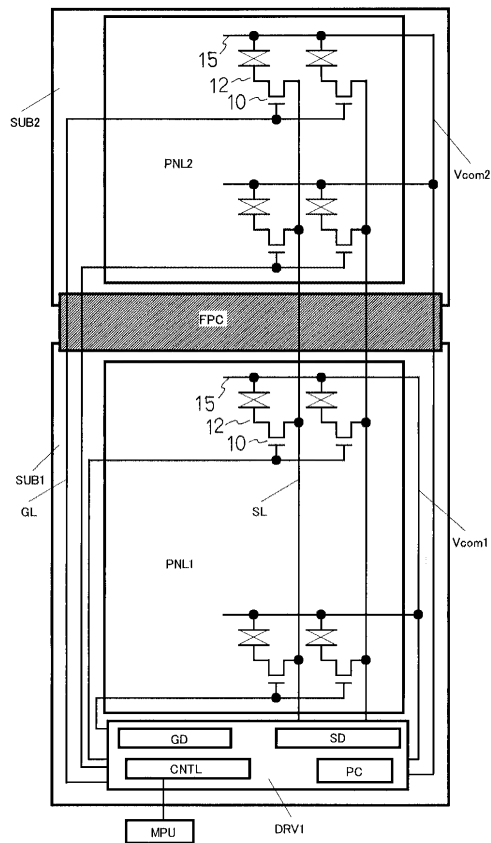
Ｖ１～Ｖ４，ＶＣ１，ＶＣ２ 端子

Ｃ１～Ｃ４，Ｃ１１，Ｃｏｕｔ 容量素子

ＴＭ１，ＴＭ２ ＭＯＳトランジスタ

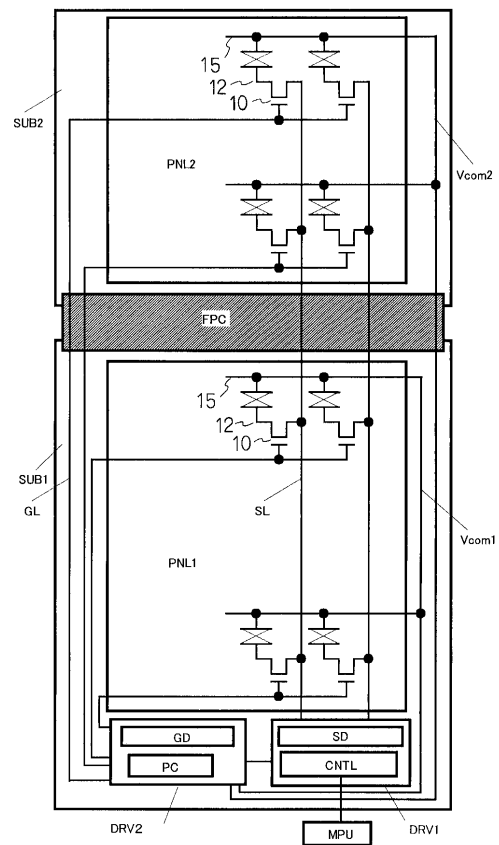
【図 1】

図 1



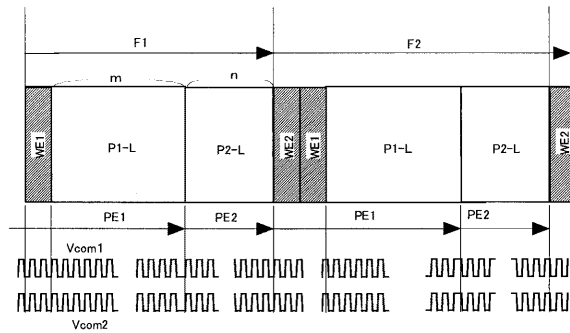
【図 2】

図 2



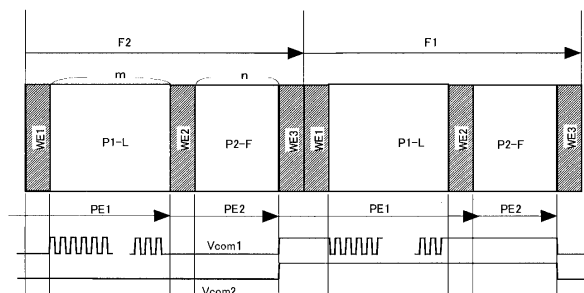
【図 3】

図 3



【図 4】

図 4



【図 5】

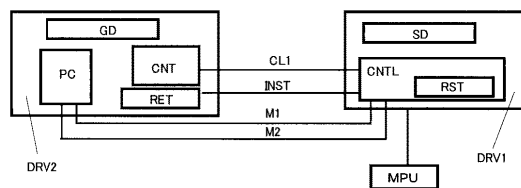
図 5

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
0	0	1													
1	1	1													

1 1)

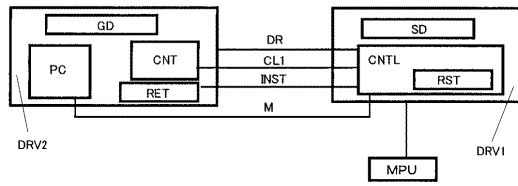
【図 6】

図 6



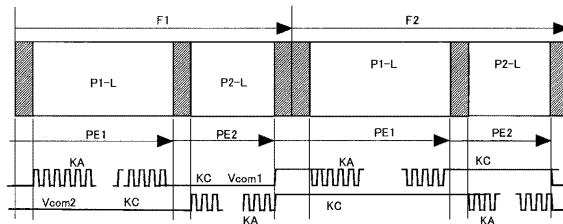
【図 7】

図 7

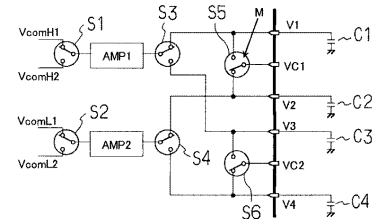


【図 8】

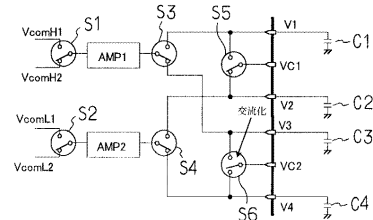
図 8



(a)



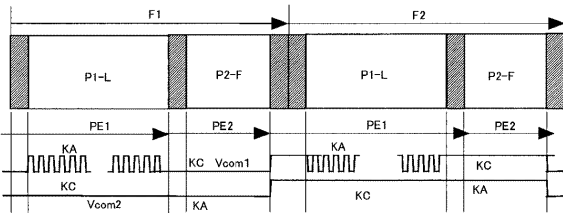
(b)



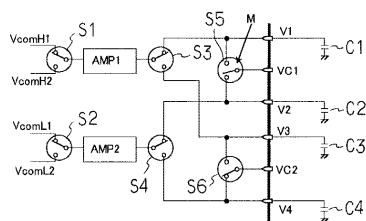
(c)

【図 9】

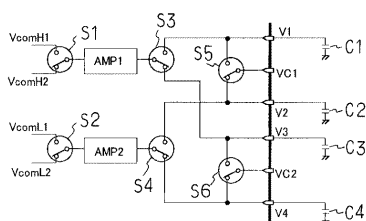
図 9



(a)



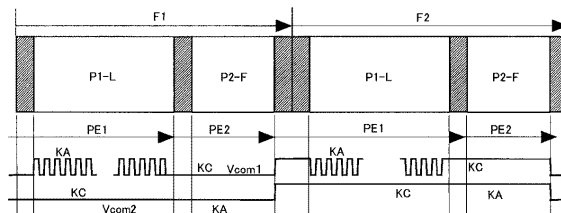
(b)



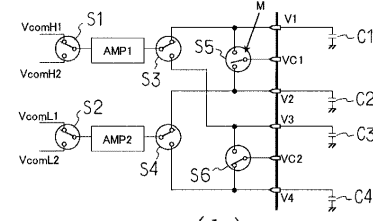
(c)

【図 10】

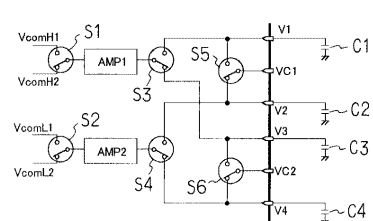
図 10



(a)



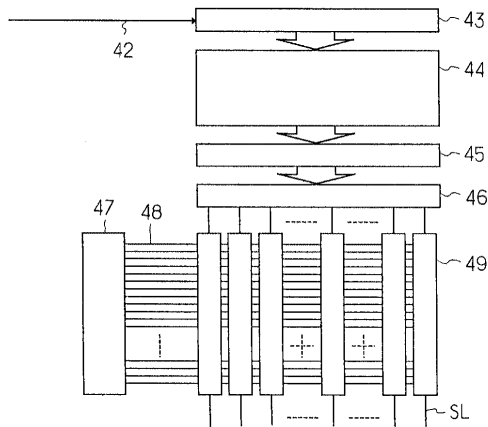
(b)



(c)

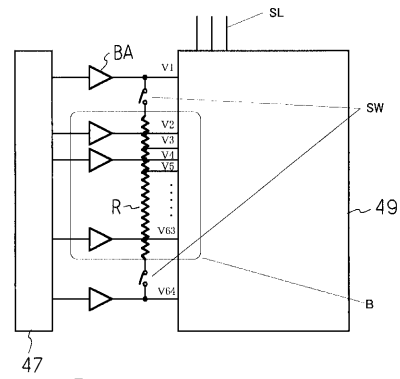
【図 1 1】

図 1 1



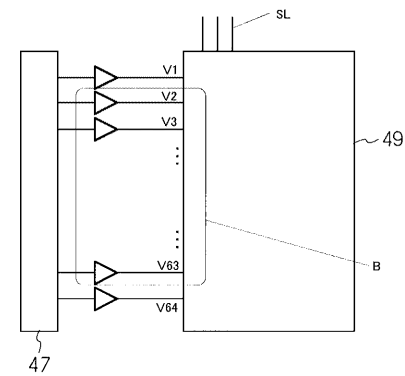
【図 1 2】

図 1 2



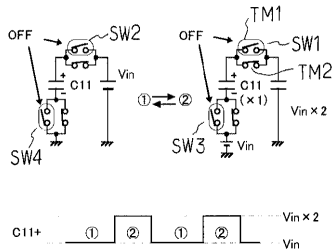
【図 1 3】

図 1 3



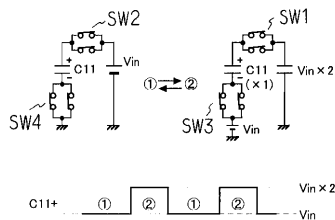
【図 1 4 (a)】

図 1 4 (a)



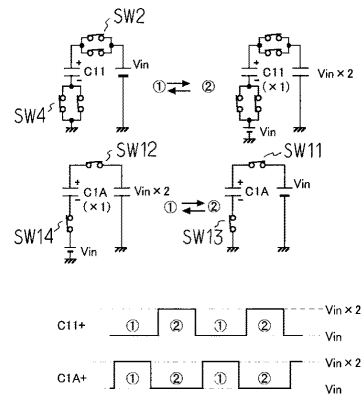
【図 1 4 (b)】

図 1 4 (b)



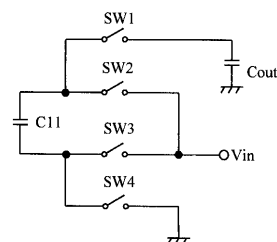
【図 1 4 (c)】

図 1 4 (c)



【図 1 5】

図 1 5



 フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 4 1 S
G 0 9 G	3/20	6 4 1 T
G 0 2 F	1/133	5 2 0
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 2 5
G 0 9 G	3/20	6 1 2 G

(74)代理人 110000154
特許業務法人はるか国際特許事務所

(72)発明者 青木 義典
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 後藤 充
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 秋山 賢一
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 3 - 3 2 3 1 6 4 (J P , A)
特開平 1 1 - 2 8 2 4 3 5 (J P , A)
特開平 1 0 - 3 1 9 3 6 8 (J P , A)
特開 2 0 0 4 - 0 6 1 8 9 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	液晶表示装置		
公开(公告)号	JP5026550B2	公开(公告)日	2012-09-12
申请号	JP2010094555	申请日	2010-04-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	有限公司日本东显示器 松下液晶显示器有限公司		
[标]发明人	青木義典 後藤充 秋山賢一		
发明人	青木 義典 後藤 充 秋山 賢一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.633.P G09G3/20.612.D G09G3/20.612.J G09G3/20.612.F G09G3/20.612.T G09G3/20.641.S G09G3/20.641.T G02F1/133.520 G02F1/133.550 G02F1/133.575 G02F1/133.525 G09G3/20.612.G G02F1/1333 G09G3/20.680.D G09G3/20.680.G G09G3/20.680.S		
F-TERM分类号	2H189/AA37 2H189/HA16 2H189/LA09 2H189/LA10 2H193/ZA04 2H193/ZB08 2H193/ZB09 2H193 /ZC04 2H193/ZC16 2H193/ZD23 2H193/ZF04 2H193/ZF07 5C006/AA16 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF38 5C006/AF44 5C006/AF71 5C006/AF73 5C006/BB16 5C006/BC22 5C006 /BC23 5C006/BF43 5C006/BF46 5C006/FA04 5C006/FA05 5C006/FA45 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD26 5C080/JJ02 5C080/JJ03 5C080/KK47		
其他公开文献	JP2010250322A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有两个液晶显示板并且能够实现最佳驱动方法以减少电力消耗的紧凑型液晶显示装置。ŽSOLUTION：液晶显示装置包括第一液晶显示面板，第二液晶显示面板，设置在第一液晶显示面板中的驱动电路，设置在第一液晶显示面板中的输出端子，其中提供从驱动电路输出的信号，以及用于连接输出端子和第二液晶显示板的连接线。驱动电路具有升压电路部分，其可以通过外部信号改变操作模式。

