

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-133180

(P2019-133180A)

(43) 公開日 令和1年8月8日(2019.8.8)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1339 (2006.01)	G02F 1/1339 500	2H189
G02F 1/1333 (2006.01)	G02F 1/1333	2H192
G02F 1/1368 (2006.01)	G02F 1/1368	5F110
H01L 21/336 (2006.01)	H01L 29/78 612Z	
H01L 29/786 (2006.01)		

審査請求 有 請求項の数 9 O L (全 38 頁)

(21) 出願番号	特願2019-65661 (P2019-65661)	(71) 出願人	000153878
(22) 出願日	平成31年3月29日 (2019.3.29)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2019-673 (P2019-673) の分割		神奈川県厚木市長谷398番地
原出願日	平成12年6月29日 (2000.6.29)	(72) 発明者	平形 吉晴
(31) 優先権主張番号	特願平11-191102		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成11年7月6日 (1999.7.6)		半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	後藤 裕吾
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	丸山 優子
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

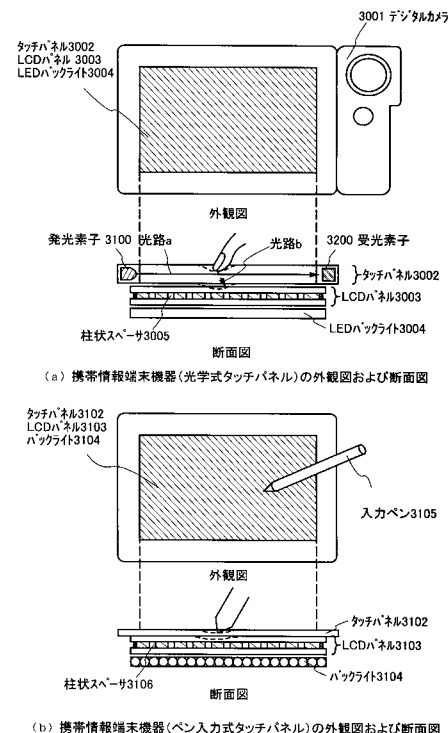
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】粒子状スペーサを用いず、使用する液晶の特性や駆動方法に応じて自由な範囲で設計された厚みを精度よく有する、高品質な表示装置およびタッチパネルを備えた表示装置を提供する。

【解決手段】第1の基板と、第2の基板と、第1の基板と第2の基板との間に配置された柱状スペーサ3005を複数備えた表示装置と、光学式の検出素子を備えたタッチパネルとを有する。柱状スペーサによって、機械的強度が補強され、頑丈なパネルとすることができる。

【選択図】 図2 2



【特許請求の範囲】

【請求項 1】

第 1 の基板上方の、トランジスタの第 1 のチャネル形成領域、前記トランジスタの第 2 のチャネル形成領域、前記トランジスタのソース領域及び前記トランジスタのドレイン領域を有する半導体層と、

前記半導体層上方の、前記トランジスタの第 1 のゲート電極となる領域及び前記トランジスタの第 2 のゲート電極となる領域を有する第 1 の導電層と、

前記ソース領域又は前記ドレイン領域の一方と電氣的に接続される第 2 の導電層と、

前記ソース領域又は前記ドレイン領域の他方と電氣的に接続される第 3 の導電層と、

前記第 2 の導電層上方及び前記第 3 の導電層上方の第 1 の絶縁層と、

10

前記第 1 の絶縁層上方の第 4 の導電層と、

前記第 4 の導電層上方の第 2 の絶縁層と、

前記第 2 の絶縁層上方の第 5 の導電層と、

前記第 5 の導電層上方のスペーサと、

前記第 5 の導電層上方の液晶と、

前記液晶の上方および前記スペーサの上方の第 2 の基板と、を有し、

前記第 3 の導電層は、前記第 5 の導電層と電氣的に接続され、

前記第 5 の導電層は、画素電極となる領域を有し、

前記スペーサは、有機材料を有し、

前記第 2 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 1 の導電層を介して前記第 1 のチャネル形成領域と重なる領域を有し、

20

前記第 4 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 2 の絶縁層を介して前記第 5 の導電層と重なる領域を有し、

前記スペーサは、前記第 1 の基板の表面に垂直な方向において、前記第 1 の導電層と重なる領域を有するように配置される液晶表示装置。

【請求項 2】

第 1 の基板上方の、トランジスタの第 1 のチャネル形成領域、前記トランジスタの第 2 のチャネル形成領域、前記トランジスタのソース領域及び前記トランジスタのドレイン領域を有する半導体層と、

前記半導体層上方の、前記トランジスタの第 1 のゲート電極となる領域及び前記トランジスタの第 2 のゲート電極となる領域を有する第 1 の導電層と、

30

前記ソース領域又は前記ドレイン領域の一方と電氣的に接続される第 2 の導電層と、

前記ソース領域又は前記ドレイン領域の他方と電氣的に接続される第 3 の導電層と、

前記第 2 の導電層上方及び前記第 3 の導電層上方の第 1 の絶縁層と、

前記第 1 の絶縁層上方の第 4 の導電層と、

前記第 4 の導電層上方の第 2 の絶縁層と、

前記第 2 の絶縁層上方の第 5 の導電層と、

前記第 5 の導電層上方のスペーサと、

前記第 5 の導電層上方の液晶と、

前記液晶の上方および前記スペーサの上方の第 2 の基板と、を有し、

40

前記第 3 の導電層は、前記第 5 の導電層と電氣的に接続され、

前記第 5 の導電層は、画素電極となる領域を有し、

前記スペーサは、有機材料を有し、

前記第 2 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 1 の導電層を介して前記第 1 のチャネル形成領域と重なる領域を有し、

前記第 4 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 2 の絶縁層を介して前記第 5 の導電層と重なる領域を有し、

前記スペーサは、前記第 1 の基板の表面に垂直な方向において、前記第 1 の導電層と重なる領域を有するように配置され、

前記スペーサは、中央部の幅を L 1、前記第 1 の基板側の端部の幅を L 3、前記第 2 の

50

基板側の端部の幅を L_2 とすると、 $L_2 > L_1 > L_3$ となる断面を有し、 $0.6 \leq L_3 / L_1$ の範囲である液晶表示装置。

【請求項 3】

第 1 の基板上方の、トランジスタの第 1 のチャネル形成領域、前記トランジスタの第 2 のチャネル形成領域、前記トランジスタのソース領域及び前記トランジスタのドレイン領域を有する半導体層と、

前記半導体層上方の、前記トランジスタの第 1 のゲート電極となる領域及び前記トランジスタの第 2 のゲート電極となる領域を有する第 1 の導電層と、

前記ソース領域又は前記ドレイン領域の一方と電氣的に接続される第 2 の導電層と、

前記ソース領域又は前記ドレイン領域の他方と電氣的に接続される第 3 の導電層と、

前記第 2 の導電層上方及び前記第 3 の導電層上方の第 1 の絶縁層と、

前記第 1 の絶縁層上方の第 4 の導電層と、

前記第 4 の導電層上方の第 2 の絶縁層と、

前記第 2 の絶縁層上方の第 5 の導電層と、

前記第 5 の導電層上方のスペーサと、

前記第 5 の導電層上方の液晶と、

前記液晶の上方および前記スペーサの上方の第 2 の基板と、を有し、

前記第 3 の導電層は、前記第 5 の導電層と電氣的に接続され、

前記第 5 の導電層は、画素電極となる領域を有し、

前記スペーサは、有機材料を有し、

前記第 2 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 1 の導電層を介して前記第 1 のチャネル形成領域と重なる領域を有し、

前記第 4 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 2 の絶縁層を介して前記第 5 の導電層と重なる領域を有し、

前記スペーサは、前記第 1 の基板の表面に垂直な方向において、前記第 1 の導電層と重なる領域を有するように配置され、

前記スペーサは、中央部の幅を L_1 、前記第 1 の基板側の端部の幅を L_3 、前記第 2 の基板側の端部の幅を L_2 とすると、 $L_2 > L_1 > L_3$ となる断面を有し、 $L_2 / L_1 \leq 3$ の範囲であり、 $0.6 \leq L_3 / L_1$ の範囲である液晶表示装置。

【請求項 4】

請求項 1 ないし請求項 3 のいずれか一において、

前記スペーサにおいて、中央部における側面と前記第 2 の基板表面とのなす角は、前記第 2 の基板側の端部における側面と前記第 2 の基板表面とのなす角よりも大きい液晶表示装置。

【請求項 5】

請求項 1 ないし請求項 4 のいずれか一において、

前記第 3 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 1 の導電層を介して前記第 2 のチャネル形成領域と重なる領域を有する液晶表示装置。

【請求項 6】

請求項 1 ないし請求項 5 のいずれか一において、

前記第 5 の導電層、前記第 4 の導電層及び前記第 2 の絶縁層は、容量として機能することができる液晶表示装置。

【請求項 7】

請求項 1 ないし請求項 6 のいずれか一において、

前記第 4 の導電層は、前記第 1 の基板の表面に垂直な方向において、前記第 2 の導電層を介して前記第 1 の導電層と重なる領域を有する液晶表示装置。

【請求項 8】

請求項 1 ないし請求項 7 のいずれか一において、

前記スペーサは、前記第 1 の基板の表面に垂直な方向において、前記第 1 のチャネル形成領域および前記第 2 のチャネル形成領域のうちの一方と重なる領域を有するように配置

されている液晶表示装置。

【請求項 9】

請求項 1 ないし請求項 8 のいずれか一において、

前記第 1 の絶縁層は、前記第 3 の導電層と前記第 5 の導電層と電気的に接続するコンタクトホールを有し、

前記コンタクトホールは、平面視において、前記第 4 の導電層によって少なくとも三方が囲まれている液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

20

【0004】

上記電気光学装置の代表例としては、液晶表示装置やEL表示装置や密着型イメージセンサが挙げられる。

【0005】

一般に液晶表示装置は、一定の基板間隔を隔てて対向された一对の基板と、一定の基板間隔を保つための粒子状スペーサと、基板間に封入された液晶材料とを備えている。

【0006】

液晶表示装置の基板間隔は通常1～20μmに設定され、これを±0.1μm程度の精度で均一に制御する必要がある。基板間隔にばらつきが生じると、色むら、干渉縞などの表示品位の劣化原因となるばかりではなく、外力により基板間隔が狭められた際に電極が接触して回路損傷や表示不能などの不良の発生要因となるためである。このようにスペーサは液晶表示素子の性能保持のための重要な部材である。

30

【0007】

以下、従来の液晶表示装置（TFT-LCD）の作製方法を簡略に説明する。

【0008】

まず、一对の基板を用意する。一方の基板には、TFT素子および画素電極をマトリクス状に形成する。もう一方の基板には、電極またはカラーフィルター等を形成する。次いで、一对の基板のそれぞれに配向膜を形成した後、ラビング処理を行う。

40

【0009】

次に、どちらか一方の基板の配向膜上に粒子状スペーサを均一に散布する。次に、もう一方の基板とを組み合わせ、周縁部をシール用接着剤でシールして液晶セルを形成する。次いで、この液晶セル内に液晶材料を真空注入法により充填した後、注入口を封止する。

【0010】

以上の工程の流れがTFT-LCDの一般的な作製工程である。

【0011】

上記従来の工程において、粒子状スペーサを均一に散布することは困難であり、スペーサの凝集による透過率の低減やスペーサ直下の素子を破壊してリークやショートが生じて

50

いることが問題となっている。

【0012】

また、液晶材料を真空注入法により注入する工程において、注入時の加圧により基板中央部が両面凹形状となり、この周辺において従来の粒子状スペーサでは圧縮強度が足りず破壊されてしまったり、スペーサが移動させられて、その移動した跡が配向不良の原因となっている。

【発明の概要】

【発明が解決しようとする課題】

【0013】

一般的に使用されている従来の粒子状スペーサ（ガラスビーズ、プラスチックビーズ等）を用いた場合、粒子状スペーサを一方の基板上に散布する方法をとっている。そのため、画素電極上にスペーサが配置され、入射光を遮ったり、液晶分子の配向を乱してしまう。結果的に透過光量や発色を調節することが困難となっていた。また、粒子状スペーサは静電気が帯電しやすく、このためスペーサ同士が集まりやすくなり均一に分布させることが困難であった。

10

【0014】

本発明の目的は、粒子状スペーサを用いず、使用する液晶の特性や駆動方法に応じて自由な範囲で設計された厚みを精度よく有する、高品質な液晶パネルおよびその作製方法を提供することである。

【課題を解決するための手段】

20

【0015】

本明細書で開示する発明の構成は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間に配置され、前記第1の基板と前記第2の基板との間隔を保つ柱状のスペーサを複数備えたことを特徴とする半導体装置である。

【0016】

また、他の発明の構成は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間に柱状のスペーサを複数備えた半導体装置であって、前記柱状のスペーサの曲率半径Rは、 $2\text{ }\mu\text{m}$ 以下、好ましくは $1\text{ }\mu\text{m}$ 以下であることを特徴とする半導体装置である。

【0017】

30

また、上記各構成において、前記柱状のスペーサの高さHは、 $0.5\text{ }\mu\text{m}\sim 10\text{ }\mu\text{m}$ 、好ましくは $1.2\text{ }\mu\text{m}\sim 5\text{ }\mu\text{m}$ であることを特徴としている。

【0018】

また、上記各構成において、前記柱状のスペーサの幅L1は、 $20\text{ }\mu\text{m}$ 以下、好ましくは $7\text{ }\mu\text{m}$ 以下であることを特徴としている。

【0019】

また、上記各構成において、前記柱状のスペーサの側面中央における接平面と基板面との角度 α は、 $65^\circ\sim 115^\circ$ であることを特徴としている。

【0020】

また、上記各構成において、前記柱状のスペーサは、頭頂部に平坦な面を有することを特徴としている。

40

【0021】

また、上記各構成において、前記柱状のスペーサにおける径方向の断面形状は、円形、楕円形、三角形、四角形、またはそれ以上の多角形であることを特徴としている。

【0022】

また、上記各構成において、前記柱状のスペーサは絶縁性を有する材料でなることを特徴としている。

【0023】

また、上記各構成において、前記柱状のスペーサは、TFTと画素電極とが接続するコンタクト部の上に形成されていることを特徴としている。

50

【0024】

また、前記柱状のスペーサはシール領域のみに形成される構成としてもよいし、シール領域及び駆動回路において素子が存在しない領域の上に形成してもよい。また、前記柱状のスペーサはシール領域及び画素部に形成してもよいし、駆動回路において素子が存在しない領域の上及び画素部に形成してもよい。また、前記柱状のスペーサはシール領域及び駆動回路と画素部との間の領域に形成してもよいし、前記柱状のスペーサは駆動回路と画素部との間の領域及び画素部に形成してもよい。

【0025】

また、前記柱状のスペーサはシール領域、駆動回路において素子が存在しない領域の上及び画素部に形成してもよいし、前記柱状のスペーサは駆動回路において素子が存在しない領域の上及び駆動回路と画素部との間の領域に形成してもよい。また、前記柱状のスペーサはシール領域、駆動回路において素子が存在しない領域の上、駆動回路と画素部との間の領域及び画素部に形成してもよいし、前記柱状のスペーサはシール領域と画素部との間の領域に形成してもよい。また、前記柱状のスペーサはシール領域と駆動回路との間の領域に形成してもよいし、前記柱状のスペーサはシール領域と基板の端部との間の領域に形成してもよい。

また、前記柱状のスペーサは基板全域に形成してもよい。

【0026】

また、上記各構成において、前記柱状のスペーサが、配向膜上に接して形成されている場合、プレチルト角は、 $4 \sim 5^\circ$ であることを特徴としている。

【0027】

また、上記各構成において、前記柱状のスペーサが、配向膜で覆われている場合、プレチルト角は、 $6 \sim 10^\circ$ であることを特徴としている。

【0028】

また、他の発明の構成は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間に配置された柱状スペーサを複数備えた表示装置と、光学式の検出素子を備えたタッチパネルとを有することを特徴とする半導体装置である。

【0029】

また、他の発明の構成は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間に配置された柱状スペーサを複数備えた表示装置と、感圧式の検出素子を備えたタッチパネルとを有することを特徴とする半導体装置である。

【0030】

また、他の発明の構成は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間に配置された柱状スペーサを複数備えた表示装置と、静電容量式の検出素子を備えたタッチパネルとを有することを特徴とする半導体装置である。

【0031】

また、上記構造を実現するための発明の構成は、基板上にTF Tを形成する第1工程と、前記TF Tを覆って平坦化膜を形成する第2工程と、前記平坦化膜を開孔して、前記TF Tに接続するとともに画素電極を形成する第3工程と、前記画素電極上に配向膜を形成する第4工程と、前記配向膜にラビング処理を施す第5工程と、前記TF Tと前記画素電極とが接続するコンタクト部の上方に絶縁膜でなる柱状スペーサを形成する第6工程と、を有することを特徴とする半導体装置の作製方法である。

【0032】

また、他の発明の構成は、基板上にTF Tを形成する第1工程と、前記TF Tを覆って平坦化膜を形成する第2工程と、前記平坦化膜を開孔して、前記TF Tに接続するとともに画素電極を形成する第3工程と、前記TF Tと前記画素電極とが接続するコンタクト部の上に絶縁膜でなる柱状スペーサを形成する第4工程と、前記画素電極および前記柱状スペーサを覆う配向膜を形成する第5工程と、前記配向膜にラビング処理を施す第6工程と、を有することを特徴とする半導体装置の作製方法である。

【0033】

上記構成において、前記絶縁膜でなる柱状スペーサを形成する工程は、絶縁膜を形成する工程と、前記絶縁膜をパターニングする工程とによって柱状スペーサを形成することを特徴としている。

【発明の効果】

【0034】

本願発明の柱状スペーサを用いることで、粒子状スペーサを用いず、使用する液晶の特性や駆動方法に応じて自由な範囲で設計された厚みを精度よく有する、高品質な液晶パネルを提供することができる。

【0035】

また、本願発明の柱状スペーサの形状とすることで、液晶の配向不良を防ぐことができる。

10

【0036】

また、本願発明の柱状スペーサを用いることで、素子にかかる負荷を低減し、素子破壊等による歩留まりの低下、信頼性の低下を防ぐことが可能となる。このように液晶表示装置に代表される電気光学装置の動作性能の向上と信頼性の向上とを達成することができる。

【図面の簡単な説明】

【0037】

【図1】本願発明の柱状スペーサのSEM観察写真および模式図である。

【図2】柱状スペーサの配置の一例を示した図およびSEM観察写真である。

20

【図3】本願発明の作製工程図である。

【図4】本願発明の作製工程のフローチャートを示す図である。

【図5】AM-LCDの作製工程を示す図である。

【図6】AM-LCDの作製工程を示す図である。

【図7】AM-LCDの作製工程を示す図である。

【図8】AM-LCDの作製工程を示す図である。

【図9】TFTの断面構造図である。

【図10】AM-LCDの外観を示す図である。

【図11】画素部と駆動回路の構成を示す図である。

【図12】画素構造を示す上面図である。

30

【図13】外部端子との接続部の一例を示す図である。

【図14】本願発明の作製工程図である。

【図15】本願発明の作製工程のフローチャートを示す図である。

【図16】AM-LCDの作製工程を示す図である。

【図17】本願発明の柱状スペーサのSEM観察写真である。

【図18】柱状スペーサの配置の一例を示した図である。

【図19】柱状スペーサの配置の一例を示した図である。

【図20】アクティブマトリクス型液晶表示装置の断面構造図である。

【図21】アクティブマトリクス型液晶表示装置の断面構造図である。

【図22】タッチパネルを備えた表示装置を示す図である。

40

【図23】アクティブマトリクス型EL表示装置の構成を示す図。

【図24】無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図である。

【図25】電子機器の一例を示す図である。

【図26】電子機器の一例を示す図である。

【図27】プレチルト角のラビングロール押し込み量依存性を示す図である。

【発明を実施するための形態】

【0038】

本願発明の実施形態について、図1～図4を用いて以下に説明する。

【0039】

50

本願発明は、第1の基板と第2の基板の間隔を一定に保つため柱状スペーサを用いる。本願発明の柱状スペーサの形状は以下に示す条件に適合することが望ましい。

【0040】

図1に示すように、柱状スペーサにおいて、中央部の幅（径）を L_1 、上端の幅（径）を L_3 、下端の幅（径）を L_2 とする。図3に示した工程（配向膜301上に柱状スペーサ303を形成する場合）においては、柱状スペーサ自体の幅の値とするが、図14に示した工程（柱状スペーサ1102上に配向膜1103を形成する場合）は、柱状スペーサ自体に配向膜の膜厚分も加えた値を幅 $L_1 \sim L_3$ とする。なお、幅 L_2 は、柱状スペーサ形成以前の平面上から $0.2 \mu\text{m}$ 以上の膜厚の柱状スペーサ材料が存在する領域の幅である。柱状スペーサの中央の幅 L_1 は十分にスペーサとしての役割を果たすことが必要であり、 $20 \mu\text{m}$ 以下、好ましくは $10 \mu\text{m}$ 以下、さらに好ましくは $7 \mu\text{m}$ 以下であることが望ましい。

10

【0041】

なお、本明細書において、下端とは、柱状スペーサにおける第1の基板側の端部を指す。上端とは、柱状スペーサの頭頂部を指す。なお、本発明の柱状スペーサの頭頂部は、外圧がかけられた時、均等な圧力が柱状スペーサにかかる様に、平坦な面を有する。また、樹脂材料でなるスペーサは弾力性に富むため、圧力を適当に吸収することができる。また、本発明の柱状スペーサは、粒子状スペーサと違って面で素子と接するため圧力が分散し、一点に過剰な圧力がかかるようなことがない。本発明においては、柱状スペーサの頭頂部における端部の曲率半径 R を $2 \mu\text{m}$ 以下、好ましくは $1 \mu\text{m}$ 以下とすることで均等な圧力が柱状スペーサにかかる様にする。

20

【0042】

本発明において柱状スペーサの各部位の幅は同一、即ち $L_1 = L_2 = L_3$ とすることが望ましい。また、柱状スペーサの中央部における側面と基板表面とがなす角 α° は $65^\circ \sim 115^\circ$ の範囲とすることが望ましい。

【0043】

しかし、実際に柱状スペーサを形成した場合、柱状スペーサの上端が曲率半径 $2 \mu\text{m}$ 以下、好ましくは $1 \mu\text{m}$ 以下を有する端部となり、柱状スペーサの下端にはテーパ部が形成されるため、 $L_2 > L_1 > L_3$ となる。テーパ部では液晶の配向不良が生じやすく、この周辺では光漏れが発生する。本発明においては、 $0.8 \leq L_2 / L_1 \leq 3$ の範囲内になるようにすることで光漏れを低減する。なお、図3に示した工程（配向膜上に柱状スペーサを形成する場合）においては、 $1 \leq L_2 / L_1 \leq 1.1$ とすることが望ましい。また、図14に示した工程（柱状スペーサ上に配向膜を形成する場合）においては、 $1 \leq L_2 / L_1 \leq 2.5$ とすることが望ましい。

30

【0044】

また、第2の基板との接触面積が縮小されるので、外圧がかけられた時、大きな圧力が局所的にかかる。このことは、スペーサ強度の劣化の原因となる。本発明においては、 $0.6 \leq L_3 / L_1 \leq 1.2$ とすることでスペーサ強度を強化した。

【0045】

また、柱状スペーサの高さ H は、柱状スペーサの形成工程の条件により自由な範囲で制御できるため、適宜、所望の値に設定すればよい。例えば、液晶表示装置において、その装置に用いられる液晶材料（TN液晶、強誘電性液晶、反強誘電性液晶等）に応じて最適な基板間隔（ $0.5 \mu\text{m} \sim 10 \mu\text{m}$ 、好ましくは $1.2 \mu\text{m} \sim 5 \mu\text{m}$ ）に設定する。

40

【0046】

また、柱状スペーサの材料としては、樹脂材料でなる絶縁物（絶縁膜）が望ましい。ポリイミドなどの樹脂材料でなる絶縁膜は溶液を塗布して形成することができるが、溶液塗布系の絶縁膜は微小な孔を充填する上で非常に好適である。もちろん、溶液を塗布して形成する酸化シリコン膜などを用いても構わない。また、樹脂材料でなる絶縁膜を用いる場合、光重合型絶縁膜でも良いし、熱重合型絶縁膜でも良い。特に、ポジ型またはネガ型の感光性樹脂を用いると簡単な工程で柱状スペーサを形成することができるので好ましい。

50

また、光劣化を避けるためにネガ型感光性をもつ樹脂材料を用いることが望ましい。

【0047】

また、柱状のスペーサにおける径方向の断面形状は、円形であってもよいし、楕円形であってもよい。さらに、三角形や四角形であってもよいし、それ以上の多角形であってもよい。

【0048】

また、柱状スペーサは、図2に示したように、規則的に配置する。図2においては、6画素（6行×1列）当たり1個の柱状スペーサ202を配置する構成としているが特に限定されず、10～200個/mm²の密度で配置すればよい。図2中の201は画素電極、203は柱状スペーサの形成されていないコンタクト部である。また、図2においては、TFEと画素電極とが接続するコンタクト部上の位置に形成しているが、特に限定されない。例えば、配線（ソース配線、ゲート配線、容量配線等）の上方、または遮光膜の上方に形成すれば透過率に影響しないため好ましい。また、柱状スペーサを画素部以外、例えば、駆動回路において素子が存在しない領域、シール領域、画素部と駆動回路との間の領域、画素部とシール領域との間の領域、駆動回路とシール領域の間の領域、シール領域と基板端部との間の領域に形成してもよい。なお、シール領域と基板端部との間の領域に形成すると、貼り合わせ工程及び基板分断工程において圧力が均等に基板にかかるため、歩留まりが向上する。また、FPCを接続する端子部から駆動回路につながる配線に柱状スペーサを形成すれば、FPCと接続する部分の機械強度を補強することができる。

【0049】

上記形状を有する本願発明の柱状スペーサの作製方法を用いて以下に簡略に説明する。なお、図3は本願発明の工程断面図を示し、図4は工程順序を示したフローチャート図である。

【0050】

まず、スイッチング素子および画素電極をマトリクス状に形成した第1の基板300を形成する。また、電極を形成した第2の基板304を形成する。なお、図3には簡略化のためスイッチング素子および画素電極等は図示していない。次いで、第1の基板300と第2の基板304のそれぞれに配向膜301、305を形成した後、ラビング処理を行う。（図3（a））

【0051】

次いで、第1の基板の配向膜301上にスペーサ材料層302を形成する。（図3（b））なお、ここでは、第1の基板に柱状スペーサを形成した例を示したが、第2の基板に柱状スペーサを形成する工程としてもよい。

【0052】

こうして形成されたスペーサ材料層302に露光用マスクを介して柱状スペーサのパターンを露光した後、現像処理を行い、柱状スペーサ303を形成する。

（図3（c））

【0053】

そして、電極および配向膜305を形成した第2の基板304にシール材パターン306を形成する。シール材パターンは液晶注入口を形成した矩形で、且つ同じ幅のパターン枠を形成する。なお、ここでは、第2の基板にシール領域を形成した例を示したが、第1の基板にシール領域を形成する工程としてもよい。そして、第1の基板300と第2の基板304を貼り合わせる。貼り合わせ工程は、アライメントマークを利用して精度よく貼り合わせた後、加圧焼成してシール材を硬化させる工程である。（図3（d））

【0054】

その後、適当なサイズに第1の基板および第2の基板を分断し、液晶注入口から液晶材料307を注入した後、注入口を封止する。こうして液晶パネルを完成させる。

【0055】

また、上記工程では、第1の基板上に配向膜を形成した後、その上に柱状スペーサを形成した例を示したが、図14に示したように第1の基板1100上に柱状スペーサ110

10

20

30

40

50

2を形成した後、その上に配向膜1103を形成する工程としてもよい。

【0056】

また、第1の基板または第2の基板にカラーフィルターや遮蔽膜を形成する工程としてもよい。

【0057】

また、ここではアクティブマトリクス型の液晶表示装置の例を示したが、特に限定されない。例えば、単純マトリクス型の液晶表示装置にも適用でき、表示方式がTN型でもSTN型でもよく、透過型でも反射型でもよい。

【0058】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0059】

本発明の実施例について図5～図8を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては、シフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャンネル型TFTとを図示することとする。

【0060】

図5(A)において、基板501には、ガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。

【0061】

そして、基板501のTFTが形成される表面には、珪素（シリコン）を含む絶縁膜（本明細書中では酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜の総称を指す）からなる下地膜502をプラズマCVD法やスパッタ法で100～400nmの厚さに形成する。

【0062】

なお、本明細書中において窒化酸化シリコン膜とはSiOxNyで表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。本実施例では、下地膜502として、窒素を20～50atomic%（典型的には20～30atomic%）で含む100nm厚の窒化酸化シリコン膜と、窒素を1～20atomic%（典型的には5～10atomic%）で含む200nm厚の窒化酸化シリコン膜との積層膜を用いる。なお、厚さはこの値に限定する必要はない。また、窒化酸化シリコン膜に含まれる窒素と酸素の含有比（atomic%比）は3：1～1：3（典型的には1：1）とすればよい。また、窒化酸化シリコン膜は、SiH₄とN₂OとNH₃を原料ガスとして作製すればよい。

【0063】

なお、この下地膜502は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0064】

次に下地膜502の上に30～120nm（好ましくは50～70nm）の厚さの、非晶質構造を含む半導体膜（本実施例では非晶質シリコン膜（図示せず））を公知の成膜法で形成する。なお、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。また、上記膜厚で形成しておけば、最終的にTFTが完成した時点の活性層の膜厚は10～100nm（好ましくは30～50nm）となる。

【0065】

そして、特開平7-130652号公報（USP5,643,826号に対応）に記載された技術に従って、結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）503を形成する。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ば

10

20

30

40

50

れた一種または複数種の元素、代表的にはニッケル)を用いる結晶化手段である。

【0066】

具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。本実施例では同公報の実施例1に記載された技術を用いるが、実施例2に記載された技術を用いても良い。なお、結晶質シリコン膜には、いわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒界を有するシリコン膜である。(図5(A))

【0067】

非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0068】

ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にとさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFETの特性バラツキを低減させることができる。

【0069】

次に、結晶質シリコン膜503に対してレーザー光源から発する光(レーザー光)を照射(以下、レーザーアニールという)して結晶性の改善された結晶質シリコン膜504を形成する。レーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。(図5(B))

【0070】

また、レーザー光の代わりにランプから発する光(以下、ランプ光という)を照射(以下、ランプアニールという)しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0071】

なお、このようにレーザー光またはランプ光により熱処理(アニール)を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーネスアニール(熱アニールともいう)で代用することもできる。

【0072】

本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとしてXeClガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を250～500mJ/cm²(代表的には350～400mJ/cm²)とする。

【0073】

上記条件で行われたレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件を第1アニール条件と呼ぶことにする。

【0074】

次に、結晶質シリコン膜504をパターニングして島状の半導体膜(以下、活性層という)505～508を形成する。なお、このとき同時に、今後のパターニング時の位置合

10

20

30

40

50

わせに用いるアライメントマーカを、結晶質シリコン膜を用いて形成する。本実施例の場合、活性層の形成と同時にアライメントマーカを形成することができるため、アライメントマーカを別途形成する手間（マスク数の増加）を防ぐことができる。

【0075】

次に、活性層505～508上に後の不純物添加時のために保護膜509を形成する。保護膜509は100～200nm（好ましくは130～170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いる。この保護膜509は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。（図5（C））

【0076】

そして、その上にレジストマスク510を形成し、保護膜509を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFETのしきい値電圧を制御するための工程である。なお、ここではジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0077】

こうして $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でp型不純物元素（本実施例ではボロン）が添加された活性層511～513が形成される。この活性層511～513は後のnチャネル型TFETの活性層となる。但し、本明細書中で記載する濃度は全てSIMS（質量二次イオン分析）による測定値である。

【0078】

なお、本明細書中では少なくとも上記濃度範囲でp型不純物元素を含む不純物領域（但し、 $1 \times 10^{16} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素、典型的にはリン又は砒素が添加された領域を除く）をp型不純物領域（b）と定義する。（図5（D））

【0079】

次に、レジストマスク510を除去し、新たにレジストマスク514a～514dを形成する。そして、n型を付与する不純物元素（以下、n型不純物元素という）を添加してn型を呈する不純物領域515～517を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。（図5（E））

【0080】

この低濃度不純物領域515～517は、後にCMOS回路およびサンプリング回路のnチャネル型TFETにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（b）と定義する。

【0081】

なお、ここではフォスフィン（ PH_3 ）を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、保護膜509を介して結晶質シリコン膜にリンを添加する。

【0082】

次に、レジストマスク514a～514d及び保護膜509を除去し、再びレーザー光の照射工程を行う。ここでもレーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。但し、添加された不純物元素の活性化が目的であるので、結晶質シリコン膜が溶融しない程度のエネルギーで照射す

10

20

30

40

50

ることが好ましい。また、保護膜 509 をつけたままレーザーアニール工程を行うことも可能である。(図 5 (F))

【0083】

本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとして Kr F ガスを用い、処理温度を室温、パルス発振周波数を 30 Hz とし、レーザーエネルギー密度を 100 ~ 300 mJ/cm² (代表的には 150 ~ 250 mJ/cm²) とする。

【0084】

上記条件で行われた光アニール工程は、添加された n 型または p 型を付与する不純物元素を活性化すると共に、不純物元素の添加時に非晶質化した半導体膜を再結晶化する効果を有する。なお、上記条件は半導体膜を溶融させることなく原子配列の整合性をとり、且つ、不純物元素を活性化することが好ましい。また、本工程は光アニールにより n 型または p 型を付与する不純物元素を活性化する工程、半導体膜を再結晶化する工程、またはそれらを同時に行う工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件を第 2 アニール条件と呼ぶことにする。

【0085】

この工程により n 型不純物領域 (b) 515 ~ 517 の境界部、即ち、n 型不純物領域 (b) の周囲に存在する真性領域 (p 型不純物領域 (b) も実質的に真性とみなす) との接合部が明確になる。このことは、後に TFT が完成した時点において、LDD 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0086】

なお、このレーザー光による不純物元素の活性化に際して、電熱炉を用いた熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して 450 ~ 650 °C (好ましくは 500 ~ 550 °C) の熱処理を行えば良い。

【0087】

次に、活性層 505、511 ~ 513 を覆ってゲート絶縁膜 518 を形成する。ゲート絶縁膜 518 は、10 ~ 200 nm、好ましくは 50 ~ 150 nm の厚さに形成すれば良い。本実施例では、プラズマ CVD 法で N₂O と SiH₄ を原料とした窒化酸化シリコン膜を 115 nm の厚さに形成する。(図 6 (A))

【0088】

次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第 1 導電膜 519 と第 2 導電膜 520 とでなる積層膜を形成する。(図 6 (B))

【0089】

ここで第 1 導電膜 519、第 2 導電膜 520 としては、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、ニオブ (Nb)、シリコン (Si) から選ばれた元素を含む金属膜、または前記元素を主成分とする金属化合物膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜、タングステンシリサイド膜)、若しくはそれらの薄膜を積層した積層膜を用いることができる。

【0090】

なお、第 1 導電膜 519 は 10 ~ 50 nm (好ましくは 20 ~ 30 nm) とし、第 2 導電膜 520 は 200 ~ 400 nm (好ましくは 250 ~ 350 nm) とすれば良い。本実施例では、第 1 導電膜 519 として、50 nm 厚の窒化タンタル (Ta₂N₃) 膜を、第 2 導電膜 520 として、350 nm 厚のタンタル (Ta) 膜を用いる。

【0091】

このほか、窒化タングステン膜とタングステン膜との積層膜、窒化タンタル膜のみの単

10

20

30

40

50

層膜、タングステンシリサイド膜も好適である。また、第1導電膜519の下にシリコン膜を2～20nm程度の厚さで形成する構造（ポリサイド構造）とすると、シリコン膜上に形成された導電膜の密着性を向上させると同時に、導電膜の酸化を抑制することができる。

【0092】

また、本実施例のように第2導電膜520として金属膜を用いた場合、その表面をアンモニアガスまたは窒素ガスを用いたプラズマ雰囲気に曝すことで窒化することも有効である。こうすることで、金属膜表面の酸化を抑制することが可能である。

【0093】

次に、第1導電膜519と第2導電膜520とを一括でエッチングして400nm厚のゲート配線（ゲート電極とも言える）521～524a、524bを形成する。この時、駆動回路に形成されるゲート配線522、523はn型不純物領域（b）515～517の一部とゲート絶縁膜を介して重なるように形成する。

なお、ゲート配線524a、524bは断面では二つに見えるが、実際は連続的に繋がった一つのパターンから形成されている。（図6（C））

【0094】

次に、ゲート配線521～524をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成された不純物領域525～530には前記n型不純物領域（b）の1/2～1/10（代表的には1/3～1/4）の濃度（但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5～10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ 、）でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（c）と定義する。（図6（D））

【0095】

なお、n型不純物領域（c）527～530には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではp型不純物領域（b）に含まれるボロンの5～10倍の濃度でリンが添加されるので、ボロンの影響は無視して良い。

【0096】

但し、厳密にはn型不純物領域（b）515～517のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0097】

次に、ゲート配線521～524をマスクとして自己整合的にゲート絶縁膜518をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしては CHF_3 ガスを用いれば良い。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜531～534a、534bが形成される。（図6（E））

【0098】

このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。そのため、また必要なドーズ量が少なく済むのでスループットが向上する。勿論、ゲート絶縁膜をエッチングしないで残し、スルードーピングによって不純物領域を形成しても良い。

【0099】

次に、ゲート配線を覆う形でレジストマスク535a～535dを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域536～544を形成する。ここでも、フォスフィン（ PH_3 ）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）とする。（図6（F））

【0100】

なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域536～544が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域536～544はn型不純物領域(a)と言い換えても構わない。

【0101】

次に、レジストマスク535a～535dを除去し、新たにレジストマスク545を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域546、547を形成する。ここではジボラン(B_2H_6)を用いたイオンドーピング法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³(代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³)濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図7(A))

10

【0102】

なお、不純物領域546、547の一部(前述のn型不純物領域(a)536、537)には既に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。従って、本明細書中では不純物領域546、547をp型不純物領域(a)と言い換えても構わない。

20

【0103】

次に、レジストマスク545を除去した後、第1層間絶縁膜548を形成する。第1層間絶縁膜548としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は50～400nm(好ましくは100～200nm)とすれば良い。

【0104】

本実施例では、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 を原料ガスとし、200nm厚の窒化酸化シリコン膜(但し窒素濃度が25～50atomic%)を用いる。この第1層間絶縁膜548は次に行われる熱処理工程(活性化工程)において、ゲート配線521～524a、524bが酸化されて抵抗値が増加するのを防ぐ効果を有する。

30

【0105】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行う。この熱処理工程は、窒素雰囲気中において300～650℃、好ましくは400～550℃、ここでは550℃、4時間の熱処理を行う。(図7(B))

【0106】

この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素(本実施例ではニッケル)が、矢印で示す方向に移動して、前述の図6(F)の工程で形成された高濃度にリンを含む領域に捕獲(ゲッタリング)される。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域549～553は前記触媒元素の濃度が 1×10^{17} atoms/cm³以下となる。但し、ニッケルの場合、 1×10^{17} atoms/cm³以下はSIMSの測定下限となるため、現状の技術では測定不能である。

40

【0107】

また、逆に触媒元素のゲッタリングサイトとなった領域(図6(F)の工程で不純物領域536～544が形成された領域)は高濃度に触媒元素が偏析して 5×10^{18} atoms/cm³以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20}$ atoms/cm³)濃度で存在するようになる。しかし、このゲッタリングサイトとなった領域はソース領域またはドレイン領域として機能すれば良いので、ニッケルの有無は問題とはならないと考えられる。

【0108】

50

次に、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0109】

活性化工程を終えたら、第1層間絶縁膜548の上に500nm～1.5μm厚の第2層間絶縁膜554を形成する。本実施例では第2層間絶縁膜554として800nm厚の酸化シリコン膜をプラズマCVD法により形成する。こうして第1層間絶縁膜（窒化酸化シリコン膜）548と第2層間絶縁膜（酸化シリコン膜）554との積層膜となる1μm厚の層間絶縁膜を形成する。

10

【0110】

なお、第2層間絶縁膜554として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等の有機樹脂絶縁膜を用いることも可能である。

【0111】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線555～558と、ドレイン配線559～562を形成する。なお、図示されていないがCMOS回路を形成するためにドレイン配線559、560は同一配線で形成されている。また、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。

20

【0112】

次に、パッシベーション膜563として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成する。（図7（C））

【0113】

この時、膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行うことは有効である。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜563の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

30

【0114】

また、パッシベーション膜563を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。

【0115】

なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜563に開口部を形成しておいても良い。

【0116】

その後、図7（D）に示すように、樹脂材料（又は有機材料ともいう）でなる絶縁膜（以下、樹脂絶縁膜という）でなる第3層間絶縁膜（本明細書中では平坦化膜と呼ぶ場合もある）564を約1～3μm（典型的には1.5～2μm）の厚さに形成する。

40

【0117】

樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）、シクロテン等を使用することができる。樹脂絶縁膜を用いることの利点は、極めて平坦性に優れる点、比誘電率が低い点などが上げられる。なお上述した以外の樹脂絶縁膜や有機系SiO化合物などを用いることもできる。また、平坦性さえ高ければ無機材料でなる絶縁膜を用いることも可能である。

【0118】

なお、ここでは、基板に塗布後、熱で重合するタイプのアクリル膜を用いるが、光照射により重合するタイプを用いても良い。勿論、ポジ型またはネガ型の感光性材料であって

50

も良い。

【0119】

また、第3層間絶縁膜564の一部の層として、顔料等で着色した樹脂膜を設け、カラーフィルターとして用いることも可能である。

【0120】

次に、画素部において、樹脂材料でなる第3層間絶縁膜（平坦化膜）564上に遮蔽膜565を形成する。なお、本明細書中において遮蔽膜とは、光若しくは電磁波を遮断する性質を有する導電膜を指す。

【0121】

遮蔽膜565はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる金属膜または前記いずれかの元素を主成分（本明細書中では50重量%以上で含む場合に主成分とみなす）とする金属膜で100～300nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成する。なお、本明細書中ではこの遮蔽膜を第「1導電膜」と呼ぶ場合がある。

【0122】

なお、本実施例では遮蔽膜565を形成する前に酸化シリコン膜を5～50nm（典型的には20～30nm）の厚さに形成している。そして、その上に遮蔽膜565を形成し、遮蔽膜565をマスクとして上記絶縁膜のエッチング処理を行い、566で示される酸化シリコン膜が形成される。

【0123】

この酸化シリコン膜566は第3層間絶縁膜564と遮蔽膜565の密着性を高めるために設けるが、遮蔽膜が存在する以外の領域では、後に第3層間絶縁膜にコンタクトホールを形成する際の障害になるため除去することが望ましい。なお、第3層間絶縁膜564の表面にCF₄ガスを用いたプラズマ処理を施すことによって、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0124】

また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0125】

次に、遮蔽膜565の表面に公知の陽極酸化法又はプラズマ酸化法（本実施例では陽極酸化法）により20～100nm（好ましくは30～50nm）の厚さの酸化物を形成する。本実施例では遮蔽膜565としてアルミニウムを主成分とする膜を用い、陽極酸化法を用いるため、陽極酸化物567として酸化アルミニウム膜（アルミナ膜）が形成される。この陽極酸化物567が本実施例の保持容量の誘電体となる。

【0126】

また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁物を設ける構成としたが、他の絶縁物（絶縁膜）をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20～100nm（好ましくは30～50nm）とすることが好ましい。

【0127】

次に、第3層間絶縁膜564、パッシベーション膜563にドレイン配線562に達するコンタクトホールを形成し、画素電極569を形成する。なお、画素電極570、571はそれぞれ隣接する別の画素の画素電極である。本実施例では画素電極569～571として透明導電膜を用い、具体的には酸化インジウム・スズ（ITO）膜を110nmの厚さにスパッタ法で形成する。なお、本明細書中では画素電極を「第2導電膜」と呼ぶ場合がある。

【0128】

なお、反射型の液晶表示装置とする場合には画素電極の材料として金属膜を用いれば良

10

20

30

40

50

い。

【0129】

また、この時、画素電極569と遮蔽膜565とが陽極酸化物567を介して重なり、保持容量（キャパシタンス・ストレージ）又はコンデンサ）572を形成する。なお、保持容量572しか符号を付していないが、遮蔽膜と画素電極とが重なる領域は全て保持容量として機能する。

【0130】

また、保持容量の誘電体として比誘電率が7～9と高いアルミナ膜を用いたため、必要な容量を形成するための面積を少なくすることを可能としている。さらに、本実施例のように画素TF T上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

10

【0131】

また、この場合、遮蔽膜565をフローティング状態（電氣的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0132】

上記工程を経て、画素TF Tおよび画素電極を形成したアクティブマトリクス基板（第1の基板）を形成した。

【0133】

次に、アクティブマトリクス基板（第1の基板）から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、画素TF Tおよび画素電極を形成した第1の基板上に配向膜573を成膜した。また、対向基板（第2の基板）574には、透明導電膜575と、配向膜576とを形成する。なお、第2の基板には必要に応じてカラーフィルタや遮蔽膜を形成しても良い。本実施例では配向膜としてポリイミド膜を用いる。配向膜573をロールコーターにより塗布した後、200℃で90分加熱した。なお、配向膜573を形成する前に第1の基板を洗浄することが好ましい。その後、布を装着したローラーで配向膜表面を擦り、液晶分子がある一定のプレチルト角（6°～10°、好ましくは7°～8°）を持って配向するようにラビング配向処理を行った。

20

【0134】

次いで、配向膜573上にスペーサ材料層として感光性アクリル樹脂（NN700：JSR製）を900rpmでスピコートし4.7μmの膜厚とした。その後、ホットプレートを用いて80℃、3分間加熱した。加熱後の感光性アクリル樹脂膜の厚さは、4.0μmとした。

30

【0135】

こうして形成されたスペーサ材料層に露光用マスクを介して柱状スペーサのパターン（サイズ：6μm四方）を露光した後、現像した。現像条件は、現像液として、CD-700（TMAH 0.14%）を用い、液温を18±1℃、現像時間は60秒とした。次いで、クリーンオープンを用いて180℃、1分間加熱した。

【0136】

このようにして、第1の基板上に柱状のスペーサ568を形成した。（図8（A））また、柱状のスペーサ568は、その形成位置を自由に設計することができるので、画像表示領域を有効に活用することができる。なお、現像液によりプレチルト角は、4°～5°に変化した。

40

【0137】

本実施例の画素構造を上面から見た図を図12に示す。図12に示すように本実施例では、画素TF Tと画素電極62とが電氣的に接続するコンタクト部65の上に柱状スペーサ63を設ける。また、図12において、565は遮蔽膜であり、その上には図示されていない酸化物567を介して画素電極62が設けられている。このとき、遮蔽膜565、酸化物567及び画素電極62で保持容量64a～64cが形成される。本実施例の構造とすることで、コンタクト部に形成される段差（層間絶縁膜564の膜厚分）を埋め込むこ

50

とが可能となり、段差に起因する液晶分子の配向不良を防止することができる。

【0138】

このように、本実施例では、TFTと画素電極とのコンタクト部に柱状スペーサを形成した例を示したが、柱状のスペーサ568は、遮蔽膜やソース配線上など画像表示領域として用いない領域に形成すれば特に限定されない。本実施例においては、 1 mm^2 あたり約100個の割合で規則正しく画素部に配置した。本実施例の柱状スペーサの断面におけるSEM観察写真図が、図17(A)である。また、外観を示すSEM観察写真図が、図1(A)である。図2(A)には配置された模式図を示し、図2(B)および図2(C)には、図1(A)に相当する倍率の異なるSEM観察写真を示した。

【0139】

この柱状スペーサの形状は、テーパ部がほとんどなく、頭頂部に平坦な面を有し、高さ $H = 4\text{ }\mu\text{m}$ 、幅 $L1 = 6\text{ }\mu\text{m}$ 、曲率半径は $1\text{ }\mu\text{m}$ 以下であった。また、柱状スペーサの側面中央における接平面と基板面との角度 α は、 $85^\circ \sim 95^\circ$ となっており、ほぼ垂直であった。このような形状とすることで、光漏れを低減することができる。

【0140】

そして、画素部と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材579を介して貼りあわせる。本実施例では、フィラー580を含むシール材を用いて基板間隔を一定に保った。

また、本実施例では弾力性に富んだ樹脂材料でなる柱状スペーサ568を用いているため、貼り合わせ工程でかかる圧力を吸収(緩和)することができる。また、本実施例のスペーサは素子に対する接触面積がビーズ状スペーサのそれより大きいため、特定部分に過剰な圧力がかかるようなことがない。

【0141】

その後、両基板の間に液晶578を注入し、封止剤(図示せず)によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図8(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【0142】

なお、図8(B)においては、駆動回路にはpチャネル型TFT701、nチャネル型TFT702、703が形成され、画素部にはnチャネル型TFTでなる画素TFT704が形成される。

【0143】

なお、本実施例の工程順序は適宜変更しても構わない。どのような順序としても、最終的に形成されるTFTの構造が図8(B)のような構造であればアクティブマトリクス基板の基本的な機能は変化せず、本発明の効果を損なうものではない。

【0144】

駆動回路のpチャネル型TFT701には、チャネル形成領域601、ソース領域602、ドレイン領域603がそれぞれp型不純物領域(a)で形成される。但し、実際にはソース領域またはドレイン領域の一部に $1 \times 10^{20} \sim 1 \times 10^{21}\text{ atoms/cm}^3$ の濃度でリンを含む領域が存在する。また、その領域には図7(B)の工程でゲッタリングされた触媒元素が $5 \times 10^{18}\text{ atoms/cm}^3$ 以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20}\text{ atoms/cm}^3$)濃度で存在する。

【0145】

また、nチャネル型TFT702には、チャネル形成領域604、ソース領域605、ドレイン領域606、そしてチャネル形成領域の片側(ドレイン領域側)に、ゲート絶縁膜を介してゲート配線と重なったLDD領域(本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。)607が形成される。この時、Lov領域607は $2 \times 10^{16} \sim 5 \times 10^{19}\text{ atoms/cm}^3$ の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

【0146】

また、nチャネル型TFT703には、チャネル形成領域608、ソース領域609、

10

20

30

40

50

ドレイン領域 610、そしてチャネル形成領域の両側に LDD 領域 611、612 が形成された。なお、この構造では LDD 領域 611、612 の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった LDD 領域（Lov 領域）とゲート絶縁膜を介してゲート配線と重ならない LDD 領域（本明細書中ではこのような領域を Loff 領域という。なお、off は offset の意味で付した。）が形成されている。

【0147】

ここで図 9 に示す断面図は図 8（B）に示した n チャネル型 TFT 703 を図 7（B）の工程まで作製した状態を示す拡大図である。ここに示すように、LDD 領域 611 はさらに Lov 領域 611a、Loff 領域 611b に、LDD 領域 612 はさらに Lov 領域 612a、Loff 領域 612b に区別できる。また、前述の Lov 領域 611a、612a には $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンが含まれるが、Loff 領域 611b、612b はその 1～2 倍（代表的には 1.2～1.5 倍）の濃度でリンが含まれる。

10

【0148】

また、画素 TFT 704 には、チャネル形成領域 613、614、ソース領域 615、ドレイン領域 616、Loff 領域 617～620、Loff 領域 618、619 に接した n 型不純物領域（a）621 が形成される。この時、ソース領域 615、ドレイン領域 616 はそれぞれ n 型不純物領域（a）で形成され、Loff 領域 617～620 は n 型不純物領域（c）で形成される。

【0149】

本実施例によれば、画素部および駆動回路が求める性能に応じて回路または素子を形成する TFT の構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、n チャネル型 TFT は回路仕様に依拠して LDD 領域の配置を異ならせ、Lov 領域または Loff 領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視した TFT 構造と低オフ電流動作を重視した TFT 構造とを実現しうる。

20

【0150】

例えば、アクティブマトリクス型液晶表示装置の場合、n チャネル型 TFT 702 は高速動作を重視するシフトレジスタ回路、信号分割回路、レベルシフト回路、バッファ回路などの駆動回路に適している。即ち、チャネル形成領域の片側（ドレイン領域側）のみに Lov 領域を配置することで、できるだけ抵抗成分を低減させつつホットキャリア注入による劣化に強い動作を達成しうる。これは上記回路の場合、ソース領域とドレイン領域の機能が変わらず、キャリア（電子）の移動する方向が一定だからである。但し、必要に応じてチャネル形成領域の両側に Lov 領域を配置することもできる。

30

【0151】

また、n チャネル型 TFT 703 はホットキャリア対策と低オフ電流動作の双方を重視するサンプリング回路（サンプル及びホールド回路）に適している。即ち、Lov 領域を配置することでホットキャリア対策とし、さらに Loff 領域を配置することで低オフ電流動作を達成しうる。また、サンプリング回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が 180° 変わるため、ゲート配線を中心に線対称となるような構造としなければならない。なお、場合によっては Lov 領域のみとすることもありうる。

40

【0152】

また、n チャネル型 TFT 704 は低オフ電流動作を重視した画素部、サンプリング回路（サンプルホールド回路）に適している。即ち、オフ電流値を増加させる要因となりうる Lov 領域を配置せず、Loff 領域のみを配置することで低オフ電流動作を達成しうる。また、駆動回路の LDD 領域よりも低い濃度の LDD 領域を Loff 領域として用いることで、多少オン電流値が低下するが徹底的にオフ電流値を低減することができる。さらに、n 型不純物領域（a）621 はオフ電流値を低減する上で非常に有効である。

【0153】

また、n チャネル型 TFT 702 の Lov 領域 607 の長さ（幅）は $0.1 \sim 3.0 \mu\text{m}$ 、代表的には $0.2 \sim 1.5 \mu\text{m}$ とすれば良い。また、n チャネル型 TFT 703 の Lov

50

領域 6 1 1 a、6 1 2 a の長さ（幅）は 0. 1 ～ 3. 0 μm 、代表的には 0. 2 ～ 1. 5 μm 、L off 領域 6 1 1 b、6 1 2 b の長さ（幅）は 1. 0 ～ 3. 5 μm 、代表的には 1. 5 ～ 2. 0 μm とすれば良い。また、画素 T F T 7 0 4 に設けられる L off 領域 6 1 7 ～ 6 2 0 の長さ（幅）は 0. 5 ～ 3. 5 μm 、代表的には 2. 0 ～ 2. 5 μm とすれば良い。
【0 1 5 4】

また、上記アクティブマトリクス型液晶表示装置の構成を、図 1 0 の斜視図を用いて説明する。アクティブマトリクス基板（第 1 の基板）は、ガラス基板 8 0 1 上に形成された、画素部 8 0 2 と、ゲート側駆動回路 8 0 3 と、ソース側駆動回路 8 0 4 で構成される。画素部の画素 T F T 8 0 5（図 8（B）の画素 T F T 7 0 4 に相当する）は n チャネル型 T F T であり、画素電極 8 0 6 及び保持容量 8 0 7（図 8（A）の保持容量 5 7 2 に相当する）に接続される。

10

【0 1 5 5】

また、周辺に設けられる駆動回路は C M O S 回路を基本として構成されている。ゲート側駆動回路 8 0 3 と、ソース側駆動回路 8 0 4 はそれぞれゲート配線 8 0 8 とソース配線 8 0 9 で画素部 8 0 2 に接続されている。また、F P C 8 1 0 が接続された外部入出力端子 8 1 1 には駆動回路まで信号を伝達するための入出力配線（接続配線）8 1 2、8 1 3 が設けられている。また、8 1 4 は対向基板（第 2 の基板）である。

【0 1 5 6】

なお、本明細書中では図 1 0 に示した半導体装置をアクティブマトリクス型液晶表示装置と呼んでいるが、図 1 0 に示すように F P C まで取り付けられた液晶パネルのことを一般的には液晶モジュールという。従って、本実施例でいうアクティブマトリクス型液晶表示装置を液晶モジュールと呼んでも差し支えない。

20

【0 1 5 7】

また、上記液晶表示装置の回路構成の一例を図 1 1 に示す。本実施例の液晶表示装置は、ソース側駆動回路 9 0 1、ゲート側駆動回路（A）9 0 7、ゲート側駆動回路（B）9 1 1、プリチャージ回路 9 1 2、画素部 9 0 6 を有している。なお、本明細書中において、駆動回路とはソース側駆動回路およびゲート側駆動回路を含めた総称である。

【0 1 5 8】

ソース側駆動回路 9 0 1 は、シフトレジスタ回路 9 0 2、レベルシフタ回路 9 0 3、バッファ回路 9 0 4、サンプリング回路 9 0 5 を備えている。また、ゲート側駆動回路（A）9 0 7 は、シフトレジスタ回路 9 0 8、レベルシフタ回路 9 0 9、バッファ回路 9 1 0 を備えている。ゲート側駆動回路（B）9 1 1 も同様な構成である。

30

【0 1 5 9】

ここでシフトレジスタ回路 9 0 2、9 0 8 は駆動電圧が 5 ～ 1 6 V（代表的には 1 0 V）であり、回路を形成する C M O S 回路に使われる n チャネル型 T F T は図 8（B）の 7 0 2 で示される構造が適している。

【0 1 6 0】

また、レベルシフタ回路 9 0 3、9 0 9、バッファ回路 9 0 4、9 1 0 は、駆動電圧は 1 4 ～ 1 6 V と高くなるが、シフトレジスタ回路と同様に、図 8（B）の n チャネル型 T F T 7 0 2 を含む C M O S 回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

40

【0 1 6 1】

また、サンプリング回路 9 0 5 は駆動電圧が 1 4 ～ 1 6 V であるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図 8（B）の n チャネル型 T F T 7 0 3 を含む C M O S 回路が適している。なお、図 8（B）では n チャネル型 T F T しか図示されていないが、実際にサンプリング回路を形成する時は n チャネル型 T F T と p チャネル型 T F T とを組み合わせて形成することになる。

【0 1 6 2】

50

また、画素部 906 は駆動電圧が 14～16 V であり、サンプリング回路 905 よりもさらにオフ電流値が低いことを要求するので、オフ電流の増加を招く Lov 領域を配置しない構造とすることが望ましく、図 8 (B) の n チャネル型 TFT 704 を画素 TFT として用いることが望ましい。

【実施例 2】

【0163】

本実施例では、柱状スペーサをシール領域以外の箇所に設け、機械的強度を補強する例を図 13 (a) および図 13 (b) に示す。本実施例は、図 8 (B) に示されていなかった領域 (外部端子接続部) を示している。従って、実施例 1 の図 8 (B) に対応しており、同じ符号を一部用いている。なお、シール材 1000 にフィラーを示していない点だけが実施例 1 と異なっている。

10

【0164】

図 13 (a) に外部端子接続部の上面図を示し、図 13 (b) に外部端子接続部の断面構造図を示す。また、上面図における d-d' 断面での断面構造も示している。

【0165】

図 13 (a) および図 13 (b) 中において、1001 は柱状スペーサ、1002 は外部端子接続部、1003 は ITO 膜、1004 は導電性スペーサ、1005 は接着剤、1006 は FPC である。

【0166】

FPC 1006 と接続する外部端子接続部 1002 は、p チャネル型 TFT 701 のソース電極 (配線) から延在している。

20

【0167】

本実施例では、シール材 1000 が存在するシール領域と対向基板 574 の端部の間に柱状スペーサ 1001 を形成する。この柱状スペーサ 1001 は、引き出し配線間に設けられ、機械的強度を補強している。また、この柱状スペーサ 1001 は、対向基板の分断工程においても分断不良を防止する効果を有している。なお、ここでは p チャネル型 TFT 701 のソース電極と外部端子接続部との間の配線を引き出し配線と呼んでいる。

【0168】

また、この柱状スペーサは実施例 1 中のコンタクト部に形成されるものと同一工程によって形成することができる。

30

【0169】

また、外部端子接続部 1002 上には、画素電極と同一工程により ITO 膜 1003 を形成し、FPC と良好なコンタクトを形成する。なお、接着剤 1005 中には金ペースト等の導電性スペーサが混入しており、圧着することによって FPC 1006 と ITO 膜 1003 とを接続している。

【実施例 3】

【0170】

本実施例では、実施例 1 とは異なる以下のような方法 (図 14 に簡略化した工程図を示し、図 15 にそのフローチャート図を示した) により、柱状スペーサを形成する例に示す。また、本実施例では、実施例 1 とは工程順序が異なっており、配向膜の形成前に柱状スペーサを形成する。

40

【0171】

図 14 を用いて手順を簡単に説明する。まず、第 1 の基板 1100 上にスペーサ材料層 1101 を形成する。(図 14 (a)) 次いで、実施例 1 と同様にして露光および現像を行って、柱状スペーサ 1102 を形成する。(図 14 (b)) 次いで、柱状スペーサ 1102 を覆う配向膜 1103 を形成し、ラビング処理を行う。(図 14 (c)) 次いで、配向膜 1105 とシール 1106 とが設けられた第 2 の基板 1104 を第 1 の基板 1100 と貼り合わせる。(図 14 (d)) 次いで、第 1 の基板および第 2 の基板を適当な形状に分断し、液晶材料 1107 を注入、封止して液晶パネルが完成する。(図 14 (e))

【0172】

50

以下に詳細を示す。

【0173】

まず、実施例1と同様にしてアクティブマトリクス基板（第1の基板）を形成する。画素電極569、570を形成する工程までは全く同一の工程を用いた。次いで、第1の基板上に実施例1と同じスペーサ材料を用い、同じ条件（成膜条件、露光条件、現像条件、バーク条件等）で柱状スペーサ1201を形成した。

【0174】

次いで、柱状スペーサを覆って配向膜1202を形成した。（図16（A））その後、ラビング処理を行った。以後、これらの工程以外は実施例1と全く同様にして図16（B）に示す液晶表示装置を作製した。

【0175】

本実施例の柱状スペーサの断面におけるSEM観察写真図が、図17（B）である。

【0176】

この柱状スペーサの形状は、テーパ部が存在しているものの、頭頂部に平坦な面を有し、幅 $L1 = 7 \sim 8 \mu m$ 、曲率半径は $2 \mu m$ であった。また、柱状スペーサの側面中央における接平面と基板面との角度 α は、 68° であった。本実施例において、幅 $L1$ は配向膜の厚さを含めた値としている。なお、本実施例においては、 $1 \leq L2 / L1 \leq 2.5$ とするとテーパ部による光漏れを低減できるため望ましい。

【0177】

また、実施例1では、現像液の影響により最終的なプレチルト角が $4^\circ \sim 5^\circ$ 程度となっていたが、本実施例では、柱状スペーサを形成した後に配向膜を形成してラビング処理を行うため、プレチルト角を $6^\circ \sim 10^\circ$ 、好ましくは $7^\circ \sim 8^\circ$ とすることができ、液晶の配向を良好なものとすることができた。

【0178】

図27にプレチルト角のラビングロール押し込み量依存性を示した。ラビングロール押し込み量とは、配向膜に施すラビング処理の際、ロールを押し込む量のことを指している。

【0179】

本実施例では、ラビングロール押し込み量を $0.3 mm$ 、 $0.4 mm$ 、 $0.5 mm$ と条件をふってラビング処理を行い、それぞれのプレチルト角を測定する実験を行った。実験結果は、 $0.3 mm$ とした場合、平均のプレチルト角は、 8.23° となり、 $0.4 mm$ とした場合、平均のプレチルト角は、 7.42° となり、 $0.5 mm$ とした場合、平均のプレチルト角は、 6.95° となった。ラビングロール押し込み量を調節することによって、プレチルト角を $6^\circ \sim 10^\circ$ 、好ましくは $7^\circ \sim 8^\circ$ とすることができる。このように、本実施例は、配向膜上に球状スペーサを散布した従来例と比較しても、大差なく良好な値を示している。

【0180】

なお、本実施例を実施例2と組み合わせることは可能である。

【実施例4】

【0181】

本実施例では、図18（A）に示すように第1の基板全面に柱状スペーサを一定の間隔で設けた例を示す。

【0182】

図18（A）において、1300は封止材、1301は第1の基板、1302は画素部、1303はゲート側駆動回路、1304はソース側駆動回路、1305は信号分割回路、1306は外部接続端子部、1308はシール領域、1321は第2の基板である。

【0183】

本実施例においては、画素部とソース側駆動回路との間に柱状スペーサ1307、外部接続端子部に柱状スペーサ1309、画素部に柱状スペーサ1310、ゲート側駆動回路に柱状スペーサ1311、シール領域に柱状スペーサ1312がそれぞれ一定の間隔でフ

10

20

30

40

50

トリソグラフィ法により設けた。このように一定の間隔で柱状スペーサを設けることにより均一な基板間隔を維持することができる。また、シール領域に柱状スペーサ1312を設けることによりフィラーを用いなくともよい。また、外部接続端子部に柱状スペーサ1309を設けることにより接続部における機械強度を補強することができる。なお、上記各柱状スペーサは実施例1または実施例3に示した作製方法を用いればよい。

【0184】

また、図18(B)は、図18(A)中の点線1322で囲んだ領域の断面構造を簡略に示した。図18(A)と同じ符号を用いた。図18(A)において、1314はCMOS回路、1315はnチャネル型TFT、1316は画素TFT、1317は層間絶縁膜、1318aは画素電極、1318bはITO膜である。このITO膜1318bは、FPC等の外部端子と接続するために設ける。

また、1319は液晶材料、1320は対向電極である。

【0185】

また、図19に他のスペーサ配置の形態を示した。図19(A)は、シール領域1408内に均一に柱状スペーサ1407を形成した例である。また、図19(B)は、画素部には柱状スペーサを設けず、シール領域に柱状スペーサ1410と、外部接続端子部に1409とを形成した例である。また、図19(C)は、シール領域以外の領域に柱状スペーサ1411、1412を形成した例である。なお、同様に上記各柱状スペーサは実施例1または実施例3に示した作製方法を用いればよい。

【0186】

なお、本実施例は実施例1～3と自由に組み合わせることが可能である。

【実施例5】

【0187】

本実施例においては実施例1とは異なるアクティブマトリクス基板(第1の基板)を作製する。なお、本実施例のTFT作製工程の詳細は、特願平11-104646号に記載の工程を用いる。

【0188】

まず、基板1501には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この基板1501のTFTを形成する表面には、基板1501からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜1502を形成する。

【0189】

次に、20～150nm(好ましくは30～80nm)の厚さで非晶質構造を有する半導体膜を、プラズマCVD法やスパッタ法などの公知の方法で形成する。

本実施例では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。そして、公知の結晶化技術を使用して非晶質シリコン膜から結晶質シリコン膜を形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜を形成した。

【0190】

そして、結晶質シリコン膜を島状に分割して、島状半導体層を形成する。その後、プラズマCVD法またはスパッタ法により50～100nmの厚さの酸化シリコン膜によるマスク層を形成する。そしてレジストマスクを設け、nチャネル型TFTを形成する島状半導体層の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)を添加した。次いで、駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層に選択的に添加する。そのため、あらかじめレジストマスクを形成した。次に、マスク層をフッ酸などにより除去して、添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活

性化の方法を用いた。

【0191】

そして、ゲート絶縁膜1520をプラズマCVD法またはスパッタ法を用いて10～150nmの厚さでシリコンを含む絶縁膜で形成する。次に、本実施例では、導電性の窒化物金属膜から成る導電層(A)と金属膜から成る導電層(B)

とを積層させた。導電層(B)はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)

で形成する。本実施例では、導電層(A)に30nmの厚さの窒化タンタル膜を、導電層(B)には350nmのTa膜を用い、いずれもスパッタ法で形成した。

【0192】

次に、レジストマスクを形成し、導電層(A)と導電層(B)とを一括でエッチングしてゲート電極1528～1531と容量配線132を形成する。

【0193】

次いで、駆動回路のpチャネル型TFETのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極1528をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETが形成される領域はレジストマスクで被覆しておく。

【0194】

次に、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。

【0195】

そして、画素マトリクス回路のnチャネル型TFETのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために窒素雰囲気中でファーンズアニール法で活性化工程を行った。ここで実施される活性化工程の熱処理により、nチャネル型TFETおよびpチャネル型TFETのチャネル形成領域から触媒元素をゲッタリングをすることができた。この熱処理において、ゲート電極1528～1531と容量配線1532の表面には窒化金属層が形成される。さらに、島状半導体層を水素化する工程を行った。

【0196】

活性化および水素化の工程が終了したら、ゲート配線1547、1548と容量配線1549を形成した。

【0197】

第1の層間絶縁膜1550は500～1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線1551～1554と、ドレイン配線1555～1558を形成する。次に、パッシベーション膜1559として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50～500nm(代表的には100～300nm)の厚さで形成する。

【0198】

その後、有機樹脂からなる第2の層間絶縁膜1560を1.0～1.5μmの厚さに形成する。そして、第2の層間絶縁膜1560にドレイン配線1558に達するコンタクトホールを形成し、画素電極1561、1562を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。

【0199】

次いで、柱状スペーサ1607を形成する。この柱状スペーサ1607は実施例3でのスペーサ作製工程と同一であるので省略する。次いで、実施例3と同様に柱状スペーサ1

10

20

30

40

50

607を覆う配向膜1601を形成する。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角（ $6^{\circ} \sim 10^{\circ}$ 、好ましくは $7^{\circ} \sim 8^{\circ}$ ）を持って配向するようにした。対向側の対向基板1602には、遮光膜1603、透明導電膜1604および配向膜1605を形成した。

そして、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によって貼りあわせる。その後、両基板の間に液晶材料1606を注入し、封止剤（図示せず）によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図20に示すアクティブマトリクス型液晶表示装置が完成した。

【0200】

図20において、駆動回路にはpチャネル型TFT1701、第1のnチャネル型TFT1702、第2のnチャネル型TFT1703、表示領域には画素TFT1704、保持容量1705が形成されている。

【0201】

なお、本実施例は実施例1～4と自由に組み合わせることが可能である。

【実施例6】

【0202】

本実施例においては、上記実施例とは異なるTFTを用いて表示装置を作製した例を示す。

【0203】

上記実施例においてはトップゲート型TFTを用いたが、本実施例ではボトムゲート型TFTを用いて第1の基板を作製する。

【0204】

図21中において1814はCMOS回路、1815はnチャネル型TFT、1816は画素TFT、1817は層間絶縁膜、1818aは画素電極、1818bはITO膜である。このITO膜1818bは、FPC等の外部端子と接続するために設ける。また、1819は液晶材料、1820は対向電極である。また、1801は第1の基板、1808はシール領域、1821は第2の基板である。

【0205】

また、本実施例においては画素部とソース側駆動回路との間に柱状スペーサ1807、外部接続端子部に柱状スペーサ1809、画素部に柱状スペーサ1810、ゲート側駆動回路に柱状スペーサ1811、シール領域に柱状スペーサ1812がそれぞれ一定の間隔でフォトリソグラフィ法により設けた。このように一定の間隔で柱状スペーサを設けることにより均一な基板間隔を維持することができる。また、シール領域に柱状スペーサ1812を設けることによりフィラーを用いなくともよい。また、外部接続端子部に柱状スペーサ1809を設けることにより接続部における機械強度を補強することができる。なお、上記各柱状スペーサは実施例1または実施例3に示した作製方法を用いればよい。

【0206】

なお、上記TFT構造を得るための作製工程は公知の技術を用いればよく、特に限定されない。

【0207】

なお、本実施例は実施例1～4と自由に組み合わせることが可能である。

【実施例7】

【0208】

本実施例では、タッチパネルを備えた液晶表示装置に本発明の柱状スペーサを適用した場合について図22（a）および図22（b）を用いて説明する。

【0209】

図22（a）は、光学式タッチパネル3002を備えた携帯情報端末機器の外観図および断面図である。

【0210】

図 2 2 (a) において、3 0 0 1 はデジタルカメラ、3 0 0 2 はタッチパネル、3 0 0 3 は液晶パネル、3 0 0 4 は L E D バックライト、3 1 0 0 は発光素子、3 2 0 0 は受光素子である。

【 0 2 1 1 】

このタッチパネルを備えた表示装置においては、タッチパネル 3 0 0 2 の表面に指先やペン先が触ると、パネルの端部に設けられた発光素子 3 1 0 0 からの光路 a の一部が遮断され光の一部が光路 b に進んでしまう。そして、その光路 a の一部が遮断された発光素子に対応する受光素子 3 2 0 0 は光を受光しないから、触った箇所の時間的な位置変化を検出することができる。

【 0 2 1 2 】

本実施例において、本発明の柱状スペーサ 3 0 0 5 を液晶パネル 3 0 0 3 に用いた。この柱状スペーサは、実施例 1 または実施例 3 に記載した作製方法により形成する。こうすることにより、機械的強度が補強され、頑丈なパネルとすることができた。また、本発明の柱状スペーサによって、外部からの圧力（指先やペン先からの）により基板間隔がほとんど変化しないので表示画像が乱れにくい。

【 0 2 1 3 】

なお、本実施例では L E D バックライトを用いた透過型の L C D パネルを用いたが、バックライトを用いない反射型 L C D パネルを用いてもよい。また、外光の光量に応じて自由に、反射型や透過型に切り替え可能な L C D パネルを用いてもよい。

【 0 2 1 4 】

図 2 2 (b) は、ペン入力式タッチパネル 3 1 0 2 を備えた携帯情報端末機器の外観図および断面図である。

【 0 2 1 5 】

図 2 2 (b) において、3 1 0 2 はタッチパネル、3 1 0 3 は液晶パネル、3 1 0 4 はバックライト、3 1 0 5 は入力ペンである。

【 0 2 1 6 】

このタッチパネルを備えた表示装置においては、タッチパネル 3 1 0 2 の表面に感圧式や静電容量式の検出素子が設けられている。入力ペン 3 1 0 5 で触ると、検出素子により時間的な位置変化を検出することができる。

【 0 2 1 7 】

本実施例において、本発明の柱状スペーサ 3 1 0 6 を液晶パネル 3 1 0 3 に用いた。この柱状スペーサは、実施例 1 または実施例 3 に記載した作製方法により形成する。こうすることにより、機械的強度が補強され、頑丈なパネルとすることができた。また、本発明の柱状スペーサによって、外部からの圧力（指先やペン先からの）により基板間隔がほとんど変化しないので表示画像が乱れにくい。

なお、このような感圧式や静電容量式の検出素子が設けられたタッチパネル 3 1 0 2 は L C D パネル 3 1 0 3 に直接接しているため、L C D パネル 3 1 0 3 が外部からの圧力を受けやすく効果的である。

【 0 2 1 8 】

なお、本実施例の構成は、実施例 1 ～ 6 のいずれの構成とも自由に組み合わせることが可能である。

【 実施例 8 】

【 0 2 1 9 】

本実施例では、本発明をシリコン基板上に作製した反射型液晶表示装置に適用した場合について説明する。本実施例は、実施例 1 において、結晶質シリコン膜でなる活性層の代わりに、シリコン基板（シリコンウェハ）に直接的に n 型または p 型を付与する不純物元素を添加し、T F T 構造を実現すれば良い。また、反射型であるので、画素電極として反射率の高い金属膜（例えばアルミニウム、銀、またはこれらの合金（A l - A g 合金）等）を用いれば良い。

【 0 2 2 0 】

なお、本実施例の構成は、実施例 1～7 のいずれの構成とも自由に組み合わせることが可能である。

【実施例 9】

【0221】

本発明は従来の MOSFET 上に層間絶縁膜を形成し、その上に TFT を形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板として SIMOX、Smart-Cut (SOITEC 社の登録商標)、ELTRAN (キャノン株式会社の登録商標) などの SOI 基板を用いることも可能である。

【0222】

なお、本実施例の構成は、実施例 1～8 のいずれの構成とも自由に組み合わせることが可能である。

【実施例 10】

【0223】

本発明はアクティブマトリクス型 EL (エレクトロルミネッセンス) ディスプレイに適用することも可能である。その例を図 23 に示す。

【0224】

図 23 はアクティブマトリクス型 EL ディスプレイの回路図である。11 は画素部を表しており、その周辺には X 方向駆動回路 12、Y 方向駆動回路 13 が設けられている。また、表示領域 11 の各画素は、スイッチ用 TFT 14、保持容量 15、電流制御用 TFT 16、有機 EL 素子 17 を有し、スイッチ用 TFT 14 に X 方向信号線 18a (または 18b)、Y 方向信号線 19a (または 19b、19c) が接続される。また、電流制御用 TFT 16 には、電源線 20a、20b が接続される。

【0225】

本実施例のアクティブマトリクス型 EL ディスプレイでは、X 方向駆動回路 12、Y 方向駆動回路 13 に用いられる TFT を図 8 (B) の p チャンネル型 TFT 701、n チャンネル型 TFT 702 または 703 を組み合わせて形成する。また、スイッチ用 TFT 14 や電流制御用 TFT 16 の TFT を図 8 (B) の n チャンネル型 TFT 704 で形成する。

【実施例 11】

【0226】

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN 液晶、PDLC (ポリマー分散型液晶)、FLC (強誘電性液晶)、AFLC (反強誘電性液晶)、または FLC と AFLC の混合物が挙げられる。

【0227】

例えば、「H.Furue et al.; Characteristics and Drivng Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T.Yoshida et al.; A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、または米国特許第 5,594,569 号に開示された材料を用いることができる。

【0228】

特に、しきい値なし (無しきい値) の反強誘電性液晶 (Thresholdless Antiferroelectric LCD: TL-AFLC と略記する) を使うと、液晶の動作電圧を ± 2.5 V 程度に低減しうるため電源電圧として 5～8 V 程度で済む場合がある。即ち、ドライバー回路と画素マトリクス回路を同じ電源電圧で動作させることが可能となり、液晶表示装置全体の低消費電力化を図ることができる。

【0229】

また、無しきい値反強誘電性液晶は、V 字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V 程度 (セル厚約 $1 \mu\text{m} \sim 2 \mu\text{m}$) のものも見出されている。

【0230】

ここで、V 字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対す

10

20

30

40

50

る光透過率の特性を図 2 4 に示す。図 2 4 に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶パネルにおける入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0 2 3 1】

また、強誘電性液晶や反強誘電性液晶は T N 液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質 T F T は非常に動作速度の速い T F T を実現するため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

10

【0 2 3 2】

なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0 2 3 3】

また、本実施例の構成は、実施例 1 ～ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【実施例 1 2】

【0 2 3 4】

本発明を実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

20

【0 2 3 5】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 5 に示す。

【0 2 3 6】

図 2 5 （A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 で構成される。本願発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の駆動回路に適用することができる。

【0 2 3 7】

図 2 5 （B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本願発明を表示部 2 1 0 2、音声入力部 2 1 0 3 やその他の駆動回路に適用することができる。

30

【0 2 3 8】

図 2 5 （C）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 で構成される。本願発明は表示部 2 2 0 5 やその他の駆動回路に適用できる。

【0 2 3 9】

図 2 5 （D）はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 で構成される。本発明は表示部 2 3 0 2 やその他の駆動回路に適用することができる。

40

【0 2 4 0】

図 2 5 （E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 で構成される。なお、この装置は記録媒体として D V D （D i g t i a l V e r s a t i l e D i s c）、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の駆動回路に適用することができる。

【0 2 4 1】

50

図 2 5 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）で構成される。本願発明を表示部 2 5 0 2 やその他の駆動回路に適用することができる。

【 0 2 4 2 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 9 および実施例 1 1 のどのような組み合わせからなる構成を用いても実現することができる。

【 実施例 1 3 】

【 0 2 4 3 】

本発明を実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【 0 2 4 4 】

その様な電子機器としては、プロジェクター（リア型またはフロント型）などが挙げられる。それらの一例を図 2 6 に示す。

【 0 2 4 5 】

図 2 6 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 2 4 6 】

図 2 6 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 2 4 7 】

なお、図 2 6 (C) は、図 2 6 (A) 及び図 2 6 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ～ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 2 6 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

【 0 2 4 8 】

また、図 2 6 (D) は、図 2 6 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 2 6 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【 0 2 4 9 】

ただし、図 2 6 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L 表示装置での適用例は図示していない。

【 0 2 5 0 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 9 および実施例 1 1 のどのような組み合わせからなる構成を用いても実現することができる。

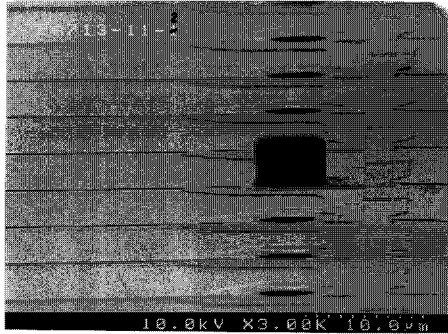
10

20

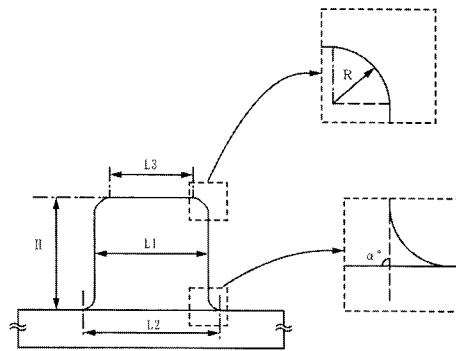
30

40

【図 1】



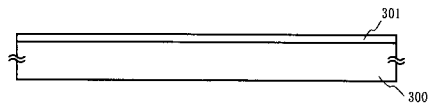
(A) スペースのSEM観察写真



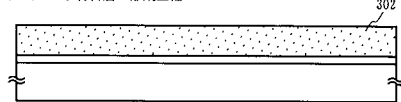
(B) スペースの断面模式図

【図 3】

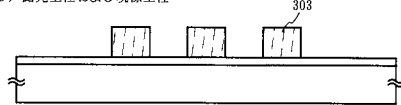
(a) 配向膜の形成工程およびラビング工程



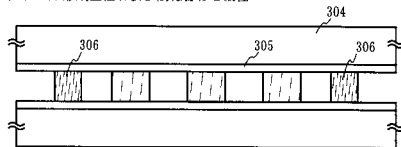
(b) スペース材料層の形成工程



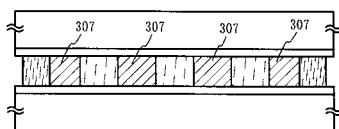
(c) 露光工程および現像工程



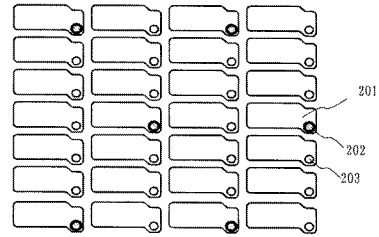
(d) シール形成工程および重ね合わせ工程



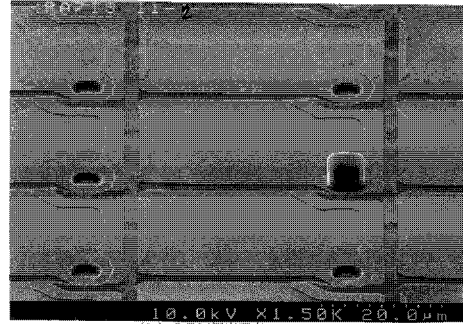
(e) 分断工程および液晶注入工程



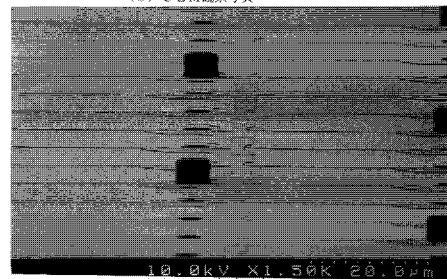
【図 2】



(a) スペースの配置



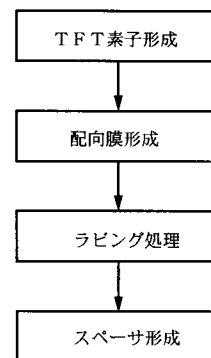
(b) SEM観察写真



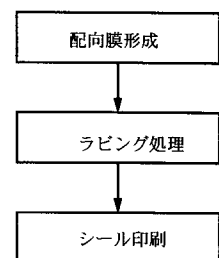
(c) SEM観察写真

【図 4】

第1の基板



第2の基板



貼り合わせ工程

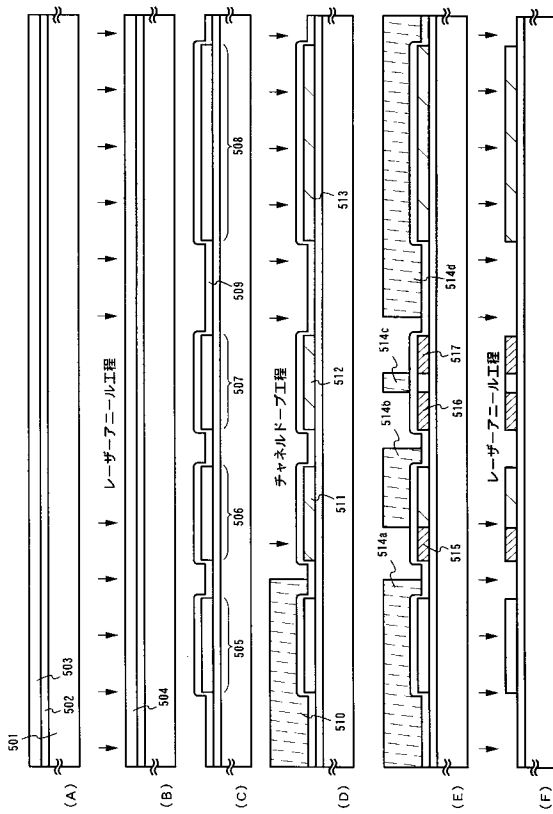
基板分断工程

液晶注入工程

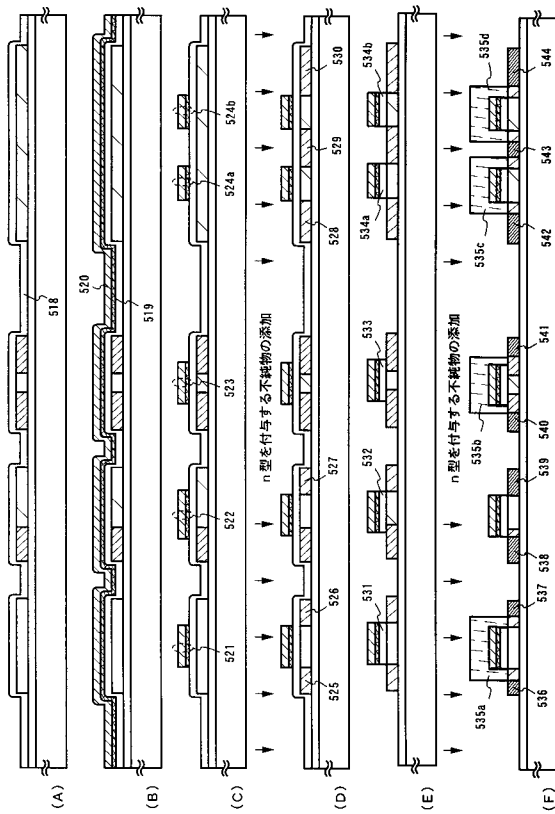
液晶注入口封止工程

再配向工程

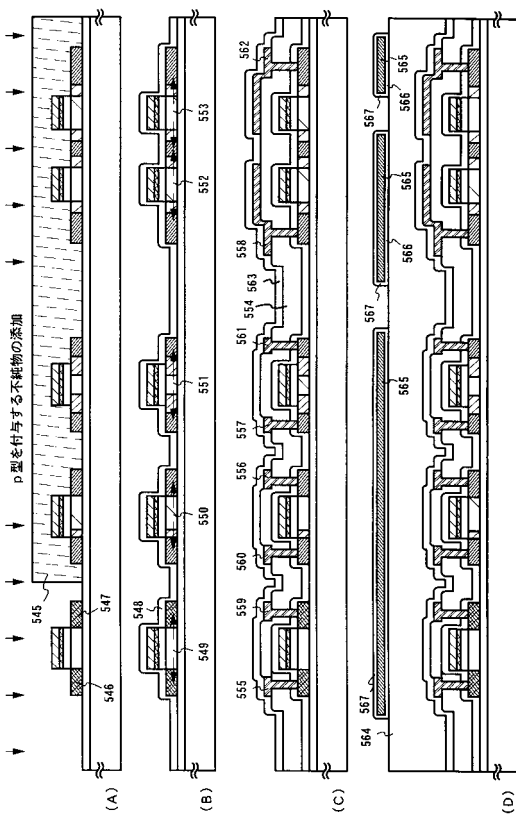
【図 5】



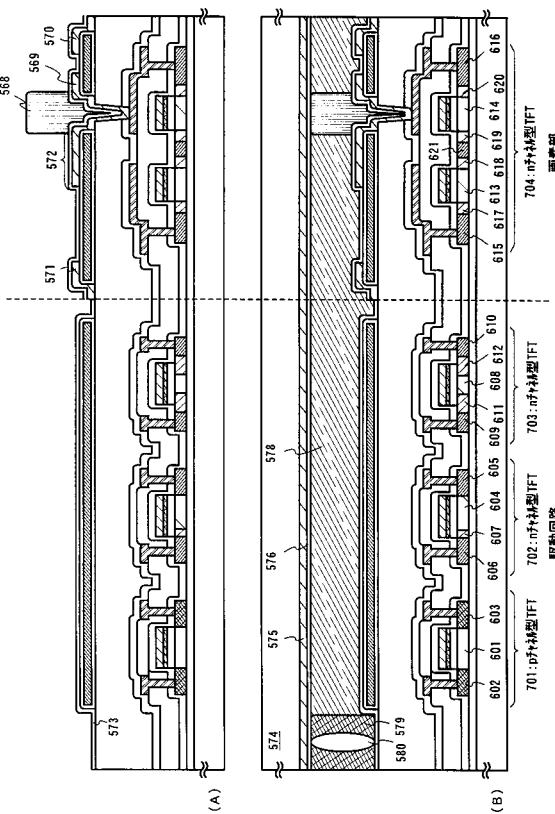
【図 6】



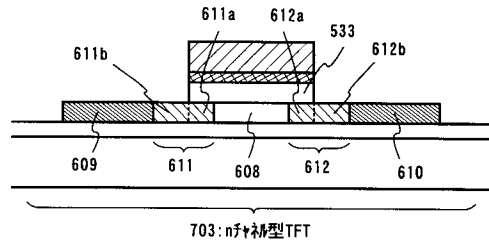
【図 7】



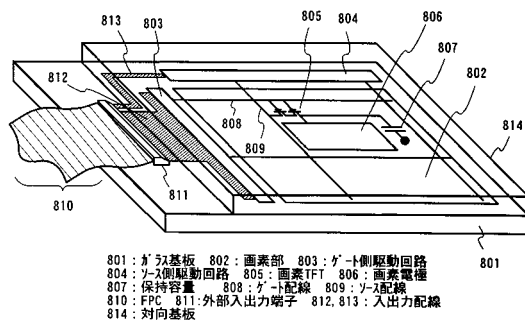
【図 8】



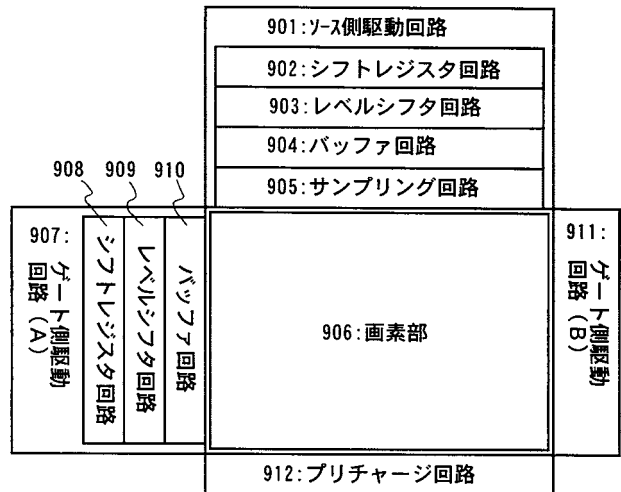
【図 9】



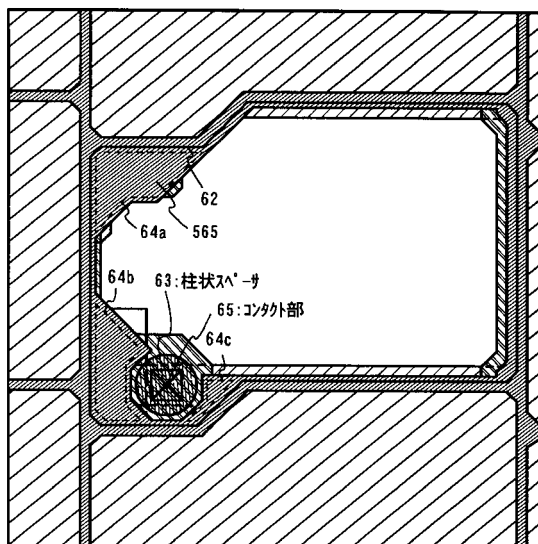
【図 10】



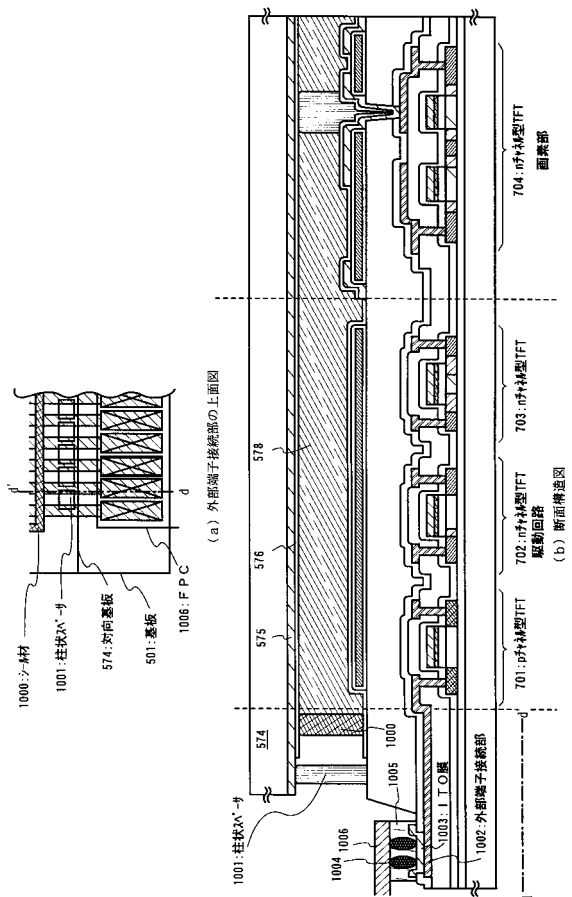
【図 11】



【図 12】

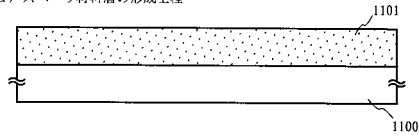


【図 13】

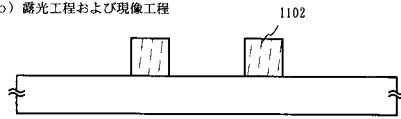


【図 14】

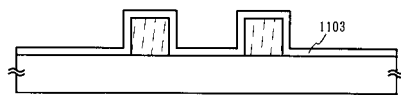
(a) スペース材料層の形成工程



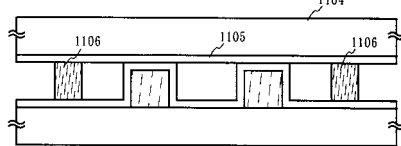
(b) 露光工程および現像工程



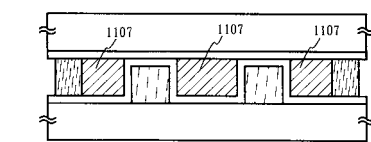
(c) 配向膜の形成工程およびラビング処理



(d) シール形成工程および重ね合わせ工程



(e) 分断工程および液晶注入工程



【図 15】

第1の基板

TFT素子形成

スペーサ形成

配向膜形成

ラビング処理

第2の基板

配向膜形成

ラビング処理

シール印刷

貼り合わせ工程

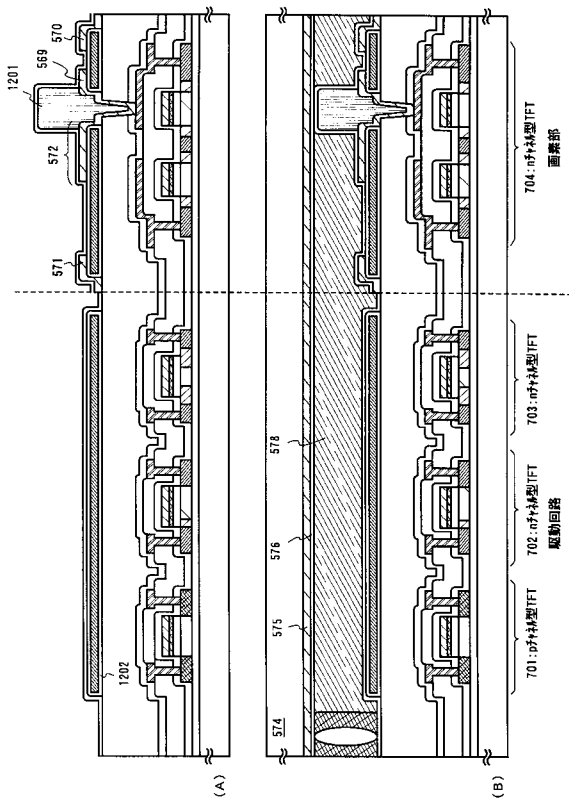
基板分断工程

液晶注入工程

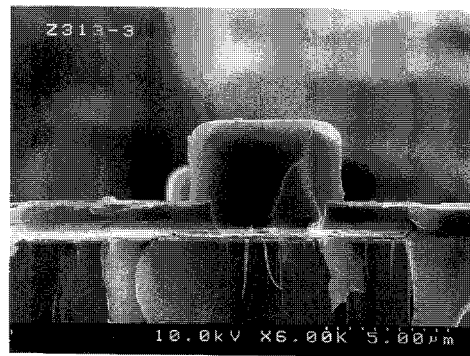
液晶注入口封止工程

再配向工程

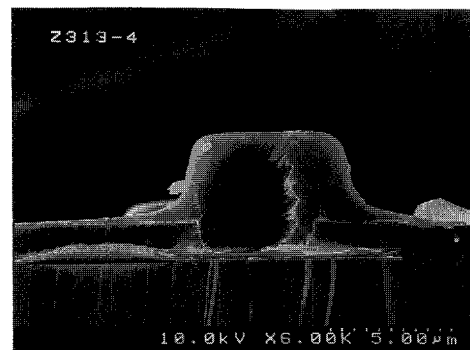
【図 16】



【図 17】

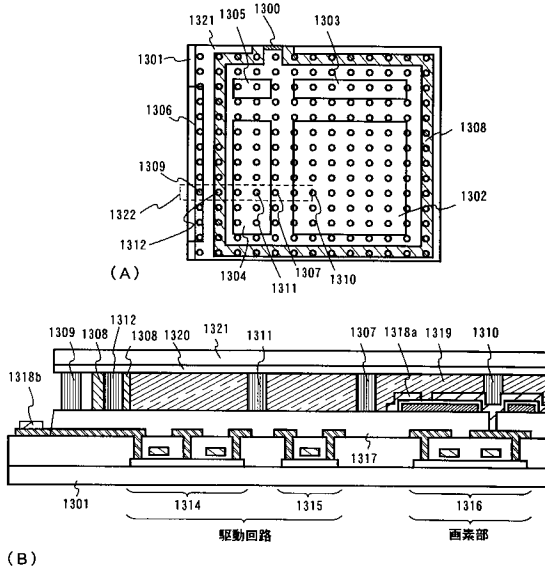


(A) 柱状スペーサの断面におけるSEM観察写真

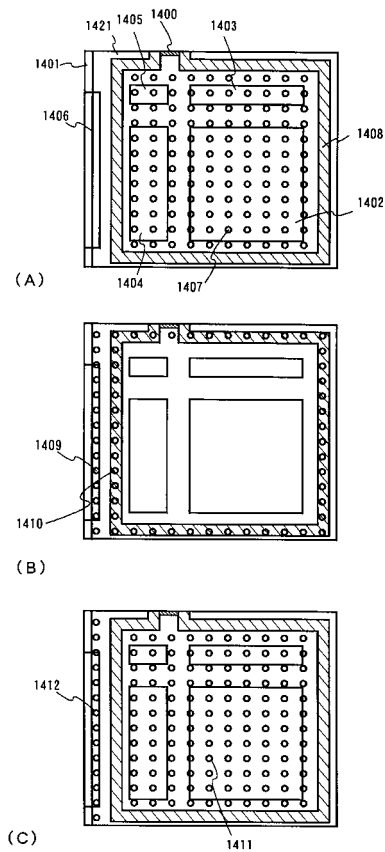


(B) 柱状スペーサの断面におけるSEM観察写真

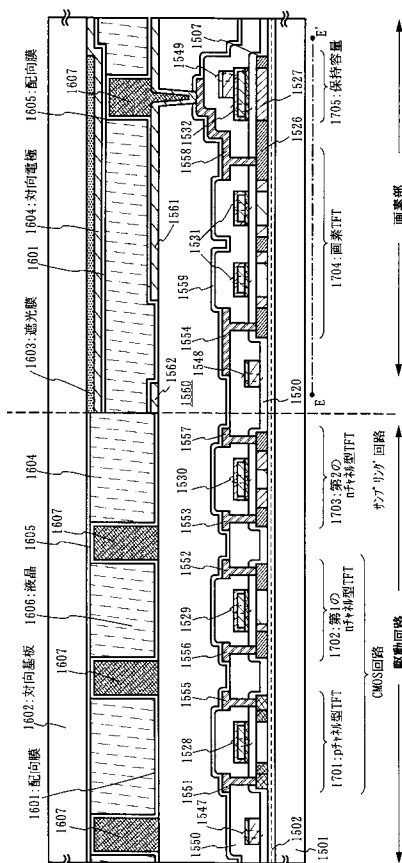
【図 18】



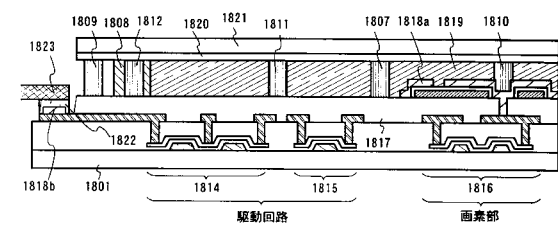
【図 19】



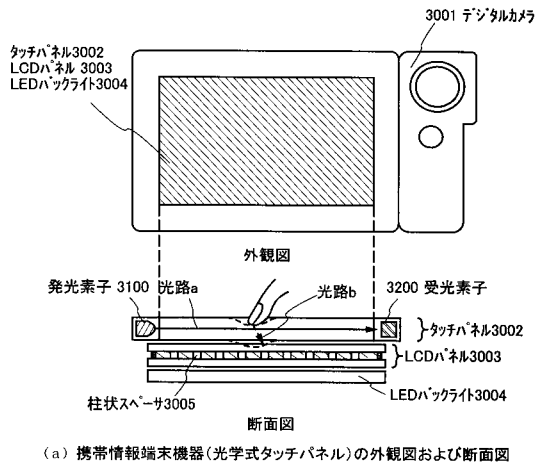
【図 20】



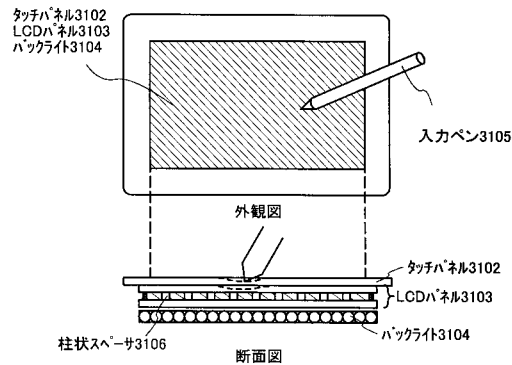
【図 21】



【図 2 2】

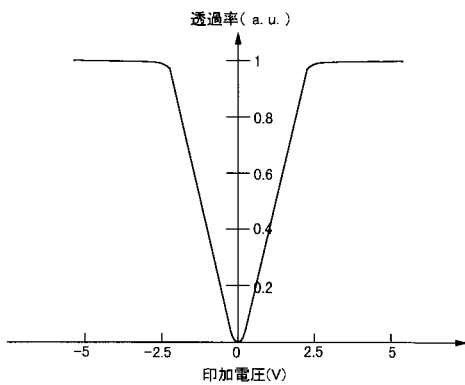


(a) 携帯情報端末機器(光学式タッチパネル)の外観図および断面図

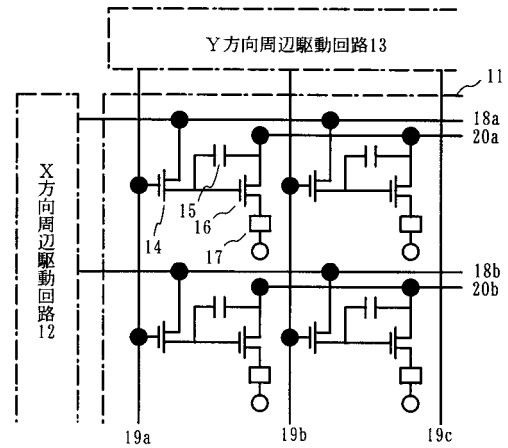


(b) 携帯情報端末機器(ペン入力式タッチパネル)の外観図および断面図

【図 2 4】

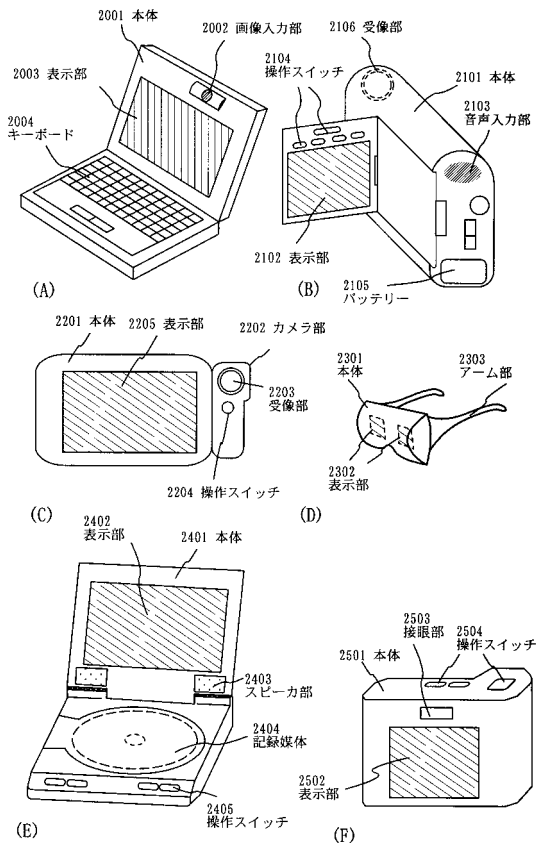


【図 2 3】

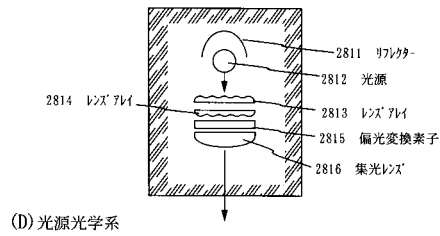
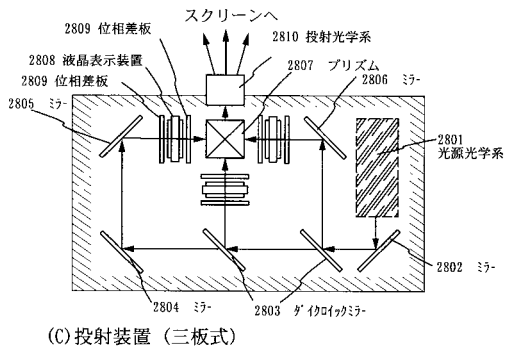
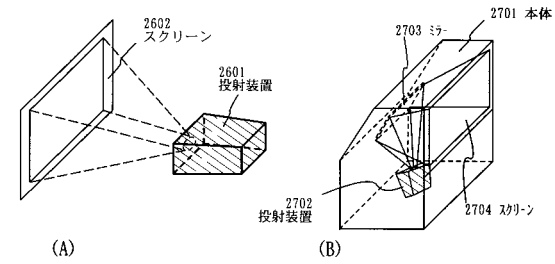


11:画素部 12:X方向周辺駆動回路 13:Y方向周辺駆動回路
 14:スイッチ用TFT 15:コンデンサ 16:電流制御用TFT 17:有機EL素子
 18a, 18b:X方向信号線 19a~19c:Y方向信号線 20a, 20b:電源線

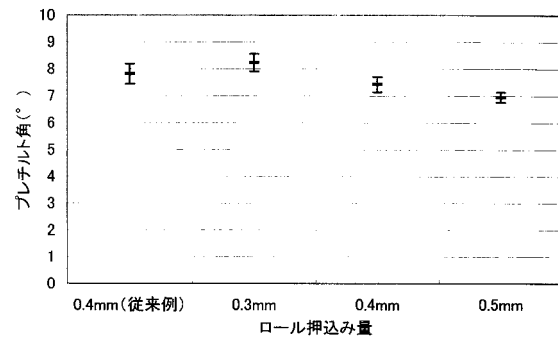
【図 2 5】



【図 26】



【図 27】



プレチルト角のラビングロール押し込み量依存性

フロントページの続き

F ターム(参考) 2H189 DA07 DA10 DA28 DA30 DA31 DA32 DA33 DA34 DA48 DA72
EA06X FA16 FA25 FA56 FA63 FA65 HA04 HA14 JA05 JA19
JA20 LA10 LA27 LA28 LA30
2H192 AA24 BC31 CB02 CB05 CB13 CB42 CB53 CB83 CC32 CC72
DA42 EA67 EA76 FA65 FB03 FB05 GA03 GA04 GB61 GD23
HA82 HA84 HA90 JA06 JA24 JA25 JA53
5F110 AA08 AA19 BB01 BB04 CC02 CC07 DD01 DD02 DD03 DD05
DD13 DD14 DD15 DD24 EE02 EE04 EE05 EE06 EE08 EE14
EE15 EE28 EE48 FF04 FF30 GG02 GG04 GG13 GG25 GG32
GG34 GG42 GG43 GG45 GG51 GG52 HJ01 HJ04 HJ12 HJ13
HJ23 HJ30 HL04 HL06 HL12 HL23 HM12 HM13 HM15 NN02
NN03 NN04 NN22 NN23 NN24 NN27 NN35 NN39 NN40 NN46
NN47 NN72 PP02 PP03 PP06 PP10 PP34 PP35 QQ09 QQ11
QQ24 QQ25 QQ28

专利名称(译)	液晶显示装置		
公开(公告)号	JP2019133180A	公开(公告)日	2019-08-08
申请号	JP2019065661	申请日	2019-03-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	平形吉晴 後藤裕吾 丸山優子 山崎舜平		
发明人	平形 吉晴 後藤 裕吾 丸山 優子 山崎 舜平		
IPC分类号	G02F1/1339 G02F1/1333 G02F1/1368 H01L21/336 H01L29/786 G02F1/136 G09F9/00 G09F9/30 H01L21/77 H01L21/84 H01L27/12 H04N5/66		
CPC分类号	G02F1/13394 G02F1/13454 H01L29/78621 H01L29/78627 H01L2029/7863 H01L2924/0002 Y10S438/924 Y10S438/98 H01L2924/00 G02F1/13306 G02F1/13345 G02F1/13338 G02F1/133512 G02F1/1341 G02F1/134309 G02F1/1368 G02F2001/133302 H01L27/12 H01L27/1214 H01L27/1222 H01L27/124 H01L27/1288 H01L29/167 H01L29/78669		
FI分类号	G02F1/1339.500 G02F1/1333 G02F1/1368 H01L29/78.612.Z		
F-TERM分类号	2H189/DA07 2H189/DA10 2H189/DA28 2H189/DA30 2H189/DA31 2H189/DA32 2H189/DA33 2H189/DA34 2H189/DA48 2H189/DA72 2H189/EA06X 2H189/FA16 2H189/FA25 2H189/FA56 2H189/FA63 2H189/FA65 2H189/HA04 2H189/HA14 2H189/JA05 2H189/JA19 2H189/JA20 2H189/LA10 2H189/LA27 2H189/LA28 2H189/LA30 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB13 2H192/CB42 2H192/CB53 2H192/CB83 2H192/CC32 2H192/CC72 2H192/DA42 2H192/EA67 2H192/EA76 2H192/FA65 2H192/FB03 2H192/FB05 2H192/GA03 2H192/GA04 2H192/GB61 2H192/GD23 2H192/HA82 2H192/HA84 2H192/HA90 2H192/JA06 2H192/JA24 2H192/JA25 2H192/JA53 5F110/AA08 5F110/AA19 5F110/BB01 5F110/BB04 5F110/CC02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD05 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD24 5F110/EE02 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE08 5F110/EE14 5F110/EE15 5F110/EE28 5F110/EE48 5F110/FF04 5F110/FF30 5F110/GG02 5F110/GG04 5F110/GG13 5F110/GG25 5F110/GG32 5F110/GG34 5F110/GG42 5F110/GG43 5F110/GG45 5F110/GG51 5F110/GG52 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HJ30 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM12 5F110/HM13 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN39 5F110/NN40 5F110/NN46 5F110/NN47 5F110/NN72 5F110/PP02 5F110/PP03 5F110/PP06 5F110/PP10 5F110/PP34 5F110/PP35 5F110/QQ09 5F110/QQ11 5F110/QQ24 5F110/QQ25 5F110/QQ28		
优先权	1999191102 1999-07-06 JP		
外部链接	Espacenet		
摘要(译)			

提供一种高质量的显示设备和带有触摸面板的显示设备，该显示设备具有精确的厚度，并且根据使用的液晶的特性和驱动方法在不使用颗粒状间隔物的情况下在自由范围内进行了设计。半导体装置包括：显示装置，其包括第一基板，第二基板以及设置在第一基板和第二基板之间的多个柱状间隔物3005。触摸面板包括光学检测元件。柱状垫片可以提高机械强度以使面板坚固耐用。选定的图纸：图22

