

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-83733

(P2017-83733A)

(43) 公開日 平成29年5月18日 (2017.5.18)

(51) Int.Cl.			F I			テーマコード (参考)		
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36		2H193		
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	620B	5C006		
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G09G	3/20	621A	5C080		
			G09G	3/20	622C			
			G09G	3/20	622D			

審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2015-213689 (P2015-213689)  
 (22) 出願日 平成27年10月30日 (2015.10.30)

(71) 出願人 000103747  
 京セラディスプレイ株式会社  
 滋賀県野洲市市三宅641-1  
 (72) 発明者 市村 照彦  
 滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内

F ターム (参考) 2H193 ZA04 ZA06 ZA07 ZA19 ZB02  
 ZB03 ZB30 ZF22 ZF35 ZF36  
 5C006 AA01 AA22 AC02 AC11 AC24  
 AC25 AF41 AF71 BB16 BC03  
 BC06 BC11 BC20 BF32 FA42  
 5C080 AA10 BB05 CC03 DD23 EE30  
 FF11 JJ02 JJ03 JJ04 KK02  
 KK07 KK08 KK23 KK28 KK31  
 KK43 KK49 KK50

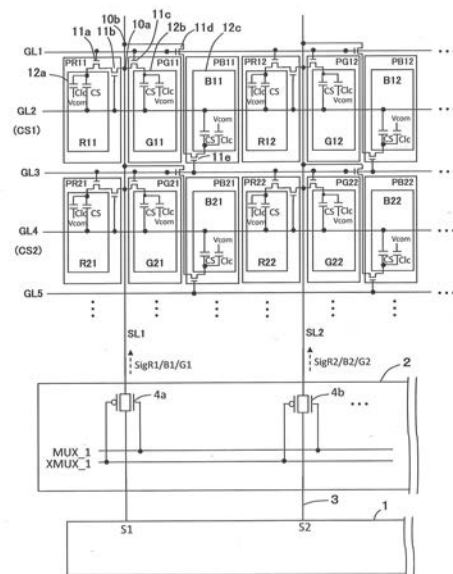
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 画像信号線の配線数を少なくして配線構造を簡易化すること、またゲート信号線の一部を保持容量線として機能させることによってより簡易な配線構造で時分割駆動を可能とするLCDとすること。

【解決手段】 LCDは、画像信号線SL1は、第1の単位画素電極R11と第2の単位画素電極G11との間または第2の単位画素電極G11と第3の単位画素電極B11との間に配置されているとともに、第1の単位画素電極R11と第2の単位画素電極G11と第3の単位画素電極B11に接続されており、第1のゲート信号線GL1、第2のゲート信号線GL2及び第3のゲート信号線GL3は、それらのうちの1本 (GL2) が、第1の単位画素電極R11、第2の単位画素電極G11及び第3の単位画素電極B11に対して保持容量線 (CS1) として機能している。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

基板上の所定の方向に伸びるようにそれぞれ順に配置された、第 1 のゲート信号線と第 2 のゲート信号線と第 3 のゲート信号線と、これらのゲート信号線と交差させて配置された画像信号線と、前記第 1 のゲート信号線と前記第 3 のゲート信号線との間に前記所定の方向に並んで配置された、第 1 の単位画素電極と第 2 の単位画素電極と第 3 の単位画素電極と、画像信号線駆動回路と、を有する液晶表示装置であって、

前記画像信号線は、前記第 1 の単位画素電極と前記第 2 の単位画素電極との間または前記第 2 の単位画素電極と前記第 3 の単位画素電極との間に配置されているとともに、前記第 1 の単位画素電極と前記第 2 の単位画素電極と前記第 3 の単位画素電極に接続されており、

前記第 1 のゲート信号線、前記第 2 のゲート信号線及び前記第 3 のゲート信号線は、それらのうちの 1 本が、前記第 1 の単位画素電極、前記第 2 の単位画素電極及び前記第 3 の単位画素電極に対して保持容量線として機能している液晶表示装置。

**【請求項 2】**

前記画像信号線は、前記第 1 の単位画素電極と前記第 2 の単位画素電極との間に配置されており、

前記第 1 の単位画素電極は、前記第 1 のゲート信号線及び前記第 2 のゲート信号線によってオンされ、前記第 2 の単位画素電極は、前記第 1 のゲート信号線によってオンされ、前記第 3 の単位画素電極は、前記第 1 のゲート信号線及び前記第 3 のゲート信号線によってオンされる請求項 1 に記載の液晶表示装置。

**【請求項 3】**

前記第 2 のゲート信号線は、前記保持容量線として機能している請求項 2 に記載の液晶表示装置。

**【請求項 4】**

前記画像信号線駆動回路は、前記第 1 の単位画素電極と前記第 2 の単位画素電極と前記第 3 の単位画素電極のそれぞれに画像信号を時分割で供給する請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、画像信号線（ソース線）の配線数を減少させることにより配線構造を簡易化した液晶表示装置（Liquid Crystal display : LCD）に関するものである。

**【背景技術】****【0002】**

従来、LCDは、薄膜トランジスタ（Thin Film Transistor : TFT）を含む画素部が多数形成されたアレイ側基板と、カラーフィルタ及びブラックマトリクスが形成されたカラーフィルタ側基板とを互いに対向させて、それらの基板を所定の間隔をもって貼り合わせ、それらの基板間に液晶を充填、封入させることによって作製される。また、一般的に、カラーフィルタ側基板は、TFT及び画素電極に対向する側の面（液晶側の面）の全面に、画素電極との間で液晶に印加する垂直電界を形成するための共通電極が形成されている。また、LCDが画素電極と共通電極との間で液晶に印加する横電界を形成するIPS（In-Plane Switching）方式のLCDである場合、共通電極はアレイ側基板の画素電極と同じ面内に形成される。LCDが画素電極と共通電極との間で液晶に印加する端部電界を形成するFFS（Fringe Field Switching）方式のLCDである場合、共通電極はアレイ側基板の画素部に画素電極の上方または下方に絶縁層を挟んで形成される。また、カラーフィルタ側基板の液晶側の面には、それぞれの画素部に対応する赤（R）、緑（G）、青（B）のカラーフィルタが形成されており、それぞれの画素部を通過する光が相互に干渉することを防ぐブラックマトリクスがカラーフィルタの外周を囲むように形成されている。

10

20

30

40

50

## 【 0 0 0 3 】

従来のアクティブマトリクス型のLCDの基本構成の1例を図4に示す。例えばIPS方式のLCDの場合、TFT51を含む画素部P11, P12, P13~Pmnが多数形成されたアレイ側基板は、その上の第1の方向(例えば、行方向)に形成された複数本のゲート信号線52(GL1, GL2, GL3~GLm)と、第1の方向と交差する第2の方向(例えば、列方向)にゲート信号線52(GL1, GL2, GL3~GLm)と交差させて形成された複数本の画像信号線(ソース信号線)53(SL1, SL2, SL3~SLn)と、ゲート信号線52(GL1, GL2, GL3~GLm)と画像信号線53(SL1, SL2, SL3~SLn)の各交差部に対応して形成された、TFT51及び液晶に印加する横電界(水平電界)を形成するための画素電極PE11, PE12, PE13~PEmn及び共通電極(基準電極)と、それらを含む画素部P11, P12, P13~Pmnと、共通電極に共通電圧(Vcom)を供給する共通電圧線55と、を有する構成である。なお、図4において、54は表示領域、60はゲート信号線選択回路61及び画像信号線選択回路62を駆動する駆動回路部、61はゲート信号線52(GL1, GL2, GL3~GLm)に順次ゲート信号を入力するゲート信号線選択回路(第1のセクタ回路)、62は画像信号線53(SL1, SL2, SL3~SLn)に順次画像信号を入力する画像信号線選択回路(第2のセクタ回路)、63は駆動回路部60とゲート信号線選択回路61との間で駆動信号、制御信号等を入出力するための第1の接続線、64は駆動回路部60と画像信号線選択回路62との間で駆動信号、制御信号等を入出力するための第2の接続線、70は液晶表示パネルである。IPS方式のLCDは、垂直電界によってツイステッドネマチック(Twisted Nematic: TN)液晶を駆動するLCDと比較して、コントラスト、グレー反転、色ずれ等の視野角特性を高めることができる。その結果、広視野角を得ることができるので、大型のLCDに好適に用いられている。

10

20

## 【 0 0 0 4 】

TFT51は、例えば、アモルファスシリコン(a-Si)、低温多結晶シリコン(Low-Temperature Poly Silicon: LTPS)等から成る半導体膜を有し、ゲート電極部、ソース電極部、ドレイン電極部の3端子部を有する構成である。そして、ゲート電極部に所定電位の電圧(例えば、6V)を印加することにより、ソース電極部とドレイン電極部の間の半導体膜(チャンネル)に電流を流す、スイッチング素子(ゲートトランスファ素子)として機能する。また、画素電極PE11, PE12, PE13...PEmnは、一般に酸化インジウムスズ(Indium Tin Oxide: ITO)等から成る透明導電体層から構成されている。

30

## 【 0 0 0 5 】

図5は、図4の構成のLCDにおいて、画像信号線選択回路62の詳細な構成を示す回路図である。図5に示すように、ゲート信号線GL1, GL2, GL3と画像信号線SL1, SL2, SL3, SL4, SL5, SL6との各交差部に対応して、TFT及び画素電極R11, G11, B11~B32が形成されている。画像信号線SL1~SL6のそれぞれの画像信号の入力端部には、CMOSトランスファゲート素子80a, 80b, 80c, 80d, 80e, 80fがそれぞれ接続されており、CMOSトランスファゲート素子80a~80cの各ソース電極は、駆動回路部60の画像信号入力端子S1に共通接続され、CMOSトランスファゲート素子80d~80fの各ソース電極は、駆動回路部60の画像信号入力端子S2に共通接続されている。第2の接続線64は、チップオンガラス(Chip On Glass: COG)方式でアレイ側基板上に実装された画像信号線駆動用IC, LSI等から成る駆動回路部60の画像信号入力端子S1, S2と、画像信号線選択回路62とを電氣的に接続するものである。また、CMOSトランスファゲート素子80a~80cの各ドレイン電極は、それぞれ画像信号線SL1, SL2, SL3に接続され、CMOSトランスファゲート素子80d~80fの各ドレイン電極は、それぞれ画像信号線SL4, SL5, SL6に接続されている。

40

## 【 0 0 0 6 】

CMOSトランスファゲート素子80a~80fはそれぞれ、p型MOSトランジスタ(pチャンネルTFT)とn型MOSトランジスタ(nチャンネルTFT)が、それらのソース電極とドレイン電極が共通接続されて成り、p型MOSトランジスタのゲート電極とn型MOSトランジスタのゲート電極が制御入力電極とされている。即ち、p型MOSトラン

50

ジスタのゲート電極にロー（L）の信号が入力されるとともにn型MOSトランジスタのゲート電極にハイ（H）の信号が入力されたときに、ソース電極とドレイン電極との間に電流が流れて画像信号が入力される。

【0007】

また、MUXR，XMUXR，MUXG，XMUXG，MUXB，XMUXBは、画像信号線SL1～SL6を時分割駆動するための時分割信号入力線である。MUXRは、CMOSトランスファゲート素子80a，80dのn型MOSトランジスタのゲート電極に接続され、XMUXR（MUXRの反転信号線）はCMOSトランスファゲート素子80a，80dのp型MOSトランジスタのゲート電極に接続されており、MUXRにHの信号が入力されるとともにXMUXRにLの信号が入力されたときに、画像信号入力端子S1，S2から入力された画像信号SigR1，SigR2が、画像信号線SL1，SL4を伝送される。MUXGは、CMOSトランスファゲート素子80b，80eのn型MOSトランジスタのゲート電極に接続され、XMUXG（MUXGの反転信号線）はCMOSトランスファゲート素子80b，80eのp型MOSトランジスタのゲート電極に接続されており、MUXGにHの信号が入力されるとともにXMUXGにLの信号が入力されたときに、画像信号入力端子S1，S2から入力された画像信号SigG1，SigG2が、画像信号線SL2，SL5を伝送される。MUXBは、CMOSトランスファゲート素子80c，80fのn型MOSトランジスタのゲート電極に接続され、XMUXB（MUXBの反転信号線）はCMOSトランスファゲート素子80c，80fのp型MOSトランジスタのゲート電極に接続されており、MUXBにHの信号が入力されるとともにXMUXBにLの信号が入力されたときに、画像信号入力端子S1，S2から入力された画像信号SigB1，SigB2が、画像信号線SL3，SL6を伝送される。

10

20

【0008】

図6は、図5の画素電極R11，G11，B11を時分割で駆動するためのタイミングチャートである。画素電極R11は単位画素電極（副画素電極）赤11であり、画素電極G11は単位画素電極（副画素電極）緑11であり、画素電極B11は単位画素電極（副画素電極）青11である。ゲート信号線GL1がオン状態のときであって、MUXRにHの信号が入力されるとともにXMUXRにLの信号が入力されたときに、画素電極R11に所定の画像信号が入力される。ゲート信号線GL1がオン状態のときであって、MUXGにHの信号が入力されるとともにXMUXGにLの信号が入力されたときに、画素電極G11に所定の画像信号が入力される。ゲート信号線GL1がオン状態のときであって、MUXBにHの信号が入力されるとともにXMUXBにLの信号が入力されたときに、画素電極B11に所定の画像信号が入力される。

30

【0009】

ゲート信号線選択回路61、画像信号線選択回路62は、CVD（Chemical Vapor Deposition）法等の薄膜形成法によって形成される。この場合、TF51は、例えば低温多結晶シリコン（Low-Temperature Poly Silicon：LTPS）から成るチャンネルを有しており、このLTPSを用いてnチャンネルTF及びpチャンネルTFを形成すると、CMOS回路を基礎とした駆動回路、SRAM回路、D/A変換器、画像表示部等をガラス基板上に一体的に集積化することができる。

【0010】

他の従来例として、1本の信号線の左右にそれぞれ接続された第1の表示画素電極及び第2の表示画素電極を有しており、1本の信号線から第1の表示画素電極と第2の表示画素電極に個別の表示信号を入力する構成とすることにより、配線本数を低減させた液晶表示素子が提案されている（例えば、特許文献1を参照）。

40

【0011】

また他の従来例として、行方向の各々の画素電極について、奇数列に属する画素電極が信号蓄積補助容量を介して隣接する一方のゲート信号線に電氣的に接続され、偶数列に属する画素電極が信号蓄積補助容量を介して隣接する他方のゲート信号線に電氣的に接続されている構成とすることにより、コモン一定駆動法において信号線ドライバの負担軽減とドット反転を同時に実現できる液晶パネルが提案されている（例えば、特許文献2を参照）。

【先行技術文献】

50

## 【特許文献】

【0012】

【特許文献1】特開平5-188395号公報

【特許文献2】特開平11-352464号公報

## 【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、図5、図6に示す上記従来のLCDにおいては、単位画素電極としての画素電極R11, G11, B11~のそれぞれに画像信号SigR1, G1, B1~を入力するための画像信号線SL1, SL2, SL3~が形成されているために、画像信号線SL1, SL2, SL3~の配線数が多くなり、配線構造が複雑化するという問題点があった。

10

【0014】

また、特許文献1に開示された液晶表示素子は、1本の信号線に第1の表示画素電極及び第2の表示画素電極が接続されているので、信号線の配線数を低減させることはできる。しかし、信号線の配線数がきわめて多くなりつつあるLCDにおいては、不十分であった。

【0015】

また、特許文献2に開示された液晶パネルは、ドット反転駆動に適した配線構造であるために、これを時分割駆動に適用することは困難である。また、すべてのゲート信号線を保持容量線としても使用するの、配線構造及び駆動が複雑化するという問題点があった。

20

【0016】

本発明は、上記の問題点に鑑みて完成されたものであり、その目的は、画像信号線の配線数を少なくして、配線構造を簡易化することである。また、ゲート信号線の一部を保持容量線として機能させることによって、より簡易な配線構造で時分割駆動を可能とするLCDとすることである。

【課題を解決するための手段】

【0017】

本発明の液晶表示装置は、基板上の所定の方向に伸びるようにそれぞれ順に配置された、第1のゲート信号線と第2のゲート信号線と第3のゲート信号線と、これらのゲート信号線と交差させて配置された画像信号線と、前記第1のゲート信号線と前記第3のゲート信号線との間に前記所定の方向に並んで配置された、第1の単位画素電極と第2の単位画素電極と第3の単位画素電極と、画像信号線駆動回路と、を有する液晶表示装置であって、

30

前記画像信号線は、前記第1の単位画素電極と前記第2の単位画素電極との間または前記第2の単位画素電極と前記第3の単位画素電極との間に配置されているとともに、前記第1の単位画素電極と前記第2の単位画素電極と前記第3の単位画素電極に接続されており、

前記第1のゲート信号線、前記第2のゲート信号線及び前記第3のゲート信号線は、それらのうちの1本が、前記第1の単位画素電極、前記第2の単位画素電極及び前記第3の単位画素電極に対して保持容量線として機能している構成である。

40

【0018】

本発明の液晶表示装置は、好ましくは、前記画像信号線は、前記第1の単位画素電極と前記第2の単位画素電極との間に配置されており、

前記第1の単位画素電極は、前記第1のゲート信号線及び前記第2のゲート信号線によってオンされ、前記第2の単位画素電極は、前記第1のゲート信号線によってオンされ、前記第3の単位画素電極は、前記第1のゲート信号線及び前記第3のゲート信号線によってオンされる。

【0019】

また本発明の液晶表示装置は、好ましくは、前記第2のゲート信号線は、前記保持容量

50

線として機能している。

【0020】

また本発明の液晶表示装置は、好ましくは、前記画像信号線駆動回路は、前記第1の単位画素電極と前記第2の単位画素電極と前記第3の単位画素電極のそれぞれに画像信号を時分割で供給する。

【発明の効果】

【0021】

本発明の液晶表示装置は、基板上の所定の方向に伸びるようにそれぞれ順に配置された、第1のゲート信号線と第2のゲート信号線と第3のゲート信号線と、これらのゲート信号線と交差させて配置された画像信号線と、前記第1のゲート信号線と前記第3のゲート信号線との間に前記所定の方向に並んで配置された、第1の単位画素電極と第2の単位画素電極と第3の単位画素電極と、画像信号線駆動回路と、を有する液晶表示装置であって、

前記画像信号線は、前記第1の単位画素電極と前記第2の単位画素電極との間または前記第2の単位画素電極と前記第3の単位画素電極との間に配置されているとともに、前記第1の単位画素電極と前記第2の単位画素電極と前記第3の単位画素電極に接続されており、

前記第1のゲート信号線、前記第2のゲート信号線及び前記第3のゲート信号線は、それらのうちの1本が、前記第1の単位画素電極、前記第2の単位画素電極及び前記第3の単位画素電極に対して保持容量線として機能している構成であることから、画像信号線の配線数が少なくなり、配線構造が簡易化される。また、ゲート信号線の1本を第1の単位画素電極～第3の単位画素電極に対して保持容量線として機能させることによって、独立した保持容量線もなくなり、より簡易な配線構造となる。

【0022】

本発明の液晶表示装置は、好ましくは、前記画像信号線は、前記第1の単位画素電極と前記第2の単位画素電極との間に配置されており、

前記第1の単位画素電極は、前記第1のゲート信号線及び前記第2のゲート信号線によってオンされ、前記第2の単位画素電極は、前記第1のゲート信号線によってオンされ、前記第3の単位画素電極は、前記第1のゲート信号線及び前記第3のゲート信号線によってオンされることから、第1の単位画素電極～第3の単位画素電極に1本の画像信号線から画像信号を供給することができるとともに、第1の単位画素電極～第3の単位画素電極に画像信号を時分割で供給することができる。

【0023】

また本発明の液晶表示装置は、好ましくは、前記第2のゲート信号線は、前記保持容量線として機能していることから、第1のゲート信号線と第3のゲート信号線の間の中間にある第2のゲート信号線が保持容量線となる。その結果、第1の単位画素電極～第3の単位画素電極の保持容量を保持容量線に接続することが容易になり、配線構造がより簡易化される。

【0024】

また本発明の液晶表示装置は、好ましくは、前記画像信号線駆動回路は、前記第1の単位画素電極と前記第2の単位画素電極と前記第3の単位画素電極のそれぞれに画像信号を時分割で供給することから、画像信号の供給タイミングを制御する画像信号線選択回路の配線数も少なくすることができる。

【図面の簡単な説明】

【0025】

【図1】図1は、本発明の液晶表示装置について実施の形態の1例を示す図であり、単位画素部及び画像信号線選択回路を部分的に示す回路図である。

【図2】図2は、本発明の液晶表示装置について実施の形態の他例を示す図であり、単位画素部及び画像信号線選択回路を部分的に示す回路図である。

【図3】図3は、図1及び図2の液晶表示装置について実施の形態の1例を示す図であり

10

20

30

40

50

、グループを構成する単位画素部にそれぞれ供給される画像信号のタイミングチャートである。

【図４】図４は、従来の液晶表示装置の１例を示す図であり、液晶表示装置のブロック回路図である。

【図５】図５は、従来の液晶表示装置の他例を示す図であり、単位画素部に時分割で画像信号を供給する液晶表示装置について、単位画素部及び画像信号線選択回路を部分的に示す回路図である。

【図６】図６は、図５の液晶表示装置について、単位画素部にそれぞれ供給される画像信号のタイミングチャートである。

【発明を実施するための形態】

【００２６】

以下、本発明のＬＣＤの実施の形態について、図面を参照しながら説明する。但し、以下で参照する各図は、本発明のＬＣＤの実施の形態における構成部材のうち、本発明のＬＣＤを説明するための主要部を示している。従って、本発明のＬＣＤは、図に示されていない回路基板、配線導体、制御ＩＣ、ＬＳＩ等の周知の構成部材を備えていてもよい。

【００２７】

図１は、本発明のＬＣＤについて実施の形態の１例を示す図であり、単位画素部及び画像信号線選択回路を部分的に示す回路図である。図１に示すように、本発明のＬＣＤは、ガラス基板等から成るアレイ側基板上の所定の方向（例えば、行方向）に伸びるようにそれぞれ順に配置された、第１のゲート信号線（例えば、GL1）と第２のゲート信号線（例えば、GL2）と第３のゲート信号線（例えば、GL3）と、ゲート信号線GL1、GL2、GL3と交差させて配置された画像信号線（ソース信号線）SL1、SL2と、第１のゲート信号線GL1と第３のゲート信号線GL3との間に前記所定の方向に並んで配置された、第１の単位画素電極（例えば、R11）と第２の単位画素電極（例えば、G11）と第３の単位画素電極（例えば、B11）と、画像信号線駆動回路１と、を有するＬＣＤであって、画像信号線SL1は、第１の単位画素電極R11と第２の単位画素電極G11との間または第２の単位画素電極G11と第３の単位画素電極B11との間に配置されているとともに、第１の単位画素電極R11と第２の単位画素電極G11と第３の単位画素電極B11に接続されており、第１のゲート信号線GL1、第２のゲート信号線GL2及び第３のゲート信号線GL3は、それらのうちの１本（GL2）が、第１の単位画素電極R11、第２の単位画素電極G11及び第３の単位画素電極B11に対して保持容量線（CS1）として機能している構成である。この構成により、画像信号線SL1、SL2の配線数が少なくなり、配線構造が簡易化される。また、ゲート信号線GL1、GL2、GL3のうちの１本を第１の単位画素電極R11～第３の単位画素電極B11に対して保持容量線として機能させることによって、より簡易な配線構造となる。すなわち、従来、保持容量線をゲート信号線毎にゲート信号線に平行に形成したり、すべてのゲート信号線を保持容量線として機能させていたが、このような構成と比べて本発明の構成は簡易な配線構造となる。なお、保持容量線として機能する１本のゲート信号線は、第１～第３のゲート信号線GL1～GL3のうちのいずれであってもよい。また、第２のゲート信号線GL2は、第１の単位画素電極R11と第２の単位画素電極G11と第３の単位画素電極B11に、平面視で重なるように配置されているが、必ずしもこのような構成でなくてもよい。例えば、第１の単位画素電極R11と第２の単位画素電極G11と第３の単位画素電極B11は、第１ゲート信号線GL1と第２のゲート信号線GL2との間、または第２のゲート信号線GL2と第３のゲート信号線GL3との間に、配置されていてもよい。また、第１のゲート信号線GL1と第２のゲート信号線GL2と第３のゲート信号線GL3は、アレイ側基板上の所定の方向（例えば、行方向）に伸びるようにそれぞれ順に配置された構成であるが、これは、第１のゲート信号線GL1と第２のゲート信号線GL2と第３のゲート信号線GL3が、それぞれ上記所定の方向に伸びているとともに、上記所定の方向に直交する方向に順に配置されている構成である。

【００２８】

また本発明のＬＣＤは好ましくは、図１、図２に示すように、画像信号線SL1は、第１の単位画素電極R11と第２の単位画素電極G11との間に配置されており、第１の単位画素電

10

20

30

40

50

極R11は、第1のゲート信号線GL1及び第2のゲート信号線GL2によってオンされ、第2の単位画素電極G11は、第1のゲート信号線GL1によってオンされ、第3の単位画素電極B11は、第1のゲート信号線GL1及び第3のゲート信号線GL3によってオンされる構成である。この場合、第1の単位画素電極R11～第3の単位画素電極B11に1本の画像信号線SL1から画像信号を供給することができるとともに、第1の単位画素電極R11～第3の単位画素電極B11に画像信号を時分割で供給することができる。この場合、図2に示すように、画像信号線選択回路2を省くこともでき、さらなる配線構造の簡易化を達成することができる。そしてこの場合、第1の単位画素電極R11、第2の単位画素電極G11及び第3の単位画素電極B11の時分割駆動を、第1のゲート信号線GL1、第2のゲート信号線GL2及び第3のゲート信号線GL3のオン、オフのみによって行うことができる。また、画像信号線SL1が、第2の単位画素電極G11と第3の単位画素電極B11との間に配置されていてもよい。この場合、第1の単位画素電極R11は、第1のゲート信号線GL1及び第3のゲート信号線GL3によってオンされ、第2の単位画素電極G11は、第1のゲート信号線GL1及び第2のゲート信号線GL2によってオンされ、第3の単位画素電極B11は、第1のゲート信号線GL1によってオンされる構成とすることができる。

10

20

30

40

50

**【0029】**

また本発明のLCDは、好ましくは、第2のゲート信号線GL2は、保持容量線CS1として機能している構成である。この場合、第1のゲート信号線GL1と第3のゲート信号線GL3の間の中間にある第2のゲート信号線GL2が保持容量線CS1となる。その結果、第1の単位画素電極R11～第3の単位画素電極B11の保持容量を保持容量線CS1に接続することが容易になり、配線構造がより簡易化される。すなわち、第1の単位画素電極R11～第3の単位画素電極B11の保持容量を1本の保持容量線CS1に接続することができ、また保持容量線CS1は、第1のゲート信号線GL1と第3のゲート信号線GL3の間の中間にあるために、第1の単位画素電極R11～第3の単位画素電極B11の保持容量を保持容量線CS1に接続することが容易になる。

**【0030】**

また本発明のLCDは、図1に示すように、画像信号線駆動回路1は、第1の単位画素電極と第2の単位画素電極と第3の単位画素電極のそれぞれに画像信号を時分割で供給する構成であってもよい。この場合、画像信号線駆動回路1から単位画素電極へ伝送される画像信号の供給タイミングを制御する画像信号線選択回路2の配線数も少なくすることができる。すなわち、時分割信号入力線MUX1, XMUX1の配線数を少なくすることができる。

**【0031】**

本発明のLCDの構成について、以下に詳細に説明する。画像信号線駆動回路1は、COG方式等により実装されたIC, LSI等から成る。また、画像信号線駆動回路1は、ゲート信号線選択回路(図示せず)も駆動する駆動回路であってもよい。ゲート信号線選択回路は、ゲート信号線GL1, GL2, GL3～に順次ゲート信号を入力する。接続線3は、画像信号線駆動回路1の信号入力端子S1, S2と、画像信号線SL1, SL2～とを電気的に接続するものであり、画像信号線選択回路2へ画像信号を伝送する。

**【0032】**

ゲート信号線選択回路、画像信号線選択回路2は、CVD法等の薄膜形成法によって形成される。この場合、TFTは好ましくは、LTPSから成るチャンネルを有しており、このLTPSを用いてnチャンネルTFT及びpチャンネルTFTを形成すると、CMOS回路を基礎とした駆動回路、SRAM回路、D/A変換器、画像表示部等をガラス基板上に一体的に集積化することができる。また、ゲート信号線選択回路、画像信号線選択回路2は、アモルファスシリコン(a-Si)から成るチャンネルを有していてもよい。

**【0033】**

本発明のLCDは、図1に示すように、前記所定の方に第1の単位画素電極12a(例えば、赤色表示用のサブ画素電極R11)、第2の単位画素電極12b(例えば、緑色表示用のサブ画素電極G11)及び第3の単位画素電極12c(例えば、青色表示用のサブ画素電極B11)が並んでおり、画像信号線SL1は、第1の単位画素電極12aと第2の単位画素電極12bと

の間または第2の単位画素電極12bと第3の単位画素電極12cとの間に配置されているとともにそれらに接続されており、これによって第1の単位画素電極12a、第2の単位画素電極12b及び第3の単位画素電極12cが1つのグループを構成している。

【0034】

1つのグループを構成する、第1の単位画素電極12a、第2の単位画素電極12b及び第3の単位画素電極12cは、3本のゲート信号線GL1、GL2、GL3によってオンされる。第1の単位画素電極12aは、第1のゲート信号線GL1及びそれに接続されたTF T11aと第2のゲート信号線GL2及びそれに接続されたTF T11bとによって、オンされる。第2の単位画素電極12bは、第1のゲート信号線GL1及びそれに接続されたTF T11cによって、オンされる。第3の単位画素電極12cは、第1のゲート信号線GL1及びそれに接続されたTF T11dと第3のゲート信号線GL3及びそれに接続されたTF T11eとによって、オンされる。なお、第1の単位画素電極12aに画像信号を伝達するTF T11bのソース電極部、及び第2の単位画素電極12bに画像信号を伝達するTF T11cのソース電極部は、接続部10aにおいて画像信号線SL1に接続されている。第3の単位画素電極12cに画像信号を伝達するTF T11dのソース電極部は、接続部10bにおいて画像信号線SL1に接続されている。他のグループについても、上記と同様の接続構造である。

10

【0035】

そして、画像信号線駆動回路1は、グループを構成する第1の単位画素電極12aと第2の単位画素電極12bと第3の単位画素電極12cのそれぞれに画像信号を時分割で供給する。例えば、単位画素電極R11、G11、B11のグループについて、単位画素電極R11、G11、B11のそれぞれに、画像信号線駆動回路1から画像信号SigR1、SigB1、SigG1を時分割で供給する。

20

【0036】

図1に示すように、画像信号線選択回路2を有する場合は、以下のように動作する。MUX1は、CMOSトランスファゲート素子4a、4bのn型MOSトランジスタのゲート電極に接続され、XMUX1はCMOSトランスファゲート素子4a、4bのp型MOSトランジスタのゲート電極に接続されている。これにより、MUX1からハイの信号がCMOSトランスファゲート素子4a、4bのn型MOSトランジスタのゲート電極に入力され、かつXMUX1からローの信号がCMOSトランスファゲート素子4a、4bのp型MOSトランジスタのゲート電極に入力されたときに、画像信号SigR1、B1、G1、R2、B2、G2～が画像信号線SL1、SL2～上を伝送される。

30

【0037】

そして、図3のタイミングチャートに示すように、第1～第3のゲート信号線GL1、GL2、GL3は同じタイミングでオン開始され、第1のゲート信号線GL1のオン期間が最長であり、第3のゲート信号線GL3のオン期間が次に長く、第2のゲート信号線GL2のオン期間が最短である。第1のゲート信号線GL1のみがオンされている期間に、第2の単位画素電極12b（例えば、G11）に画像信号SigG1が入力される。図1の構成の場合、画像信号SigG1はCMOSトランスファゲート素子4aから入力される。第1、第2のゲート信号線GL1、GL2がオンされる期間に、第1の単位画素電極12a（例えば、R11）に画像信号SigR1が入力される。図1に示す構成の場合、画像信号SigR1はCMOSトランスファゲート素子4aから入力される。このとき、第3のゲート信号線GL3がオンされていても構わない。第1、第3のゲート信号線GL1、GL3がオンされる期間に、第3の単位画素電極12c（例えば、B11）に画像信号SigB1が入力される。図1の構成の場合、画像信号SigB1はCMOSトランスファゲート素子4aから入力される。

40

【0038】

また、第1のゲート信号線GL1のオン期間であって第2のゲート信号線GL2のオフ期間に、第2のゲート信号線GL2は保持容量線（CS1）として機能する。すなわち、第1の単位画素電極12a（例えば、R11）の保持容量（CS）、第2の単位画素電極12b（例えば、G11）の保持容量、及び第3の単位画素電極12c（例えば、B11）の保持容量は、それぞれ保持容量

50

線（CS1）としての第2のゲート信号線GL2に接続されている。この構成により、第1の単位画素電極12a（例えば、R11）、第2の単位画素電極12b（例えば、G11）、及び第3の単位画素電極12c（例えば、B11）に、画像信号入力によって生じた電荷は、1フレーム良好に保持される。

【0039】

上記の時分割駆動を、単位画素電極R12、G12、B12のグループ以降へと、第1～第3のゲート信号線GL1、GL2、GL3の伸びる方向に繰り返すことによって、第1のゲート信号線GL1と第3のゲート信号線GL3との間に配置された単位画素電極のすべてが時分割駆動される。

【0040】

次に、単位画素電極R21、G21、B21のグループについて、上記と同様に第1～第3のゲート信号線GL3、GL4、GL5のオン、オフを制御することにより、そのグループを構成する単位画素電極R21、G21、B21が時分割駆動される。この時分割駆動を、単位画素電極R22、G22、B22のグループ以降へと、ゲート信号線GL3、GL4、GL5の伸びる方向に繰り返すことによって、ゲート信号線GL3とゲート信号線GL5との間に配置された単位画素電極のすべてが時分割駆動される。この場合、ゲート信号線GL3、GL4、GL5は、第1～第3のゲート信号線に相当する。

【0041】

そして、すべてのゲート信号線について上記の時分割駆動を順次実行することにより、1フレームの画像が表示される。

【0042】

本発明のLCDは以下のようにして作製される。多数本のゲート信号線及び多数本の画像信号線等の配線と、それぞれTFT及び単位画素電極を含んで成る多数の画素部が形成されたアレイ側基板と、カラーフィルタ及びブラックマトリクスが形成されたカラーフィルタ側基板とを互いに対向させて、それらの基板を所定の間隔をもって貼り合わせ、それらの基板間に液晶を充填、封入させることによって作製される。また、一般的に、カラーフィルタ側基板は、TFT及び画素電極に対向する側の面（液晶側の面）の全面に、単位画素電極との間で液晶に印加する垂直電界を形成するための共通電極が形成されている。また、LCDが単位画素電極と共通電極との間で液晶に印加する横電界を形成するIPS（In-Plane Switching）方式のLCDである場合、共通電極はアレイ側基板の画素電極と同じ面内に形成される。LCDが単位画素電極と共通電極との間で液晶に印加する端部電界を形成するFFS（Fringe Field Switching）方式のLCDである場合、共通電極はアレイ側基板の画素部に単位画素電極の上方または下方に絶縁層を挟んで形成される。また、カラーフィルタ側基板の液晶側の面には、それぞれの画素部に対応する赤（R）、緑（G）、青（B）のカラーフィルタが形成されており、それぞれの画素部を通過する光が相互に干渉することを防ぐブラックマトリクスがカラーフィルタの外周を囲むように形成されている。

【0043】

なお、本発明のLCDは、上記実施の形態に限定されるものではなく、適宜の設計的な変更、改良が施されていてもよい。

【産業上の利用可能性】

【0044】

本発明のLCDは各種の電子機器に適用できる。その電子機器としては、自動車経路誘導システム（カーナビゲーションシステム）、船舶経路誘導システム、航空機経路誘導システム、スマートフォン端末、携帯電話、タブレット端末、パーソナルデジタルアシスタント（PDA）、ビデオカメラ、デジタルスチルカメラ、電子手帳、電子書籍、電子辞書、パーソナルコンピュータ、複写機、ゲーム機器の端末装置、テレビジョン、商品表示タグ、価格表示タグ、産業用のプログラマブル表示装置、カーオーディオ、デジタルオーディオプレイヤー、ファクシミリ、プリンター、現金自動預け入れ払い機（ATM）、自動販売機、プロジェクタ装置、デジタル表示式腕時計、スマートウォッチなどがある。

10

20

30

40

50

【符号の説明】

【0045】

1 画像信号線駆動回路

2 画像信号線選択回路

3 接続線

10 a、10 b 接続部

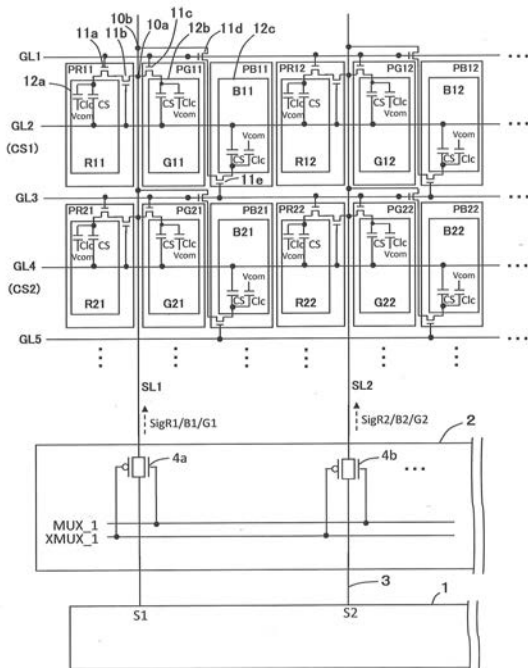
11 a ~ 11 e TFT

12 a 第1の単位画素電極

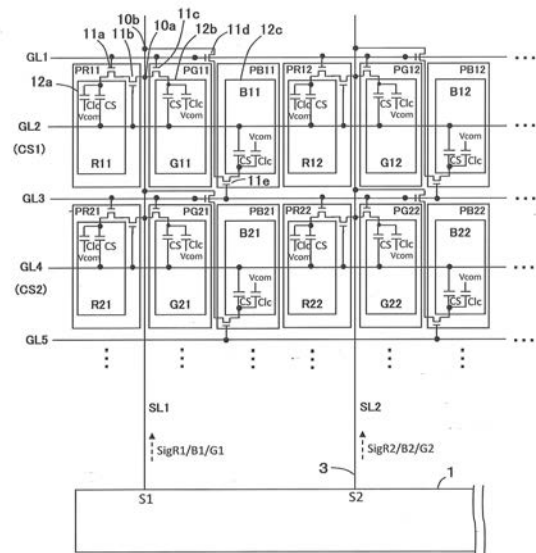
12 b 第2の単位画素電極

12 c 第3の単位画素電極

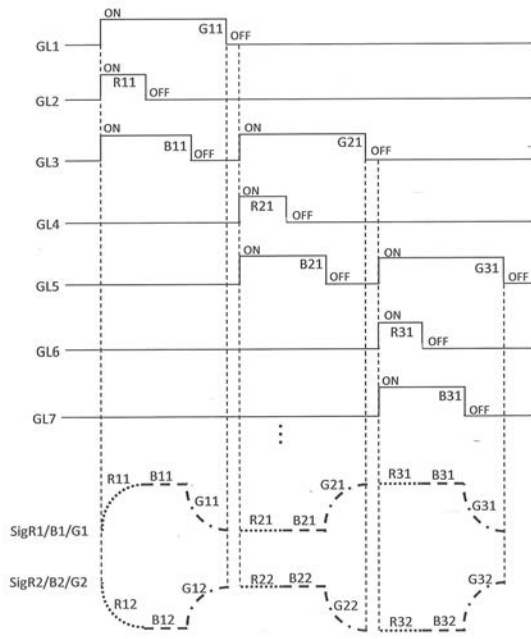
【図1】



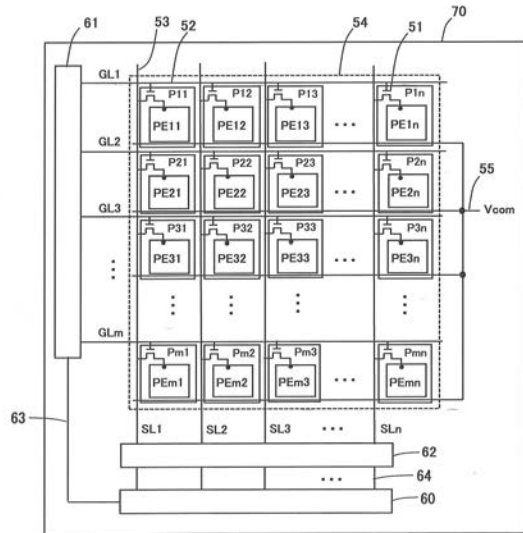
【図2】



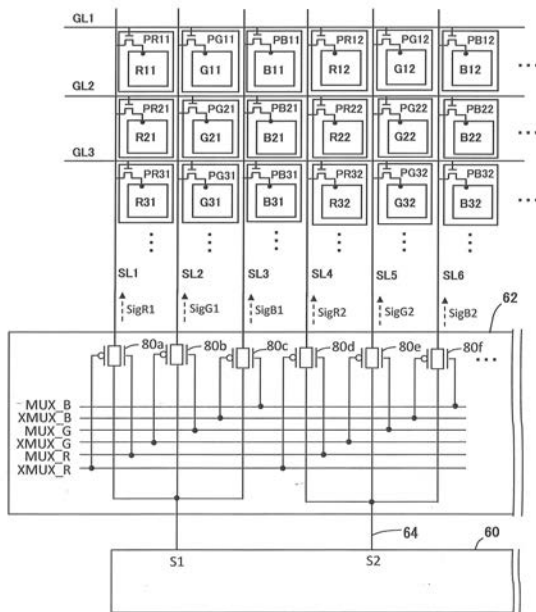
【 図 3 】



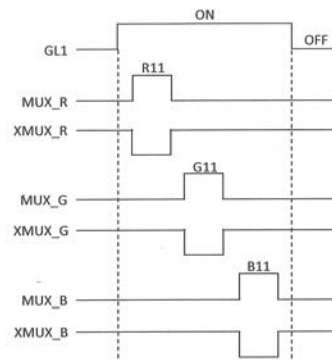
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 P
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 E
G 0 2 F	1/133	5 5 0

