

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-51101

(P2016-51101A)

(43) 公開日 平成28年4月11日(2016.4.11)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H192

審査請求 未請求 請求項の数 8 O L (全 17 頁)

(21) 出願番号 特願2014-177036 (P2014-177036)
(22) 出願日 平成26年9月1日(2014.9.1)

(71) 出願人 502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号
(74) 代理人 110001737
特許業務法人スズエ国際特許事務所
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100084618
弁理士 村松 貞男
(74) 代理人 100087653
弁理士 鈴江 正二
(72) 発明者 廣澤 仁
東京都港区西新橋三丁目7番1号 株式会
社ジャパンディスプレイ内

最終頁に続く

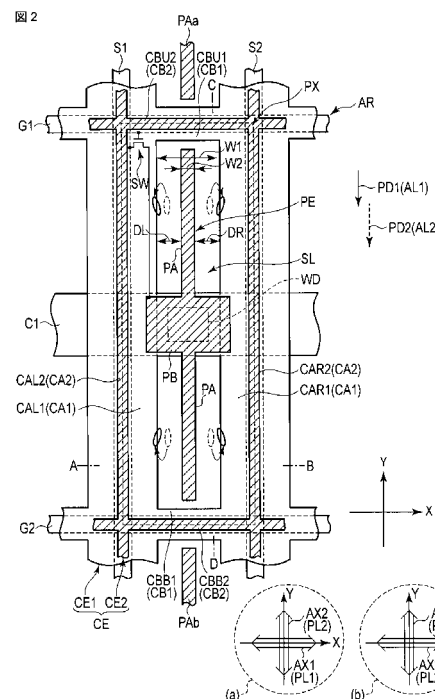
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位を改善することが可能な液晶表示装置を提供する。

【解決手段】ゲート配線及びソース配線の上に位置する第1層間絶縁膜と、前記第1層間絶縁膜上に延在し前記ゲート配線と対向する第1副共通電極及び前記ソース配線と対向する第1主共通電極を含み且つ第2方向に延出したスリットを有する第1共通電極と、前記第1共通電極を覆う第2層間絶縁膜と、前記第2層間絶縁膜上で第2方向に延出し前記スリットと対向する主画素電極と、前記第2層間絶縁膜上に延在し前記第1副共通電極と対向する第2副共通電極及び前記第1主共通電極と対向する第2主共通電極を含み前記第1共通電極と同電位の第2共通電極と、を備えた第1基板と、前記第1基板に対向する第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 方向に延出したゲート配線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線の上方に位置する第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に延在し前記ゲート配線と対向する第 1 副共通電極及び前記ソース配線と対向する第 1 主共通電極を含み且つ第 2 方向に延出したスリットを有する第 1 共通電極と、前記第 1 共通電極を覆う第 2 層間絶縁膜と、前記第 2 層間絶縁膜上で第 2 方向に延出し前記スリットと対向する主画素電極と、前記第 2 層間絶縁膜上に延在し前記第 1 副共通電極と対向する第 2 副共通電極及び前記第 1 主共通電極と対向する第 2 主共通電極を含み前記第 1 共通電極と同電位の第 2 共通電極と、を備えた第 1 基板と、
前記第 1 基板に対向する第 2 基板と、
前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えた液晶表示装置。

10

【請求項 2】

前記スリットは第 1 方向に沿って第 1 幅を有し、前記主画素電極は第 1 方向に沿って前記第 1 幅より小さい第 2 幅を有する、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 基板は、さらに、第 1 方向に延出した補助容量線と、前記主画素電極に電氣的に接続され第 1 方向に延出し前記補助容量線と対向する副画素電極と、を備えた、請求項 1 に記載の液晶表示装置。

20

【請求項 4】

第 1 方向に延出したゲート配線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線の上方に位置する第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に延在し前記ソース配線と対向する第 1 主共通電極及び第 2 方向に延出した容量部を含む第 1 共通電極と、前記第 1 共通電極を覆う第 2 層間絶縁膜と、前記第 2 層間絶縁膜上で第 2 方向に延出し前記容量部と対向する主画素電極と、前記第 2 層間絶縁膜上で前記第 1 主共通電極と対向する第 2 主共通電極を含み前記第 1 共通電極と同電位の第 2 共通電極と、を備えた第 1 基板と、
前記第 1 基板に対向する第 2 基板と、
前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えた液晶表示装置。

30

【請求項 5】

前記容量部は第 1 方向に沿って第 1 幅を有し、前記主画素電極は第 1 方向に沿って前記第 1 幅と同等の第 2 幅を有する、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 共通電極は、さらに、前記第 1 層間絶縁膜上で第 1 方向に延出し前記容量部に電氣的に接続された第 1 副共通電極を含み、
前記第 2 共通電極は、さらに、前記第 2 層間絶縁膜上で前記第 1 副共通電極と対向する第 2 副共通電極を含む、請求項 4 に記載の液晶表示装置。

【請求項 7】

前記第 1 副共通電極は、前記ゲート配線と対向する、請求項 6 に記載の液晶表示装置。

40

【請求項 8】

前記第 1 層間絶縁膜は、樹脂材料によって形成された、請求項 1 乃至 7 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

【背景技術】**【0002】**

50

近年、各画素にスイッチング素子を備えたアクティブマトリクス型液晶表示装置において、アレイ基板に形成された画素電極と、対向基板に形成された共通電極との間に、横電界あるいは斜め電界を形成し、液晶分子の配向を制御する技術が提案されている。中でも、ソース配線に沿って延出した第1主共通電極と、ソース配線と対向する第2主共通電極とを同電位に設定し、ソース配線から液晶層に向かう不所望な漏れ電界をシールドする技術が提案されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2014-89338号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態の目的は、表示品位を改善することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0005】

本実施形態によれば、

第1方向に延出したゲート配線と、第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線の上に位置する第1層間絶縁膜と、前記第1層間絶縁膜上に延在し前記ゲート配線と対向する第1副共通電極及び前記ソース配線と対向する第1主共通電極を含み且つ第2方向に延出したスリットを有する第1共通電極と、前記第1共通電極を覆う第2層間絶縁膜と、前記第2層間絶縁膜上で第2方向に延出し前記スリットと対向する主画素電極と、前記第2層間絶縁膜上に延在し前記第1副共通電極と対向する第2副共通電極及び前記第1主共通電極と対向する第2主共通電極を含み前記第1共通電極と同電位の第2共通電極と、を備えた第1基板と、前記第1基板に対向する第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

20

【0006】

本実施形態によれば、

第1方向に延出したゲート配線と、第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線の上に位置する第1層間絶縁膜と、前記第1層間絶縁膜上に延在し前記ソース配線と対向する第1主共通電極及び第2方向に延出した容量部を含む第1共通電極と、前記第1共通電極を覆う第2層間絶縁膜と、前記第2層間絶縁膜上で第2方向に延出し前記容量部と対向する主画素電極と、前記第2層間絶縁膜上で前記第1主共通電極と対向する第2主共通電極を含み前記第1共通電極と同電位の第2共通電極と、を備えた第1基板と、前記第1基板に対向する第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

30

【図面の簡単な説明】

【0007】

40

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構成例を概略的に示す平面図である。

【図3】図3は、図2のA-B線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【図4】図4は、図2のC-D線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【図5】図5は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの他の構成例を概略的に示す平面図である。

50

【図 6】図 6 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構成例を概略的に示す平面図である。

【図 7】図 7 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構成例を概略的に示す平面図である。

【図 8】図 8 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構成例を概略的に示す平面図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を發揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

10

【0009】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0010】

液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向配置された第 2 基板である対向基板 C T と、アレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。アクティブエリア A C T は、マトリクス状に配置された複数の画素 P X によって構成されている。

20

【0011】

液晶表示パネル L P N は、アクティブエリア A C T において、複数のゲート配線 G (G 1 ~ G n)、複数の補助容量線 C (C 1 ~ C n)、複数のソース配線 S (S 1 ~ S m) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に延出している。ゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに直交している。ソース配線 S は、第 2 方向 Y に延出し、ゲート配線 G 及び補助容量線 C と交差している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

30

【0012】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。ゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

40

【0013】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。容量 C S は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。なお、補助容量線を備えていない液晶表示パネル L P N においては、容量 C S は、画素電極 P E と共通電極 C E との間に形成されても良い。

【0014】

スイッチング素子 S W は、例えば、n チャネル薄膜トランジスタ (T F T) によって構成されている。スイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続

50

されている。スイッチング素子 SW は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 SW の半導体層は、例えば、ポリシリコンやアモルファスシリコンなどによって形成される。

【0015】

画素電極 PE は、各画素 PX に配置され、スイッチング素子 SW に電氣的に接続されている。共通電極 CE は、例えばコモン電位であり、複数の画素 PX の画素電極 PE に対して共通に配置されている。共通電極 CE は、アクティブエリア ACT の外側に引き出され、給電部 VS と電氣的に接続されている。

【0016】

なお、本実施形態においては、液晶表示パネル LPN は、画素電極 PE 及び共通電極 CE がアレイ基板 AR に形成された構成であり、画素電極 PE と共通電極 CE との間に形成される電界を主に利用して液晶層 LQ の液晶分子の配向を制御する。画素電極 PE と共通電極 CE との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面（あるいは基板主面）と略平行な横電界である。

【0017】

図 2 は、図 1 に示したアレイ基板 AR を対向基板側から見たときの一画素 PX の構成例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【0018】

アレイ基板 AR は、ゲート配線 G 1、ゲート配線 G 2、補助容量線 C 1、ソース配線 S 1、ソース配線 S 2、スイッチング素子 SW、画素電極 PE、共通電極 CE に含まれる第 1 共通電極 CE 1 及び第 2 共通電極 CE 2、第 1 配向膜 AL 1などを備えている。

【0019】

ゲート配線 G 1 及びゲート配線 G 2 は、第 2 方向 Y に沿って間隔をおいて配置され、それぞれ第 1 方向 X に沿って延出している。補助容量線 C 1 は、ゲート配線 G 1 とゲート配線 G 2 との間に位置し、第 1 方向 X に沿って延出している。図示した例では、補助容量線 C 1 は、ゲート配線 G 1 とゲート配線 G 2 との略中間に位置している。ソース配線 S 1 及びソース配線 S 2 は、第 1 方向 X に沿って間隔をおいて配置され、それぞれ第 2 方向 Y に沿って延出している。画素電極 PE は、隣接するソース配線 S 1 とソース配線 S 2 との間に位置している。また、画素電極 PE は、隣接するゲート配線 G 1 とゲート配線 G 2 との間に位置している。

【0020】

図示した例では、画素 PX は、図中の破線で示したように、ゲート配線 G 1 及びゲート配線 G 2 とソース配線 S 1 及びソース配線 S 2 とが成すマス目の領域に相当し、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状である。画素 PX の第 1 方向 X に沿った長さはソース配線 S 1 とソース配線 S 2 との第 1 方向 X に沿ったピッチに相当し、画素 PX の第 2 方向 Y に沿った長さはゲート配線 G 1 とゲート配線 G 2 との第 2 方向 Y に沿ったピッチに相当する。

【0021】

図示した画素 PX において、ソース配線 S 1 は左側端部に位置し当該画素 PX とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は右側端部に位置し当該画素 PX とその右側に隣接する画素との境界に跨って配置され、ゲート配線 G 1 は上側端部に位置し当該画素 PX とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は下側端部に位置し当該画素 PX とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素 PX の略中央部に配置されている。

【0022】

スイッチング素子 SW は、例えば、ゲート配線 G 1 及びソース配線 S 1 と電氣的に接続されている。ここでは、スイッチング素子 SW は、簡略化して図示しているが、ソース配線 S 1 及び補助容量線 C 1 と重なる位置に延在する半導体層と、補助容量線 C 1 と重なる位置で半導体層と電氣的に接続されたドレイン電極 WD とを備えている。

【0023】

第1共通電極CE1は、第1主共通電極CA1及び第1副共通電極CB1を備えている。第1主共通電極CA1及び第1副共通電極CB1は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。第1主共通電極CA1は、第2方向Yに沿って直線的に延出し、第1方向Xに沿って略同一の幅を有する帯状に形成されている。第1副共通電極CB1は、第1方向Xに沿って直線的に延出し、第2方向Yに沿って略同一の幅を有する帯状に形成されている。また、第1共通電極CE1は、第2方向Yに延出したスリットSLを有している。このような第1共通電極CE1は、格子状に形成されている。

【0024】

第1主共通電極CA1は、ソース配線Sと対向するとともに、第1方向Xに沿ってソース配線Sよりも幅広に形成されている。図示した例では、第1主共通電極CA1は、画素PXの左側端部に位置する第1主共通電極CAL1と、画素PXの右側端部に位置する第1主共通電極CAR1と、を有している。第1主共通電極CAL1は、ソース配線S1と対向するとともに、ソース配線S2の側に向かって延在している。第1主共通電極CAR1は、ソース配線S2と対向するとともに、ソース配線S1の側に向かって延在している。なお、第1主共通電極CAL1は当該画素PXの左側に隣接する画素内にも延在し、また、第1主共通電極CAR1は当該画素PXの右側に隣接する画素内にも延在している。これらの第1主共通電極CAL1と第1主共通電極CAR1とは、互いに離間している。つまり、第2方向Yに延出したスリットSLは、第1主共通電極CAL1と第1主共通電極CAR1との間に形成されている。スリットSLの第1方向Xに沿った幅W1は、第1主共通電極CAL1と第1主共通電極CAR1との第1方向Xに沿った間隔に相当する。なお、スイッチング素子SWのドレイン電極WDは、その少なくとも一部がスリットSLと対向している。

【0025】

第1副共通電極CB1は、ゲート配線Gと対向している。図示した例では、第1副共通電極CB1は、画素PXの上側端部に位置する第1副共通電極CBU1と、画素PXの下側端部に位置する第1副共通電極CBB1と、を有している。第1副共通電極CBU1は、ゲート配線G1と対向している。第1副共通電極CBB1は、ゲート配線G2と対向している。

【0026】

画素電極PEは、主画素電極PA及び副画素電極PBを備えている。主画素電極PA及び副画素電極PBは、一体的あるいは連続的に形成され、互いに電氣的に接続されている。

【0027】

主画素電極PAは、画素PXの上側端部付近（つまりゲート配線G1と重なる位置の近傍）及び画素PXの下側端部付近（つまりゲート配線G2と重なる位置の近傍）まで第2方向Yに沿って直線的に延出している。このような主画素電極PAは、スリットSLと対向している。また、主画素電極PAは、X-Y平面において、ソース配線S1とソース配線S2との略中間に位置している。主画素電極PAは、第1方向Xに沿って略同一の幅W2を有する帯状に形成されている。主画素電極PAの幅W2は、スリットSLの幅W1よりも小さい。つまり、主画素電極PAは、X-Y平面において、第1主共通電極CA1とは重ならない。あるいは、第1主共通電極CA1は、X-Y平面内において、主画素電極PAを挟んだ両側に位置している。主画素電極PAから第1主共通電極CAL1までの第1方向Xに沿った電極間隔DLは、主画素電極PAから第1主共通電極CAR1までの第1方向Xに沿った電極間隔DRと同等である。

【0028】

副画素電極PBは、画素PXの左側端部付近（つまりソース配線S1と重なる位置の近傍）及び画素PXの右側端部付近（つまりソース配線S2と重なる位置の近傍）まで第1方向Xに沿って直線的に延出している。また、副画素電極PBは、ゲート配線G1とゲート配線G2との略中間に位置している。つまり、副画素電極PBは、画素PXの略中央部に位置し、補助容量線C1と重なる位置に配置され、主画素電極PAの第2方向Yに沿っ

た中間部で交差している。換言すると、ここに示した画素電極 P E は、十字形状に形成されている。副画素電極 P B は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されているが、その形状は図示した例に限らない。画素電極 P E は、補助容量線 C 1 と重なる位置の副画素電極 P B において、スリット S L を介してドレイン電極 W D と電氣的に接続されている。

【 0 0 2 9 】

第 2 共通電極 C E 2 は、第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 を備えている。第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。第 2 主共通電極 C A 2 は、第 2 方向 Y に沿って直線的に延出し、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。第 2 副共通電極 C B 2 は、第 1 方向 X に沿って直線的に延出し、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。このような第 2 共通電極 C E 2 は、格子状に形成されている。第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 は、画素電極 P E から離間しており、画素電極 P E を囲んでいる。第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 は、互いに電氣的に接続され、同電位であり、アクティブエリア A C T の外側で給電部 V S に接続されている。

【 0 0 3 0 】

第 2 主共通電極 C A 2 は、ソース配線 S の上方に位置し、第 1 主共通電極 C A 1 と対向している。第 2 主共通電極 C A 2 の幅は、第 1 主共通電極 C A 1 の幅よりも小さい。図示した例では、第 2 主共通電極 C A 2 は、画素 P X の左側端部に位置し当該画素 P X とその左側に隣接する画素との境界に跨って配置された第 2 主共通電極 C A L 2 と、画素 P X の右側端部に位置し当該画素 P X とその右側に隣接する画素との境界に跨って配置された第 2 主共通電極 C A R 2 と、を有している。第 2 主共通電極 C A L 2 は、ソース配線 S 1 の直上において、第 1 主共通電極 C A L 1 と対向している。第 2 主共通電極 C A R 2 は、ソース配線 S 2 の直上において、第 1 主共通電極 C A R 1 と対向している。

【 0 0 3 1 】

第 2 副共通電極 C B 2 は、ゲート配線 G の上方に位置し、第 1 副共通電極 C B 1 と対向している。第 2 副共通電極 C B 2 の幅は、第 1 副共通電極 C B 1 の幅よりも小さい。図示した例では、第 2 副共通電極 C B 2 は、ゲート配線 G 1 の直上において第 1 副共通電極 C B U 1 と対向する第 2 副共通電極 C B U 2 と、ゲート配線 G 2 の直上において第 1 副共通電極 C B B 1 と対向する第 2 副共通電極 C B B 2 と、を有している。

【 0 0 3 2 】

他の画素に位置する主画素電極 P A a 及び主画素電極 P A b は、それぞれ主画素電極 P A の第 2 方向 Y に隣接し、主画素電極 P A と同一直線上に位置している。第 1 副共通電極 C B U 1 及び第 2 副共通電極 C B U 2 は、主画素電極 P A と主画素電極 P A a との間に位置している。第 1 副共通電極 C B B 1 及び第 2 副共通電極 C B B 2 は、主画素電極 P A と主画素電極 P A b との間に位置している。

【 0 0 3 3 】

アレイ基板 A R において、画素電極 P E 及び第 2 共通電極 C E 2 は、第 1 配向膜 A L 1 によって覆われている。第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理がなされている。第 1 配向処理方向 P D 1 は、第 2 方向 Y と略平行である。

【 0 0 3 4 】

なお、対向基板において、第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるために、第 2 配向処理方向 P D 2 に沿って配向処理がなされている。第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と平行である。図示した例では、第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と同一方向である。なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、互いに逆向きの方向であっても良いし、ともに同一方向でありながら図示した例とは逆向きつまりゲート配線 G 2 からゲート配線 G 1 に向かう側であっても良い。

【 0 0 3 5 】

10

20

30

40

50

図 3 は、図 2 の A - B 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。図 4 は、図 2 の C - D 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 0 3 6 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライトユニット B L が配置されている。バックライトユニット B L としては、種々の形態が適用可能であり、詳細な構造については説明を省略する。

【 0 0 3 7 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。アレイ基板 A R は、第 1 絶縁基板 1 0 の内側、つまり、対向基板 C T と対向する側において、ゲート配線 G 1、ゲート配線 G 2、補助容量線 C 1、ソース配線 S 1、ソース配線 S 2、画素電極 P E、第 1 共通電極 C E 1、第 2 共通電極 C E 2、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 4 絶縁膜 1 4、第 1 配向膜 A L 1 などを備えている。

【 0 0 3 8 】

図示しないスイッチング素子の半導体層は、第 1 絶縁基板 1 0 と第 1 絶縁膜 1 1 との間に形成されている。補助容量線 C 1、ゲート配線 G 1 及びゲート配線 G 2 は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。ソース配線 S 1 及びソース配線 S 2 は、第 2 絶縁膜 1 2 の上に形成され、第 3 絶縁膜 1 3 によって覆われている。第 3 絶縁膜 1 3 は、ゲート配線 G 1 及びゲート配線 G 2 と、ソース配線 S 1 及びソース配線 S 2 との上方に位置する第 1 層間絶縁膜に相当する。このような第 3 絶縁膜 1 3 は、例えば、透明な樹脂材料によって形成されている。

【 0 0 3 9 】

第 1 共通電極 C E 1 は、第 3 絶縁膜 1 3 の上に延在している。すなわち、第 1 主共通電極 C A L 1、第 1 主共通電極 C A R 1、第 1 副共通電極 C B U 1、及び、第 1 副共通電極 C B B 1 は、第 3 絶縁膜 1 3 の上に形成され、第 4 絶縁膜 1 4 によって覆われている。第 4 絶縁膜 1 4 は、第 1 共通電極 C E 1 を覆う第 2 層間絶縁膜に相当する。第 4 絶縁膜 1 4 は、第 3 絶縁膜 1 3 と比較して薄い膜厚に形成され、例えば、シリコン窒化物などの無機系材料によって形成されている。

【 0 0 4 0 】

第 1 主共通電極 C A L 1 は第 3 絶縁膜 1 3 を介してソース配線 S 1 と対向し、第 1 主共通電極 C A R 1 は第 3 絶縁膜 1 3 を介してソース配線 S 2 と対向している。第 1 副共通電極 C B U 1 は第 2 絶縁膜 1 2 及び第 3 絶縁膜 1 3 を介してゲート配線 G 1 と対向し、第 1 副共通電極 C B B 1 は第 2 絶縁膜 1 2 及び第 3 絶縁膜 1 3 を介してゲート配線 G 2 と対向している。

【 0 0 4 1 】

このような第 1 共通電極 C E 1 は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの透明な導電材料によって形成されている。

【 0 0 4 2 】

第 2 共通電極 C E 2 は、第 4 絶縁膜 1 4 の上に延在している。すなわち、第 2 主共通電極 C A L 2、第 2 主共通電極 C A R 2、第 2 副共通電極 C B U 2、及び、第 2 副共通電極 C B B 2 は、第 4 絶縁膜 1 4 の上に形成され、第 1 配向膜 A L 1 によって覆われている。また、画素電極 P E の主画素電極 P A 及び副画素電極 P B も、第 4 絶縁膜 1 4 の上に形成され、第 1 配向膜 A L 1 によって覆われている。主画素電極 P A は、第 2 主共通電極 C A L 2 と第 2 主共通電極 C A R 2 との間、つまり、スリット S L の上方に位置している。副画素電極 P B は、第 2 副共通電極 C B U 2 と第 2 副共通電極 C B B 2 との間に位置し、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、及び、第 4 絶縁膜 1 4 を介して補助容量線 C 1 と対向している。第 2 主共通電極 C A L 2 は、ソース配線 S 1 の上方に位置し、第 4 絶縁膜 1 4 を介して第 1 主共通電極 C A L 1 と対向している。第 2 主共通電極 C A R 2 は、ソース配線 S 2 の上方に位置し、第 4 絶縁膜 1 4 を介して第 1 主共通電極 C A R 1 と対向している。

第2副共通電極C B U 2は、ゲート配線G 1の上方に位置し、第4絶縁膜1 4を介して第1副共通電極C B U 1と対向している。第2副共通電極C B B 2は、ゲート配線G 2の上方に位置し、第4絶縁膜1 4を介して第1副共通電極C B B 1と対向している。

【0043】

これらの第2共通電極C E 2及び画素電極P Eは、同一材料によって形成可能である。例えば、第2共通電極C E 2及び画素電極P Eは、ITOやIZOなどの透明な導電材料によって形成されても良いし、アルミニウム(A l)、チタン(T i)、銀(A g)、モリブデン(M o)、タングステン(W)、銅(C u)、クロム(C r)などの不透明な配線材料によって形成されても良い。

【0044】

第1配向膜A L 1は、アレイ基板A Rの対向基板C Tと対向する面に配置され、アクティブエリアA C Tの略全体に亘って延在している。第1配向膜A L 1は、画素電極P E及び第2共通電極C E 2を覆っており、第4絶縁膜1 4の上にも配置されている。第1配向膜A L 1は、水平配向性を示す材料によって形成されている。

【0045】

対向基板C Tは、光透過性を有する第2絶縁基板2 0を用いて形成されている。対向基板C Tは、第2絶縁基板2 0の内側、つまり、アレイ基板A Rと対向する側において、ブラックマトリクスB M、カラーフィルタC F、オーバーコート層O C、第2配向膜A L 2などを備えている。

【0046】

ブラックマトリクスB Mは、第2絶縁基板2 0のアレイ基板A Rに対向する内面2 0 Aに形成され、各画素P Xを区画し、画素電極P Eと対向する開口部A Pを形成する。つまり、ブラックマトリクスB Mは、ソース配線Sやゲート配線Gなどの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクスB Mは、ソース配線S 1及びソース配線S 2の上方に位置し第2方向Yに沿って延出した部分と、ゲート配線G 1及びゲート配線G 2の上方に位置し第1方向Xに沿って延出した部分を備えており、格子状に形成されている。第2主共通電極C A L 2、第2主共通電極C A R 2、第2副共通電極C B U 2、及び、第2副共通電極C B B 2は、いずれもブラックマトリクスB Mの下方に位置している。

【0047】

カラーフィルタC Fは、各画素P Xに対応して配置されている。すなわち、カラーフィルタC Fは、第2絶縁基板2 0の内面2 0 AにおいてブラックマトリクスB Mによって区画された内側(開口部A P)に配置されるとともに、その一部がブラックマトリクスB Mに重なっている。第1方向Xに隣接する画素P Xにそれぞれ配置されたカラーフィルタC Fは、互いに色が異なる。例えば、カラーフィルタC Fは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。カラーフィルタC F同士の境界は、ブラックマトリクスB Mと重なる位置にある。

【0048】

オーバーコート層O Cは、カラーフィルタC Fを覆っている。オーバーコート層O Cは、ブラックマトリクスB M及びカラーフィルタC Fの表面の凹凸の影響を緩和する。このようなオーバーコート層O Cは、例えば、透明な樹脂材料によって形成されている。

【0049】

開口部A Pにおいて、画素電極P Eと、第1共通電極C E 1、及び、第2共通電極C E 2との間の領域は、いずれもバックライトユニットからの光が透過可能な透過領域に相当する。

【0050】

第2配向膜A L 2は、対向基板C Tのアレイ基板A Rと対向する面に配置され、アクテ

10

20

30

40

50

ィブエリア A C T の略全体に亘って延在している。第 2 配向膜 A L 2 は、オーバーコート層 O C を覆っている。第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 5 1 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせられている。液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。液晶層 L Q は、液晶分子 L M を含み、例えば誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 5 2 】

アレイ基板 A R の外面つまり第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が配置されている。第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライトユニット B L と対向する側に位置しており、バックライトユニット B L から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。第 1 光学素子 O D 1 は、第 1 偏光軸 A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 1 0 との間に位相差板などの他の光学素子が配置されても良い。

【 0 0 5 3 】

対向基板 C T の外面つまり第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が配置されている。第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。第 2 光学素子 O D 2 は、第 2 偏光軸 A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 2 0 との間に位相差板などの他の光学素子が配置されていても良い。

【 0 0 5 4 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、略直交するクロスニコルの位置関係にある。図 2 の (a) に示した例では、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が第 1 方向 X と平行となるように配置され、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 2 方向 Y と平行となるように配置されている。図 2 の (b) に示した例では、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 1 方向 X と平行となるように配置され、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が第 2 方向 Y と平行となるように配置されている。

【 0 0 5 5 】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【 0 0 5 6 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E （第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 ）との間に電界が形成されていない状態（オフ状態）においては、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このようなオフ状態の液晶分子 L M の配向方向が初期配向方向に相当する。なお、ここでの液晶分子 L M の初期配向方向とは、オフ状態の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行且つ同じ向き方向である。オフ状態の液晶分子 L M は、図 2 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行である。

【 0 0 5 7 】

このようなオフ状態において、バックライトユニット B L からの光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した

光は、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光である。直線偏光の偏光状態は、オフ状態の液晶層LQを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される(黒表示)。

【0058】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電界が形成された状態(オン状態)では、画素電極PEと共通電極CEとの間に基板と略平行な横電界が形成される。液晶分子LMは、画素電極PEと共通電極CEとの間の電界の影響を受け、その配向状態が変化する。図2に示した例では、画素電極PEと第2主共通電極CAL2との間の領域のうち、下側半分の領域内の液晶分子LMは第2方向Yに対して時計回りに回転し図中の左下を向くように配向し、上側半分の領域内の液晶分子LMは第2方向Yに対して反時計回りに回転し図中の左上を向くように配向する。画素電極PEと第2主共通電極CAR2との間の領域のうち、下側半分の領域内の液晶分子LMは第2方向Yに対して反時計回りに回転し図中の右下を向くように配向し、上側半分の領域内の液晶分子LMは第2方向Yに対して時計回りに回転し図中の右上を向くように配向する。このように、各画素PXにおいて、オン状態の液晶分子LMの配向方向は、画素電極PE1と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。これにより、画素PXにおいて、画素電極PEと共通電極CEとの間にバックライトユニットBLからの光が透過可能な透過領域が形成される。

10

20

【0059】

このようなオン状態において、液晶表示パネルLPNに入射した直線偏光は、その偏光状態が液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このため、オン状態においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する(白表示)。但し、画素電極PE及び共通電極CEと重なる位置では、液晶分子は初期配向状態に保持されているため、オフ状態と同様に黒表示となる。

【0060】

なお、オン状態において、画素に書き込まれた画素電位は、補助容量線C1と副画素電極PBとの間の容量CSによって保持される。

30

【0061】

本実施形態によれば、アレイ基板ARに備えられた画素電極PEと共通電極CEとの間に形成される電界を利用して液晶分子LMの配向を制御する液晶表示装置において、第1主共通電極CA1は、第3絶縁膜13を介してソース配線Sと対向している。しかも、第1主共通電極CA1は、ソース配線Sよりも幅広に形成され、画素電極PEの側に向かって延在している。このため、ソース配線Sから液晶層LQに向かう不所望な漏れ電界をシールドすることが可能となる。したがって、透過領域のうちのソース配線Sに近接する領域での不所望な電界の影響が緩和され、表示品位を改善することが可能となる。また、第1副共通電極CB1は、第3絶縁膜13を介してゲート配線Gと対向している。このため、ゲート配線Gから液晶層LQに向かう不所望な漏れ電界をシールドすることが可能となる。したがって、透過領域のうちのゲート配線Gに近接する領域での不所望な電界の影響が緩和され、表示品位を改善することが可能となる。

40

【0062】

また、ソース配線Sを挟んで隣接する一方の画素がオン状態であり、他方の画素がオフ状態であったとしても、オン状態の画素とオフ状態の画素との間のソース配線Sと重なる領域では、第1共通電極CE1及び第2共通電極CE2が同電位であるため、液晶分子LMが初期配向状態に維持されている。このため、液晶表示パネルLPNを斜め方向から観察した場合であっても、混色による表示品位の劣化を抑制することが可能となる。また、混色防止のためにブラックマトリクスBMの幅を拡大する必要がなくなるため、一画素あたりの表示に寄与する面積をさらに拡大することが可能となる。

【0063】

50

なお、本実施形態において、対向基板 C T は、第 2 共通電極 C E 2 と液晶層 L Q を介して対向し且つ第 2 共通電極 C E 2 と同電位の第 3 共通電極を備えていても良い。これにより、ソース配線 S の直上における液晶分子 L M は、オン状態及びオフ状態に関わらず、第 2 共通電極 C E 2 と第 3 共通電極との間の等電位面によって初期配向状態に維持され、混色をより効果的に抑制することが可能となる。

【 0 0 6 4 】

また、第 1 主共通電極 C A 1 はソース配線 S と対向しているが、第 1 主共通電極 C A 1 とソース配線 S との間に介在する第 3 絶縁膜 1 3 は、樹脂材料によって形成されており、比較的厚い膜厚を有している。このため、ソース配線 S と第 1 主共通電極 C A 1 との間での不所望な容量の形成を抑制することが可能となり、ソース配線 S の負荷を低減することが可能となる。このため、ソース配線 S の負荷に起因した表示品位の不具合や消費電力の増加を抑制することが可能となる。

10

【 0 0 6 5 】

また、本実施形態によれば、主画素電極 P A は、第 1 共通電極 C E 1 のスリット S L と対向している。このため、オン状態では、画素電極 P E と第 1 共通電極 C E 1 との間のフリンジ電界の形成を抑制することができる。特に、ボジ型の液晶材料を適用した場合、液晶分子 L M は、フリンジ電界のうちの基板主面に垂直な電界成分によって立ち上がり、基板主面に対して垂直に配向し得る。液晶分子 L M が立ち上がった領域は、液晶層 L Q における変調に寄与しないため、オン状態において表示に寄与せず、画素電極 P E に近接する領域で透過率の低下を招く。本実施形態によれば、オン状態においては、画素電極 P E と第 2 共通電極 C E 2 との間に、基板主面と略平行な横電界が形成され、主にこの横電界によって液晶分子 L M の配向が制御されるとともに、画素電極 P E と第 1 共通電極 C E 1 との間に形成される電界も、基板主面と略平行となる。このため、液晶分子 L M の立ち上がりを抑制することが可能となる。したがって、画素電極 P E に近接する領域において、液晶分子 L M が表示に寄与するため、透過率の低下を抑制することが可能となる。

20

【 0 0 6 6 】

このように、第 2 共通電極 C E 2 は、画素電極 P E との間で液晶分子 L M の配向を制御するための電界を形成するのに必要である。特に、本実施形態で説明したように、一画素内に複数のドメインを形成するためには、十字状の画素電極 P E に対して、第 2 共通電極 C E 2 は、画素 P X の各角部に配置することが望ましい。換言すると、第 2 共通電極 C E 2 は、一画素内で液晶分子 L M の配向方向を分ける電界を強化する機能を有している。この第 2 共通電極 C E 2 は、このような電界を形成するのに必要な幅及び長さを有するように形成される。一例では、第 2 主共通電極 C A 2 の幅はソース配線 S の幅と同等以下であっても良く、また、第 2 副共通電極 C B 2 の幅はゲート配線 G の幅と同等以下であっても良い。また、第 2 副共通電極 C B 2 は、ゲート配線 G の直上において、途切れていても良い。

30

【 0 0 6 7 】

なお、第 1 共通電極 C E 1 は、透明な導電材料で形成されているため、X - Y 平面において、画素電極 P E と第 2 共通電極 C E 2 との間に延在していても、透過率の低下を招くことはない。このため、第 1 主共通電極 C A 1 は、フリンジ電界の形成を抑制するためのスリット S L を形成する一方で、ソース配線 S からの漏れ電界をシールドするのに十分な幅を有するように形成される。

40

【 0 0 6 8 】

次に、他の構成例について説明する。

【 0 0 6 9 】

図 5 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構成例を概略的に示す平面図である。

【 0 0 7 0 】

ここに示した構成例は、図 2 に示した構成例と比較して、第 1 共通電極 C E 1 が第 2 方向 Y に延出した容量部 C C を有し、主画素電極 P A が容量部 C C と対向する点で相違して

50

いる。

【0071】

すなわち、第1共通電極CE1は、ソース配線S1と対向する第1主共通電極CAL1と、ソース配線S2と対向する第1主共通電極CAR1と、第1主共通電極CAL1と第1主共通電極CAR1との略中間に位置する容量部CCと、ゲート配線G1と対向する第1副共通電極CBU1と、ゲート配線G2と対向する第1副共通電極CBB1と、を有している。容量部CCは、画素PXの中央部（あるいは補助容量線C1と副画素電極PBとが対向する領域）で途切れており、第1副共通電極CBU1及び第1副共通電極CBB1に繋がっている。つまり、このような第1共通電極CE1には、各画素PXにおいて、Hの字形の開口部OPが形成されている。

10

【0072】

第2共通電極CE2は、第1主共通電極CAL1と対向する第2主共通電極CAL2と、第1主共通電極CAR1と対向する第2主共通電極CAR2と、第1副共通電極CBU1と対向する第2副共通電極CBU2と、第1副共通電極CBB1と対向する第2副共通電極CBB2と、を有している。

【0073】

このような構成例によれば、上記の構成例と同様の効果が得られるのに加えて、各画素PXにおいて、補助容量線C1と副画素電極PBとの間のみならず、容量部CCと主画素電極PAとの間でも容量CSを形成することが可能となる。主画素電極PAの第1方向Xに沿った幅W2及び容量部CCの第1方向Xに沿った幅W3は、一画素あたりに必要な容量の大きさによって適宜設定できる。但し、容量部CCの幅W3は、主画素電極PAの幅W2と同等であることが望ましい。図示した例では、幅W3は幅W2よりも大きい。上記の通り、画素電極PEに近接する領域において、画素電極PEと第1共通電極CE1との間のフリンジ電界の形成を抑制するためには、X-Y平面において、容量部CCが主画素電極PAと重なる位置よりも外側に延在していないことが望ましい。なお、第1共通電極CE1と画素電極PEとは異なるレイヤでそれぞれパターンニングされるため、合わせズレを考慮して一方の電極を他方の電極よりも僅かに幅広に形成することは許容される。

20

【0074】

図6は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの他の構成例を概略的に示す平面図である。

30

【0075】

ここに示した構成例は、図5に示した構成例と比較して、補助容量線を省略し、ゲート配線G1が画素PXの中央部を横切っている点で相違している。

【0076】

すなわち、第1共通電極CE1は、ソース配線S1と対向する第1主共通電極CAL1と、ソース配線S2と対向する第1主共通電極CAR1と、第1主共通電極CAL1と第1主共通電極CAR1との略中間に位置する容量部CCと、画素PXの上側端部（つまり、主画素電極PAと主画素電極PAaとの間）に位置する第1副共通電極CBU1と、画素PXの下側端部（つまり、主画素電極PAと主画素電極PAbとの間）に位置する第1副共通電極CBB1と、を有している。

40

【0077】

この構成例においては、各画素PXにおける容量CSは、容量部CCと主画素電極PAとの間で形成される。

【0078】

ゲート配線G1及びソース配線S1と電氣的に接続されたスイッチング素子SWは、画素PXの中央部に形成され、画素電極PEと電氣的に接続されている。ゲート配線G1の第2方向Yに沿った幅は、図5などに示した補助容量線C1の第2方向Yに沿った幅よりも小さくすることができる。また、副画素電極PBの第2方向Yに沿った幅は、スイッチング素子SWとの電氣的な接続を可能とする範囲で小さくすることができる。

【0079】

50

このような構成例によれば、図 5 に示した構成例と同様の効果が得られるのに加えて、図 5 に示した構成例よりも、補助容量線を省略し、副画素電極のサイズを縮小することで、一画素あたり、表示に寄与する透過領域の面積を拡大することが可能となる。このため、本構成例によれば、図 5 に示した構成例と比較して、一画素あたりの透過率を向上することが可能となる。

【 0 0 8 0 】

図 7 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構成例を概略的に示す平面図である。

【 0 0 8 1 】

ここに示した構成例は、図 5 に示した構成例と比較して、主画素電極 P A の幅 W 2 が容量部 C C の幅 W 3 よりも大きい点で相違している。各画素 P X における容量 C S は、補助容量線 C 1 と副画素電極 P B との間、及び、容量部 C C と主画素電極 P A との間でそれぞれ形成される。

10

【 0 0 8 2 】

このような構成例においても、図 5 に示した構成例と同様の効果が得られる。

【 0 0 8 3 】

図 8 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構成例を概略的に示す平面図である。

【 0 0 8 4 】

ここに示した構成例は、図 6 に示した構成例と比較して、主画素電極 P A の幅 W 2 が容量部 C C の幅 W 3 よりも大きい点で相違している。各画素 P X における容量 C S は、容量部 C C と主画素電極 P A との間で形成される。

20

【 0 0 8 5 】

このような構成例においても、図 6 に示した構成例と同様の効果が得られる。

【 0 0 8 6 】

以上説明したように、本実施形態によれば、表示品位を改善することが可能な液晶表示装置を提供することができる。

【 0 0 8 7 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【 符号の説明 】

【 0 0 8 8 】

L P N ... 液晶表示パネル A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極

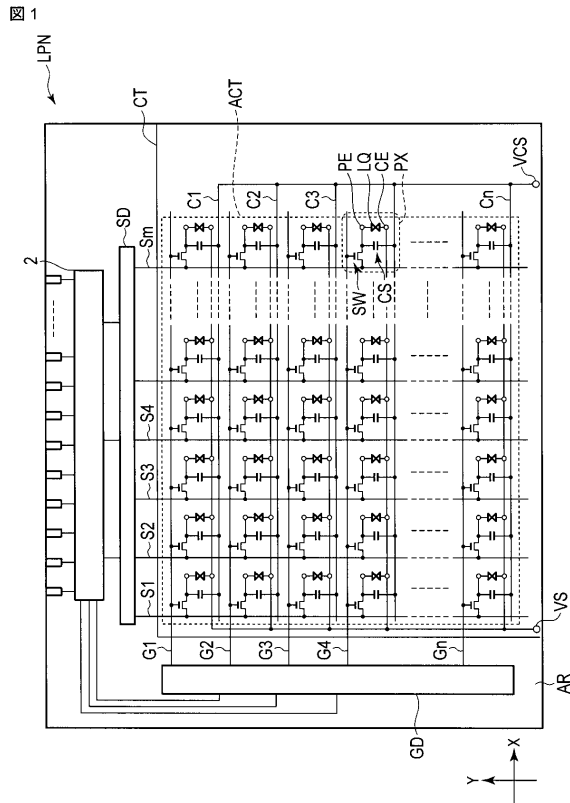
C E 1 ... 第 1 共通電極 C A 1 ... 第 1 主共通電極 C B 1 ... 第 1 副共通電極

C C ... 容量部

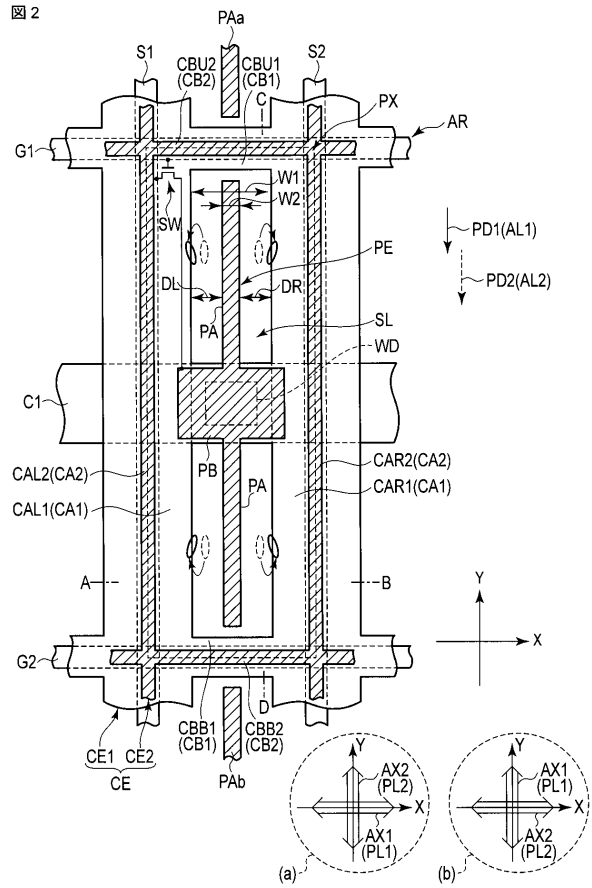
C E 2 ... 第 2 共通電極 C A 2 ... 第 2 主共通電極 C B 2 ... 第 2 副共通電極

40

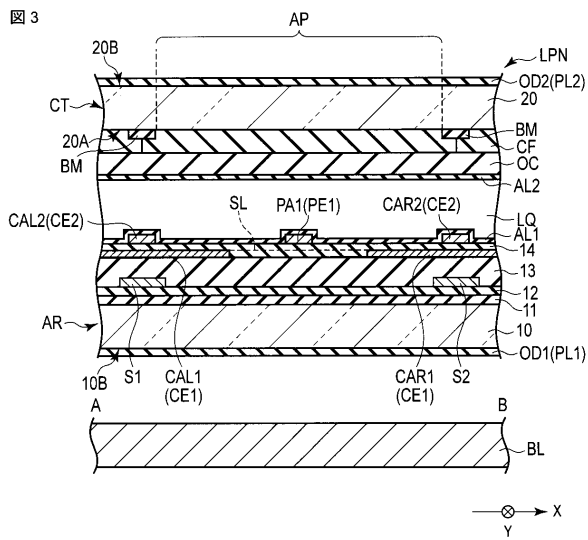
【図 1】



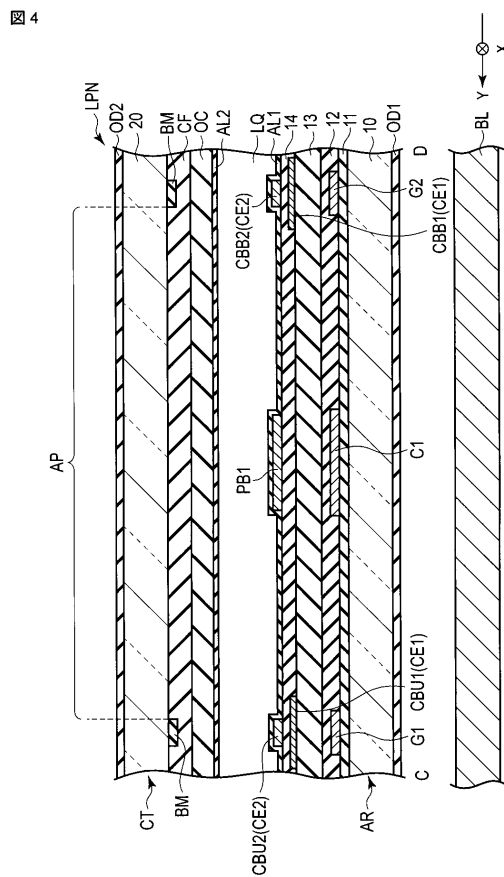
【図 2】



【図 3】

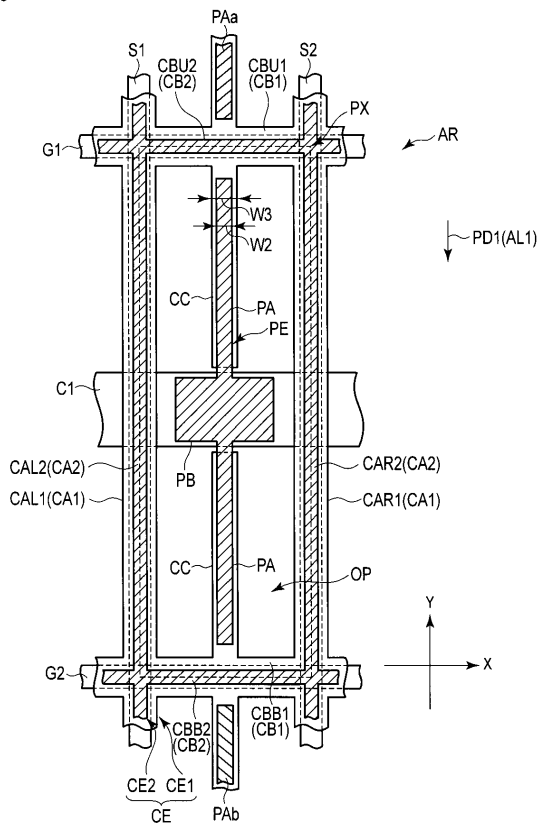


【図 4】



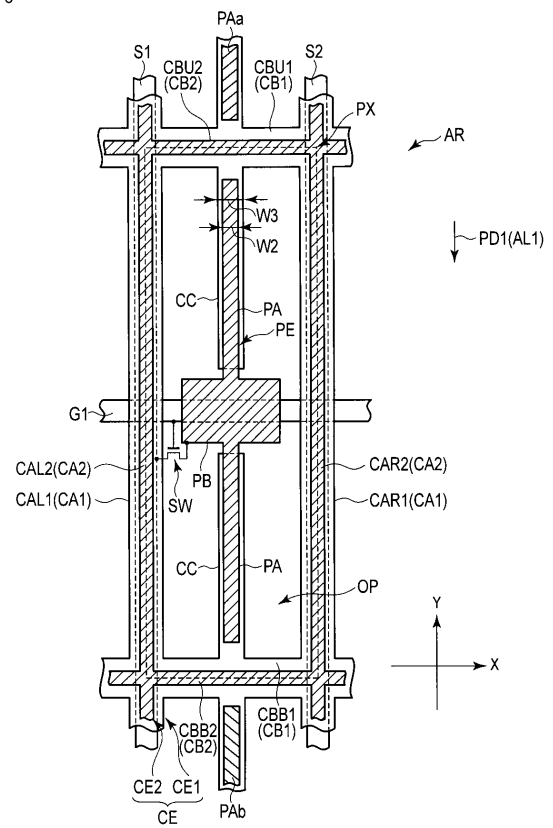
【図 5】

図 5



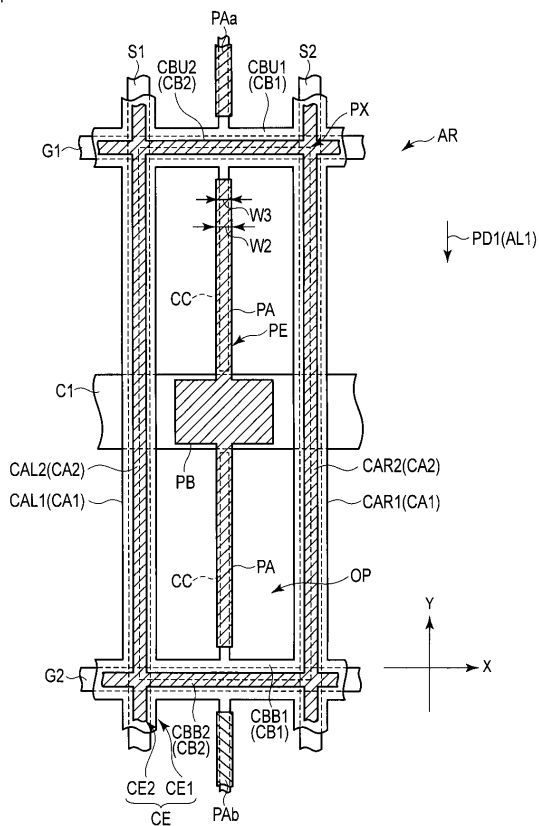
【図 6】

図 6



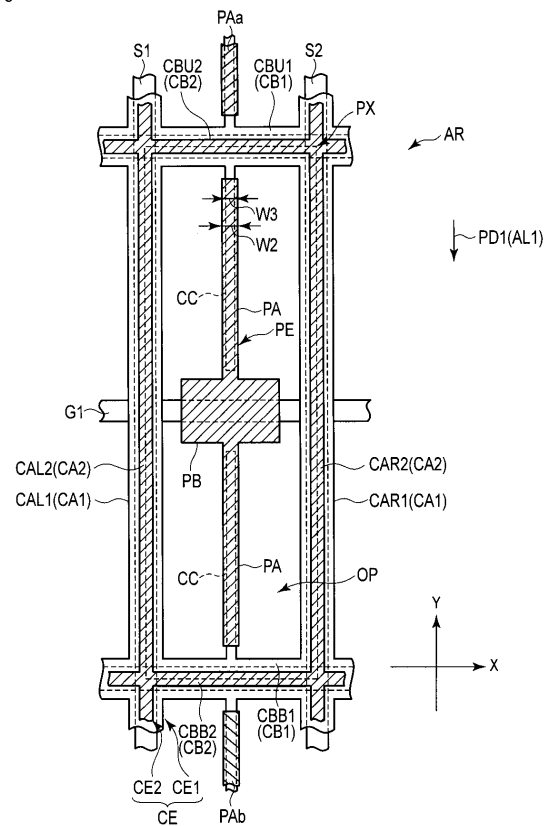
【図 7】

図 7



【図 8】

図 8



フロントページの続き

F ターム(参考) 2H192 AA24 BB02 BB21 BB73 BB84 BB86 DA12 DA42 DA52 EA22
EA43 GA03 JA33

专利名称(译)	液晶表示装置		
公开(公告)号	JP2016051101A	公开(公告)日	2016-04-11
申请号	JP2014177036	申请日	2014-09-01
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/134363 G02F1/133345 G02F2201/121 G02F2201/128		
FI分类号	G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BB02 2H192/BB21 2H192/BB73 2H192/BB84 2H192/BB86 2H192/DA12 2H192/DA42 2H192/DA52 2H192/EA22 2H192/EA43 2H192/GA03 2H192/JA33		
代理人(译)	河野 哲		
外部链接	Espacenet		

摘要(译) 提供一种能够提高显示质量的液晶显示装置。第一层间绝缘膜位于栅极布线和源极布线上方，第一子公共电极在第一层间绝缘膜上方延伸并面向栅极布线，并面向源极布线。第一公共电极包括第一主公共电极并具有在第二方向上延伸的狭缝，覆盖第一公共电极的第二层间绝缘膜以及在第二层间绝缘膜上的第二方向。延伸并面对狭缝的主像素电极，延伸在第二层间绝缘膜上并面对第一子公共电极的第二子公共电极以及面对第一主公共电极的第二主电极。第一基板，其包括：公共电极和具有与第一公共电极相同的电位的第二公共电极；面对第一基板的第二基板；第一基板和第二基板；以及与第一基板相对的第二基板。并且，在液晶显示装置之间夹持有液晶层。[选择图]图2	(21) 出願番号	特願2014-177036 (P2014-177036)	(71) 出願人 502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号 (74) 代理人 110001737 特許業務法人スズエ国際特許事務所 (74) 代理人 100091351 弁理士 河野 哲 (74) 代理人 100084618 弁理士 村松 貞男 (74) 代理人 100087653 弁理士 鈴江 正二 (72) 発明者 廣澤 仁 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
	(22) 出願日	平成26年9月1日 (2014.9.1)	

最終頁に続く