

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-72374

(P2015-72374A)

(43) 公開日 平成27年4月16日(2015.4.16)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1337 (2006.01)	GO2F 1/1337 505	2H290

審査請求 未請求 請求項の数 10 O L (全 20 頁)

(21) 出願番号	特願2013-208180 (P2013-208180)	(71) 出願人	502356528
(22) 出願日	平成25年10月3日 (2013.10.3)		株式会社ジャパンディスプレイ
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100087653
			弁理士 鈴江 正二
		(72) 発明者	森田 祐介
			東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内

最終頁に続く

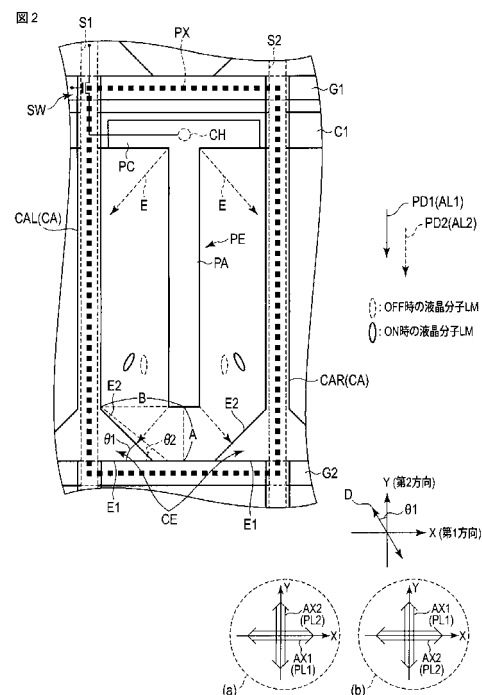
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示品位の良好な液晶表示装置を提供する。

【解決手段】 コンタクト部と前記コンタクト部から第2方向に沿って延びた主画素電極とを含む画素電極を備えた第1基板と、前記主画素電極を挟んだ両側で前記第2方向に沿って延びた主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記第2方向に交差した第1方向に沿った前記コンタクト部の幅は、前記第1方向に沿った前記主画素電極の幅よりも大きく、前記主共通電極は、前記主画素電極が前記第2方向に延びた端より前記コンタクト部から離れた位置に設けられ、前記第1方向に突出した凸部を有する液晶表示装置。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

コンタクト部と前記コンタクト部から第 2 方向に沿って延びた主画素電極とを含む画素電極を備えた第 1 基板と、

前記主画素電極を挟んだ両側で前記第 2 方向に沿って延びた主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、

前記第 2 方向に交差した第 1 方向に沿った前記コンタクト部の幅は、前記第 1 方向に沿った前記主画素電極の幅よりも大きく、

前記主共通電極は、前記主画素電極が前記第 2 方向に延びた端より前記コンタクト部から離れた位置に設けられ、前記第 1 方向に突出した凸部を有する液晶表示装置。

10

【請求項 2】

コンタクト部と前記コンタクト部から第 2 方向に沿って延びた主画素電極とを含む画素電極を備えた第 1 基板と、

前記主画素電極を挟んだ両側で前記第 2 方向に沿って延びた主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、

前記第 1 基板は前記主共通電極と対向した第 2 主共通電極を更に備え、

前記第 2 方向に交差した第 1 方向に沿った前記コンタクト部の幅は、前記第 1 方向に沿った前記主画素電極の幅よりも大きく、

20

前記主共通電極と前記第 2 主共通電極の少なくとも一方は、前記主画素電極が前記第 2 方向に延びた端より前記コンタクト部から離れた位置に設けられ、前記第 1 方向に突出した凸部を有する液晶表示装置。

【請求項 3】

前記凸部の前記第 1 方向における幅は、前記コンタクト部から離れるに従って連続的に大きくなる請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 4】

前記凸部の前記第 1 方向における幅は、前記コンタクト部から離れるに従って段階的に大きくなる請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 5】

30

前記凸部は、前記第 1 方向に延びた第 1 端面と、前記第 1 端面の端と前記第 2 方向に延びた端面との間を接続した第 2 端面とを含む請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 6】

前記第 2 端面は直線状である請求項 5 記載の液晶表示装置。

【請求項 7】

前記第 2 端面は曲線状である請求項 5 記載の液晶表示装置。

【請求項 8】

前記凸部は、前記第 1 方向に延びた端面と、前記第 2 方向に延びた端面とに囲まれている請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 9】

40

前記凸部は、前記第 1 方向に延びた第 3 端面および第 4 端面を含み、

前記第 3 端面は、前記第 4 端面よりも長く、前記第 4 端面よりも前記コンタクト部から離れた位置に配置している請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 10】

前記画素電極は、前記第 1 方向に沿った長さが前記第 2 方向に沿った長さよりも短い画素に配置される請求項 1 乃至請求項 9 のいずれか 1 項記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

50

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS（In-Plane Switching）モードやFFS（Fringe Field Switching）モードなどの横電界（フリンジ電界も含む）を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-209454号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態によれば、コンタクト部と前記コンタクト部から第2方向に沿って延びた主画素電極とを含む画素電極を備えた第1基板と、前記主画素電極を挟んだ両側で前記第2方向に沿って延びた主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記第2方向に交差した第1方向に沿った前記コンタクト部の幅は、前記第1方向に沿った前記主画素電極の幅よりも大きく、前記主共通電極は、前記主画素電極が前記第2方向に延びた端より前記コンタクト部から離れた位置に設けられ、前記第1方向に突出した凸部を有する液晶表示装置が提供される。

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図2に示した液晶表示パネルをA-A線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図5】図5は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図6】図6は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図7】図7は、例えば主画素電極の第1方向における幅を一樣としたときの、一画素の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において

10

20

30

40

50

、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0010】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0011】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0012】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。ゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0013】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0014】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0015】

スイッチング素子SWは、例えば、 n チャネル薄膜トランジスタ（TFET）によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0016】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通

10

20

30

40

50

に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジンク・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【 0 0 1 7 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

【 0 0 1 8 】

図 2 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 0 1 9 】

図示した画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形状である。なお、本実施形態では、画素 P X の第 1 方向 X に沿った幅は略 4 0 μ m である。ゲート配線 G 1 及びゲート配線 G 2 は、第 1 方向 X に沿って延出している。補助容量線 C 1 は、隣接するゲート配線 G 1 とゲート配線 G 2 との間に配置され、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 2 方向 Y に沿って延出している。画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。

【 0 0 2 0 】

図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素 P X のゲート配線 G 1 側に配置されている。

【 0 0 2 1 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。スイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点近傍に設けられ、そのドレイン配線はソース配線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。スイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口領域 A P の面積の低減を抑制している。なお、開口領域 A P は第 1 方向 X に延びた配線 (第 1 配線) と第 2 方向 Y に延びた配線 (第 2 配線) とにより囲まれた領域であって、図 2 に示す例では、ソース配線 S 1 、 S 2 と補助容量線 C 1 とゲート配線 G 2 とにより囲まれた領域である。

【 0 0 2 2 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及びコンタクト部 P C を備えている。

【 0 0 2 3 】

主画素電極 P A は、コンタクト部 P C から画素 P X の下側端部付近まで第 2 方向 Y に沿って直線的に延出している。主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する带状に形成されている。コンタクト部 P C は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。このコン

10

20

30

40

50

タクト部 P C の第 1 方向 X における幅は、主画素電極 P A の第 1 方向 X における幅の最大値よりも大きく形成されている。

【0024】

このような画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。第 2 方向 Y に沿った位置のそれぞれにおいて、ソース配線 S 1 と画素電極 P E との第 1 方向 X に沿った間隔は、ソース配線 S 2 と画素電極 P E との第 1 方向 X に沿った間隔と略同等である。

【0025】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X-Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。

【0026】

主共通電極 C A の第 1 方向 X における幅は、ゲート配線 G 2 近傍で広がっている。より詳細には、主共通電極 C A の第 1 方向 X に沿った幅は、第 2 方向 Y に沿ってコンタクト部 P C 近傍から主画素電極 P A が延びた端部近傍まで一様な幅であって、主画素電極 P A が延びた端部近傍からゲート配線 G 2 までの間においてゲート配線 G 2 に近づくにしたがって連続的に大きくなっている。主共通電極 C A は、第 2 方向 Y と略平行な軸に対して線対称な形状である。

【0027】

換言すると、主共通電極 C A は略直角三角形形状の凸部を有している。この凸部は、主共通電極 C A の第 2 方向 Y に沿って延びた端部からゲート配線 G 2 に沿って第 1 方向 X に延びた第 1 端部 E 1 と、第 1 端部 E 1 が延びた端と主画素電極 C A の第 2 方向 Y に延びた端部とを接続する第 2 端部 E 2 と、を含む。第 1 端部 E 1 と第 2 端部 E 2 とが成す凸部の内角 $\theta 1$ は、 $\tan^{-1}(A/B)$ ($=\theta 2$) よりも大きくなる。ここで、凸部の第 2 方向 Y における幅の最大値を A とし、主共通電極 C A と画素 P X の第 1 方向 X における中央との第 1 方向 X における距離を B としている。このとき、幅 A は主画素電極 P A が第 2 方向 Y に延びた端とゲート配線 G 2 との第 2 方向 Y における距離以下である。主画素電極 C A の凸部の第 1 端部 E 1 は B よりも短くなる。

【0028】

図示した例では、主共通電極 C A は、第 1 方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの主共通電極 C A を区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線 S 2 と対向している。主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

【0029】

画素 P X において、主共通電極 C A L は左側端部に配置され、主共通電極 C A R は右側端部に配置されている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【0030】

画素電極 P E と主共通電極 C A との位置関係に着目すると、画素電極 P E と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。これらの画素電極 P E と主共通電極 C A とは、互いに略平行に配置されている。このとき、X-Y 平面内において、主共通電極 C A のいずれも画素電極 P E とは重ならない。

【0031】

すなわち、隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 つの画素電極 P E が位置している。換言すると、主共通電極 C A L 及び主共通電極 C A R は、画素電極 P E の直上の位置を挟んだ両側に配置されている。あるいは、画素電極 P E は、主共通電

10

20

30

40

50

極 C A L と主共通電極 C A R との間に配置されている。このため、主共通電極 C A L、主画素電極 P A、及び、主共通電極 C A R は、第 1 方向 X に沿ってこの順に配置されている。

【0032】

これらの画素電極 P E と共通電極 C E との第 1 方向 X に沿った間隔は略一定である。すなわち、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【0033】

図 3 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。また、第 3 方向 Z とは、第 1 方向 X 及び第 2 方向 Y に直交する方向、あるいは、液晶表示パネル L P N の法線方向である。

【0034】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0035】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。ソース配線 S は、第 1 層間絶縁膜 1 1 の上に形成され、第 2 層間絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 1 0 と第 1 層間絶縁膜 1 1 との間に配置されている。画素電極 P E は、第 2 層間絶縁膜 1 2 の上に形成されている。この画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。

【0036】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 層間絶縁膜 1 2 の上にも配置されている。第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成され、略 7 0 n m の厚さで塗布されている。

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。

【0037】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。対向基板 C T は、ブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、共通電極 C E、第 2 配向膜 A L 2 などを備えている。

【0038】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口領域 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

【0039】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A における開口領域 A P に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタ C F R は、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタ C F B は、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラ

10

20

30

40

50

ーフィルタ C F G は、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

【0040】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【0041】

共通電極 C E は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。

【0042】

第2配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。第2配向膜 A L 2 は、共通電極 C E 及びオーバーコート層 O C などを覆っている。第2配向膜 A L 2 は、水平配向性を示す材料によって形成され、略 70 nm の厚さで塗布されている。

【0043】

第1配向膜 A L 1 及び第2配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜 A L 1 が液晶分子を初期配向させる第1配向処理方向 P D 1、及び、第2配向膜 A L 2 が液晶分子を初期配向させる第2配向処理方向 P D 2 は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向 P D 1 及び第2配向処理方向 P D 2 は、図2に示したように、第2方向 Y と略平行であって、同じ向きである。

【0044】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第1配向膜 A L 1 及び第2配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第1配向膜 A L 1 と対向基板 C T の第2配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材 S B によって貼り合わせられている。なお、本実施形態では、セルギャップは略 4 μm である。

【0045】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第1配向膜 A L 1 と第2配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0046】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第1絶縁基板 10 の外面 10 B には、第1光学素子 O D 1 が接着剤などにより貼付されている。この第1光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第1光学素子 O D 1 は、第1偏光軸（あるいは第1吸収軸）A X 1 を有する第1偏光板 P L 1 を含んでいる。

【0047】

対向基板 C T の外面、つまり、対向基板 C T を構成する第2絶縁基板 20 の外面 20 B には、第2光学素子 O D 2 が接着剤などにより貼付されている。この第2光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第2光学素子 O D 2 は、第2偏光軸（あるいは第2吸収軸）A X 2 を有する第2偏光板 P L 2 を含んでいる。

【0048】

第1偏光板 P L 1 の第1偏光軸 A X 1 と、第2偏光板 P L 2 の第2偏光軸 A X 2 とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向 P D 1 あるいは第2配向

10

20

30

40

50

処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

【0049】

図 2 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向 (第 2 方向 Y) に対して直交する (つまり、第 1 方向 X に平行となる) ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる (つまり、第 2 方向 Y と平行となる) ように配置されている。

【0050】

また、図 2 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向 (第 2 方向 Y) に対して直交する (つまり、第 1 方向 X に平行となる) ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる (つまり、第 2 方向 Y と平行となる) ように配置されている。

【0051】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 及び図 3 を参照しながら説明する。

【0052】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差 (あるいは電界) が形成されていない状態 (O F F 時) には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【0053】

なお、厳密には、液晶分子 L M は、X-Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X-Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X-Y 平面に平行に配向しているものとし、X-Y 平面と平行な面内で回転するものとして説明する。

【0054】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 2 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行 (あるいは、第 2 方向 Y に対して 0°) である。

【0055】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平 (プレチルト角が略ゼロ) に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する (スプレイ配向)。

【0056】

ここで、第 1 配向膜 A L 1 を第 1 配向処理方向 P D 1 に配向処理した結果、第 1 配向膜 A L 1 の近傍における液晶分子 L M は第 1 配向処理方向 P D 1 に初期配向され、第 2 配向膜 A L 2 を第 2 配向処理方向 P D 2 に配向処理した結果、第 2 配向膜 A L 2 の近傍における液晶分子 L M は第 2 配向処理方向 P D 2 に初期配向される。そして、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 は互いに平行で且つ同じ向きである場合には、上述のように液晶分子 L M はスプレイ配向になり、上記したように液晶層 L Q の中間部を境界として、アレイ基板 A R 上の第 1 配向膜 A L 1 の近傍での液晶分子 L M の配向と対向基板 C T

10

20

30

40

50

上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となる。このため、基板の法線方向（第3方向Z）から傾いた方向においても光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【0057】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

10

【0058】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

【0059】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

20

【0060】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEと主共通電極CARとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

【0061】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

30

【0062】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライト光は、その偏光状態が変化する。このようなON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

【0063】

OFF状態では、液晶分子LMは、第2方向Yに略平行な方向に初期配向している。画素電極PEと共通電極CEとの間に電位差が形成されたON状態では、液晶分子LMのダイレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口領域での透過率が最大となる）。

40

【0064】

図示した例では、ON状態となったとき、主共通電極CALと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で45°-225°の方位と略平行となり、主共通電極CARと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で135°-315°の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては透過率が略ぜ

50

ロとなる一方で、画素電極 P E と共通電極 C E との間の電極間隙では、略全域に亘って高い透過率が得られる。

【0065】

なお、ソース配線 S 1 の直上に位置する主共通電極 C A L 及びソース配線 S 2 の直上に位置する主共通電極 C A R は、それぞれブラックマトリクス B M と対向しているが、これらの主共通電極 C A L 及び主共通電極 C A R は、ともにブラックマトリクス B M の第 1 方向 X に沿った幅と同等以下の幅を有しており、ブラックマトリクス B M と重なる位置よりも画素電極 P E の側に延在していない。このため、一画素あたり、表示に寄与する開口領域は、ブラックマトリクス B M の間もしくはソース配線 S 1 とソース配線 S 2 との間の領域のうち、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の領域に相当する。

10

【0066】

このような本実施形態によれば、透過率の低下を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

【0067】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素 P X の略中央に配置された画素電極 P E に対して主共通電極 C A の配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

20

【0068】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

30

【0069】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との水平電極間距離（第 1 方向 X における距離）に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

40

【0070】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A L 及び主共通電極 C A R がそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置されている場合には、主共通電極 C A L 及び主共通電極 C A R がソース配線 S 1 及びソース配線 S 2 よりも画素電極 P E 側に配置された場合と比較して、開口領域 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【0071】

また、主共通電極 C A L 及び主共通電極 C A R をそれぞれソース配線 S 1 及びソース配

50

線 S 2 の直上に配置することによって、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【0072】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0073】

ここで、図 7 は、例えば主共通電極 C A の第 1 方向 X における幅を一様とし、第 2 方向 Y に沿って略直線的に延びた帯状としたときの、一画素 P X の構造例を概略的に示す平面図である。ここで示す例では、主共通電極 C A の構成以外は上述の実施形態の液晶表示装置と同様である。

【0074】

このとき、コンタクト部 P C の近傍と、コンタクト部 P C から離れた領域とを比較すると、コンタクト部 P C の近傍では画素電極 P E と共通電極 C E との間に生じる電界が強く、コンタクト部 P C から離れるに従って画素電極 P E と共通電極 C E との間に生じる電界が弱くなる。この原因は、コンタクト部 P C 近傍では、コンタクト部 P C と主画素電極 P A とが接続した部分から主共通電極 C A に向かう斜め下方向に電界 E が生じるが、コンタクト部 P C から離れるにしたがって電界 E の影響が弱くなることであると考えられる。なお、図 7 に示す電界 E の方向は、第 1 方向 X に平行な電界成分と第 2 方向 Y に平行な電界成分との和の方向であって、第 3 方向 Z と平行な電界成分については考慮していない。

【0075】

従って、図 7 に示すように略直線的に延びた帯状の主画素電極 P A を形成した場合、第 2 方向 Y に沿ってコンタクト部 P C から離れるにつれて主画素電極 P A と主共通電極 C A との間に生じる電界が弱くなり、押圧された場合に液晶分子 L M の配向が所定の状態に戻りにくくなることがある。このように押圧した跡が残ることにより、表示品位が低下することとなる。

【0076】

これに対し、本実施形態では、主共通電極 C A がゲート配線 G 2 に沿って突出した凸部を有している。図 2 に示す例では、ゲート配線 G 2 に沿って延びた第 1 端辺 E 1 と、第 1 端辺 E 1 の端と主共通電極 C A の第 2 方向 Y に延びた端辺とを接続した第 2 端辺 E 2 と、を含む略直角三角形形状の凸部が主共通電極 C A に設けられている。このような凸部を主共通電極 C A に設けることにより、主画素電極 P A と主共通電極 C A の凸部の第 2 端辺 E 2 との間に斜め下方向の電界 E が生じる。このため、本実施形態では、コンタクト部 P C から離れた部分で主画素電極 P A と主共通電極 C A との間に生じる電界が弱くなることが抑制され、押圧した跡が残ることがなくなる。

【0077】

また、上述のとおり凸部は画素内の斜め方向の電界成分が弱くなることを抑制する目的のため、画素内の凸部の配置はコンタクト部 P C から離れた位置である必要がある。したがって、主画素電極 P A とコンタクト部 P C との交差部から凸部の配置されるゲート配線とソース配線との交差部までの距離は、画素の長辺の長さの半分以上であることが望ましい。すなわち、図 2 のゲート配線 G 1 近傍に配置されたコンタクト部 P C に対して、凸部はゲート配線 G 1 とソース配線 S 1、S 2 との交差部付近に配置されるのではなくゲート配線 G 2 とソース配線 S 1、S 2 の交差部付近に配置される。

【0078】

一画素 P X 内においてこのように凸部を配置することにより、例えば、図 7 に示す画素 P X における、液晶の応答時間（オフ状態からオン状態となるまでに要する時間）を 100 としたときに、図 2 に示す画素 P X では液晶の応答時間は 88 となった。すなわち、本実施形態によれば、表示品位の良好な液晶表示装置を提供することができる。

【0079】

なお、上記の例では、液晶分子LMの初期配向方向が第2方向Yと平行である場合について説明したが、液晶分子LMの初期配向方向は、図2に示したように、第2方向Yを斜めに交差する斜め方向Dであっても良い。ここで、第2方向Yに対する初期配向方向Dのなす角度 θ_1 は、 0° より大きく 45° より小さい角度である。なお、このなす角度 θ_1 については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子LMの配向制御の観点で極めて有効である。つまり、液晶分子LMの初期配向方向は、第2方向Yに対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0080】

特に、主画素電極PAが第2方向Yに延びた端部の第1方向Xにおける幅が小さくなる方向（第2方向Y）にアレイ基板ARあるいは対向基板CTのいずれかの基板の初期配向方向を合わせる場合には、第2方向Yに対してマルチドメインになるために視野角が向上するとともに、画素内の全域で電界Eに沿って液晶分子の回転する方向が一義的に決まるため画素内で暗線の発生を抑え表示品位を向上できる。また、アレイ基板ARと対向基板CTの初期配向方向PD1、PD2が平行で同じ方向であって、主画素電極PAの幅が細くなる方向、すなわち、上述の主画素電極の端部の幅が小さくなる方向にする場合には、上述のスプレイ配向となるため視野角が向上するとともに、画素内の全域で電界Eに沿って液晶分子の回転する方向が一義的に決まるため画素内で暗線の発生を抑え表示品位を向上できる。

【0081】

また、上記の例では、液晶層LQが正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層LQは、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

【0082】

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

【0083】

本実施形態において、画素PXの構造は、図2に示した例に限定されるものではない。

【0084】

図4は、図1に示した液晶表示パネルLPNを対向基板側から見たときの画素PXの他の構造例を概略的に示す平面図である。

【0085】

この構造例は、図2に示した構造例と比較して、主共通電極CAの凸部の形状が異なっている。すなわち、ゲート配線G2に近づくに従って、主共通電極CAの第1方向Xにおける幅は段階的に大きくなっている。

【0086】

主共通電極CAの第1方向Xに沿った幅は、第2方向Yに沿ってコンタクト部PC近傍から主画素電極PAが延びた端部近傍まで一様な幅であって、主画素電極PAが延びた端部近傍からゲート配線G2までの間においてゲート配線G2に近づくにしたがって段階的に大きくなっている。主共通電極CAは、第2方向Yと略平行な軸に対して線対称な形状である。

【0087】

換言すると、主画素電極 P A が延びた端部近傍からゲート配線 G 2 までの間において、主画素電極 C A の第 1 方向 X における幅がゲート配線 G 2 に近づくに従って大きくなるように、主共通電極 C A の第 1 方向 X における端部それぞれに少なくとも 1 つのステップが設けられている。すなわち、主共通電極 C A のそれぞれは、主画素電極 P A が延びた端部近傍からゲート配線 G 2 までの間において、ステップ状に第 2 方向 Y に延びる 2 つの端辺を有している。

【0088】

この例では、主共通電極 C A の凸部は、第 1 方向 X における幅が W 1 である第 1 領域と、第 1 方向 X における幅が W 2 ($W 2 > W 1$) である第 2 領域とを有し、第 2 領域は第 1 領域よりもゲート配線 G 2 の近くに配置している。なお、主共通電極 C A の凸部の第 1 方向 X における幅の最大値は、図 2 に示す距離 B よりも小さい。

10

【0089】

図 4 に示す例では、主画素電極 P A が延びた端部近傍からゲート配線 G 2 までの間において、主共通電極 C A の左右の端部それぞれに 2 つのステップが設けられている。このようなステップを設けることにより、第 1 方向 X に延びた端辺と第 2 方向 Y に延びた端辺とが接続することとなり、コンタクト部 P C の近傍と主共通電極 C A との間と同様に、主画素電極 P A から主共通電極 C A に向かう斜め下方向の電界 E が生じる。このため、図 2 に示す場合と同様に、コンタクト部 P C から離れた部分で主画素電極 P A と主共通電極 C A との間に生じる電界が弱くなることが抑制され、押圧した跡が残ることがなくなる。したがって、画素 P X の構造を図 4 に示すようにした場合でも、上述の実施形態と同様の効果が得られ、表示品位の良好な液晶表示装置を提供することができる。

20

【0090】

図 5 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの画素 P X の他の構造例を概略的に示す平面図である。

【0091】

この構造例は、図 2 に示した構造例と比較して、主共通電極 C A の凸部の形状が異なっている。

【0092】

すなわち、主共通電極 C A の第 1 方向 X における幅は、ゲート配線 G 2 近傍で広がっている。より詳細には、主共通電極 C A の第 1 方向 X に沿った幅は、第 2 方向 Y に沿ってコンタクト部 P C 近傍から主画素電極 P A が延びた端部近傍まで一様な幅であって、主画素電極 P A が延びた端部からゲート配線 G 2 までの間においてゲート配線 G 2 に近い部分の幅が大きくなっている。主共通電極 C A は、第 2 方向 Y と略平行な軸に対して線対称な形状である。

30

【0093】

換言すると、主共通電極 C A は略台形状の凸部を有している。この凸部は、主共通電極 C A の第 2 方向 Y に沿って延びた端辺からゲート配線 G 2 に沿って第 1 方向 X に延びた第 3 端辺 E 3 と、この端辺と略平行に延びた第 4 端辺 E 4 とを含む略台形状である。第 3 端辺 E 3 は、第 4 端辺 E 4 よりも長く、第 4 端辺 E 4 よりもコンタクト部 P C から離れた位置に配置している。主共通電極 C A の凸部の第 1 方向 X における幅の最大値は図 2 に示す距離 B よりも小さい。主共通電極 C A の凸部の第 2 方向 Y における幅は、第 2 方向 Y に延びた主画素電極 P A の端とゲート配線 G 2 との距離以下である。

40

【0094】

図 5 に示すように主共通電極 C A を形成すると、主画素電極 P A から主共通電極 C A に向かう斜め下方向の電界 E が、第 2 方向 Y に沿って主画素電極 P A と主共通電極 C A との間に一様に生じる。このため、図 2 に示す場合と同様に、コンタクト部 P C から離れた部分で主画素電極 P A と主共通電極 C A との間に生じる電界が弱くなることが抑制され、押圧した跡が残ることがなくなる。したがって、画素 P X の構造を図 5 に示すようにした場合でも、上述の実施形態と同様の効果が得られ、表示品位の良好な液晶表示装置を提供することができる。

50

【0095】

図6は、図1に示した液晶表示パネルLPNを対向基板側から見たときの画素PXの他の構造例を概略的に示す平面図である。

【0096】

この構造例は、図2に示した構造例と比較して、主共通電極CAの凸部の形状が異なっている。

【0097】

すなわち、主共通電極CAの第1方向Xにおける幅は、ゲート配線G2近傍で広がっている。より詳細には、主共通電極CAの第1方向Xに沿った幅は、第2方向Yに沿ってコンタクト部PC近傍から主画素電極PAが延びた端部近傍まで一様な幅であって、主画素電極PAが延びた端部からゲート配線G2までの間においてゲート配線G2に近い部分の幅が連続的に大きくなっている。主共通電極CAは、第2方向Yと略平行な軸に対して線対称な形状である。

【0098】

換言すると、主共通電極CAは、第2方向Yに延びた端部から第1方向Xに突出した凸部を有している。凸部は、主共通電極CAの第2方向Yに沿って延びた端部からゲート配線G2に沿って第1方向Xに延びた第5端部E5と、第5端部E5が延びた端と主共通電極CAの第2方向Yに延びた端部との間に延びた曲線状の第6端部E6とを含む。第6端部E6は、図2に示す例の第2端部E2よりも主共通電極CAの内側に凹んだ曲線状である。

【0099】

主共通電極CAの凸部の第1方向Xにおける幅の最大値は図2に示す距離Bよりも小さい。主共通電極CAの凸部の第2方向Yにおける幅は、第2方向Yに延びた主画素電極PAの端とゲート配線G2との距離以下である。

【0100】

図6に示すように主共通電極CAを形成すると、主画素電極PAから主共通電極CAに向かう斜め下方向の電界Eが、第2方向Yに沿って主画素電極PAと主共通電極CAとの間に一様に生じる。このため、図2に示す場合と同様に、コンタクト部PCから離れた部分で主画素電極PAと主共通電極CAとの間に生じる電界が弱くなることが抑制され、押圧した跡が残ることがなくなる。したがって、画素PXの構造を図5に示すようにした場合でも、上述の実施形態と同様の効果が得られ、表示品位の良好な液晶表示装置を提供することができる。

【0101】

なお、本実施形態においては、共通電極CEは、主共通電極CAの他に第1方向Xに延びた副共通電極を有していてもよい。すなわち、副共通電極は、第2方向Yに間隔をおいて略平行に並び、それぞれ第1方向Xに沿って延出している。画素電極PEは、副共通電極間に配置されている。

【0102】

画素電極PEと共通電極CEとの位置関係に着目すると、主画素電極PAと主共通電極CAとは第1方向Xに沿って交互に配置され、コンタクト部PCと副共通電極とは第2方向Yに沿って交互に配置されている。また、隣接する副共通電極の間には1本のコンタクト部PCが位置し、第2方向Yに沿って副共通電極、コンタクト部PC、及び、副共通電極の順に並んでいる。

【0103】

このような構造例においても、OFF時において第2方向Yに初期配向していた液晶分子LMは、ON時に画素電極PEと共通電極CEとの間に形成された状態では、各画素PXにおいて、多くのドメインを形成することが可能となり、視野角を拡大することが可能となる。

【0104】

なお、本実施形態においては、共通電極CEは、対向基板CTに備えられた主共通電極

C Aに加えて、アレイ基板 A Rに備えられ主共通電極 C Aと対向する（あるいはソース配線 Sと対向する）第 2 主共通電極を備えていても良い。この第 2 主共通電極は、主共通電極 C Aと略平行に延出し、しかも、主共通電極 C Aと同電位である。このような第 2 主共通電極を設けることにより、ソース配線 Sからの不所望な電界をシールドすることが可能である。上述の実施形態における主共通電極 C Aの凸部は、第 2 主共通電極のみに設けられてもよく、主共通電極 C Aと第 2 主共通電極の両方に設けられてもよい。いずれの場合であっても上述の実施形態と同様の効果が得られる。

【0105】

また、共通電極 C Eは、対向基板 C Tに備えられた主共通電極 C Aに加えて、アレイ基板 A Rに備えられゲート配線 Gや補助容量線 Cと対向する第 2 副共通電極を備えていても良い。この第 2 副共通電極は、主共通電極 C Aと交差する方向に延出し、しかも、主共通電極 C Aと同電位である。このような第 2 副共通電極を設けたことにより、ゲート配線 Gや補助容量線 Cからの不所望な電界をシールドすることが可能である。このような第 2 主共通電極や第 2 副共通電極を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

【0106】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0107】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【0108】

例えば、図 4 に示す例では、主共通電極 C Aの凸部は第 1 方向 Xと略平行に延びた端辺と第 2 方向 Yと略平行に延びた端辺とで囲まれていたが、凸部は曲線状の端辺を含んでもよい。例えば、主共通電極 C Aの第 1 方向 Xと略平行に延びた端辺と第 2 方向 Yと略平行に延びた端辺が交差した角は 90°で接続する必要はなく、曲線状に丸く接続していてもよい。

【0109】

同様に、図 5 に示す例では、主共通電極 C Aの凸部は直線状の端辺に囲まれていたが、凸部は曲線状の端辺を含んでもよい。例えば、主共通電極 C Aの第 1 方向 Xと略平行に延びた端辺と第 2 方向 Yと略平行に延びた端辺が交差した角は 90°で接続する必要はなく、曲線状に丸く接続していてもよく、第 4 端辺 E 4と第 5 端辺 E 5とが主共通電極 C Aの内側に凹んだ曲線状の端辺で接続されていてもよい。

【0110】

また、上述の実施形態では、いずれも主共通電極 C Aの凸部は、第 2 方向 Yにおいて、主画素電極 P Aの第 2 方向 Yに延びた端とゲート配線 G 2との間に設けられていたが、主画素電極 P Aの端よりもコンタクト部 P C側から主共通電極 C Aの第 1 方向 Xにおける幅を大きくしても良い。その場合、主共通電極 C Aが配置される領域が大きくなっても十分な開口率が得られるようにすることが望ましい。

【0111】

いずれの場合であっても、上述の実施形態と同様の効果が得られる。

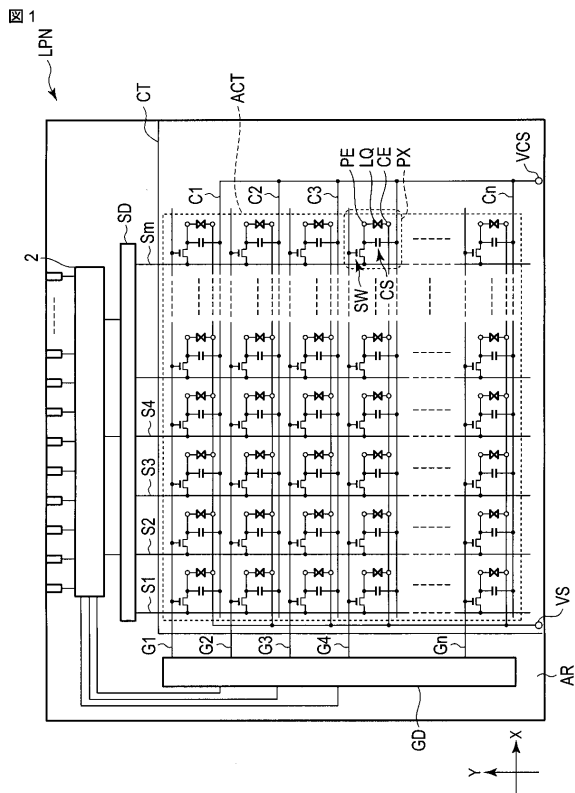
【符号の説明】

【0112】

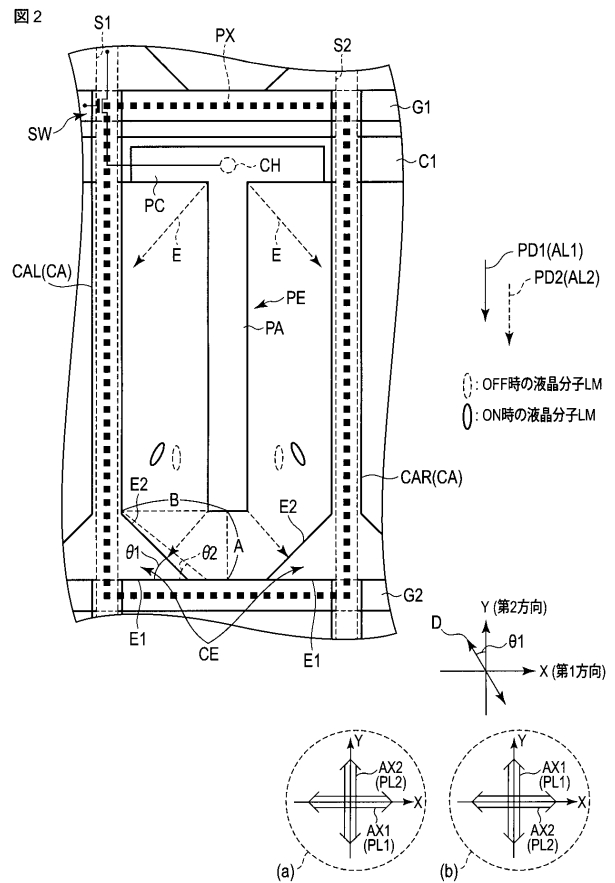
L P N…液晶表示パネル、A R…アレイ基板（第 1 基板）、C T…対向基板（第 2 基板）、L Q…液晶層、L M…液晶分子、P X…画素、S…ソース配線、G…ゲート配線、C…補助容量線、X…第 1 方向、Y…第 2 方向、Z…第 3 方向、P E…画素電極、C E…共

通電極、P A…主画素電極、P C…コンタクト部、A P…開口領域、C A、C A L、C A R…主共通電極、E 1～E 6…第 1 端辺～第 6 端辺。

【図 1】

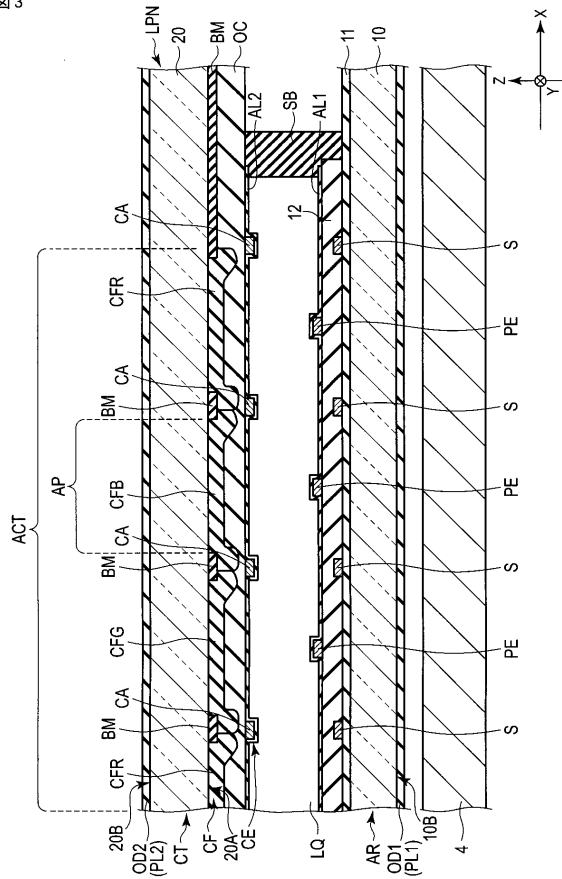


【図 2】



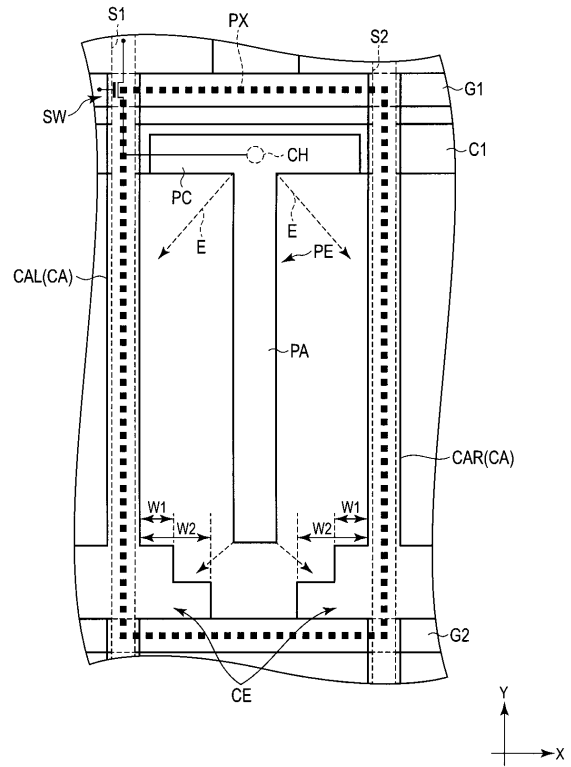
【図 3】

図 3



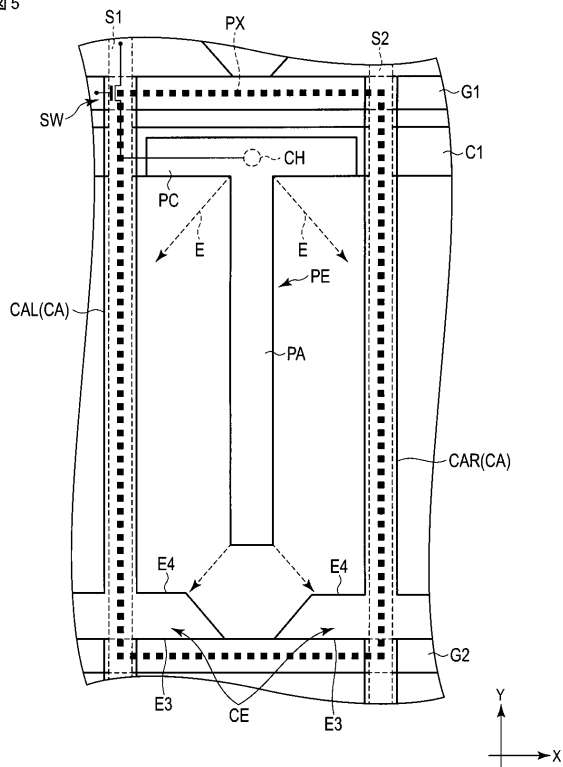
【図 4】

図 4



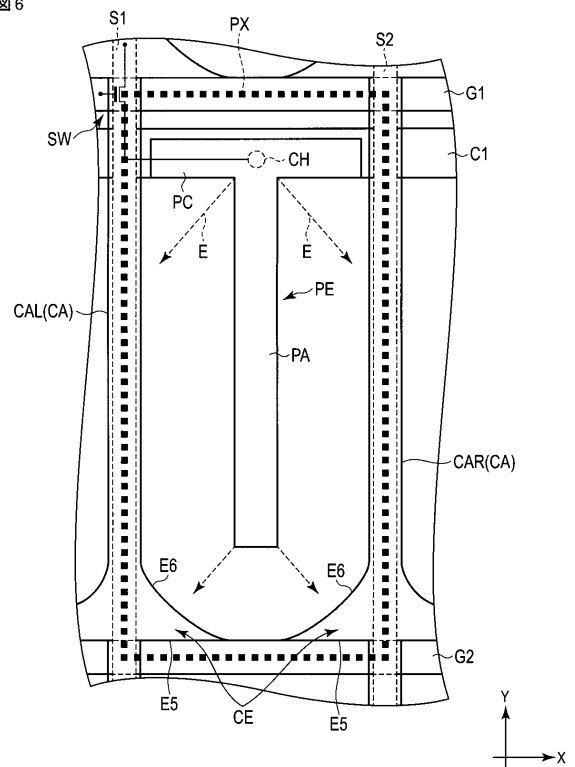
【図 5】

図 5



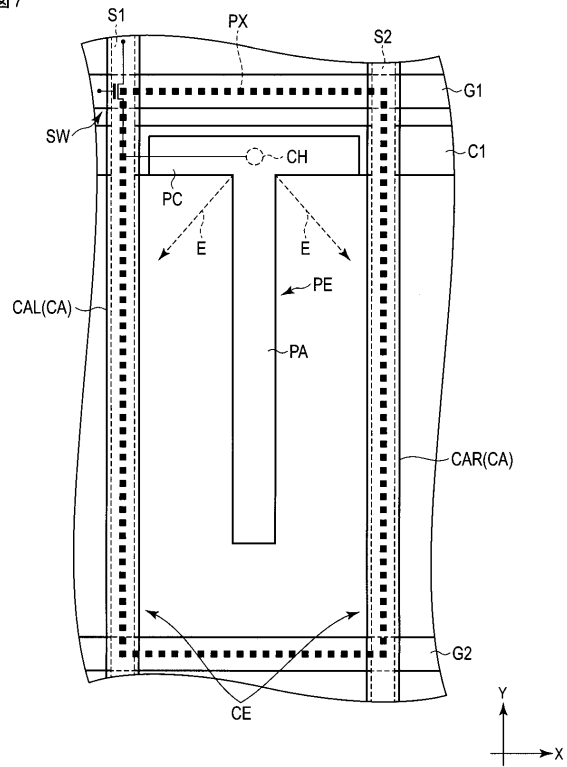
【図 6】

図 6



【図 7】

図 7



フロントページの続き

(72)発明者 廣澤 仁

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H092 GA14 GA15 GA29 GA30 JA25 JA26 JA46 JB04 JB05 JB06

JB14 JB69 KA04 KA05 KA07 NA01 PA02 PA08 PA09 PA11

QA09

2H290 AA05 BA04 BA07 BB85 BF13 BF23 CA42

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015072374A	公开(公告)日	2015-04-16
申请号	JP2013208180	申请日	2013-10-03
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	森田 祐介 廣澤 仁		
发明人	森田 祐介 廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1337		
CPC分类号	G02F1/134363 G02F2001/134381		
FI分类号	G02F1/1343 G02F1/1337.505		
F-TERM分类号	2H092/GA14 2H092/GA15 2H092/GA29 2H092/GA30 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB04 2H092/JB05 2H092/JB06 2H092/JB14 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA07 2H092/NA01 2H092/PA02 2H092/PA08 2H092/PA09 2H092/PA11 2H092/QA09 2H290/AA05 2H290/BA04 2H290/BA07 2H290/BB85 2H290/BF13 2H290/BF23 2H290/CA42		
代理人(译)	河野 哲		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有良好的显示质量的液晶显示装置。第一基板具有像素电极，该像素电极包括接触部分和在第二方向上从接触部分延伸的主像素电极，并且两侧沿第二方向将主像素电极夹在中间。第二基板具有延伸穿过其的主公共电极，以及包含保持在第一基板和第二基板之间的液晶分子的液晶层，以及在第二方向上相交的第一基板。沿着该方向的接触部分的宽度大于沿着第一方向的主像素电极的宽度，并且主公共电极是从主像素电极在第二方向上延伸的端部开始的接触。一种具有凸部的液晶显示装置，该凸部设置在远离该部分的位置并且在第一方向上突出。[选择图]图2

