

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-89338

(P2014-89338A)

(43) 公開日 平成26年5月15日(2014.5.15)

(51) Int.Cl.	F 1	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号	特願2012-239401 (P2012-239401)	(71) 出願人	502356528
(22) 出願日	平成24年10月30日 (2012.10.30)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

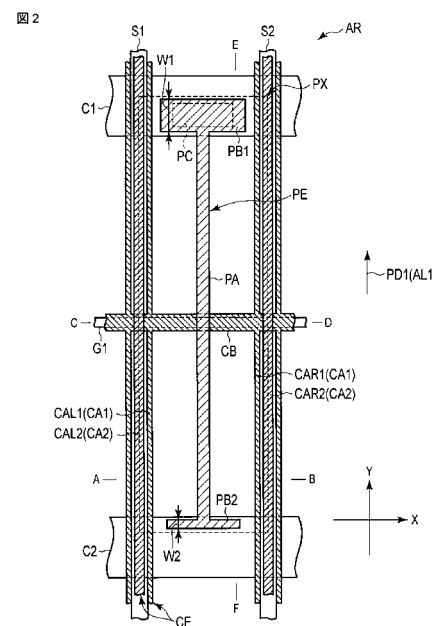
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】第1方向に延出したゲート配線と、第2方向に延出したソース配線と、ゲート配線及びソース配線と電氣的に接続されたスイッチング素子を覆う第1層間絶縁膜上に形成され第1方向に延出しゲート配線と対向する副共通電極と、第1層間絶縁膜上に形成され副共通電極に繋がりソース配線に沿って第2方向に延出した第1主共通電極と、副共通電極及び第1主共通電極を覆う第2層間絶縁膜上に形成され第2方向に延出しソース配線と対向し第1主共通電極と同電位の第2主共通電極と、第2層間絶縁膜上に形成され第2方向に延出し副共通電極と交差した主画素電極と、を備えた第1基板と、第2方向に延出し第2主共通電極と対向し第2主共通電極と同電位の第3主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 方向に延出したゲート配線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子を覆う第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に形成され第 1 方向に延出し前記ゲート配線と対向する副共通電極と、前記第 1 層間絶縁膜上に形成され前記副共通電極に繋がり前記ソース配線に沿って第 2 方向に延出した第 1 主共通電極と、前記副共通電極及び前記第 1 主共通電極を覆う第 2 層間絶縁膜と、前記第 2 層間絶縁膜上に形成され第 2 方向に延出し前記ソース配線と対向し前記第 1 主共通電極と同電位の第 2 主共通電極と、前記第 2 層間絶縁膜上に形成され第 2 方向に延出し前記副共通電極と交差し前記

10

スイッチング素子と電氣的に接続された主画素電極と、前記第 2 主共通電極及び前記主画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

第 2 方向に延出し前記第 2 主共通電極と対向し前記第 2 主共通電極と同電位の第 3 主共通電極と、前記第 3 主共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えた液晶表示装置。

【請求項 2】

前記第 1 基板は、さらに、それぞれ第 1 方向に延出した第 1 補助容量線及び第 2 補助容量線を備え、

前記ゲート配線は、前記第 1 補助容量線と前記第 2 補助容量線との中間に位置する、請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 1 基板は、さらに、前記主画素電極の一端部に繋がり前記第 1 補助容量線上に位置し第 1 方向に延出した第 1 副画素電極と、前記主画素電極の他端部に繋がり前記第 2 補助容量線上に位置し第 1 方向に延出した第 2 副画素電極と、を備えた請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記第 1 補助容量線上に位置し前記スイッチング素子と電氣的に接続されたコンタクト部を備え、

前記第 1 副画素電極は前記コンタクト部にコンタクトした、請求項 3 に記載の液晶表示装置。

30

【請求項 5】

前記第 1 副画素電極は、前記第 2 副画素電極よりも太い幅を有する、請求項 3 または 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 主共通電極は、透明な導電材料によって形成され、しかも、前記ソース配線と重なる位置よりも前記主画素電極側に配置され、

前記第 2 主共通電極は、前記ソース配線の線幅よりも小さい電極幅を有し、前記ソース配線と重なる位置に配置された、請求項 1 に記載の液晶表示装置。

【請求項 7】

第 1 方向に延出したゲート配線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、第 1 方向に延出し前記ゲート配線と対向するゲートシールド電極と、第 2 方向に延出し前記ソース配線と対向し前記ゲートシールド電極と同電位のソースシールド電極と、第 2 方向に延出し前記ゲートシールド電極と立体交差し前記ソースシールド電極から離間し前記スイッチング素子と電氣的に接続された主画素電極と、を備えた第 1 基板と、

40

第 2 方向に延出し前記ソースシールド電極と対向し前記ソースシールド電極と同電位の主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えた液晶表示装置。

50

【請求項 8】

前記ソースシールド電極は、ソース配線に沿って延出した第 1 導電層と、ソース配線に対向する第 2 導電層と、によって構成された、請求項 7 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

10

【0003】

このような横電界モードに対して、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。その一例として、画素電極の一部がゲート配線を覆い、ゲート配線からの電界を遮蔽する技術が提案されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2012 - 088542 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

30

【課題を解決するための手段】

【0006】

本実施形態によれば、

第 1 方向に延出したゲート配線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子を覆う第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に形成され第 1 方向に延出し前記ゲート配線と対向する副共通電極と、前記第 1 層間絶縁膜上に形成され前記副共通電極に繋がり前記ソース配線に沿って第 2 方向に延出した第 1 主共通電極と、前記副共通電極及び前記第 1 主共通電極を覆う第 2 層間絶縁膜と、前記第 2 層間絶縁膜上に形成され第 2 方向に延出し前記ソース配線と対向し前記第 1 主共通電極と同電位の第 2 主共通電極と、前記第 2 層間絶縁膜上に形成され第 2 方向に延出し前記副共通電極と交差し前記スイッチング素子と電氣的に接続された主画素電極と、前記第 2 主共通電極及び前記主画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、第 2 方向に延出し前記第 2 主共通電極と対向し前記第 2 主共通電極と同電位の第 3 主共通電極と、前記第 3 主共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

40

【0007】

本実施形態によれば、

第 1 方向に延出したゲート配線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、第 1

50

方向に延出し前記ゲート配線と対向するゲートシールド電極と、第2方向に延出し前記ソース配線と対向し前記ゲートシールド電極と同電位のソースシールド電極と、第2方向に延出し前記ゲートシールド電極と立体交差し前記ソースシールド電極から離間し前記スイッチング素子と電氣的に接続された主画素電極と、を備えた第1基板と、第2方向に延出し前記ソースシールド電極と対向し前記ソースシールド電極と同電位の主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。 10

【図2】図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構成例を概略的に示す平面図である。

【図3】図3は、図2に示したアレイ基板ARを構成する主要な層構造を概略的に示す分解図である。

【図4】図4は、図1に示した対向基板CTにおける一画素PXの構造例を概略的に示す平面図である。

【図5】図5は、図2のA-B線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【図6】図6は、図2のC-D線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。 20

【図7】図7は、図2のE-F線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【発明を実施するための形態】

【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0010】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。 30

【0011】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0012】 40

液晶表示パネルLPNは、アクティブエリアACTにおいて、ゲート配線G（ $G_1 \sim G_n$ ）、補助容量線C（ $C_1 \sim C_n$ ）、ソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線状に延出している。ゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに直交している。ソース配線Sは、第2方向Yに沿って略直線状に延出し、ゲート配線G及び補助容量線Cと交差している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線状に延出していなくても良く、それらの一部が屈曲していてもよい。

【0013】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGD 50

に接続されている。各ソース配線 S は、アクティブエリア ACT の外側に引き出され、ソースドライバ SD に接続されている。これらのゲートドライバ GD 及びソースドライバ SD の少なくとも一部は、例えば、アレイ基板 AR に形成され、コントローラを内蔵した駆動 IC チップ 2 と接続されている。

【0014】

各画素 PX は、スイッチング素子 SW 、画素電極 PE 、共通電極 CE などを備えている。保持容量 CS は、例えば補助容量線 C と画素電極 PE との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 VCS と電氣的に接続されている。

【0015】

スイッチング素子 SW は、例えば、 n チャネル薄膜トランジスタ ($TFET$) によって構成されている。このスイッチング素子 SW は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 SW は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 SW の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

10

【0016】

画素電極 PE は、各画素 PX に配置され、スイッチング素子 SW に電氣的に接続されている。共通電極 CE は、例えばコモン電位であり、液晶層 LQ を介して複数の画素 PX の画素電極 PE に対して共通に配置されている。給電部 VS は、例えば、アレイ基板 AR におけるアクティブエリア ACT の外側に形成されている。共通電極 CE は、アクティブエ

20

【0017】

なお、本実施形態においては、液晶表示パネル LPN は、画素電極 PE がアレイ基板 AR に形成される一方で共通電極 CE の少なくとも一部が対向基板 CT に形成された構成であり、これらの画素電極 PE と共通電極 CE との間に形成される電界を主に利用して液晶層 LQ の液晶分子をスイッチングする。画素電極 PE と共通電極 CE との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される $X-Y$ 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0018】

図 2 は、図 1 に示したアレイ基板 AR を対向基板側から見たときの一画素 PX の構成例を概略的に示す平面図である。ここでは、 $X-Y$ 平面における平面図を示している。

30

【0019】

アレイ基板 AR は、ゲート配線 $G1$ 、補助容量線 $C1$ 、補助容量線 $C2$ 、ソース配線 $S1$ 、ソース配線 $S2$ 、画素電極 PE 、共通電極 CE の一部、第 1 配向膜 $AL1$ などを備えている。なお、図示しないが、アレイ基板 AR は、スイッチング素子も備えている。

【0020】

補助容量線 $C1$ 及び補助容量線 $C2$ は、第 2 方向 Y に沿って間隔をおいて配置され、それぞれ第 1 方向 X に沿って延出している。ゲート配線 $G1$ は、補助容量線 $C1$ と補助容量線 $C2$ との間に位置し、第 1 方向 X に沿って延出している。図示した例では、ゲート配線 $G1$ は、補助容量線 $C1$ と補助容量線 $C2$ との略中間に位置している。つまり、ゲート配線 $G1$ と補助容量線 $C1$ との第 2 方向 Y に沿った間隔は、ゲート配線 $G1$ と補助容量線 $C2$ との第 2 方向 Y に沿った間隔と略同等である。ソース配線 $S1$ 及びソース配線 $S2$ は、第 1 方向 X に沿って間隔をおいて配置され、それぞれ第 2 方向 Y に沿って延出している。画素電極 PE は、隣接するソース配線 $S1$ とソース配線 $S2$ との間に配置されている。

40

【0021】

図示した例では、画素 PX は、図中の破線で示したように、補助容量線 $C1$ 及び補助容量線 $C2$ とソース配線 $S1$ 及びソース配線 $S2$ とが成すマス目の領域に相当し、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形状である。画素 PX の第 1 方向 X に沿った長さはソース配線 $S1$ とソース配線 $S2$ との第 1 方向 X に沿ったピッチに相

50

当し、画素 P X の第 2 方向 Y に沿った長さは補助容量線 C 1 と補助容量線 C 2 との第 2 方向 Y に沿ったピッチに相当する。

【 0 0 2 2 】

図示した画素 P X において、ソース配線 S 1 は左側端部に位置し当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は右側端部に位置し当該画素 P X とその右側に隣接する画素との境界に跨って配置され、補助容量線 C 1 は上側端部に位置し当該画素 P X とその上側に隣接する画素との境界に跨って配置され、補助容量線 C 2 は下側端部に位置し当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。ゲート配線 G 1 は、画素 P X の略中央部に配置されている。

【 0 0 2 3 】

図示しないスイッチング素子は、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続され、ゲート配線 G 1 とソース配線 S 1 の交点付近に設けられている。コンタクト部 P C は、スイッチング素子と電氣的に接続されている。このコンタクト部 P C は、補助容量線 C 1 と重なる領域のうち、ゲート配線 G 1 に近接する側に位置している。

【 0 0 2 4 】

画素電極 P E は、補助容量線 C 1 と重なる位置でコンタクト部 P C と電氣的に接続されている。この画素電極 P E は、主画素電極 P A、第 1 副画素電極 P B 1、及び、第 2 副画素電極 P B 2 を備えている。これらの主画素電極 P A、第 1 副画素電極 P B 1、及び、第 2 副画素電極 P B 2 は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。

【 0 0 2 5 】

主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との間に位置し、画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線状に延出している。図示した例では、主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間に位置している。つまり、ソース配線 S 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、ソース配線 S 2 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 6 】

第 1 副画素電極 P B 1 は、ソース配線 S 1 とソース配線 S 2 との間において、第 1 方向 X に沿って直線状に延出している。この第 1 副画素電極 P B 1 は、主画素電極 P A の一端部に繋がり、補助容量線 C 1 と重なる領域のうち、ゲート配線 G 1 に近接する側に位置している。また、第 1 副画素電極 P B 1 は、その少なくとも一部がコンタクト部 P C と重なり、コンタクト部 P C にコンタクトしている。このような第 1 副画素電極 P B 1 は、第 2 方向 Y に沿って略同一の幅 W 1 を有する帯状に形成されている。

【 0 0 2 7 】

第 2 副画素電極 P B 2 は、ソース配線 S 1 とソース配線 S 2 との間において、第 1 方向 X に沿って直線状に延出している。この第 2 副画素電極 P B 2 は、主画素電極 P A の他端部に繋がり、補助容量線 C 2 と重なる領域のうち、ゲート配線 G 1 に近接する側に位置している。このような第 2 副画素電極 P B 2 は、第 2 方向 Y に沿って略同一の幅 W 2 を有する帯状に形成されている。

【 0 0 2 8 】

図示していないが、1本の補助容量線は、第 2 方向 Y に隣接する 2 つの画素に跨って配置されており、当該補助容量線と重なる領域には、一方の画素に配置された画素電極の第 1 副画素電極 P B 1 と、他方の画素に配置された画素電極の第 2 副画素電極 P B 2 とが間隔をおいて隣接している。第 1 副画素電極 P B 1 はコンタクト部 P C とのコンタクトに必要な面積を確保するために幅広に形成される一方で、第 2 副画素電極 P B 2 は電界形成のための電極として機能すれば良い。このため、第 1 副画素電極 P B 1 の幅 W 1 は、第 2 副画素電極 P B 2 の幅 W 2 よりも太い。

【 0 0 2 9 】

共通電極 C E は、第 1 主共通電極 C A 1、第 2 主共通電極 C A 2、及び、副共通電極 C

10

20

30

40

50

Bを備えている。第1主共通電極CA1及び副共通電極CBは、一体的あるいは連続的に形成され、互いに電氣的に接続されている。第2主共通電極CA2は、第1主共通電極CA1などとは離間しているが、互いに電氣的に接続され（あるいは、第1主共通電極CA1及び第2主共通電極CA2の双方がアクティブエリアACTの外側で給電部VSに接続され）、同一のコモン電位に設定されている。

【0030】

第1主共通電極CA1は、ソース配線Sに沿って延出している。あるいは、第1主共通電極CA1は、X-Y平面内において、主画素電極PAを挟んだ両側に位置し、第2方向Yに沿って直線状に延出している。この第1主共通電極CA1は、ソース配線Sと重なる位置よりも画素電極PEの側に配置されている。このような第1主共通電極CA1は、第1方向Xに沿って略同一の幅を有する帯状に形成されている。

10

【0031】

図示した例では、第1主共通電極CA1は、第1方向Xに間隔をおいて2本平行に並んでおり、画素PXの左側端部に位置する第1主共通電極CAL1と、画素PXの右側端部に位置する第1主共通電極CAR1と、を備えている。第1主共通電極CAL1は、ソース配線S1に沿って延出し、ソース配線S1と重なる位置よりも画素電極PEの側に配置されているが、その一部がソース配線S1に重なる位置に延在していても良い。同様に、第1主共通電極CAR1は、ソース配線S2に沿って延出し、ソース配線S2に重なる位置よりも画素電極PEの側に配置されているが、その一部がソース配線S2に重なる位置に延在していても良い。

20

【0032】

副共通電極CBは、ゲート配線G1に沿って延出している。あるいは、副共通電極CBは、X-Y平面内において、第1方向Xに沿って直線状に延出している。この副共通電極CBは、ゲート配線G1と対向している。このような副共通電極CBは、帯状に形成されている。この副共通電極CBの第2方向Yに沿った電極幅は、例えば、ゲート配線G1の第2方向Yに沿った幅よりも大きい。つまり、副共通電極CBは、ゲート配線G1と重なる位置に配置されている。この副画素電極CBは、第1主共通電極CA1と繋がっている。

【0033】

第2主共通電極CA2は、ソース配線Sに対向している。あるいは、第2主共通電極CA2は、X-Y平面内において、主画素電極PAを挟んだ両側に位置し、第2方向Yに沿って直線状に延出している。あるいは、第2主共通電極CA2は、第1主共通電極CA1と略平行に延出している。このような第2主共通電極CA2は、ソース配線Sの幅よりも小さい電極幅を有し、第1方向Xに沿って略同一の幅を有する帯状に形成されている。

30

【0034】

図示した例では、第2主共通電極CA2は、第1方向Xに間隔をおいて2本平行に並んでおり、画素PXの左側端部に位置し当該画素PXとその左側に隣接する画素との境界に跨って配置された第2主共通電極CAL2と、画素PXの右側端部に位置し当該画素PXとその右側に隣接する画素との境界に跨って配置された第2主共通電極CAR2と、を備えている。第2主共通電極CAL2は、第1主共通電極CAL1に沿って延出し、ソース配線S1の線幅よりも小さい電極幅を有し、ソース配線S1と重なる位置に配置されている。また、第2主共通電極CAL2は、ソース配線S1の上で副共通電極CBと交差している。同様に、第2主共通電極CAR2は、第1主共通電極CAR1に沿って延出し、ソース配線S2の線幅よりも小さい電極幅を有し、ソース配線S2と重なる位置に配置されている。また、第2主共通電極CAR2は、ソース配線S2の上で副共通電極CBと交差している。

40

【0035】

このようなアレイ基板ARにおいては、画素電極PE及び第2主共通電極CA2は、第1配向膜AL1によって覆われている。この第1配向膜AL1には、液晶層LQの液晶分子を初期配向させるために、配向処理方向PD1に沿って配向処理がなされている。配向

50

処理方向 P D 1 は、例えば、第 2 方向 Y と略平行である。

【 0 0 3 6 】

図 3 は、図 2 に示したアレイ基板 A R を構成する主要な層構造を概略的に示す分解図である。なお、ここでは、アレイ基板 A R における主な導電層を図示している。

【 0 0 3 7 】

第 1 層 L 1 と第 2 層 L 2 との間には第 1 絶縁膜 1 1 が介在し、第 2 層 L 2 と第 3 層 L 3 との間には第 2 絶縁膜 1 2 が介在し、第 3 層 L 3 と第 4 層 L 4 との間には第 3 絶縁膜 1 3 が介在し、第 4 層 L 4 と第 5 層 L 5 との間には第 4 絶縁膜 1 4 が介在している。

【 0 0 3 8 】

第 1 層 L 1 には、スイッチング素子の半導体層 S C が配置されている。半導体層 S C は、例えば、ポリシリコンによって形成され、ソース配線 S 1 の下方を通り、ゲート配線 G 1 と交差し、補助容量線 C 1 の下方に延出している。この半導体層 S C のうち、ゲート配線 G 1 の直下に位置する領域がチャネル領域 S C C に相当し、チャネル領域 S C C よりもソース配線 S 1 とコンタクトする側の領域がソース領域 S C S に相当し、チャネル領域 S C C よりも補助容量線 C 1 の下方に延出する側の領域がドレイン領域 S C D に相当する。

10

【 0 0 3 9 】

第 2 層 L 2 には、補助容量線 C 1、ゲート配線 G 1、及び、補助容量線 C 2 が配置されている。補助容量線 C 1 は、一部のドレイン領域 S C D の上方に位置している。この補助容量線 C 1 には、ドレイン領域 S C D と対向する位置に開口部 A C が形成されている。ゲート配線 G 1 のうち、半導体層 S C の上方に位置する領域がスイッチング素子のゲート電極 W G に相当する。

20

【 0 0 4 0 】

第 3 層 L 3 には、ソース配線 S 1、ソース配線 S 2、及び、コンタクト部 P C が配置されている。ソース配線 S 1 は、一部の半導体層の上方に位置している。ソース配線 S 1 のうち、半導体層 S C とコンタクトする領域がスイッチング素子のソース電極 W S に相当する。すなわち、ソース電極 W S は、第 1 絶縁膜 1 1 及び第 2 絶縁膜 1 2 を貫通するコンタクトホールを介してソース領域 S C S にコンタクトしている。コンタクト部 P C は、補助容量線 C 1 の上方に位置している。このコンタクト部 P C は、スイッチング素子のドレイン電極に相当する。すなわち、コンタクト部 P C は、開口部 A C を経由し第 1 絶縁膜 1 1 及び第 2 絶縁膜 1 2 を貫通するコンタクトホールを介してドレイン領域 S C D にコンタクトしている。

30

【 0 0 4 1 】

第 4 層 L 4 には、第 1 主共通電極 C A L 1、第 1 主共通電極 C A R 1、及び、副共通電極 C B が配置されている。第 1 主共通電極 C A L 1 は、ソース配線 S 1 の上方の位置よりも画素 P X の内側に位置している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 の上方の位置よりも画素 P X の内側に位置している。副共通電極 C B は、ゲート配線 G 1 の上方に位置している。

【 0 0 4 2 】

第 5 層 L 5 には、第 2 主共通電極 C A L 2、第 2 主共通電極 C A R 2、及び、画素電極 P E が配置されている。第 2 主共通電極 C A L 2 は、ソース配線 S 1 の上方に位置している。第 2 主共通電極 C A R 2 は、ソース配線 S 2 の上方に位置している。画素電極 P E の主画素電極 P A は、第 4 絶縁膜 1 4 を介して副共通電極 C B と立体交差している。第 1 副画素電極 P B 1 は、コンタクト部 P C の上方に位置し、第 3 絶縁膜 1 3 及び第 4 絶縁膜 1 4 を貫通するコンタクトホールを介してコンタクト部 P C にコンタクトしている。第 2 副画素電極 P B 2 は、補助容量線 C 2 の上方に位置している。

40

【 0 0 4 3 】

図 4 は、図 1 に示した対向基板 C T における一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の主要部である画素電極 P E 及び共通電極 C E の一部を破線で示している。

50

【 0 0 4 4 】

対向基板 C T は、共通電極 C E の一部である第 3 主共通電極 C A 3 を備えている。第 3 主共通電極 C A 3 は、例えば、アクティブエリアの外側においてアレイ基板の給電部 V S と電氣的に接続され（あるいは、アレイ基板に備えられた第 1 主共通電極 C A 1 などと電氣的に接続され）、第 1 主共通電極 C A 1 などと同一のコモン電位に設定されている。

【 0 0 4 5 】

第 3 主共通電極 C A 3 は、X - Y 平面内において、画素電極 P E を挟んだ両側に位置し、第 2 方向 Y に沿って直線状に延出している。この第 3 主共通電極 C A 3 は、第 2 主共通電極 C A 2 の上方に位置している。このような第 3 主共通電極 C A 3 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

10

【 0 0 4 6 】

図示した例では、第 3 主共通電極 C A 3 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左側端部に位置し当該画素 P X とその左側に隣接する画素との境界に跨って配置された第 3 主共通電極 C A L 3 と、画素 P X の右側端部に位置し当該画素 P X とその右側に隣接する画素との境界に跨って配置された第 3 主共通電極 C A R 3 と、を備えている。第 3 主共通電極 C A L 3 は、第 2 主共通電極 C A L 2 と対向している。第 3 主共通電極 C A R 3 は、第 2 主共通電極 C A R 2 と対向している。

【 0 0 4 7 】

このような対向基板 C T においては、第 3 主共通電極 C A 3 は、第 2 配向膜 A L 2 によって覆われている。この第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるために、第 2 配向処理方向 P D 2 に沿って配向処理がなされている。ここでの配向処理とは、例えば、ラビング処理や光配向処理などである。第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と平行であり、図示した例では、第 1 配向処理方向 P D 1 と同一方向である。なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、互いに逆向きの方向であっても良いし、ともに同一方向でありながら図示した例とは逆向きつまり第 1 副画素電極 P B 1 から第 2 副画素電極 P B 2 に向かう側であっても良い。

20

【 0 0 4 8 】

図 5 は、図 2 の A - B 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。図 6 は、図 2 の C - D 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。図 7 は、図 2 の E - F 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。

30

【 0 0 4 9 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト B L が配置されている。バックライト B L としては、種々の形態が適用可能であり、また、光源として発光ダイオード（L E D）を利用したものや冷陰極管（C C F L）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 5 0 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 の内側、つまり、対向基板 C T と対向する側において、詳述しないスイッチング素子のポリシリコンからなる半導体層 S C、ゲート配線 G 1、補助容量線 C 1、補助容量線 C 2、ソース配線 S 1、ソース配線 S 2、画素電極 P E、第 1 主共通電極 C A 1、第 2 主共通電極 C A 2、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 4 絶縁膜 1 4、第 1 配向膜 A L 1 などを備えている。

40

【 0 0 5 1 】

半導体層 S C は、第 1 絶縁基板 1 0 と第 1 絶縁膜 1 1 との間に形成されている。補助容量線 C 1、補助容量線 C 2、及び、ゲート配線 G 1 は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。これらの補助容量線 C 1、補助容量線 C 2、及び、ゲート配線 G 1 は、同一の配線材料によって一括して形成可能である。ソース配線 S 1、ソース配線 S 2、及び、コンタクト部 P C は、第 2 絶縁膜 1 2 の上に形成され、第 3 絶縁膜 1 3 によって覆われている。これらのソース配線 S 1、ソース配線 S 2、及び、コン

50

タクト部 P C は、同一の配線材料によって一括して形成可能である。第 3 絶縁膜 1 3 は、ソース配線 S 1 などとともにスイッチング素子を覆う第 1 層間絶縁膜に相当する。

【 0 0 5 2 】

第 1 主共通電極 C A 1 及び副共通電極 C B は、第 3 絶縁膜 1 3 の上に形成され、第 4 絶縁膜 1 4 によって覆われている。これらの第 1 主共通電極 C A 1 及び副共通電極 C B は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジンク・オキサイド (I Z O) などの透明な導電材料によって形成されている。

【 0 0 5 3 】

第 4 絶縁膜 1 4 は、第 1 主共通電極 C A 1 及び副共通電極 C B を覆う第 2 層間絶縁膜に相当する。この第 4 絶縁膜 1 4 は、例えば、透明な樹脂材料によって形成されている。このような第 4 絶縁膜 1 4 は、その下層に位置する各種配線や各種電極による段差を緩和し、その表面が略平坦化されている。

【 0 0 5 4 】

画素電極 P E の主画素電極 P A 、第 1 副画素電極 P B 1 、及び、第 2 副画素電極 P B 2 は、第 4 絶縁膜 1 4 の上に形成され、第 1 配向膜 A L 1 によって覆われている。また、第 2 主共通電極 C A 2 は、第 4 絶縁膜 1 4 の上に形成され、画素電極 P E から離間し、第 1 配向膜 A L 1 によって覆われている。これらの画素電極 P E 及び第 2 主共通電極 C A 2 は、同一材料によって一括して形成可能であり、例えば、I T O や I Z O などの透明な導電材料によって形成されても良いし、アルミニウム (A l) 、チタン (T i) 、銀 (A g) 、モリブデン (M o) 、タングステン (W) 、銅 (C u) 、クロム (C r) などの不透明な配線材料によって形成されても良い。

【 0 0 5 5 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、第 4 絶縁膜 1 4 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 5 6 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 の内側、つまり、アレイ基板 A R と対向する側において、ブラックマトリクス B M 、カラーフィルタ C F 、オーバーコート層 O C 、第 3 主共通電極 C A 3 、第 2 配向膜 A L 2 などを備えている。

【 0 0 5 7 】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S 、補助容量線 C 、スイッチング素子 S W などの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクス B M は、ソース配線 S 1 及びソース配線 S 2 の上方に位置し第 2 方向 Y に沿って延出した部分と、補助容量配線 C 1 及び補助容量線 C 2 の上方に位置し第 1 方向 X に沿って延出した部分を備えており、格子状に形成されている。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

【 0 0 5 8 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A においてブラックマトリクス B M によって区画された内側 (開口部 A P) に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色の樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色の樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色の樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同

10

20

30

40

50

士の境界は、ブラックマトリクスＢＭと重なる位置にある。また、カラーフィルタＣＦは、第２方向Ｙに隣接する複数の画素に亘って延出している。

【００５９】

オーバーコート層ＯＣは、カラーフィルタＣＦを覆っている。このオーバーコート層ＯＣは、カラーフィルタＣＦの表面の凹凸の影響を緩和する。このようなオーバーコート層ＯＣは、例えば、透明な樹脂材料によって形成されている。

【００６０】

第３主共通電極ＣＡ３は、オーバーコート層ＯＣのアレイ基板ＡＲと対向する側に形成され、いずれもブラックマトリクスＢＭの下方に位置している。第３主共通電極ＣＡＬ３の下方には、第２主共通電極ＣＡＬ２が位置している。第３主共通電極ＣＡＲ３の下方には、第２主共通電極ＣＡＲ２が位置している。上記の開口部ＡＰにおいて、画素電極ＰＥと第２主共通電極ＣＡ２及び第３主共通電極ＣＡ３との間の領域は、いずれもバックライト光が透過可能な透過領域に相当する。

【００６１】

第２配向膜ＡＬ２は、対向基板ＣＴのアレイ基板ＡＲと対向する面に配置され、アクティブエリアＡＣＴの略全体に亘って延在している。この第２配向膜ＡＬ２は、第３主共通電極ＣＡ３やオーバーコート層ＯＣを覆っている。このような第２配向膜ＡＬ２は、水平配向性を示す材料によって形成されている。

【００６２】

上述したようなアレイ基板ＡＲと対向基板ＣＴとは、それぞれの第１配向膜ＡＬ１及び第２配向膜ＡＬ２が対向するように配置されている。このとき、アレイ基板ＡＲの第１配向膜ＡＬ１と対向基板ＣＴの第２配向膜ＡＬ２との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば２～７μｍのセルギャップが形成される。このセルギャップは、主画素電極ＰＡと第１主共通電極ＣＡ１との間隔よりも小さい。アレイ基板ＡＲと対向基板ＣＴとは、所定のセルギャップが形成された状態で、アクティブエリアＡＣＴの外側のシール材によって貼り合わせられている。

【００６３】

液晶層ＬＱは、アレイ基板ＡＲと対向基板ＣＴとの間に形成されたセルギャップに保持され、第１配向膜ＡＬ１と第２配向膜ＡＬ２との間に配置されている。液晶層ＬＱは、液晶分子ＬＭを含んでいる。このような液晶層ＬＱは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【００６４】

アレイ基板ＡＲの外表面、つまり、第１絶縁基板１０の外表面１０Ｂには、第１光学素子ＯＤ１が接着されている。この第１光学素子ＯＤ１は、液晶表示パネルＬＰＮのバックライトＢＬと対向する側に位置しており、バックライトＢＬから液晶表示パネルＬＰＮに入射する入射光の偏光状態を制御する。この第１光学素子ＯＤ１は、第１偏光軸ＡＸ１を有する第１偏光板ＰＬ１を含んでいる。なお、第１偏光板ＰＬ１と第１絶縁基板１０との間に位相差板などの他の光学素子が配置されても良い。

【００６５】

対向基板ＣＴの外表面、つまり、第２絶縁基板２０の外表面２０Ｂには、第２光学素子ＯＤ２が接着されている。この第２光学素子ＯＤ２は、液晶表示パネルＬＰＮの表示面側に位置しており、液晶表示パネルＬＰＮから出射した出射光の偏光状態を制御する。この第２光学素子ＯＤ２は、第２偏光軸ＡＸ２を有する第２偏光板ＰＬ２を含んでいる。なお、第２偏光板ＰＬ２と第２絶縁基板２０との間に位相差板などの他の光学素子が配置されていても良い。

【００６６】

第１偏光板ＰＬ１の第１偏光軸ＡＸ１と、第２偏光板ＰＬ２の第２偏光軸ＡＸ２とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極ＰＡの延出方向あるいは液晶分子の初期配向方向と略平行または略直交するように

10

20

30

40

50

配置されている。図 4 において、(a) で示した例では、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が第 1 方向 X と平行となるように配置され、また、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 2 方向 Y と平行となるように配置されている。また、図 4 において、(b) で示した例では、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 1 方向 X と平行となるように配置され、また、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が第 2 方向 Y と平行となるように配置されている。

【 0 0 6 7 】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【 0 0 6 8 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成されていない状態 (O F F 時) には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行且つ同じ向きの方向である。O F F 時においては、図 4 に破線で示したように、液晶分子 L M は、X - Y 平面内において、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行である。

【 0 0 6 9 】

このような O F F 時において、バックライト B L からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、O F F 時の液晶層 L Q を通過した際にほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される (黒表示) 。

【 0 0 7 0 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成された状態 (O N 時) では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界 (あるいは斜め電界) が形成される。液晶分子 L M は、画素電極 P E と共通電極 C E との間の電界の影響を受け、その配向状態が変化する。つまり、液晶分子 L M はその長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。これにより、画素 P X において、画素電極 P E と共通電極 C E との間にバックライト光が透過可能な透過領域が形成される。

【 0 0 7 1 】

図 4 に示した例では、画素電極 P E と第 3 主共通電極 C A L 3 との間の領域のうち、上側半分の領域内の液晶分子 L M は、主画素電極 P A 及び第 1 副画素電極 P B 1 と第 2 主共通電極 C A L 2 及び第 3 主共通電極 C A L 3 との間に形成される電界が主として作用するため、第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向する。また、下側半分の領域内の液晶分子 L M は、主画素電極 P A 及び第 2 副画素電極 P B 2 と第 2 主共通電極 C A L 2 及び第 3 主共通電極 C A L 3 との間に形成される電界が主として作用するため、第 2 方向 Y に対して反時計回りに回転し図中の左上を向くように配向する。

【 0 0 7 2 】

画素電極 P E と第 3 主共通電極 C A R 3 との間の領域のうち、上側半分の領域内の液晶分子 L M は、主画素電極 P A 及び第 1 副画素電極 P B 1 と第 2 主共通電極 C A R 2 及び第 3 主共通電極 C A R 3 との間に形成される電界が主として作用するため、第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向する。また、下側半分の領域内の液晶分子 L M は、主画素電極 P A 及び第 2 副画素電極 P B 2 と第 2 主共通電極 C A R 2 及び第 3 主共通電極 C A R 3 との間に形成される電界が主として作用するため、第 2 方向 Y に対して時計回りに回転し図中の右上を向くように配向する。

【 0 0 7 3 】

10

20

30

40

50

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E 及び副共通電極 C B と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 7 4 】

このような ON 時に、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光は、液晶表示パネル L P N に入射し、その偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。このため、ON 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 7 5 】

このような本実施形態によれば、副共通電極 C B は、ゲート配線 G と重なるように対向配置されているため、ゲート配線 G からの不所望な漏れ電界をシールドすることが可能である。つまり、副共通電極 C B は、ゲートシールド電極として機能することが可能である。したがって、透過領域のうちのゲート配線 G に近接する領域での不所望な電界の影響が緩和され、表示品位の劣化を抑制することが可能となる。

【 0 0 7 6 】

また、本実施形態によれば、アレイ基板 A R は、各ソース配線 S の液晶層 L Q 側に同電位（例えばコモン電位）の 2 層の主共通電極（第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2）を備えている。下層に位置する第 1 主共通電極 C A 1 は、ソース配線 S よりも画素電極 P E の側に位置し、また、上層に位置する第 2 主共通電極 C A 2 は、ソース配線 S の直上に位置している。これらの第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 は同電位であるため、これらの間に等電位面が形成される。このような等電位面は、下層に位置するソース配線 S から液晶層 L Q に向かう不所望な漏れ電界をシールドする。つまり、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 は、ソース配線 S からの不所望な漏れ電界をシールドすることが可能であり、ソースシールド電極として機能することが可能である。このとき、第 1 主共通電極 C A 1 はソースシールド電極のうちの第 1 導電層に相当し、第 2 主共通電極 C A 2 はソースシールド電極のうちの第 2 導電層に相当する。このように、画素電極 P E に隣接するソース配線 S からの漏れ電界の影響を緩和することができ、クロストークによる表示品位の劣化を抑制することが可能となる。

【 0 0 7 7 】

また、本実施形態によれば、ON 時には、主画素電極 P A と、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 との間に液晶分子の配向を制御するのに必要な横電界（あるいは斜め電界）が形成されるとともに、主画素電極 P A と副共通電極 C B との間にフリンジ電界が形成される。このようなフリンジ電界は、X - Y 平面内において上記の横電界と略平行である。このため、ゲート配線 G の近傍（あるいは、副共通電極 C B の周辺）での液晶分子 L M の配向の乱れを抑制することが可能となる。これにより、ゲート配線 G の近傍における透過率を向上することができ、一画素あたりの透過率を向上することが可能となる。

【 0 0 7 8 】

なお、ここに説明した例において、フリンジ電界が液晶分子に作用すると、液晶分子の配向が乱れ所望の透過率を得られなくなる場合がある。このため、透明な樹脂材料からなる第 4 絶縁膜 1 4 の膜厚を厚くすることで、液晶層へのフリンジ電界の影響を低減することが可能となる。第 4 絶縁膜 1 4 は、例えば、1 μ m 程度の膜厚に形成することが望ましいため、第 4 絶縁膜 1 4 を樹脂材料で形成する場合、透明な無機材料で第 4 絶縁膜 1 4 を形成する場合よりも歩留まりを向上することが可能となる。

【 0 0 7 9 】

また、本実施形態によれば、第 1 主共通電極 C A 1 は、開口部 A P と対向する領域に位置しているが、透明な導電材料によって形成されている。ON 時には、第 1 主共通電極 C A 1 の直上に位置する液晶分子 L M は、画素電極 P E と第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 との間に形成される電界によって配向制御されるため、第 1 主共通電極 C

10

20

30

40

50

A 1 の直上の領域においても、表示に寄与する。つまり、本実施形態は、開口部 A P に第 1 主共通電極 C A 1 を配置した構成であるものの、開口部 A P における透過率の低減を招くことは無く、高透過率を実現することが可能である。

【 0 0 8 0 】

また、本実施形態によれば、主画素電極 P A や、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 と重なる領域の液晶分子 L M は、O N 時においても O F F 時（あるいは黒表示時）と同様の初期配向状態を保っており、表示に寄与しない。このため、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 の電極幅がソース配線 S の線幅より大きい構成の場合には、ソース配線 S からはみ出した電極部分と重なる領域が表示に寄与しないのに対して、本実施形態によれば、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 の電極幅がソース配線 S の線幅よりも小さいため、液晶分子 L M の配向を制御可能な領域を拡大することが可能となる。

10

【 0 0 8 1 】

また、本実施形態によれば、ソース配線 S に近い側の第 1 主共通電極 C A 1 は、ソース配線 S の直上の位置よりもずれた位置に配置されている。このため、ソース配線 S と第 1 主共通電極 C A 1 との間での不所望な容量の形成を抑制することが可能となり、液晶表示装置の消費電力を低減することが可能となる。また、ソース配線 S と対向する第 2 主共通電極 C A 2 は、第 1 主共通電極 C A 1 よりもソース配線 S から離れた位置にあり、しかも、ソース配線 S よりも小さい線幅を有するため、これらの間に形成され得る容量が表示に及ぼす影響を低減することが可能となる。

20

【 0 0 8 2 】

また、本実施形態によれば、ソース配線 S の直上に位置する第 2 主共通電極 C A 2 と重なる領域、あるいは、ブラックマトリクス B M の直下に位置する第 3 主共通電極 C A 3 と重なる領域の液晶分子 L M は、O N 時においても初期配向状態を保っている。このため、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することができる。したがって、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となる。また、液晶表示パネルを斜め方向から観察した場合であっても、第 2 主共通電極 C A 2 と重なる領域、あるいは、第 3 主共通電極 C A 3 と重なる領域を光が透過しないため、混色の発生を抑制することが可能となる。

30

【 0 0 8 3 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【 0 0 8 4 】

また、本実施形態によれば、共通電極 C E について、第 1 主共通電極 C A 1 及び副共通電極 C B は互いに電氣的に接続され、第 2 主共通電極 C A 2 は第 1 主共通電極 C A 1 と電氣的に接続され、第 3 主共通電極 C A 3 も第 1 主共通電極 C A 1 などと電氣的に接続されている。このため、共通電極の一部に断線が発生したりしたとしても、各画素 P X に安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

40

【 0 0 8 5 】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、第 2 方向 Y を斜めに交差する斜め方向であっても良い。

【 0 0 8 6 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

【 0 0 8 7 】

50

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 0 8 8 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 0 8 9 】

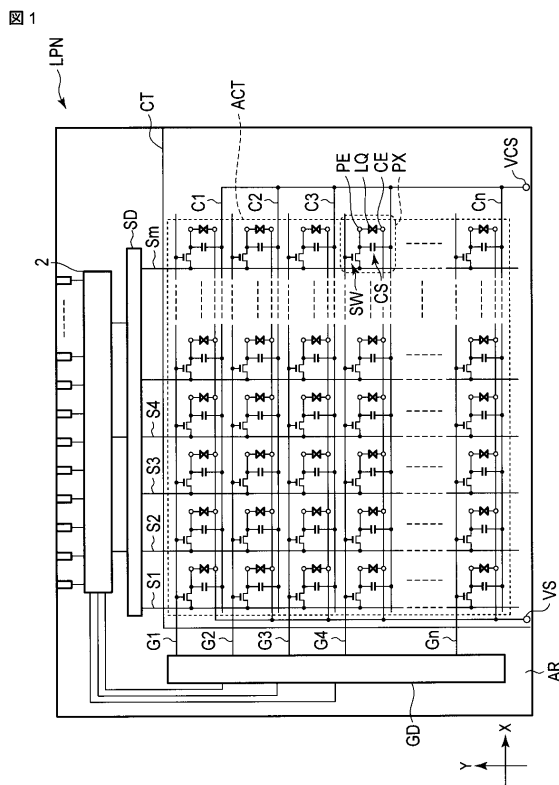
L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

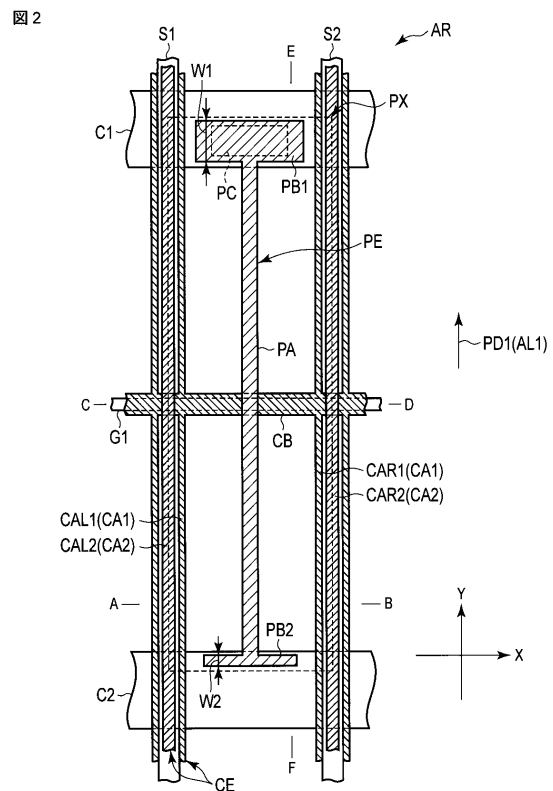
P E ... 画素電極 P A ... 主画素電極 P B 1 ... 第 1 副画素電極 P B 2 ... 第 2 副画素電極

C E ... 共通電極 C A 1 ... 第 1 主共通電極 C A 2 ... 第 2 主共通電極 C A 3 ... 第 3 主共通電極 C B ... 副共通電極

【 図 1 】

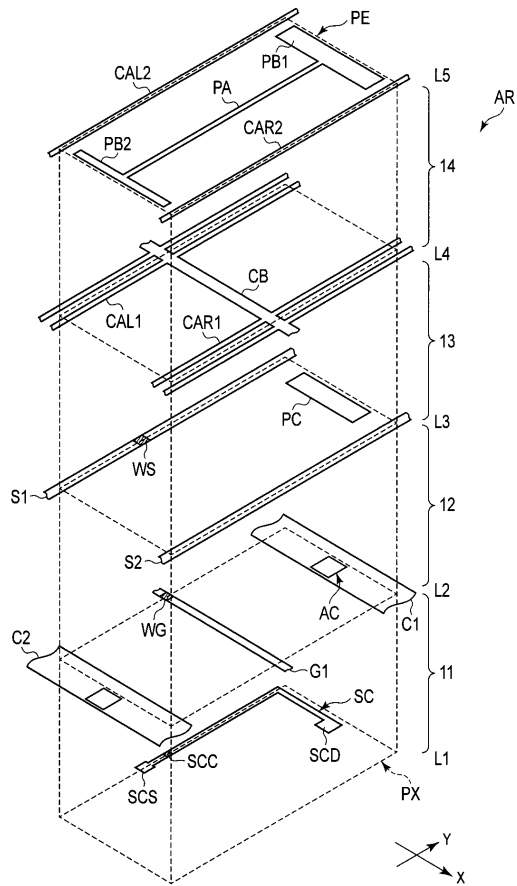


【 図 2 】



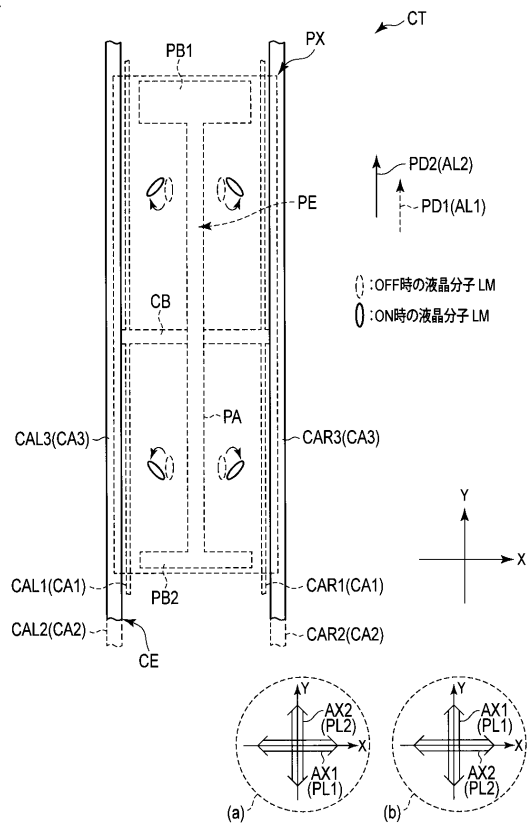
【図 3】

図 3



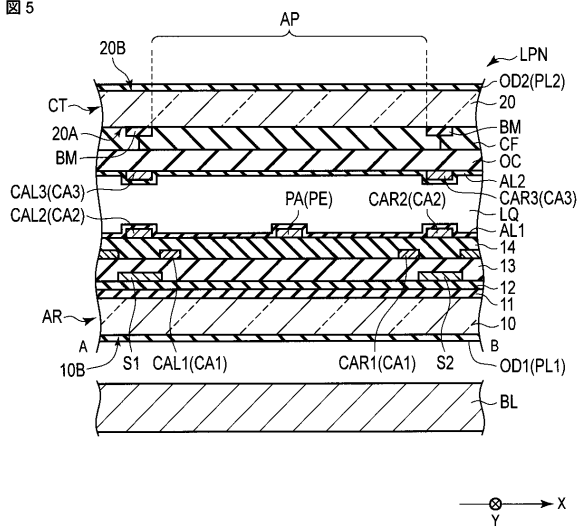
【図 4】

図 4



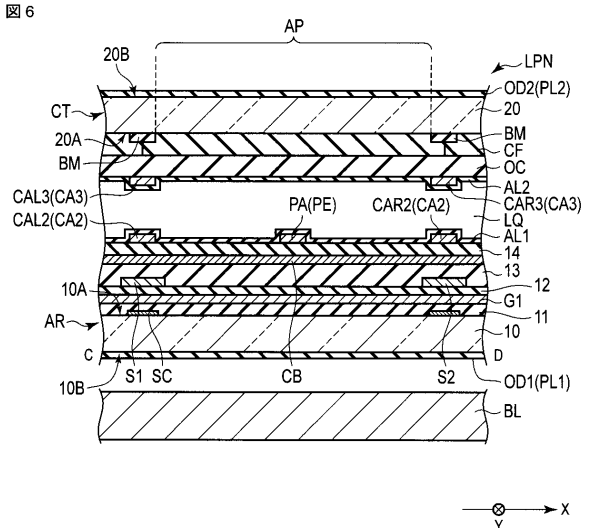
【図 5】

図 5



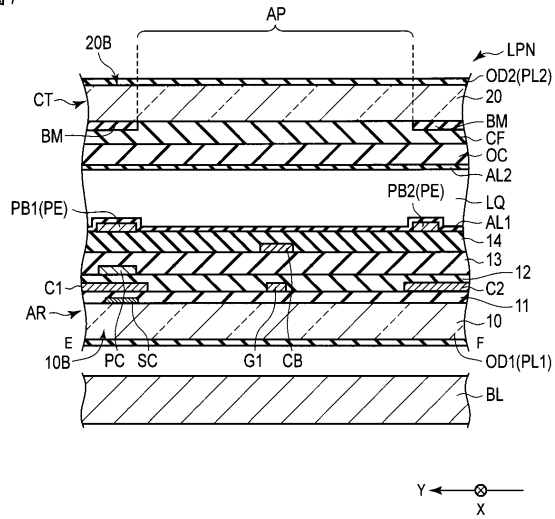
【図 6】

図 6



【 図 7 】

図 7



フロントページの続き

(74)代理人 100075672
弁理士 峰 隆司
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100172580
弁理士 赤穂 隆雄
(74)代理人 100179062
弁理士 井上 正
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 廣澤 仁

埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

Fターム(参考) 2H092 GA14 GA25 GA30 GA60 JA24 JB24 JB26 JB33 JB35 JB54
JB57 JB69 KA04 KA05 KA07 KB25 NA04 PA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014089338A	公开(公告)日	2014-05-15
申请号	JP2012239401	申请日	2012-10-30
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/134309 G02F1/136213 G02F2001/134318		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA25 2H092/GA30 2H092/GA60 2H092/JA24 2H092/JB24 2H092/JB26 2H092/JB33 2H092/JB35 2H092/JB54 2H092/JB57 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA07 2H092/KB25 2H092/NA04 2H092/PA09 2H192/AA24 2H192/BB03 2H192/BB31 2H192/BB54 2H192/BB73 2H192/CB02 2H192/CB46 2H192/CC04 2H192/CC26 2H192/DA32 2H192/EA22 2H192/EA43 2H192/GA03 2H192/JA33		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
其他公开文献	JP6063710B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。形成在第一层间绝缘膜上，该第一层间绝缘膜覆盖在第一方向上延伸的栅极布线，在第二方向上延伸的源极布线以及电连接至该栅极布线和源极布线的开关元件。在第一方向上延伸且面对栅极布线的子公共电极，以及形成在第一层间绝缘膜上并连接到子公共电极并沿第二方向沿着源极布线延伸的第一主公共电极，在覆盖子公共电极和第一主公共电极的第二层间绝缘膜上形成的第二主公共电极在第二方向上延伸，面向源极线，并且具有与第一主公共电极和第二中间层相同的电位 第一基板，其具有形成在绝缘膜上并在第二方向上延伸并与子公共电极相交的主像素电极；以及在第二方向上延伸并面向第二主公共电极的第二主公共电极。第二基板具有第三主公共电极，该第三主公共电极具有与第一基板相同的电势，并且液晶层保持在第一基板和第二基板之间，，液晶显示装置。

[选择图]图2

