

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-44330

(P2014-44330A)

(43) 公開日 平成26年3月13日(2014.3.13)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H191
GO2F 1/1335 (2006.01)	GO2F 1/1335 505	

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2012-186933 (P2012-186933)	(71) 出願人	502356528
(22) 出願日	平成24年8月27日 (2012.8.27)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置

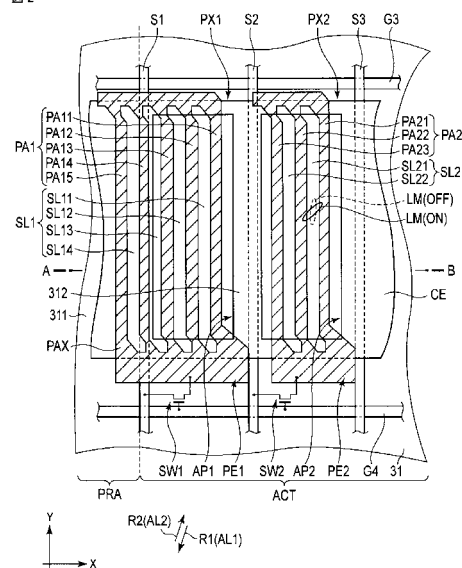
(57) 【要約】

【課題】表示品位の低下を抑制することが可能な液晶表示装置を提供する。

【解決手段】画像を表示するアクティブエリアの端部に位置する第1画素及び第1画素に隣接しアクティブエリアの内側に位置する第2画素に延在した共通電位の共通電極と、共通電極の上に配置された絶縁膜と、絶縁膜の上において第1画素に位置する第1画素電極であって共通電極と向かい合い第1方向に交差する第2方向に延出した第1スリットを形成する第1電極部を有する第1画素電極と、絶縁膜の上において第2画素に位置する第2画素電極であって共通電極と向かい合い第2方向に延出した第2スリットを形成する第2電極部を有する第2画素電極と、第1画素電極及び第2画素電極を覆う第1配向膜と、を備えた第1基板を備え、第1画素電極は、第2画素電極よりも第1方向に沿って幅広であってアクティブエリアの外側に延在し遮光層と対向する延在部を有する液晶表示装置。

【選択図】 図2

図2



【特許請求の範囲】**【請求項 1】**

画像を表示するアクティブエリアの端部に位置する第 1 画素及び第 1 方向で前記第 1 画素に隣接し前記アクティブエリアの内側に位置する第 2 画素に延在したコモン電位の共通電極と、前記共通電極の上に配置された絶縁膜と、前記絶縁膜の上において前記第 1 画素に位置する第 1 画素電極であって前記共通電極と向かい合い第 1 方向に交差する第 2 方向に延出した第 1 スリットを形成する第 1 電極部を有する第 1 画素電極と、前記絶縁膜の上において前記第 2 画素に位置する第 2 画素電極であって前記共通電極と向かい合い第 2 方向に延出した第 2 スリットを形成する第 2 電極部を有する第 2 画素電極と、前記第 1 画素電極及び前記第 2 画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

10

前記アクティブエリアにおいて第 1 方向及び第 2 方向に延出し格子状に形成されるとともに前記アクティブエリアの外側に配置された遮光層と、前記第 1 配向膜と対向する第 2 配向膜と、を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶層と、を備え、

前記第 1 画素電極は、前記第 2 画素電極よりも第 1 方向に沿って幅広であって、前記アクティブエリアの外側に延在し前記遮光層と対向する延在部を有する、液晶表示装置。

【請求項 2】

前記延在部は、前記第 2 画素電極とは反対側の端部に位置する前記第 1 電極部を含む、請求項 1 に記載の液晶表示装置。

【請求項 3】

20

前記延在部は、前記第 2 画素電極とは反対側の端部に位置する前記第 1 スリットを含む、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 スリットの本数は前記第 2 スリットの本数よりも多い、請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記第 1 スリットの本数は前記第 2 スリットの本数と同数であり、

前記遮光層は、前記延在部と対向し第 2 方向に沿って延出した第 1 セグメントを有し、前記第 1 セグメントと前記第 1 スリットとの間に前記第 1 電極部が位置する、請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

30

【請求項 6】

前記遮光層は、前記第 1 画素電極と前記第 2 画素電極との間に位置し第 2 方向に沿って延出した第 2 セグメントを有し、前記第 2 セグメントと前記第 1 電極部との間、及び、前記第 2 セグメントと前記第 2 電極部との間にそれぞれ透過領域を形成する、請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記第 2 基板は、前記第 1 画素に対応して配置され第 2 方向に延出した第 1 カラーフィルタと、前記第 2 画素に対応して配置され第 2 方向に延出し前記第 1 カラーフィルタとは異なる色の第 2 カラーフィルタと、を備えた、請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示装置。

40

【請求項 8】

画像を表示するアクティブエリアの端部に位置する最外周画素に配置されたスイッチング素子と、コモン電位の共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電氣的に接続され前記絶縁膜の上において前記最外周画素に位置する画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記アクティブエリアの外側において第 1 方向に交差する第 2 方向に沿って延出した第 1 セグメント及び前記第 1 セグメントと第 1 方向に隣接し前記アクティブエリアにおいて第 2 方向に沿って延出した第 2 セグメントを有する遮光層と、前記第 1 配向膜と対向する第 2 配向膜と、を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶層と、を備え、

50

前記画素電極は、前記共通電極と向かい合い第2方向に延出したスリットを形成する電極部を有し、前記画素電極の一端部は前記第1セグメントと対向し前記画素電極の他端部は前記第2セグメントとの間に透過領域を形成する、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、パーソナルコンピュータなどのOA機器やテレビなどの表示装置として各種分野で利用されている。近年では、液晶表示装置は、携帯電話などの携帯端末機器や、カーナビゲーション装置、ゲーム機などの表示装置としても利用されている。

10

【0003】

一般に、Fringe Field Switching (FFS) モードの液晶表示パネルは、画素電極及び共通電極を備えたアレイ基板と、対向基板との間に液晶層を保持した構成である。このようなFFSモードにおいては、画素電極と共通電極との間に形成されるフリンジ電界を利用して液晶分子の配向を制御している。

【0004】

FFSモードの一例として、遮光層で覆われる非表示領域にダミー画素を配設する技術が提案されている。このダミー画素は、表示領域のサブ画素と同様の構成であるが、表示領域のサブ画素とは異なり、液晶層に電界を印加されないように構成されている。このようなダミー画素は、外部から侵入した静電気からの保護手段を形成するために使用される。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-286575号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0006】

本実施形態の目的は、表示品位の低下を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0007】

本実施形態によれば、

画像を表示するアクティブエリアの端部に位置する第1画素及び第1方向で前記第1画素に隣接し前記アクティブエリアの内側に位置する第2画素に延在したコモン電位の共通電極と、前記共通電極の上に配置された絶縁膜と、前記絶縁膜の上において前記第1画素に位置する第1画素電極であって前記共通電極と向かい合い第1方向に交差する第2方向に延出した第1スリットを形成する第1電極部を有する第1画素電極と、前記絶縁膜の上において前記第2画素に位置する第2画素電極であって前記共通電極と向かい合い第2方向に延出した第2スリットを形成する第2電極部を有する第2画素電極と、前記第1画素電極及び前記第2画素電極を覆う第1配向膜と、を備えた第1基板と、前記アクティブエリアにおいて第1方向及び第2方向に延出し格子状に形成されるとともに前記アクティブエリアの外側に配置された遮光層と、前記第1配向膜と対向する第2配向膜と、を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶層と、を備え、前記第1画素電極は、前記第2画素電極よりも第1方向に沿って幅広であって、前記アクティブエリアの外側に延在し前記遮光層と対向する延在部を有する、液晶表示装置が提供される。

40

50

【 0 0 0 8 】

本実施形態によれば、

画像を表示するアクティブエリアの端部に位置する最外周画素に配置されたスイッチング素子と、コモン電位の共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電氣的に接続され前記絶縁膜の上において前記最外周画素に位置する画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記アクティブエリアの外側において第 1 方向に交差する第 2 方向に沿って延出した第 1 セグメント及び前記第 1 セグメントと第 1 方向に隣接し前記アクティブエリアにおいて第 2 方向に沿って延出した第 2 セグメントを有する遮光層と、前記第 1 配向膜と対向する第 2 配向膜と、を備えた第 2 基板と、前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶層と、を備え、前記画素電極は、前記共通電極と向かい合い第 2 方向に延出したスリットを形成する電極部を有し、前記画素電極の一端部は前記第 1 セグメントと対向し前記画素電極の他端部は前記第 2 セグメントとの間に透過領域を形成する、液晶表示装置が提供される。

10

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 図 1 は、本実施形態の液晶表示装置を構成する液晶表示パネルの構成及び等価回路を概略的に示す図である。

【 図 2 】 図 2 は、図 1 に示したアレイ基板における第 1 画素及び第 2 画素の構造を対向基板の側から見た概略平面図である。

【 図 3 】 図 3 は、図 1 に示したアレイ基板における他の画素の構造を対向基板の側から見た概略平面図である。

20

【 図 4 】 図 4 は、図 2 に示した第 1 画素及び第 2 画素を含む A - B 線に沿った液晶表示パネルの断面構造を概略的に示す図である。

【 図 5 】 図 5 は、図 1 に示したアレイ基板における第 1 画素の他の構造を対向基板の側から見た概略平面図である。

【 図 6 】 図 6 は、図 1 に示したアレイ基板における第 1 画素の他の構造を対向基板の側から見た概略平面図である。

【 発明を実施するための形態 】

【 0 0 1 0 】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

30

【 0 0 1 1 】

図 1 は、本実施形態の液晶表示装置を構成する液晶表示パネル L P N の構成及び等価回路を概略的に示す図である。

【 0 0 1 2 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの透過型の液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、例えば、矩形状であり、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。図示した例では、アクティブエリア A C T は、その第 1 方向 X に沿った一端部（アクティブエリアの左側端部）に位置する第 1 画素（最外周画素）P X 1、及び、この第 1 画素 P X 1 と第 1 方向 X に隣接し第 1 画素 P X 1 よりもアクティブエリア A C T の内側に位置する第 2 画素 P X 2 を含んでいる。

40

【 0 0 1 3 】

アレイ基板 A R は、アクティブエリア A C T において、第 1 方向 X に沿ってそれぞれ延出した複数のゲート配線 G (G 1 ~ G n) 及び容量線 C (C 1 ~ C n)、第 1 方向 X に直

50

交する第2方向Yに沿ってそれぞれ延出した複数のソース配線S(S1~Sm)、各画素PXにおいてゲート配線G及びソース配線Sと電氣的に接続されたスイッチング素子SW、各画素PXにおいてスイッチング素子SWに電氣的に接続された画素電極PE、画素電極PEと向かい合う共通電極CEなどを備えている。

【0014】

スイッチング素子SWは、例えばトップゲート型あるいはボトムゲート型の薄膜トランジスタ(TFT)である。スイッチング素子SWは、例えばポリシリコンあるいはアモルファスシリコンによって形成された半導体層を備えている。共通電極CEは、複数の画素PXに亘って共通に形成されている。画素電極PEは、各画素PXにおいて島状に形成されている。

10

【0015】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。各容量線Cは、アクティブエリアACTの外側に引き出され、補助容量電圧が供給される電圧印加部VCSと電氣的に接続されている。共通電極CEは、コモン電圧が供給される給電部VSと電氣的に接続されている。ゲートドライバGD及びソースドライバSDは、例えばその少なくとも一部がアレイ基板ARに形成され、駆動ICチップ2と接続されている。図示した例では、液晶表示パネルLPNを駆動するのに必要な信号源としての駆動ICチップ2は、液晶表示パネルLPNのアクティブエリアACTの外側において、アレイ基板ARに実装されている。

20

【0016】

また、図示した例の液晶表示パネルLPNは、FFSモードあるいはIPSモードに適用可能な構成であり、アレイ基板ARに画素電極PE及び共通電極CEを備えている。このような構成の液晶表示パネルLPNでは、画素電極PE及び共通電極CEの間に形成される横電界(例えば、フリンジ電界のうちの基板の主面にほぼ平行な電界)を主に利用して液晶層LQを構成する液晶分子をスイッチングする。

【0017】

図2は、図1に示したアレイ基板ARにおける第1画素PX1及び第2画素PX2の構造を対向基板CTの側から見た概略平面図である。なお、ここでは、説明に必要な主要部のみを図示している。

30

【0018】

ゲート配線G3及びゲート配線G4は、それぞれ第1方向Xに沿って延出している。これらのゲート配線G3及びゲート配線G4は、第2方向Yに沿って第1ピッチで配置されている。ソース配線S1、ソース配線S2、及び、ソース配線S3は、それぞれ第2方向Yに沿って延出している。これらのソース配線S1、ソース配線S2、及び、ソース配線S3は、それぞれ第1方向Xに沿って第2ピッチで配置されている。ここでは、第1ピッチは、第2ピッチよりも大きい。第1画素PX1は、ゲート配線G3及びゲート配線G4とソース配線S1及びソース配線S2とで規定されている。第2画素PX2は、ゲート配線G3及びゲート配線G4とソース配線S2及びソース配線S3とで規定されている。第2画素PX1及び第2画素PX2は、例えば、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い縦長の長方形形状である。

40

【0019】

第1画素PX1は、ゲート配線G4及びソース配線S1と電氣的に接続されたスイッチング素子SW1、及び、スイッチング素子SW1と電氣的に接続された画素電極PE1を備えている。第2画素PX2は、ゲート配線G4及びソース配線S2と電氣的に接続されたスイッチング素子SW2、及び、スイッチング素子SW2と電氣的に接続された画素電極PE2を備えている。

【0020】

共通電極CEは、コモン電位であり、少なくとも図示したように第1方向Xに沿って延在し、第1方向Xに隣接する複数の画素PXに亘って共通に形成されている。すなわち、

50

共通電極 C E は、ソース配線 S 1、ソース配線 S 2、及び、ソース配線 S 3 の上方をそれぞれ跨ぎ、第 1 画素 P X 1 及び第 2 画素 P X 2 にそれぞれ配置されている。この共通電極 C E は、第 1 画素 P X 1 において画素電極 P E 1 と対向し、第 2 画素 P X 2 において画素電極 P E 2 と対向している。画素電極 P E 1 及び画素電極 P E 2 は、それぞれ長方形形状の画素形状に対応した島状に形成されている。

【 0 0 2 1 】

画素電極 P E 1 は、共通電極 C E と向かい合い第 2 方向 Y に延出した第 1 スリット S L 1 を形成する第 1 電極部 P A 1 を有している。図示した例では、画素電極 P E 1 は、第 2 方向 Y にそれぞれ延出した 5 本の電極部 P A 1 1 乃至 P A 1 5 を有しており、また、第 2 方向 Y に沿ってそれぞれ延出した 4 本のスリット S L 1 1 乃至 S L 1 4 を有している。つまり、スリット S L 1 1 乃至 S L 1 4 のそれぞれは、第 2 方向 Y と平行な長軸を有している。以下に、画素電極 P E 1 のより詳細な形状について説明する。

10

【 0 0 2 2 】

スリット S L 1 1 乃至 S L 1 4 は、第 1 方向 X に沿って並んでいる。これらのスリット S L 1 1 乃至 S L 1 4 は、第 1 方向 X に沿って略同一の幅を有するように形成されている。電極部 P A 1 1 乃至 P A 1 5 は、第 1 方向 X に沿って並んでいる。これらの電極部 P A 1 1 乃至 P A 1 5 は、いずれも第 1 方向 X に沿って略同一の電極幅を有している。電極部 P A 1 1 と電極部 P A 1 2 との間には、スリット S L 1 1 が形成されている。電極部 P A 1 2 と電極部 P A 1 3 との間には、スリット S L 1 2 が形成されている。電極部 P A 1 3 と電極部 P A 1 4 との間には、スリット S L 1 3 が形成されている。電極部 P A 1 4 と電極部 P A 1 5 との間には、スリット S L 1 4 が形成されている。

20

【 0 0 2 3 】

画素電極 P E 2 は、共通電極 C E と向かい合い第 2 方向 Y に延出した第 2 スリット S L 2 を形成する第 2 電極部 P A 2 を有している。図示した例では、画素電極 P E 2 は、第 2 方向 Y にそれぞれ延出した 3 本の電極部 P A 2 1 乃至 P A 2 3 を有しており、また、第 2 方向 Y に沿ってそれぞれ延出した 2 本のスリット S L 2 1 及び S L 2 2 を有している。つまり、スリット S L 2 1 及び S L 2 2 のそれぞれは、第 2 方向 Y と平行な長軸を有している。以下に、画素電極 P E 2 のより詳細な形状について説明する。

【 0 0 2 4 】

スリット S L 2 1 及び S L 2 2 は、第 1 方向 X に沿って並んでいる。これらのスリット S L 2 1 及び S L 2 2 は、第 1 方向 X に沿って略同一の幅を有するように形成されている。電極部 P A 2 1 乃至 P A 2 3 は、第 1 方向 X に沿って並んでいる。これらの電極部 P A 2 1 乃至 P A 2 3 は、いずれも第 1 方向 X に沿って略同一の電極幅を有している。電極部 P A 2 1 と電極部 P A 2 2 との間には、スリット S L 2 1 が形成されている。電極部 P A 2 2 と電極部 P A 2 3 との間には、スリット S L 2 2 が形成されている。

30

【 0 0 2 5 】

図示しないが、アクティブエリア A C T のうちの左側端部に位置する最外周画素（つまり、ソース配線 S 1 とソース配線 S 2 との間に位置する画素）については、いずれも画素 P X 1 と同一構成であり、画素電極 P E 1 と同一形状の画素電極を備えている。また、アクティブエリア A C T のうち、最外周画素よりも内側の画素については、いずれも画素 P X 2 と同一構成であり、画素電極 P E 2 と同一形状の画素電極を備えている。

40

【 0 0 2 6 】

画素電極 P E 1 におけるスリット S L 1 1 乃至 S L 1 4 及び画素電極 P E 2 におけるスリット S L 2 1 及び S L 2 2 のそれぞれは、いずれも後述するバックライトからのバックライト光が透過可能な透過領域となる。

【 0 0 2 7 】

後述する遮光層 3 1 は、アレイ基板 A R に設けられたゲート配線 G やソース配線 S、さらにはスイッチング素子 S W などの配線部に対向している。すなわち、遮光層 3 1 は、アクティブエリア A C T においては、第 1 方向 X 及び第 2 方向 Y に延出し、格子状に形成されている。また、遮光層 3 1 は、アクティブエリア A C T の外側 P R A にも配置されてい

50

る（詳述しないが、遮光層 3 1 は、アクティブエリア A C T の外側 P R A において、アクティブエリア A C T を囲む枠状に形成されている）。

【 0 0 2 8 】

図示した例では、遮光層 3 1 は、ゲート配線 G 3、ゲート配線 G 4、ソース配線 S 1、ソース配線 S 2、ソース配線 S 3、スイッチング素子 S W 1、及び、スイッチング素子 S W 2 と対向し、しかも、第 1 画素 P X 1 よりも外側（つまり、アクティブエリアの左側端部よりもさらに外側）の領域にも延在している。このような遮光層 3 1 は、第 1 画素 P X 1 に対応して略長形状の開口部 A P 1 を有するとともに、第 2 画素 P X 2 に対応して略長形状の開口部 A P 2 を有している。

【 0 0 2 9 】

図示した遮光層 3 1 は、アクティブエリア A C T の外側 P R A において第 2 方向 Y に沿って延出したセグメント 3 1 1、及び、アクティブエリア A C T においてセグメント 3 1 1 と第 1 方向 X に隣接し第 2 方向 Y に沿って延出したセグメント 3 1 2 を含んでいる。セグメント 3 1 2 は、開口部 A P 1 と開口部 A P 2 との間に位置している。

【 0 0 3 0 】

ここで、画素電極 P E 1 及び画素電極 P E 2 と遮光層 3 1 との位置関係に着目して説明する。

【 0 0 3 1 】

画素電極 P E 2 を構成する第 2 電極部 P A 2 は、いずれも開口部 A P 2 の内側に位置している。つまり、画素電極 P E 2 の両端に位置する電極部 P A 2 1 及び電極部 P A 2 3 は、遮光層 3 1 とは重ならず、いずれも遮光層 3 1 との間に透過領域を形成する。例えば、電極部 P A 2 3 とセグメント 3 1 2 との間には、スリット S L 2 1 などと同様の透過領域が形成される。

【 0 0 3 2 】

画素電極 P E 1 は、画素電極 P E 2 よりも第 1 方向 X に沿って幅広である。すなわち、画素電極 P E 1 は、アクティブエリア A C T の外側 P R A に延在し遮光層 3 1 と対向する延在部 P A X を有している。図示した例では、画素電極 P E 1 における第 1 スリット S L 1 の本数は、画素電極 P E 2 における第 2 スリット S L 2 の本数よりも多い。換言すると、第 1 電極部 P A 1 の本数は、第 2 電極部 P A 2 の本数よりも多い。延在部 P A X は、画素電極 P E 2 とは反対側の端部に位置する第 1 電極部（つまり電極部 P A 1 5 ）及び第 1 スリット（つまりスリット S L 1 4 ）を含んでいる。

【 0 0 3 3 】

図示した画素電極 P E 1 を構成する第 1 電極部 P A 1 のうち、電極部 P A 1 1 乃至 P A 1 3 は、いずれも開口部 A P 1 の内側に位置している。また、第 1 スリット S L 1 のうち、スリット S L 1 1 乃至 S L 1 3 は、いずれも開口部 A P 1 の内側に位置している。つまり、電極部 P A 1 1 乃至 P A 1 3 は、遮光層 3 1 とは重ならない。電極部 P A 1 1 とセグメント 3 1 2 との間には、スリット S L 1 1 などと同様の透過領域が形成される。一方、第 1 電極部 P A 1 のうち、電極部 P A 1 4 及び P A 1 5 は、いずれも遮光層 3 1 のセグメント 3 1 1 と重なっている。また、スリット S L 1 4 も、セグメント 3 1 1 と重なっている。このように、画素電極 P E 1 は、その一端部（図中の左側端部）がアクティブエリア A C T の外側 P R A に延在し遮光層 3 1 のセグメント 3 1 1 と対向し、その他端部（図中の右側端部）が遮光層 3 1 のセグメント 3 1 2 との間に透過領域を形成するように構成されている。

【 0 0 3 4 】

図 3 は、図 1 に示したアレイ基板 A R における他の画素 P X の構造を対向基板 C T の側から見た概略平面図である。なお、ここでは、説明に必要な主要部のみを図示している。

【 0 0 3 5 】

ゲート配線 G 3 とゲート配線 G 4 との間に位置する画素 P X のうち、アクティブエリア A C T の第 1 方向 X に沿った他端部（アクティブエリアの右側端部）に位置する第 3 画素 P X 3 も第 1 画素 P X 1 と同様に最外周画素に相当する。第 3 画素 P X 3 は、ゲート配線

10

20

30

40

50

G 4 及びソース配線 S m と電氣的に接続されたスイッチング素子 S W 3、及び、スイッチング素子 S W 3 と電氣的に接続された画素電極 P E 3 を備えている。

【 0 0 3 6 】

画素電極 P E 3 は、共通電極 C E と向かい合い第 2 方向 Y に延出した第 3 スリット S L 3 を形成する第 3 電極部 P A 3 を有している。図示した例では、画素電極 P E 3 は、第 1 方向 X に沿って並び第 2 方向 Y にそれぞれ延出した 5 本の電極部 P A 3 1 乃至 P A 3 5 を有してり、また、第 1 方向 X に沿って並び第 2 方向 Y に沿ってそれぞれ延出した 4 本のスリット S L 3 1 乃至 S L 3 4 を有している。

【 0 0 3 7 】

画素電極 P E 3 は、上記の画素電極 P E 2 よりも第 1 方向 X に沿って幅広であり、画素電極 P E 1 と略同等の幅を有している。すなわち、画素電極 P E 3 は、画素電極 P E 1 と同様に、アクティブエリア A C T の外側 P R A に延在し遮光層 3 1 と対向する延在部 P A X を有している。詳述しないが、延在部 P A X は、第 3 電極部（つまり電極部 P A 3 1 及び P A 3 2 ）及び第 3 スリット（つまりスリット S L 3 1 ）を含んでいる。

【 0 0 3 8 】

図示した第 3 電極部 P A 3 のうち、電極部 P A 3 3 乃至 P A 3 5 は、いずれも開口部 A P の内側に位置している。また、第 3 スリット S L 3 のうち、スリット S L 3 2 乃至 S L 3 4 は、いずれも開口部 A P の内側に位置している。つまり、電極部 P A 3 3 乃至 P A 3 5 は、遮光層 3 1 とは重ならない。このような画素電極 P E 3 についても、画素電極 P E 1 と同様に、その一端部（図中の右側端部）がアクティブエリア A C T の外側 P R A に延在し遮光層 3 1 と対向し、その他端部（図中の左側端部）が遮光層 3 1 の間に透過領域を形成するように構成されている。

【 0 0 3 9 】

図 4 は、図 2 に示した第 1 画素 P X 1 及び第 2 画素 P X 2 を含む A - B 線に沿った液晶表示パネル L P N の断面構造を概略的に示す図である。

【 0 0 4 0 】

すなわち、アレイ基板 A R は、ガラス基板や樹脂基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 の対向基板 C T に対向する側に、図示しないスイッチング素子、ソース配線 S 1 乃至 S 3、S m、共通電極 C E、画素電極 P E 1 乃至 P E 3、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 1 配向膜 A L 1 などを備えている。

【 0 0 4 1 】

第 1 絶縁膜 1 1 は、第 1 絶縁基板 1 0 の上に配置されている。ソース配線 S 1 乃至 S 3、S m などは、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。この第 2 絶縁膜 1 2 は、第 1 絶縁膜 1 1 の上にも配置されている。

【 0 0 4 2 】

共通電極 C E は、第 2 絶縁膜 1 2 の上に形成されている。この共通電極 C E は、透明な導電材料、例えば、インジウム・ティン・オキサイド（I T O）やインジウム・ジnk・オキサイド（I Z O）などによって形成されている。この共通電極 C E は、第 3 絶縁膜 1 3 によって覆われている。この第 3 絶縁膜 1 3 は、第 2 絶縁膜 1 2 の上にも配置されている。

【 0 0 4 3 】

画素電極 P E 1 乃至 P E 3 は、それぞれ第 3 絶縁膜 1 3 の上に形成され、共通電極 C E と向かい合っている。これらの画素電極 P E 1 乃至 P E 3 は、透明な導電材料、例えば、I T O や I Z O などによって形成されている。画素電極 P E 1 乃至 P E 3 は、第 1 配向膜 A L 1 によって覆われている。この第 1 配向膜 A L 1 は、第 3 絶縁膜 1 3 も覆っている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 4 4 】

一方、対向基板 C T は、ガラス基板や樹脂基板などの光透過性を有する第 2 絶縁基板 3 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 3 0 のアレイ基板 A R と

10

20

30

40

50

対向する側に、遮光層 3 1、カラーフィルタ 3 2、オーバーコート層 3 3、第 2 配向膜 A L 2などを備えている。

【0045】

遮光層 3 1は、アクティブエリア A C Tにおいて各画素 P Xを区画し、開口部 A P 1乃至 A P 3を形成するものであって、図示しないゲート配線及びスイッチング素子や、ソース配線 S 1乃至 S 3、S mなどの配線部に対向するように配置されている。また、遮光層 3 1は、アクティブエリア A C Tの外側 P R Aにも延在している。

【0046】

カラーフィルタ 3 2は、各画素 P Xに対応して配置されている。すなわち、カラーフィルタ 3 2は、開口部 A P 1乃至 A P 3にそれぞれ形成され、その一部が遮光層 3 1に乗り上げています。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ 3 2は、互いに色が異なる。例えば、カラーフィルタ 3 2は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。図示した例では、第 1 画素 P X 1 は赤色画素 (R) に対応し、赤色カラーフィルタ 3 2 R が開口部 A P 1 に配置され、第 2 画素 P X 2 は緑色画素 (G) に対応し、緑色カラーフィルタ 3 2 G が開口部 A P 2 に配置され、第 3 画素 P X 3 は青色画素 (B) に対応し、青色カラーフィルタ 3 2 B が開口部 A P 3 に配置されている。これらのカラーフィルタ 3 2 同士の境界は、遮光層 3 1 と重なる位置にある。

10

20

【0047】

オーバーコート層 3 3は、カラーフィルタ 3 2を覆っている。このオーバーコート層 3 3は、遮光層 3 1やカラーフィルタ 3 2の表面の凹凸を平坦化する。つまり、オーバーコート層 3 3のアレイ基板 A R と対向する側の表面は略平坦である。このようなオーバーコート層 3 3は、透明な樹脂材料によって形成されている。オーバーコート層 3 3の表面は、第 2 配向膜 A L 2によって覆われている。この第 2 配向膜 A L 2は、水平配向性を示す材料によって形成されている。

【0048】

画素電極 P E 1のうち、スリット S L 1 1乃至 S L 1 3及び電極部 P A 1 1乃至 P A 1 3は、いずれも開口部 A P 1及び赤色カラーフィルタ 3 2 Rに対向する。また、画素電極 P E 1のうち、スリット S L 1 4及び電極部 P A 1 4乃至 P A 1 5は、いずれも遮光層 3 1に対向する。画素電極 P E 3のうち、スリット S L 3 2乃至 S L 3 4及び電極部 P A 3 3乃至 P A 3 5は、いずれも開口部 A P 3及び青色カラーフィルタ 3 2 Bに対向する。また、画素電極 P E 3のうち、スリット S L 3 1及び電極部 P A 3 1乃至 P A 3 2は、いずれも遮光層 3 1に対向する。なお、画素電極 P E 2は、開口部 A P 2及び緑色カラーフィルタ 3 2 Gに対向する。画素電極 P E 3は、開口部 A P 3及び青色カラーフィルタ 3 2 Bに対向する。

30

【0049】

上述したようなアレイ基板 A R と対向基板 C T とは、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が向かい合うように配置されている。このとき、アレイ基板 A R と対向基板 C T の間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層 L Q は、これらのアレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間に形成されたセルギャップに封入された液晶分子 L M を含む液晶組成物によって構成されている。このような液晶層 L Q は、例えば、誘電率異方性が正 (ポジ型) の液晶材料によって構成されている。

40

【0050】

このような構成の液晶表示パネル L P N に対して、その背面側には、バックライト B L が配置されている。バックライト B L としては、種々の形態が適用可能であり、また、光

50

源として発光ダイオード（ＬＥＤ）を利用したものや冷陰極管（ＣＣＦＬ）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【００５１】

アレイ基板ＡＲの外表面すなわち第１絶縁基板１０の外表面１０Ｂには、第１偏光板ＰＬ１を含む第１光学素子ＯＤ１が配置されている。また、対向基板ＣＴの外表面すなわち第２絶縁基板３０の外表面３０Ｂには、第２偏光板ＰＬ２を含む第２光学素子ＯＤ２が配置されている。第１偏光板ＰＬ１の第１偏光軸と第２偏光板ＰＬ２の第２偏光軸とは、例えば、クロスニコルの位置関係にある。

【００５２】

第１配向膜ＡＬ１及び第２配向膜ＡＬ２は、図２に示したように、基板主面（あるいは、 $X-Y$ 平面）と平行な面内において、互いに平行な方位に配向処理（例えば、ラビング処理や光配向処理）がなされている。第１配向膜ＡＬ１は、第２方向Ｙに対して 45° 以下の鋭角に交差する方向に沿って配向処理されている。第１配向膜ＡＬ１の配向処理方向Ｒ１及び第２配向膜ＡＬ２の配向処理方向Ｒ２は、例えば、第２方向Ｙに対して $5^\circ \sim 15^\circ$ の角度をもって交差する方向である。なお、配向処理方向Ｒ１と配向処理方向Ｒ２とは互いに逆向きである。

10

【００５３】

なお、第１偏光板ＰＬ１の第１偏光軸は、例えば、第１配向膜ＡＬ１の配向処理方向Ｒ１と略平行な方位に設定され、第２偏光板ＰＬ２の第２偏光軸は、第１配向膜ＡＬ１の配向処理方向Ｒ１と略直交する方位に設定されている。

20

【００５４】

以下に、上記構成の液晶表示装置における動作の一例（ノーマリブラック）について説明する。

【００５５】

画素電極ＰＥと共通電極ＣＥとの間に電位差を形成するような電圧が印加されていないＯＦＦ時においては、液晶層ＬＱに電圧が印加されていない状態であり、画素電極ＰＥと共通電極ＣＥとの間に電界が形成されていない。このため、液晶層ＬＱに含まれる液晶分子ＬＭは、図２に点線で示したように、 $X-Y$ 平面内において、第１配向膜ＡＬ１及び第２配向膜ＡＬ２の配向処理方向に初期配向する（液晶分子ＬＭが初期配向する方向を初期配向方向と称する）。ＯＦＦ時には、バックライトＢＬからのバックライト光の一部は、第１偏光板ＰＬ１を透過し、液晶表示パネルＬＰＮに入射する。液晶表示パネルＬＰＮに入射した光は、第１偏光板ＰＬ１の第１偏光軸と直交する直線偏光である。このような直線偏光の偏光状態は、ＯＦＦ時の液晶表示パネルＬＰＮを通過した際にほとんど変化しない。このため、液晶表示パネルＬＰＮを透過した直線偏光は、第１偏光板ＰＬ１に対してクロスニコルの位置関係にある第２偏光板ＰＬ２によって吸収される（黒表示）。

30

【００５６】

一方、画素電極ＰＥと共通電極ＣＥとの間に電位差を形成するような電圧が印加されたＯＮ時においては、液晶層ＬＱに電圧が印加された状態であり、画素電極ＰＥと共通電極ＣＥとの間にフリンジ電界が形成される。このため、液晶分子ＬＭは、図２に実線で示したように、 $X-Y$ 平面内において、初期配向方向とは異なる方位に配向する。ポジ型の液晶材料においては、液晶分子ＬＭは、その長軸が電界と略平行となるような方向に配向する。このようなＯＮ時には、第１偏光板ＰＬ１の第１偏光軸と直交する直線偏光は、液晶表示パネルＬＰＮに入射し、その偏光状態は、液晶層ＬＱを通過する際に液晶分子ＬＭの配向状態（あるいは、液晶層のリタデーション）に応じて変化する。このため、ＯＮ時においては、液晶層ＬＱを通過した少なくとも一部の光は、第２偏光板ＰＬ２を透過する（白表示）。

40

【００５７】

ところで、フリンジ電界を利用して液晶分子ＬＭを制御するＦＦＳモードでは、製造過程等で共通電極ＣＥと画素電極ＰＥとの間に位置する第３絶縁膜１３が帯電した場合、アクティブエリア内の最外周に電荷が局在化し、表示に悪影響を及ぼすことがある。上記し

50

た例では、アクティブエリア A C T の左側端部に位置する最外周画素の画素列（つまり、第 1 画素 P X 1 を含み第 1 画素 P X 1 と第 2 方向 Y に並んだ画素列）、あるいは、アクティブエリア A C T の右側端部に位置する最外周画素の画素列（つまり、第 3 画素 P X 3 を含み第 3 画素 P X 3 と第 2 方向 Y に並んだ画素列）において、画素電極 P E と共通電極 C E との間に電界が形成されていない O F F 状態であっても、局在化した電荷の影響により液晶分子 L M の配向が乱れてしまい、特に、ノーマリブラックの場合には、黒表示にもかかわらず、バックライト光が漏れてしまい、表示品位の低下を招く。

【 0 0 5 8 】

そこで、本実施形態では、第 1 画素 P X 1 においては、画素電極 P E 1 は第 1 方向 X に拡幅され、開口部 A P 1 に対向するとともに、アクティブエリア A C T の外側 P R A の遮光層 3 1 と対向している。同様に、第 3 画素 P X 3 においては、画素電極 P E 3 は第 1 方向 X に拡幅され、開口部 A P 3 に対向するとともに、アクティブエリア A C T の外側 P R A の遮光層 3 1 と対向している。これにより、画素電極 P E 1 あるいは画素電極 P E 3 と共通電極 C E との間に不所望な電荷を局所的に保持した領域は、アクティブエリア A C T の外側 P R A に位置する。このため、第 3 絶縁膜 1 3 が帯電し、電荷が局在化したとしても、液晶分子 L M の配向が乱れる領域は、遮光層 3 1 によって遮光されているため、アクティブエリア A C T における光漏れを抑制することが可能となる。したがって、表示品位の低下を抑制することが可能となる。

10

【 0 0 5 9 】

次に、本実施形態の他の構成例について説明する。なお、上記した構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

20

【 0 0 6 0 】

図 5 は、図 1 に示したアレイ基板 A R における第 1 画素 P X 1 の他の構造を対向基板 C T の側から見た概略平面図である。

【 0 0 6 1 】

図示した構成例は、図 2 に示した構成例と比較して、画素電極 P E 1 の電極部 P A 1 4 を拡幅して延在部 P A X を形成した点で相違している。なお、画素電極 P E 2 については、上記の構成例と同一である。

【 0 0 6 2 】

図示した例では、画素電極 P E 1 は、第 1 方向 X に沿って並び第 2 方向 Y にそれぞれ延出した 4 本の電極部 P A 1 1 乃至 P A 1 4 を有しており、また、第 1 方向 X に沿って並び第 2 方向 Y に沿ってそれぞれ延出した 3 本のスリット S L 1 1 乃至 S L 1 3 を有している。電極部 P A 1 1 乃至 P A 1 3 は、いずれも第 1 方向 X に略同等の電極幅を有している。電極部 P A 1 4 の第 1 方向 X に沿った幅は、電極部 P A 1 3 などの第 1 方向 X に沿った幅よりも広い。スリット S L 1 1 は、電極部 P A 1 1 と電極部 P A 1 2 との間に形成されている。スリット S L 1 2 は、電極部 P A 1 2 と電極部 P A 1 3 との間に形成されている。スリット S L 1 3 は、電極部 P A 1 3 と電極部 P A 1 4 との間に形成されている。

30

【 0 0 6 3 】

画素電極 P E 1 は、画素電極 P E 2 よりも第 1 方向 X に沿って幅広であり、アクティブエリア A C T の外側 P R A に延在した延在部 P A X を有している。図示した例では、画素電極 P E 1 における第 1 スリット S L 1 の本数は、画素電極 P E 2 における第 2 スリット S L 2 の本数よりも多い。換言すると、第 1 電極部 P A 1 の本数は、第 2 電極部 P A 2 の本数よりも多い。

40

【 0 0 6 4 】

ここで、画素電極 P E 1 と遮光層 3 1 との位置関係に着目すると、図示した画素電極 P E 1 を構成する第 1 電極部 P A 1 のうち、電極部 P A 1 1 乃至 P A 1 3 は、いずれも開口部 A P 1 の内側に位置している。また、スリット S L 1 1 乃至 S L 1 3 は、いずれも開口部 A P 1 の内側に位置している。つまり、電極部 P A 1 1 乃至 P A 1 3 は、遮光層 3 1 とは重ならない。一方、第 1 電極部 P A 1 のうち、電極部 P A 1 4 は、遮光層 3 1 のセグメント 3 1 1 と重なっている。つまり、延在部 P A X は、画素電極 P E 2 とは反対側の端部

50

に位置する電極部 P A 1 4 に相当する。なお、図示した延在部 P A X は、いずれのスリットも含んでいない。

【 0 0 6 5 】

このような構成例においても、上記した構成例と同様の効果が得られる。

【 0 0 6 6 】

図 6 は、図 1 に示したアレイ基板 A R における第 1 画素 P X 1 の他の構造を対向基板 C T の側から見た概略平面図である。

【 0 0 6 7 】

図示した構成例は、図 5 に示した構成例と比較して、画素電極 P E 1 の電極部 P A 1 3 を拡幅して延在部 P A X を形成した点で相違している。なお、画素電極 P E 2 については、上記の構成例と同一である。

【 0 0 6 8 】

図示した例では、画素電極 P E 1 は、第 1 方向 X に沿って並び第 2 方向 Y にそれぞれ延出した 3 本の電極部 P A 1 1 乃至 P A 1 3 を有しており、また、第 1 方向 X に沿って並び第 2 方向 Y に沿ってそれぞれ延出した 2 本のスリット S L 1 1 及び S L 1 2 を有している。電極部 P A 1 1 及び P A 1 2 は、いずれも第 1 方向 X に略同等の電極幅を有している。電極部 P A 1 3 の第 1 方向 X に沿った幅は、電極部 P A 1 2 などの第 1 方向 X に沿った幅よりも広い。スリット S L 1 1 は、電極部 P A 1 1 と電極部 P A 1 2 との間に形成されている。スリット S L 1 2 は、電極部 P A 1 2 と電極部 P A 1 3 との間に形成されている。

【 0 0 6 9 】

画素電極 P E 1 は、画素電極 P E 2 よりも第 1 方向 X に沿って幅広であり、アクティブエリア A C T の外側 P R A に延在した延在部 P A X を有している。図示した例では、画素電極 P E 1 における第 1 スリット S L 1 の本数は、画素電極 P E 2 における第 2 スリット S L 2 の本数と同数であり、第 1 電極部 P A 1 の本数は、第 2 電極部 P A 2 の本数と同数である。

【 0 0 7 0 】

ここで、画素電極 P E 1 と遮光層 3 1 との位置関係に着目すると、図示した画素電極 P E 1 を構成する第 1 電極部 P A 1 のうち、電極部 P A 1 1 及び P A 1 2 は、いずれも開口部 A P 1 の内側に位置している。また、スリット S L 1 1 及び S L 1 2 は、いずれも開口部 A P 1 の内側に位置している。電極部 P A 1 3 は、開口部 A P 1 と対向する位置からアクティブエリア A C T の外側 P R A に亘って延在し、その一部分が開口部 A P 1 の内側に位置する一方で、他の部分が遮光層 3 1 のセグメント 3 1 1 と重なっている。つまり、延在部 P A X は、画素電極 P E 2 とは反対側の端部に位置する電極部 P A 1 3 に相当する。なお、図示した延在部 P A X は、いずれのスリットも含んでいない。

【 0 0 7 1 】

このような構成例においても、上記した構成例と同様の効果が得られる。

【 0 0 7 2 】

以上説明したように、本実施形態によれば、表示品位の低下を抑制することが可能な液晶表示装置を提供することができる。

【 0 0 7 3 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 0 0 7 4 】

例えば、上記の実施形態においては、画素電極 P E のスリット S L は第 2 方向 Y に平行な長軸を有するように形成したが、第 1 方向 X に平行な長軸を有するように形成しても良いし、第 1 方向 X 及び第 2 方向 Y に交差する方向に平行な長軸を有するように形成しても

10

20

30

40

50

良いし、くの字形に屈曲した形状に形成しても良い。

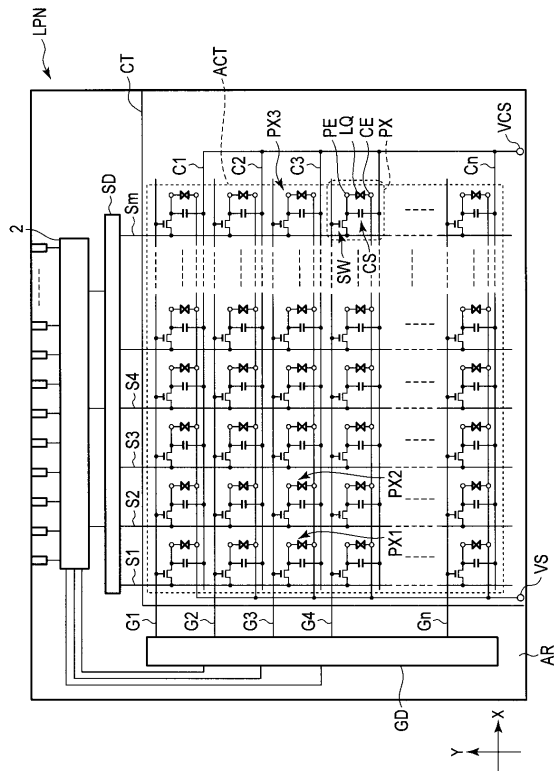
【符号の説明】

【0075】

L P N ... 液晶表示パネル A R ... アレイ基板 C T ... 対向基板
 P E ... 画素電極 P A ... 電極部 S L ... スリット P A X ... 延在部
 C E ... 共通電極
 L Q ... 液晶層 L M ... 液晶分子
 3 1 ... 遮光層

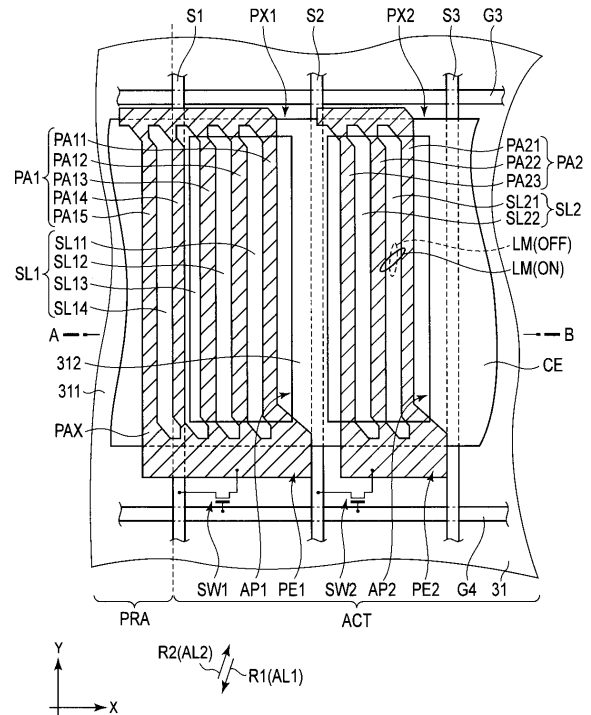
【図 1】

図 1



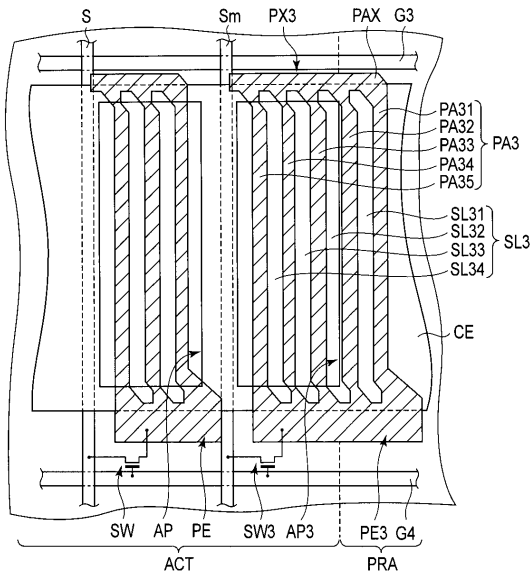
【図 2】

図 2



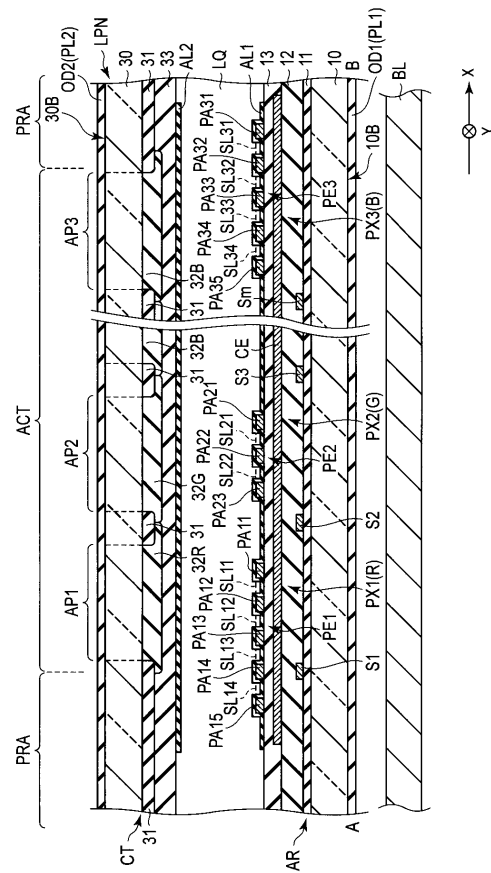
【 図 3 】

図 3



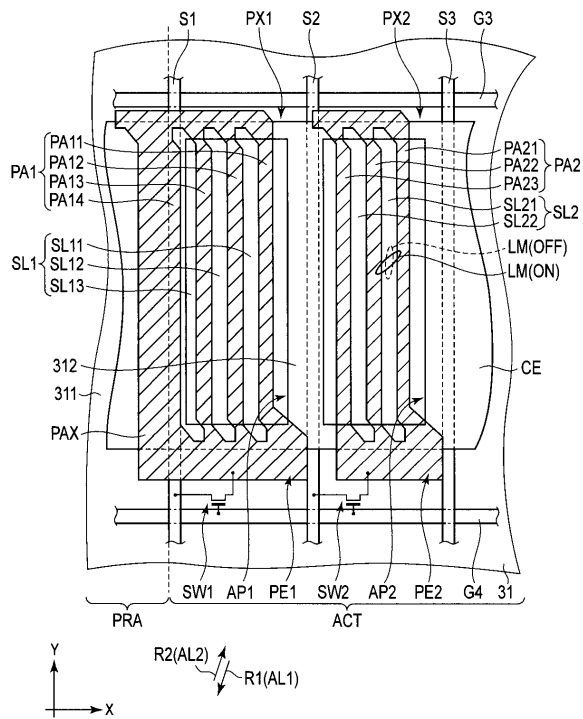
【 図 4 】

図 4



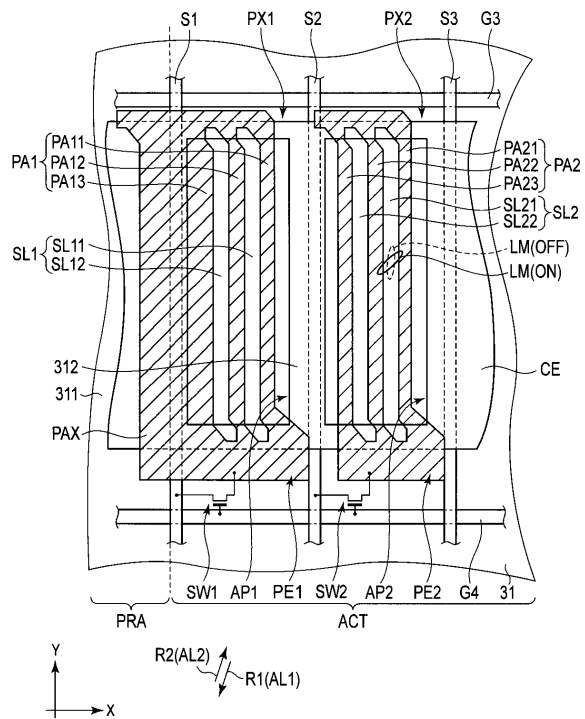
【 図 5 】

図 5



【 図 6 】

図 6



フロントページの続き

(74)代理人 100075672
弁理士 峰 隆司

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100172580
弁理士 赤穂 隆雄

(74)代理人 100179062
弁理士 井上 正

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 森山 直己
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社ジャパンディスプレイセントラル内

(72)発明者 木谷 正克
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社ジャパンディスプレイセントラル内

F ターム(参考) 2H092 GA14 GA15 GA17 GA21 GA25 GA29 GA31 JA25 JA26 JB33
JB57 JB58 JB69 KA04 KA05 KA07 KB24 KB25 NA01 PA08
2H191 FA02Y FA13Y FA22X FA22Z FA82Z FA85Z FD04 FD09 FD22 FD26
GA05 HA15 LA21

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014044330A	公开(公告)日	2014-03-13
申请号	JP2012186933	申请日	2012-08-27
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	森山直己 木谷正克		
发明人	森山 直己 木谷 正克		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335		
CPC分类号	G02F1/134309 G02F1/133345 G02F1/133514 G02F1/1337 G02F1/134363 G02F1/136286 G02F2001/134372		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1335.505		
F-TERM分类号	2H092/GA14 2H092/GA15 2H092/GA17 2H092/GA21 2H092/GA25 2H092/GA29 2H092/GA31 2H092/JA25 2H092/JA26 2H092/JB33 2H092/JB57 2H092/JB58 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA07 2H092/KB24 2H092/KB25 2H092/NA01 2H092/PA08 2H191/FA02Y 2H191/FA13Y 2H191/FA22X 2H191/FA22Z 2H191/FA82Z 2H191/FA85Z 2H191/FD04 2H191/FD09 2H191/FD22 2H191/FD26 2H191/GA05 2H191/HA15 2H191/LA21 2H192/AA24 2H192/AA43 2H192/BB13 2H192/BB64 2H192/BB66 2H192/BB73 2H192/CC66 2H192/DA12 2H192/EA22 2H192/EA32 2H192/EA43 2H192/FA02 2H192/FA73 2H192/JA33 2H291/FA02Y 2H291/FA13Y 2H291/FA22X 2H291/FA22Z 2H291/FA82Z 2H291/FA85Z 2H291/FD04 2H291/FD09 2H291/FD22 2H291/FD26 2H291/GA05 2H291/HA15 2H291/LA21		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。公共电极和公共电极，公共电极具有公共电位，公共电极延伸到位于用于显示图像的有源区域的末端的第一像素和与第一像素相邻并位于有源区域内的第二像素。形成布置在上方的绝缘膜和在第二方向上延伸的第一狭缝，该第一狭缝是位于绝缘膜上的第一像素中的第一像素电极，并且面对公共电极并且与第一方向相交。第一像素电极具有第一电极部分和第二像素电极，第二像素电极位于绝缘膜上的第二像素中并形成面向公共电极并在第二方向上延伸的第二缝隙。第一基板，其具有第二像素电极，该第二像素电极具有一部分以及覆盖第一像素电极和第二像素电极的第一取向膜，其中第一像素电极比第二像素电极在第一方向上。沿有效区域并在其外部延伸并面向遮光层 具有该液晶显示装置。[选择图图

2

图 2

