

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2014-41374

(P2014-41374A)

(43) 公開日 平成26年3月6日 (2014. 3. 6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/34 (2006.01)	G09G 3/34 J	5C006
G09G 3/20 (2006.01)	G09G 3/20 660V	5C080
G02F 1/133 (2006.01)	G09G 3/20 612L	
	G09G 3/20 612U	
審査請求 有 請求項の数 1 O L (全 43 頁) 最終頁に続く		

(21) 出願番号 特願2013-208738 (P2013-208738)
 (22) 出願日 平成25年10月4日 (2013. 10. 4)
 (62) 分割の表示 特願2008-289097 (P2008-289097)
 の分割
 原出願日 平成20年11月11日 (2008. 11. 11)
 (31) 優先権主張番号 特願2007-295011 (P2007-295011)
 (32) 優先日 平成19年11月14日 (2007. 11. 14)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 福留 貴浩
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 西 毅
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム (参考) 2H193 ZA04 ZA07 ZD23 ZD24 ZD32
 ZE35 ZF21 ZF31 ZG02 ZG14
 ZG43 ZG57 ZH04 ZH07 ZH37
 ZH57 ZP03

最終頁に続く

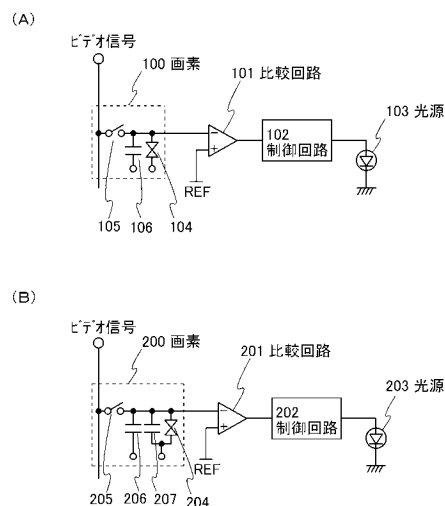
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶の応答速度が変化しても、動画がぼやけて見えるのを防ぐことができる、液晶表示装置を提供する。

【解決手段】画素電極、対向電極、及び前記画素電極と前記対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素と、画素に光を照射する光源と、画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる比較回路と、比較回路から出力される電位が切り替わるタイミングに従って、光源の点灯と消灯とを切り替える制御回路とを有する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極とにより電圧が印加される液晶を有する液晶素子と、を備えた複数の画素と、

前記複数の画素に光を照射する光源と、

前記複数の画素の少なくとも一の画素の前記第 1 の電極の電位と、基準となる電位と、を比較して、第 1 の信号又は第 2 の信号を出力する比較回路と、

前記比較回路から出力される信号が切り替わるタイミングに従って、前記光源の点灯と消灯とを切り替える制御回路と、

を有することを特徴とする液晶表示装置。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶素子を用いた液晶表示装置に関する。

【背景技術】**【0002】**

液晶表示装置は、液晶に電界を加えると液晶分子の配向が変化するのに伴い液晶の屈折率が変化する現象、すなわち液晶の電気光学効果を利用して、画像の表示を行う。そして、液晶分子の配向の変化は、画像情報に基づく電気信号（ビデオ信号）の電圧の変化に追従する。

20

【0003】

液晶表示装置で用いられる液晶では、印加される電圧が変化してから液晶分子の配向の変化が収束するまでの応答時間が、一般的に十数 ms 程度であるのに対し、例えば 60 Hz のフレーム周波数で液晶表示装置を駆動したときの 1 フレーム期間は約 17 ms である。よって、1 フレーム期間に占める液晶の応答時間の割合が大きいため、液晶素子の透過率の変化が動画のぼやけとして視認されやすい。動画の画質を改善するために、液晶素子に印加する電圧を一時的に高いレベルにして液晶の配向を速く変化させるオーバードライブ駆動を用いる、或いは液晶自体に改良を加えるなどの対策を講じることで、応答時間を有る程度まで短縮させることは可能である。しかし、短縮化されたとしても応答時間は数 ms 程度存在し、動画の画質には未だ改善の余地が残されている。

30

【0004】

また、液晶表示装置において動画がぼやけて視認されてしまうもう一つの原因として、上述した液晶の応答時間の他に、液晶表示装置が、液晶素子に常に電圧を印加するホールド型駆動であることが挙げられる。人間の目は残像が生じやすい性質を持っているので、連続して黒以外の階調を表示すると、ホールド型駆動では人間の目が階調の変化に追いつけず、動画がぼやけて見えやすい。

【0005】

そこで、液晶の応答時間と、ホールド型駆動とによって生じる動画のぼやけを共に解消するために、液晶分子の配向の変化が著しい期間は、バックライトを消灯して黒を表示する、インパルス型駆動が提案されている。インパルス型駆動を用いることで、液晶素子において透過率の変化が著しい期間にバックライトを消灯することができ、なおかつ人間の目に残像が残るのを防ぐことができるので、動画のぼやけを解消することができる。

40

【0006】

下記の特許文献 1 には、画素にデータが書き込まれた後、液晶が応答した頃に照明を光らせることで、動画表示時の尾引をなくす駆動方法について記載されている。

【先行技術文献】**【特許文献】****【0007】**

【特許文献 1】特開平 11 - 202286 号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0008】

ところで、液晶の応答時間は、液晶の温度によって変化する。液晶の材料にもよるが、一般的に温度が高いと応答時間が短くなり、温度が低くなると応答時間が長くなる傾向がある。そして液晶の温度は、液晶表示装置が置かれる環境の温度、半導体素子のセルフヒーティング、バックライトの発熱などにより大幅に変わるため、液晶の応答時間も変化が著しい。

【0009】

例えば、ノーマリーホワイトのメルク社製のTN液晶（商品名：ZLI4792）の場合について説明する。ノーマリーホワイトのTN液晶は、液晶に電圧を印加していないと透光性の高い明状態であるが、液晶に電圧を印加すると透光性の高い明状態から透光性の低い暗状態に変化する。逆に、ノーマリーホワイトのTN液晶は、液晶に電圧を印加したまままだ透光性の低い暗状態であるが、液晶への電圧の印加を止めると透光性の低い暗状態から透光性の高い明状態に変化する。液晶が明状態から暗状態に変化するまでの応答時間 τ_{on} に着目すると、液晶に印加する電圧が5Vの場合、液晶の温度が10 から30 に変化すると、応答時間 τ_{on} は9.9 msec から5.1 msec へと変化する。また、液晶が暗状態から明状態に変化する場合の応答時間 τ_{off} に着目すると、液晶に印加する電圧が5Vの場合、液晶の温度が10 から30 に変化すると、応答時間 τ_{off} は23.4 msec から11.9 msec へと変化する。

【0010】

一方、ビデオ信号は、室温下の液晶の粘性に合わせて電圧、周波数などの条件が設定されている。しかし、液晶は温度によって粘性が変化するのに対し、ビデオ信号には液晶の粘性の変化は反映されない。すなわち、室温よりも低温側の環境下において、液晶は、粘性が高い方向に変化し、それに伴い応答速度も低い方向に変化するが、ビデオ信号は室温下の液晶の粘性に合わせた条件で固定されたままである。そのため低温側の環境下では、液晶の応答速度の低下によって、ビデオ信号の電圧の変化に、液晶分子の配向の変化がより遅れて追従してしまい、動画がぼやけて表示されるなどの表示品質の劣化が顕著に見られた。

【0011】

また、上述したインパルス駆動では、液晶分子の配向の変化が著しい期間にバックライトを消灯し、液晶分子の配向の変化が収束している期間にバックライトを点灯するように、液晶素子に電圧を印加するタイミングと、バックライトの駆動のタイミングとを設定している。しかし、温度変化により液晶の応答時間が長くなることで、液晶分子の配向の変化が著しい期間が長くなり、液晶分子の配向の変化が収束している期間が短くなっても、液晶素子に電圧を印加するタイミングと、バックライトの駆動のタイミングとは、設定された当初のままに固定されている。よって、液晶分子の配向の変化が著しい期間においてバックライトが点灯するという事態が生じやすく、その結果、液晶分子の配向の変化、すなわち液晶素子の透過率の変化が視認され、動画がぼやけて見えやすい。

【0012】

本発明は上述した問題に鑑み、液晶の温度によらずに動画がぼやけて見えるのを防ぐことができる、液晶表示装置の提案を課題とする。

【課題を解決するための手段】

【0013】

本発明者らは、液晶に電界を加えると、その比誘電率が変化することに着目し、この比誘電率の変化を光源（バックライト）にフィードバックさせることで、液晶の温度によらずに動画のぼやけを防ぐことができるのではないかと考えた。

【0014】

液晶表示装置に用いられる液晶分子の形状は、棒状であるのが一般的である。そして、棒状である液晶分子は、長軸方向と短軸方向で分極率が異なる。そのため、液晶分子の配向の変化に伴い、液晶の屈折率が変化するのだが、同様の理由により比誘電率にも異方性が

10

20

30

40

50

あり、液晶の比誘電率は液晶分子の配向の状態に依存する。また、液晶の比誘電率は印加される電圧に依存する。

【 0 0 1 5 】

よって、本発明では、比誘電率と配向の状態の関係、比誘電率と印加される電圧の関係を利用し、該電圧をモニターすることで、液晶分子の配向の状態を間接的に把握する。そして、液晶分子の配向の変化が収束するタイミングを見出し、液晶分子の配向の変化が著しい期間に光源を消灯し、液晶分子の配向の変化が収束している期間に光源を点灯するように、該タイミングに従って光源の駆動のタイミングを適宜設定する。

【 0 0 1 6 】

具体的に本発明の液晶表示装置は、画素電極、対向電極、及び画素電極と対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素と、画素に光を照射する光源と、画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる比較回路と、比較回路から出力される電位が切り替わるタイミングに従って、光源の点灯と消灯とを切り替える制御回路と、を有する。

10

【 0 0 1 7 】

また具体的に本発明の液晶表示装置は、画素電極、対向電極、及び画素電極と対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素と、画素に光を照射する光源と、画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる比較回路と、比較回路から出力される電位を保持する記憶回路と、記憶回路に保持されている電位が切り替わるタイミングに従って、光源への電力の供給を制御するスイッチング回路と、を有する。

20

【 0 0 1 8 】

また本発明の液晶表示装置は上記構成に加え、液晶素子と並列に接続された容量素子と、液晶素子と直列に接続された容量素子とを、いずれか 1 つ有していても良いし、両方有していても良い。

【 0 0 1 9 】

さらに本発明の液晶表示装置は、液晶表示装置が置かれる環境下の輝度または光強度を検出して電気信号（第 1 の信号）を生成する光検出器と、該第 1 の信号を用いて、上記輝度が高いほど光源の輝度が高くなるように、または上記輝度が低いほど光源の輝度が低くなるよう、光源の輝度を調整するための信号（第 2 の信号）を生成する信号生成回路と、第 2 の信号に従って光源の輝度を調整する輝度制御回路と、を有していても良い。

30

【 0 0 2 0 】

また具体的に本発明の液晶表示装置は、第 1 の領域及び第 2 の領域を有し、画素電極、対向電極、及び画素電極と対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素を第 1 の領域及び第 2 の領域のそれぞれに有する画素部と、第 1 の領域の画素に光を照射する第 1 の光源と、第 2 の領域の画素に光を照射する第 2 の光源と、第 1 の領域の画素における液晶素子の画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる第 1 の比較回路と、第 2 の領域の画素における液晶素子の画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる第 2 の比較回路と、第 1 の比較回路から出力される電位が切り替わるタイミングに従って、第 1 の光源の点灯と消灯とを切り替え、第 2 の比較回路から出力される電位が切り替わるタイミングに従って、第 2 の光源の点灯と消灯とを切り替える制御回路と、第 1 の領域の画素の液晶素子に入力される第 1 のビデオ信号が有する階調を平均化し、第 2 の領域の画素の液晶素子に入力される第 2 のビデオ信号が有する階調を平均化する画像処理用フィルタと、平均化された第 1 のビデオ信号が有する階調が、平均化された第 2 のビデオ信号が有する階調よりも高い場合に、第 1 の光源の輝度を第 2 の光源の輝度よりも高くし、平均化された第 1 のビデオ信号が有する階調が、平均化された第 2 のビデオ信号が有する階調よりも低い場合に、第 1 の光源の輝度を第 2 の光源の輝度よりも低くするための信号を生成する信号処理回路と、信号に従って第 1 の光源及び第 2 の光源の輝度を調整する輝度制御回路と、を有する。

40

50

【発明の効果】

【0021】

本発明の液晶表示装置では、液晶分子の配向の変化が収束するタイミングが把握できるので、該タイミングに従って光源の駆動のタイミングを適宜設定することができる。よって、液晶の温度によらず、液晶分子の配向の変化が著しい期間に光源を消灯し、液晶分子の配向の変化が収束している期間に光源を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

【図面の簡単な説明】

【0022】

【図1】本発明の液晶表示装置の構成を示す図。

10

【図2】複数の画素を有する本発明の液晶表示装置の構成を示す図。

【図3】本発明の液晶表示装置の駆動を説明するためのタイミングチャート。

【図4】液晶素子の透過率の時間変化と、信号線に入力される電圧の時間変化を示す図。

【図5】制御回路の具体的な構成を示す図。

【図6】本発明の液晶表示装置の全体的な構成を示すブロック図。

【図7】本発明の液晶表示装置の全体的な構成を示すブロック図。

【図8】制御回路の具体的な構成を示す図。

【図9】制御回路の具体的な構成を示す図。

【図10】本発明の液晶表示装置の全体的な構成を示すブロック図。

【図11】本発明の液晶表示装置の作製方法を示す図。

20

【図12】本発明の液晶表示装置の作製方法を示す図。

【図13】本発明の液晶表示装置の作製方法を示す図。

【図14】本発明の液晶表示装置の作製方法を示す図。

【図15】本発明の液晶表示装置の断面図及び上面図。

【図16】本発明の液晶表示装置の構成を示す斜視図。

【図17】本発明の液晶表示装置を用いた電子機器の図。

【図18】印加電圧と比誘電率の関係を示すグラフ及び液晶素子の断面模式図。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

30

【0024】

(実施の形態1)

図1(A)に、本発明の液晶表示装置の構成を示す。図1(A)に示す液晶表示装置は、画素100と、比較回路101と、制御回路102と、光源103とを有する。また画素100は、液晶素子104と、スイッチング素子105と、容量素子106とを少なくとも有する。液晶素子104は、画素電極と、対向電極と、画素電極及び対向電極間の電圧が印加される液晶と、を有している。

40

【0025】

光源103は、画素100に光を照射する機能を有する。

【0026】

スイッチング素子105は、液晶素子104の画素電極にビデオ信号の電位を与えるか否かを制御する。液晶素子104の対向電極には、所定の電位COMが与えられている。また容量素子106は一对の電極を有しており、一方の電極(第1電極)は液晶素子104の画素電極に接続されており、他方の電極(第2電極)には所定の電位GNDが与えられている。なお、本明細書において接続とは、電氣的な接続と、直接的な接続とを両方含む。

【0027】

50

スイッチング素子 105 がオンになると、ビデオ信号の電位 V_s がスイッチング素子 105 を介して液晶素子 104 の画素電極及び容量素子 106 の第 1 電極に与えられる。よって、スイッチング素子 105 がオンになった当初は、液晶素子 104 の画素電極と対向電極間の電圧 V_L は、電位 V_s と電位 C_{OM} の差分に等しくなり、容量素子 106 の第 1 電極と第 2 電極間の電圧 V_{cs} は、電位 V_s と電位 GND の差分と等しくなる。なお、容量素子 106 は必ずしも設ける必要はないが、容量素子 106 を設けることで、スイッチング素子 105 からの電荷のリークに起因する画素電極の電位の変化を防ぐことができる。

【0028】

そして、画素電極と対向電極の間に電圧が与えられると、液晶素子 104 が有する液晶内の液晶分子は、その配向が変化し始める。なお、液晶は比誘電率に異方性を有しており、液晶分子を楕円に見立てたときの長軸方向における比誘電率と、長軸方向に対して垂直方向、すなわち短軸方向における比誘電率とが異なる。よって、液晶分子の配向が変化することによって、液晶の比誘電率にも変化が生じる。例えばメルク社製の TN 液晶（商品名：MJ001393）の場合、液晶分子の長軸方向における比誘電率が 8.1、短軸方向における比誘電率が 3.8 であり、液晶分子の配向の変化により比誘電率が最大 2.1 倍程度も変化する。

10

【0029】

図 18 (A) に、ネマティック液晶を用いた場合における、液晶素子に印加される電圧（印加電圧）と比誘電率の関係を、一例として示す。ただし図 18 (A) は、図 18 (B) の断面模式図に示すように、液晶素子が画素電極 3001 と対向電極 3002 の間に液晶層 3003 を有する構成である場合のデータであり、液晶層 3003 にメルク社製の液晶（商品名：ZLI4792）を用い、セルギャップ d を $3.7 \mu m$ としている。また、画素電極 3001 面に対して液晶層 3003 の液晶分子が平行に配向するように予め配向処理が施されているものとする。図 18 から、液晶の比誘電率が液晶素子に印加される電圧に依存していることがわかる。

20

【0030】

なお、液晶素子 104 を容量として見立てると、その容量値 C_L は、以下の式 1 で表すことができる。ただし、 ϵ_0 は真空の誘電率、 ϵ は液晶の比誘電率、 S は液晶素子 104 の面積、 d は液晶素子 104 の第 1 電極と第 2 電極間の距離（セルギャップ）を意味する。ただし、実際には配向膜の比誘電率も容量値 C_L の値に影響を与えるが、説明の便宜上、式 1 において配向膜の比誘電率は考慮しないものとする。

30

【0031】

（式 1）

$$C_L = \epsilon_0 \times \epsilon \times S / d$$

【0032】

そして、容量値 C_L と、電荷 Q と、液晶素子 104 の画素電極と対向電極間の電圧 V_L の関係は、以下の式 2 で表すことができる。

【0033】

（式 2）

$$Q = C_L \times V_L$$

40

【0034】

よって、式 1 と式 2 から、以下の式 3 が導き出される。

【0035】

（式 3）

$$V_L = d \times Q / (\epsilon_0 \times \epsilon \times S)$$

【0036】

式 3 において、第 1 電極と第 2 電極間の距離 d と、液晶素子 104 の面積 S 、真空の誘電率 ϵ_0 は固定された値である。また、液晶素子 104 の電荷 Q がリークしない理想状態であると仮定すると、電荷 Q も固定された値とみなすことができる。よって、式 3 から、液晶分子の配向が変化することにより液晶の比誘電率 ϵ が変化すると、液晶素子 104 の画

50

素電極と対向電極間の電圧 V_L が変化することが分かる。従って、スイッチング素子105をオンにしてビデオ信号の電位 V_s を液晶素子104の画素電極に与えた後、スイッチング素子105をオフにしてからの電圧 V_L の変化、すなわち液晶素子104が有する画素電極の電位の変化を追跡することで、液晶分子の配向の状態を把握し、液晶分子の配向の変化が収束するタイミングを見出すことができる。

【0037】

なお、図1(A)の場合、液晶素子104と容量素子106とが直列に接続されているため、画素電極の電位は、液晶素子104の容量値と、容量素子106の容量値の比によって定まる。例えば、ビデオ信号の電圧 V_s を印加する前の状態において、液晶素子104の容量値 C_L と容量素子106の容量値 C_S の比が100:100であるとする。そして、上述したメルク社製のTN液晶(商品名:MJ001393)を液晶素子104に用いる場合、ビデオ信号の電圧 V_s の印加により、最終的に液晶分子の比誘電率が最大2.1倍程度変化するため、液晶素子104の容量値 C_L も2.1倍に変化する。よって、ビデオ信号の電圧 V_s を印加した後に液晶分子の配向の変化が収束すると、液晶素子104の容量値 C_L と容量素子106の容量値 C_S の比は210:100になる。したがって、液晶分子の配向の変化が収束すると、液晶素子104の画素電極と対向電極間の電圧 V_L と、容量素子106の第1電極と第2電極間の電圧 V_{CS} との比が210:100になるように、画素電極の電位も収束する。

10

【0038】

比較回路101は、画素100から与えられる液晶素子104の画素電極の電位と、基準となる電位REFとを比較し、その結果に従って互いに値の異なる2値の電位を出力する。例えば、画素電極の電位が電位REFより高い場合は電位OUT1、画素電極の電位が電位REFと同じか、それより低い場合は電位OUT2を出力する。そして電位REFを、液晶分子の配向の変化が収束したときに得られるであろう画素電極の電位と同じ高さに設定しておくことで、液晶分子の配向の変化が収束する前と後とで、比較回路101から出力される電位を切り替えることができる。なお、実際の液晶表示装置の駆動では、液晶素子104の電荷Qが多少なりともリークする。そのため、該リーク分に起因する画素電極の電位の変化分を考慮に入れて、電位REFの値を設定することが望ましい。

20

【0039】

なお、図1(A)では、比較回路101としてオペアンプを用いる例を示しているが、オペアンプに限らず、画素100から与えられる電位と基準となる電位REFとを比較した結果に従って2値の電位の一つを出力することができる回路であれば、比較回路101として用いることができる。

30

【0040】

制御回路102は、比較回路101から出力された電位に従って、光源103の駆動を制御する。具体的には、2値の電位のうち、一方の電位が比較回路101から出力されたとき、制御回路102は光源103が点灯するように制御し、他方の電位が比較回路101から出力されたとき、制御回路102は光源103が消灯するように制御する。比較回路101から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路102は液晶分子の配向が変化するタイミングに従って、光源103の駆動を制御することができる。

40

【0041】

従って、本発明では、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って光源103の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に光源103を消灯し、液晶分子の配向の変化が収束している期間に光源103を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

【0042】

なお、図1(A)では、液晶素子104の対向電極に電位COMが与えられ、容量素子106の第2電極に電位GNDが与えられている例を示しているが、液晶素子104の対向

50

電極と容量素子 106 の第 2 電極とに、共に電位 COM が与えられていても良い。この場合、液晶素子 104 と容量素子 106 とが並列に接続されていることになるので、下記の式 4 が成り立つ。

【0043】

(式 4)

$$V_L = Q / (C_L + C_S)$$

【0044】

液晶素子 104 と容量素子 106 とが並列に接続されている場合、例えば、ビデオ信号の電圧 V_s を印加する前の状態において、液晶素子 104 の容量値 C_L と容量素子 106 の容量値 C_S の比が 100 : 100 であるとする。そして、上述したメルク社製の TN 液晶 (商品名: MJ001393) を液晶素子 104 に用いる場合、ビデオ信号の電圧 V_s の印加により、最終的に液晶分子の比誘電率が最大 2.1 倍程度変化するため、液晶素子 104 の容量値 C_L も 2.1 倍に変化する。よって、ビデオ信号の電圧 V_s を印加した後に液晶分子の配向の変化が収束すると、液晶素子 104 の容量値 C_L と容量素子 106 の容量値 C_S の比は 210 : 100 になる。したがって、液晶分子の配向の変化が始まる前と、液晶分子の配向の変化が収束した後とでは、液晶素子 104 の画素電極と対向電極間の電圧 V_L は、0.31 倍に変化することになる。

10

【0045】

液晶素子 104 と容量素子 106 の接続関係によって、液晶分子の配向の変化が収束したときに得られるであろう画素電極の電位が変化する。よって、画素 100 の構成に合わせて、基準となる電位 REF を適宜設定すれば良い。

20

【0046】

次に、図 1 (B) に、図 1 (A) とは異なる、本発明の液晶表示装置の別の構成を示す。図 1 (B) に示す液晶表示装置は、画素 200 と、比較回路 201 と、制御回路 202 と、光源 203 とを有する。また画素 200 は、液晶素子 204 と、スイッチング素子 205 と、容量素子 206 と、容量素子 207 とを少なくとも有する。液晶素子 204 は、画素電極と、対向電極と、画素電極及び対向電極間の電圧が印加される液晶と、を有している。

【0047】

スイッチング素子 205 は、液晶素子 204 の画素電極にビデオ信号の電位を与えるか否かを制御する。液晶素子 204 の対向電極には、所定の電位 COM が与えられている。また容量素子 206 は一対の電極を有しており、一方の電極 (第 1 電極) は液晶素子 204 の画素電極に接続されており、他方の電極 (第 2 電極) には所定の電位 GND が与えられている。また容量素子 207 は一対の電極を有しており、一方の電極 (第 1 電極) は液晶素子 204 の画素電極に接続されており、他方の電極 (第 2 電極) には所定の電位 COM が与えられている。よって、図 1 (B) に示す液晶表示装置では、液晶素子 204 と容量素子 206 が直列に接続されており、液晶素子 204 と容量素子 207 が並列に接続されている。

30

【0048】

スイッチング素子 205 がオンになると、ビデオ信号の電位 V_s がスイッチング素子 205 を介して液晶素子 204 の画素電極、容量素子 206 の第 1 電極及び容量素子 207 の第 1 電極に与えられる。よって、スイッチング素子 205 がオンになった当初は、液晶素子 204 の画素電極と対向電極間の電圧 V_L は、電位 V_s と電位 COM の差分に等しくなり、容量素子 206 の第 1 電極と第 2 電極間の電圧 V_{CS1} は、電位 V_s と電位 GND の差分と等しくなり、容量素子 207 の第 1 電極と第 2 電極間の電圧 V_{CS2} は、電位 V_s と電位 COM の差分に等しくなる。

40

【0049】

そして、画素電極と対向電極の間に電圧が与えられると、液晶素子 204 が有する液晶内の液晶分子は、その配向が変化し始める。そして、上述したように、液晶分子の配向が変化することにより液晶の比誘電率が変化すると、液晶素子 204 の画素電極と対向電極間

50

の電圧 V_L が変化する。よって、スイッチング素子 205 をオンにしてビデオ信号の電位 V_s を液晶素子 204 の画素電極に与えた後、スイッチング素子 205 をオフにしてからの電圧 V_L の変化、すなわち液晶素子 204 が有する画素電極の電位の変化を追跡することで、液晶分子の配向の状態を把握し、液晶分子の配向の変化が収束するタイミングを見出すことができる。

【0050】

なお、図 1 (B) の場合、液晶素子 204 と容量素子 206 とが直列に接続されており、液晶素子 204 と容量素子 207 とが並列に接続されている。そのため、画素電極の電位は、液晶素子 204 の容量値と、容量素子 206 の容量値と、容量素子 207 の容量値との比によって値が定まる。

10

【0051】

図 1 (A) に示す容量素子 106 の容量値は、電荷のリークに起因する画素電極の電位の変化を防ぐことができる程度に、十分な大きさに設定する。しかし、液晶素子 104 の容量値に対して容量素子 106 の容量値が大きすぎると、液晶素子 104 の容量値が変化しても、液晶素子 104 の画素電極の電位の変化が小さくなり、液晶分子の配向の状態を把握しにくくなる。よって、図 1 (A) に示す画素 100 の場合、液晶素子 104 の画素電極の電位の変化を大きくして液晶分子の配向の状態をより明確に把握するために、容量素子 106 の容量値と液晶素子 104 の容量値とが大きく異ならないように、より望ましくは同程度になるように、設定しておくのが良い。

【0052】

一方、図 1 (B) に示す画素 200 の場合、図 1 (A) とは異なり、液晶素子 204 と直列に接続されるように容量素子 206 が設けられており、液晶素子 204 と並列に接続されるように容量素子 207 が設けられている。そのため、液晶素子 204 の電圧 V_L と、容量素子 206 の電圧 V_{cs2} との比は、液晶素子 204 の容量値に容量素子 207 の容量値を加算した値と、容量素子 206 の容量値との比に相当する。したがって、容量素子 206 の容量値を、電荷のリークに起因する画素電極の電位の変化を防ぐことができる程度に、十分な大きさに設定したとしても、容量素子 207 の容量値をそれに見合う程度に大きく設定することで、液晶素子 204 の容量値を小さく抑えつつ、液晶素子 204 の電圧 V_L と、容量素子 206 の電圧 V_{cs2} とが大きく異ならないように、より望ましくは同程度になるようにすることができる。よって、液晶素子 204 の容量値を小さく抑えつつ、液晶素子 204 の画素電極の電位の変化を大きくして液晶分子の配向の状態をより明確に把握することができる。

20

30

【0053】

比較回路 201 は、画素 200 から与えられる液晶素子 204 の画素電極の電位と、基準となる電位 REF とを比較し、その結果に従って互いに値の異なる 2 値の電位を出力する。例えば、画素電極の電位が電位 REF より高い場合は電位 OUT1、画素電極の電位が電位 REF と同じか、それより低い場合は電位 OUT2 を出力する。そして電位 REF を、液晶分子の配向の変化が収束したときに得られるであろう画素電極の電位と同じ高さに設定しておくことで、液晶分子の配向の変化が収束する前と後とで、比較回路 201 から出力される電位を切り替えることができる。

40

【0054】

なお、図 1 (B) では、比較回路 201 としてオペアンプを用いる例を示しているが、オペアンプに限らず、画素 200 から与えられる電位と基準となる電位 REF とを比較した結果に従って 2 値の電位の一つを出力することができる回路であれば、比較回路 201 として用いることができる。

【0055】

制御回路 202 は、比較回路 201 から出力された電位に従って、光源 203 の駆動を制御する。具体的には、2 値の電位のうち、一方の電位が比較回路 201 から出力されたとき、制御回路 202 は光源 203 が点灯するように制御し、他方の電位が比較回路 201 から出力されたとき、制御回路 202 は光源 203 が消灯するように制御する。比較回路

50

201 から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路202は液晶分子の配向が変化するタイミングに従って、光源203の駆動を制御することができる。

【0056】

従って、本発明では、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って光源203の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に光源203を消灯し、液晶分子の配向の変化が収束している期間に光源203を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

【0057】

なお、液晶表示装置では、焼き付きと呼ばれる液晶の劣化を防ぐために、液晶素子に印加する電圧の極性を所定のタイミングに従って反転させる交流駆動が行われることが多い。例えば、フレーム期間ごとに液晶素子に印加する電圧の極性を反転させる交流駆動を行う場合、図1(A)、図1(B)に示す本発明の液晶表示装置では、画素電極の電位の極性が同じフレーム期間においてのみ、光源の駆動のタイミングを新たに設定し直すようにし、その他のフレーム期間では、直前のフレーム期間と同じタイミングで光源を駆動させれば良い。或いは、全てのフレーム期間ごとに光源の駆動のタイミングを適宜設定し直すために、基準となる電位REFをフレーム期間ごとに変えるようにしても良いし、各極性に対応した比較回路及び制御回路を新たに設けるようにしても良い。また、極性が同じフレーム期間において、必ず光源の駆動のタイミングを設定し直す必要はない。液晶の温度変化がさほど著しくない場合などは、例えば60フレーム期間ごとに1回とするなど、光源の駆動のタイミングを設定し直す回数を、少なくしても良い。

【0058】

また、本発明の液晶表示装置は、画素部が画素を複数有する場合、該画素の少なくとも1つから、画素電極の電位を比較回路に出力できていればよい。図2に、本発明の液晶表示装置が有する、複数の画素300が設けられた画素部301と、比較回路302と、制御回路303と、光源304とを一例として示す。

【0059】

図2において、各画素300は、信号線S1~Sxの少なくとも1つと、走査線G1~Gyの少なくとも1つとを有している。また画素300は、スイッチング素子として機能するトランジスタ305と、液晶素子306と、容量素子307とを有している。なお図2では、画素300において、一のトランジスタ305をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。スイッチング素子としてトランジスタ以外の半導体素子を用いていても良い。或いは、複数のトランジスタをスイッチング素子として用いていても良い。

【0060】

また図2では、図1(A)と同様に、画素300において、液晶素子306と容量素子307とが直列に接続されている場合を例示しているが、液晶素子306と容量素子307とは、並列に接続されていても良い。また図1(B)と同様に、画素300が、液晶素子306に直列に接続されている容量素子307に加えて、液晶素子306に並列に接続されている容量素子を有していても良い。

【0061】

図2では、複数の画素300のうち、信号線Sxと走査線Gyとを有するモニター用画素300aにおいて、液晶素子306が有する画素電極の電位をモニターするべく、該電位を比較回路302に inputs する。なお、全ての画素300のうち、最も端に位置している画素300を、画素電極の電位をモニターするためのモニター用画素300aとする必要は必ずしもない。モニター用画素300aは、他の画素300と構成を変える必要はないので、いずれの画素300をモニター用画素300aとして用いるかは、設計者が適宜決めることができる。また、画素部301が有する複数の画素300のうち、実際の映像の表示には用いることのないダミー用の画素の一つを、モニター用画素300aとして用いる

10

20

30

40

50

ようにしても良い。ただし、いずれの場合にせよ、全ての画素 300 のうち、最後にビデオ信号の入力が行われる画素において、液晶分子の配向の変化が収束するタイミングが最も遅くなる。よって、最後にビデオ信号の入力が行われる画素の一つをモニター用画素 300a として用いることで、全ての画素 300 において液晶分子の配向の変化が収束するタイミングを把握することができ、望ましい。

【0062】

次に、図 2 に示す画素部 301 の動作と、光源 304 の駆動について説明する。まず、走査線 G1 ~ Gy が順に選択されると、選択された走査線を有する画素 300 において、トランジスタ 305 がオンになる。そして信号線 S1 ~ Sx に、順にまたは同時にビデオ信号の電位が与えられると、オンのトランジスタ 305 を介して、ビデオ信号の電位が液晶素子 306 の画素電極に与えられる。次に走査線の選択が終了すると、該走査線を有する画素 300 において、トランジスタ 305 がオフになる。そして液晶素子 306 は、液晶分子の配向の変化に伴い、その画素電極の電位が変化する。

10

【0063】

図 3 に、画素部 301 における、ビデオ信号の画素 300 への入力のタイミングを示す。図 3 では、横軸は時間を示しており、縦軸は走査線が選択される方向（走査方向）を示している。また、図 3 において、光源 304 の点灯期間は白地で示し、消灯期間はハッチで示す。期間 Ta は、最初の走査線が選択されてから最後の走査線が選択されるまでの期間を意味しており、期間 Ta 内に全ての画素 300 にビデオ信号が入力される。

20

【0064】

期間 Ta では、複数の画素 300 に順にビデオ信号が入力されている最中なので、画素 300 によっては液晶素子 306 が有する液晶分子の配向の変化が著しい。また、期間 Ta において最後にビデオ信号が入力される画素 300 では、他の画素 300 に比べて、液晶分子の配向の変化が収束するタイミングは最も遅い。そして、液晶分子の配向の変化が収束するタイミングは、液晶の温度によっても随時変わってくる。

【0065】

図 4 (A) と図 4 (B) に、最後にビデオ信号が入力される画素 300 における、液晶素子 306 の透過率の時間変化と、光源の駆動のタイミングを示す。図 4 (A)、(B) では、横軸は時間を示し、縦軸は液晶素子 306 の透過率を示す。また、光源 304 の点灯時間は白地で示し、消灯期間はハッチで示す。また図 4 (C) には、信号線に入力される電位の時間変化も併せて示す。ただし、図 4 (C) では、信号線に与えられる電位が、第 1 フレーム期間と第 3 フレーム期間において電位 COM よりも高く、第 2 フレーム期間では電位 COM と同じである場合を例示している。

30

【0066】

図 4 (A) と図 4 (B) の透過率の変化は、共に図 4 (C) に示すタイミングチャートに同期している。しかし、図 4 (A) と図 4 (B) とでは、温度変化により液晶の比誘電率が異なっており、透過率の変化が著しい期間 401 の長さが異なっている。より詳細に説明すると、図 4 (A) の方が図 4 (B) よりも、期間 401 が短く、期間 402 が長くなっている。

40

【0067】

本発明では、モニター用画素 300a が有する液晶素子 306 の画素電極の電位から、液晶分子の配向の変化が収束するタイミングを把握することができる。そして、制御回路 303 は、画素 300 へのビデオ信号の入力が開始されてから、全ての画素 300 において液晶分子の配向の変化が収束するまでの期間 Tb (図 3 参照) において、光源 304 が消灯するように、光源 304 の駆動を制御する。よって本発明では、図 4 (A) と図 4 (B) のいずれの場合においても、少なくとも期間 401 において消灯するように光源 304 を駆動させることができる。期間 Tb において光源 304 を消灯にしておくことで、液晶分子の配向の変化、すなわち液晶素子の透過率の変化が視認されにくくなり、動画がぼやけて見えるのを防ぐことができる。

【0068】

50

なお、期間 401 は、液晶の比誘電率のみならず、液晶素子に印加される電圧の変化量によっても異なる。例えば VA 液晶の場合だと、黒表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなるため、期間 401 が最長となる。よって、光源 304 の駆動のタイミングを設定する際、まず先のフレーム期間において黒表示を行った後、次の第 2 のフレーム期間において中間階調表示を行うように、モニター用画素 300a にビデオ信号を入力する。そして、上記第 2 のフレーム期間における画素電極の電位を用いて光源 304 の駆動のタイミングを設定するのが望ましい。上記構成により、いずれの階調を表示する場合でも、液晶分子の配向の変化が収束するまでの期間 T_b において光源 304 が消灯するように光源 304 の駆動を制御し、動画がぼやけて見えるのを防ぐことができる。

【0069】

なお、VA 液晶の場合だと、黒表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなるが、液晶の応答速度が最も遅くなる表示のパターンは液晶の種類によって異なる。よって、液晶の種類に合わせて、光源 304 の駆動のタイミングを設定する際に、応答速度が最長となるよう、モニター用画素 300a において階調が変化する表示パターンを、適宜選択すればよい。例えば TN 液晶、OCB 液晶の場合、白表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、白表示の次に中間階調表示を行う表示パターンを用いて、光源 304 の駆動のタイミングを設定するのが望ましい。また、例えば IPS 液晶の場合、VA 液晶と同様に、黒表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、黒表示の次に中間階調表示を行う表示パターンを用いて、光源 304 の駆動のタイミングを設定するのが望ましい。

【0070】

また、図 4 (A)、図 4 (B) では、期間 401 のみならず期間 403 においても液晶分子の配向の変化が著しい。期間 401 は、液晶素子の画素電極の電位が、対向電極の電位からより離れた電位に変化する際に起こる、液晶分子の配向の変化の著しい期間である。一方、期間 403 は、液晶素子の画素電極の電位が、対向電極の電位により近い電位に変化する際に起こる、液晶分子の配向の変化の著しい期間である。本実施の形態では、期間 401 における画素電極の電位の変化を用い、光源 304 の駆動のタイミングを設定しているが、期間 403 における画素電極の電位の変化を用いて、光源 304 の駆動のタイミングを設定しても良い。液晶の種類にもよるが、期間 401 よりも期間 403 の方が長くなる場合がある。よって、期間 401 よりも期間 403 の方が長くなる場合は、期間 403 における画素電極の電位の変化を用いて、光源 304 の駆動のタイミングを設定することで、より確実に動画がぼやけて見えるのを防ぐことができる。

【0071】

なお、期間 403 において光源 304 の駆動のタイミングを設定する場合も、期間 403 が最長となる表示パターンを用いるのが望ましい。例えば VA 液晶の場合だと、白表示から黒表示に移行する際に、液晶の応答時間が最も長くなり、期間 401 が最長となる。よって、光源 304 の駆動のタイミングを設定する際、まず先のフレーム期間において白表示を行った後、次の第 2 のフレーム期間において黒表示を行うように、モニター用画素 300a にビデオ信号を入力する。そして、上記第 2 のフレーム期間における画素電極の電位を用いて光源 304 の駆動のタイミングを設定するのが望ましい。上記構成により、いずれの階調を表示する場合でも、液晶分子の配向の変化が収束するまでの期間 T_b において光源 304 が消灯するように光源 304 の駆動を制御し、動画がぼやけて見えるのを防ぐことができる。

【0072】

なお、VA 液晶の場合だと、白表示から黒表示に移行する際に液晶の応答時間が最も長くなるが、液晶の応答時間が最も長くなる表示のパターンは液晶の種類によって異なる。よって、液晶の種類に合わせて、光源 304 の駆動のタイミングを設定する際の、表示パターンを適宜選択すればよい。例えば TN 液晶、OCB 液晶の場合、黒表示から白表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、黒表示の次に白表示を行

う表示パターンを用いて、光源 304 の駆動のタイミングを設定するのが望ましい。また、例えば IPS 液晶の場合、VA 液晶と同様に、白表示から黒表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、白表示の次に黒表示を行う表示パターンを用いて、光源 304 の駆動のタイミングを設定するのが望ましい。

【0073】

また、図 1 (A) では光源 103 を一つだけ図示している。図 1 (B) では光源 203 を一つだけ図示している。図 2 では光源 304 を一つだけ図示している。しかし、本発明はこれらの構成に限定されない。光源 103 と、光源 203 と、光源 304 とは、その数がそれぞれ単数であっても良いが、複数であっても良い。

【0074】

なお、本実施の形態では、アクティブマトリクス型の液晶表示装置を例に挙げて説明したが、本発明の液晶表示装置はパッシブマトリクス型であっても良い。

【0075】

(実施の形態 2)

本実施の形態では、本発明の液晶表示装置が有する制御回路の具体的な構成の一例について説明する。

【0076】

図 5 (A) は、本発明の液晶表示装置が有する比較回路 501 と、制御回路 502 と、光源 503 とを示している。図 5 (A) に示す制御回路 502 は、記憶回路 504 と、スイッチング回路 505 とを少なくとも有している。

【0077】

比較回路 501 は、画素から与えられる液晶素子の画素電極の電位 V_E と、基準となる電位 REF とが入力されている。そして比較回路 501 は電位 V_E と電位 REF とを比較し、その結果に従って互いに値の異なる電位 OUT1 または電位 OUT2 を出力する。

【0078】

制御回路 502 では、比較回路 501 から出力された電位が、電位 OUT1 と電位 OUT2 のうちのいずれであるかを、記憶回路 504 においてデータとして記憶する。記憶回路 504 には、記憶回路 504 に記憶されているデータを保持するための電源電位 VDD と、記憶が行われるタイミングを制御する信号 S_{igL} とが入力されている。具体的には、信号 S_{igL} によって、光源 503 の駆動のタイミングを設定する際に、記憶回路 504 に新たにデータが書き込まれるようになる。また逆に、信号 S_{igL} によって、光源 503 の駆動のタイミングを設定された状態のまま維持する際に、記憶回路 504 に新たにデータが書き込まれないようになる。なお、全ての画素のうち、最初の画素にビデオ信号が入力されるタイミングが信号 S_{igL} によって制御されている場合、該信号 S_{igL} を用いることで、上記最初の画素にビデオ信号が入力されるタイミングに合わせて、光源 503 を消灯させるタイミングをも制御することができる。

【0079】

光源の駆動のタイミングを設定するタイミングは、上述したように設計者が適宜決めることができる。具体的には、信号 S_{igL} またはその他の制御信号を用いることで、光源 503 の駆動のタイミングを設定するタイミングを、リアルタイムに制御することができる。なお、光源の駆動のタイミングを、毎フレーム期間ごとにリアルタイムで設定し直すのではなく、複数のフレーム期間ごとに設定し直す場合、制御回路 502 内にタイミング検出用回路を更に設け、設定された光源 503 の駆動のタイミングを次の設定時まで、上記タイミング検出用回路で記憶するようにしても良い。例えばタイミング検出用回路は、光源 503 の駆動のタイミングを設定し直すように指示が来たら、比較回路 501 から出力される電位を用いて、1 フレーム期間が開始されてから全ての画素において液晶分子の配向の変化が収束するまでの期間を検出するための回路と、各フレーム期間が開始されてからの時間を計測するための回路と、上記 2 つの回路から出力される信号に従って、記憶回路 504 のデータを書き換える回路と、を用いれば良い。

【0080】

10

20

30

40

50

スイッチング回路 505 は、記憶回路 504 において記憶されているデータに従ってスイッチングを行うことで、光源 503 への電力の供給を制御する。なお図 5 (A) では、スイッチング回路 505 に、トランジスタを一つ用いている例を示しているが、本発明はこの構成に限定されない。スイッチング回路 505 に、トランジスタ以外の半導体素子を用いていても良いし、複数のトランジスタを用いていても良い。また記憶回路 504 として、ラッチ回路などを用いることができる。光源 503 として、LED を用いることができる。ただし本発明の液晶表示装置に用いることができる光源は、必ずしも LED に限定されない。LED のように点灯と消灯を高速で切り替えることが可能な発光素子であれば、本発明の液晶表示装置の光源として用いることは可能である。

【0081】

なお、本実施の形態では、記憶回路 504 を有している制御回路 502 の構成について説明したが、本発明の液晶表示装置が有する制御回路は、必ずしも記憶回路を用いる必要はない。記憶回路を用いない場合は、制御回路 502 において、比較回路 501 の後段にスイッチング回路 505 が設けられる。そして記憶回路を用いない場合、全てのフレーム期間ごとに光源の駆動のタイミングを適宜設定し直すことになるので、基準となる電位 REF をフレーム期間ごとに変えるか、若しくは各極性に対応した比較回路及び制御回路を新たに設けるようにする。

【0082】

なお制御回路 502 は、図 5 (A) に示した構成に加え、バッファを有していても良い。図 5 (B) に、比較回路 501 と、バッファ 506 をさらに有する制御回路 502 と、光源 503 とを示す。図 5 (B) に示す制御回路 502 では、記憶回路 504 から出力される電位を、バッファ 506 を介して制御回路 502 に入力している。バッファ 506 を用いることで、スイッチング回路 505 におけるスイッチングの制御に大電力が必要な場合でも、確実にそのスイッチングを制御することができる。

【0083】

なお、図 5 に示した構成の制御回路 502 が有する機能は、比較回路 501 において検出された電位を用い、CPU (central processing unit) で行うことも可能である。ただし本発明では、CPU を用いた複雑な制御系の回路を使用せずに、液晶の応答速度に合わせて光源 503 の駆動を制御することができるというメリットを有する。或いは本発明では、CPU を使用していたとしても、CPU の負荷を低減させつつ、液晶の応答速度に合わせて光源 503 の駆動を制御することができるというメリットを有する。

【0084】

なお、図 5 (A)、図 5 (B) では、光源 503 を一つだけ図示しているが、本発明はこの構成に限定されない。光源 503 は、その数が単数であっても良いが、複数であっても良い。

【0085】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0086】

(実施の形態 3)

本実施の形態では、本発明の液晶表示装置の全体的な構成の一例について説明する。図 6 に、本発明の液晶表示装置のブロック図を示す。

【0087】

図 6 に示す液晶表示装置は、液晶素子を備えた画素を複数有する画素部 600 と、各画素をラインごとに選択する走査線駆動回路 610 と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路 620 と、比較回路 630 と、制御回路 631 と、光源 632 とを有する。そして本発明では画素部 600 が有する画素のうち、いずれか 1 つをモニター用画素 633 として用いる。モニター用画素 633 の画素電極の電位は、比較回路 630 に与えられる。

【0088】

図 6 において信号線駆動回路 620 は、シフトレジスタ 621、第 1 の記憶回路 622、第 2 の記憶回路 623、DA (Digital to Analog) 変換回路 624 を有している。シフトレジスタ 621 には、クロック信号 S - CLK、スタートパルス信号 S - SP が入力される。シフトレジスタ 621 は、これらクロック信号 S - CLK 及びスタートパルス信号 S - SP に従って、パルスが順次シフトするタイミング信号を生成し、第 1 の記憶回路 622 に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしても良い。

【0089】

第 1 の記憶回路 622 にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第 1 の記憶回路 622 に書き込まれ、保持される。なお、第 1 の記憶回路 622 が有する複数の記憶素子に順にビデオ信号を書き込んでも良いが、第 1 の記憶回路 622 が有する複数の記憶素子をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ数を分割数と呼ぶ。例えば 4 つの記憶素子ごとにグループに分けた場合、4 分割で分割駆動することになる。

10

【0090】

第 1 の記憶回路 622 の全ての記憶素子への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0091】

20

1 ライン期間が終了すると、第 2 の記憶回路 623 に入力されるラッチ信号 S - LS のパルスに従って、第 1 の記憶回路 622 に保持されているビデオ信号が、第 2 の記憶回路 623 に一斉に書き込まれ、保持される。ビデオ信号を第 2 の記憶回路 623 に送出し終えた第 1 の記憶回路 622 には、再びシフトレジスタ 621 からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、第 2 の記憶回路 623 に書き込まれ、保持されているビデオ信号が、DA 変換回路 624 に入力される。

【0092】

そして DA 変換回路 624 は、入力されたデジタルのビデオ信号をアナログのビデオ信号に変換し、信号線を介して画素部 600 内の各画素に入力する。

30

【0093】

なお信号線駆動回路 620 は、シフトレジスタ 621 の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

【0094】

なお図 6 では DA 変換回路 624 の後段に画素部 600 が直接接続されているが、本発明はこの構成に限定されない。画素部 600 の前段に、DA 変換回路 624 から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

【0095】

次に、走査線駆動回路 610 の動作について説明する。本発明の液晶表示装置では、画素部 600 の各画素に走査線が複数設けられている。走査線駆動回路 610 は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、該画素が有するスイッチング素子がオンになり、画素へのビデオ信号の入力が行われる。

40

【0096】

なお、本実施の形態では複数の走査線に入力される選択信号を、全て一の走査線駆動回路 610 で生成している例について述べたが、本発明はこの構成に限定されない。複数の走査線駆動回路 610 で複数の走査線に入力される選択信号の生成を行うようにしても良い。

【0097】

50

また、画素部 6 0 0、走査線駆動回路 6 1 0、信号線駆動回路 6 2 0、比較回路 6 3 0、制御回路 6 3 1 は、同一基板上に形成することができるが、いずれかを異なる基板上に形成することもできる。

【 0 0 9 8 】

また、図 6 では、光源 6 3 2 を一つだけ図示しているが、本発明はこの構成に限定されない。光源 6 3 2 は、その数が単数であっても良いが、複数であっても良い。

【 0 0 9 9 】

次に図 7 に、図 6 とは異なる、本実施の形態の液晶表示装置のブロック図を一例として示す。

【 0 1 0 0 】

図 7 に示す本発明の液晶表示装置は、複数の画素を有する画素部 6 4 0 と、複数の画素をラインごとに選択することができる走査線駆動回路 6 5 0 と、選択されたライン内の画素へのビデオ信号の入力を制御する信号線駆動回路 6 6 0 と、比較回路 6 7 0 と、制御回路 6 7 1 と、光源 6 7 2 とを有する。そして本発明では画素部 6 4 0 が有する画素のうち、いずれか 1 つをモニター用画素 6 7 3 として用いる。モニター用画素 6 7 3 の画素電極の電位は、比較回路 6 7 0 に与えられる。

10

【 0 1 0 1 】

信号線駆動回路 6 6 0 は、シフトレジスタ 6 6 1 と、サンプリング回路 6 6 2 と、アナログ信号を記憶することができる記憶回路 6 6 3 とを少なくとも有する。シフトレジスタ 6 6 1 にクロック信号 S - C L K と、スタートパルス信号 S - S P が入力されると、シフトレジスタ 6 6 1 はこれらクロック信号 S - C L K 及びスタートパルス信号 S - S P に従って、パルスが順次シフトするタイミング信号を生成し、サンプリング回路 6 6 2 に入力する。サンプリング回路 6 6 2 では、入力されたタイミング信号に従って、信号線駆動回路 6 6 0 に入力された 1 ライン期間分のアナログのビデオ信号をサンプリングする。そして 1 ライン期間分のビデオ信号が全てサンプリングされると、サンプリングされたビデオ信号はラッチ信号 S - L S に従って一斉に記憶回路 6 6 3 に出力され、保持される。記憶回路 6 6 3 に保持されるビデオ信号は、信号線を介して画素部 6 4 0 に入力される。

20

【 0 1 0 2 】

なお本実施の形態では、サンプリング回路 6 6 2 において 1 ライン期間分のビデオ信号を全てサンプリングした後に、一斉に下段の記憶回路 6 6 3 にサンプリングされたビデオ信号を入力する場合を例に挙げて説明するが、本発明はこの構成に限定されない。サンプリング回路 6 6 2 において各画素に対応するビデオ信号をサンプリングしたら、1 ライン期間を待たずに、その都度下段の記憶回路 6 6 3 にサンプリングされたビデオ信号を入力しても良い。

30

【 0 1 0 3 】

またビデオ信号のサンプリングは対応する画素毎に順に行っても良いし、1 ライン内の画素をいくつかのグループに分け、各グループに対応する画素ごとに並行して行っても良い。

【 0 1 0 4 】

なお図 7 では記憶回路 6 6 3 の後段に直接画素部 6 4 0 が接続されているが、本発明はこの構成に限定されない。画素部 6 4 0 の前段に、記憶回路 6 6 3 から出力されたアナログのビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

40

【 0 1 0 5 】

そして、記憶回路 6 6 3 から画素部 6 4 0 にビデオ信号が入力されるのと並行して、サンプリング回路 6 6 2 は次のライン期間に対応するビデオ信号を再びサンプリングすることができる。

【 0 1 0 6 】

次に、走査線駆動回路 6 5 0 の動作について説明する。本発明の液晶表示装置では、画素部 6 4 0 の各画素に走査線が複数設けられている。走査線駆動回路 6 5 0 は選択信号を生

50

成し、該選択信号を複数の各走査線に入力することで、画素をラインごとを選択する。選択信号により画素が選択されると、該画素が有するスイッチング素子がオンになり、画素へのビデオ信号の入力が行われる。

【0107】

なお、本実施の形態では複数の走査線に入力される選択信号を、全ての走査線駆動回路650で生成している例について述べたが、本発明はこの構成に限定されない。複数の走査線駆動回路650で複数の走査線に入力される選択信号の生成を行うようにしても良い。

【0108】

また、画素部640、走査線駆動回路650、信号線駆動回路660、比較回路670、制御回路671は、同一基板上に形成することができるが、いずれかを異なる基板上に形成することもできる。

10

【0109】

また、図7では、光源672を一つだけ図示しているが、本発明はこの構成に限定されない。光源672は、その数が単数であっても良いが、複数であっても良い。

【0110】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0111】

(実施の形態4)

本実施の形態では、液晶表示装置が置かれる環境下の輝度を検出し、検出された輝度に合わせて光源の輝度を調整する液晶表示装置の構成について説明する。

20

【0112】

図8(A)に、本実施の形態の液晶表示装置が有する、光源801の制御系の回路の一例を示す。図8(A)に示す光源801の制御系の回路は、比較回路802、制御回路803、光検出器804、信号生成回路805、輝度制御回路806を有する。

【0113】

比較回路802は、画素から与えられる液晶素子の画素電極の電位 V_E と、基準となる電位REFとを比較し、その結果に従って互いに値の異なる2値の電位を出力する。制御回路803は、比較回路802から出力された電位に従って、光源801の駆動を制御する。具体的には、2値の電位のうち、一方の電位が比較回路802から出力されたとき、制御回路803は光源801が点灯するように制御し、他方の電位が比較回路802から出力されたとき、制御回路803は光源801が消灯するように制御する。比較回路802から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路803は液晶分子の配向が変化するタイミングに従って、光源801の駆動を制御することができる。

30

【0114】

光検出器804は、液晶表示装置が置かれる環境下の輝度または光強度を検出し、該輝度または光強度の情報を含む電気信号(第1の信号)を生成することができる。光検出器804として、例えばフォトダイオード、フォトリスタ、電荷結合素子(CCD: Charge Coupled Device)などの、光を電気エネルギーに変換する光電変換素子を用いることができる。

40

【0115】

信号生成回路805は、光検出器804で生成される電気信号を用い、検出された輝度の情報に従って光源801の輝度を決める。図8(A)では、信号生成回路805が積分回路807と、輝度比較回路808とを有する例を示している。

【0116】

積分回路807は光検出器804において検出された光強度を時間で積分する。人間は、一定時間内の光強度を積分して知覚するという特性を有しているので、積分回路807を用いることで、人間の目が感じる輝度を算出することができる。輝度比較回路808は、積分回路807によって算出された輝度と、あらかじめ設定しておいた基準となる輝度と

50

を比較する。

【0117】

そして、比較の結果が情報として含まれる信号（第2の信号）を出力する。輝度制御回路806は、上記第2の信号を、光源の輝度を調整するための信号として用い、輝度比較回路808における比較の結果に従って光源801の輝度の制御を行う。具体的には、算出された輝度が設定された輝度よりも高い場合、光源801の輝度がより高くなるように、逆に算出された輝度が設定された輝度よりも低い場合、光源801の輝度がより低くなるように、第2の信号に従って光源801の輝度の制御を行う。

【0118】

よって本実施の形態の液晶表示装置では、液晶表示装置が置かれる環境下の輝度が高い場合に光源801の輝度を高め、逆に環境下の輝度が低い場合に光源801の輝度を低くすることができる。上記構成により、明るい場所では液晶表示装置に表示される映像を明るくすることで見やすくし、逆に、暗い場所では映像の明るさを抑えて消費電力を低減させることができる。

【0119】

なお、基準となる輝度は必ずしも1つである必要はなく、基準となる輝度が複数設定されていても良い。例えば、輝度の低い順から第1の輝度、第2の輝度、第3の輝度というように、3つの基準となる輝度が設定されている場合、点灯時の光源801の輝度を4段階に調整できるようにする。そして、算出された輝度が第1の輝度よりも低い時は、4段階のうち最も低い輝度になるように、第2の信号に従って光源801を点灯させる。また、算出された輝度が第1の輝度よりも高く、第2の輝度よりも低い時は、4段階のうち2番目に低い輝度になるように、第2の信号に従って光源801を点灯させる。また、算出された輝度が第2の輝度よりも高く、第3の輝度よりも低い時は、4段階のうち2番目に高い輝度になるように、第2の信号に従って光源801を点灯させる。また、算出された輝度が第3の輝度よりも高い時は、4段階のうち最も高い輝度になるように、第2の信号に従って光源801を点灯させる。

【0120】

さらに、本実施の形態の液晶表示装置では、上記効果に加え、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って光源801の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に光源801を消灯し、液晶分子の配向の変化が収束している期間に光源801を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

【0121】

次に図8(B)に、輝度制御回路806の具体的な回路の一例を示す。図8(B)に示す輝度制御回路806は、4段階で光源801の輝度を制御する場合を例示しており、4つのスイッチング素子810と、4つの抵抗素子811とを有している。スイッチング素子810と抵抗素子811とは一対で直列に接続されている。そして、直列に接続されたスイッチング素子810と抵抗素子811の4つの組が、制御回路803と光源801との間において、全て並列に接続されている。

【0122】

各スイッチング素子810のスイッチングは、信号生成回路805から出力される第2の信号に従って行われる。オンになるスイッチング素子810の数が多いほど、制御回路803と光源801との間における抵抗値が低くなる。逆に、オンになるスイッチング素子810の数が少ないほど、制御回路803と光源801との間における抵抗値は高くなる。よって、制御回路803において設定されたタイミングに従って、電力の供給が行われると、各スイッチング素子810のスイッチングに従って、光源801に供給される電力を調整することができ、光源801の輝度を4段階に制御することができる。

【0123】

なお、光源801への電力の供給の有無は、制御回路803において制御されるので、輝度制御回路806では光源801へ供給される電力量を制御するのみで良い。よって、複

10

20

30

40

50

数のスイッチング素子 8 1 0 のうち、少なくとも 1 つは常にオンにしておく。ただし、本発明は必ずしもこの構成に限定されず、輝度制御回路 8 0 6 においても光源 8 0 1 への電力の供給の有無を制御するべく、全てのスイッチング素子 8 1 0 をオフにできる構成としても良い。

【 0 1 2 4 】

また、 m 個の抵抗素子 8 1 1 全てが同じ抵抗値を有するのであれば、 m 段階で輝度の制御を行うことになるが、各抵抗素子 8 1 1 が有する抵抗値の値を変えることで、最高で $(2^m - 1)$ 段階まで細かく輝度の制御を行うことが可能である。

【 0 1 2 5 】

また、図 8 では、光源 8 0 1 を一つだけ図示しているが、本発明はこの構成に限定されない。光源 8 0 1 は、その数が単数であっても良いが、複数であっても良い。

10

【 0 1 2 6 】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【 0 1 2 7 】

(実施の形態 5)

本実施の形態では、液晶表示装置が有する画素部を複数の領域に分割し、各領域に配置されている画素の階調の平均値に合わせて、領域ごとに対応する光源の輝度を調整する、液晶表示装置の構成について説明する。

【 0 1 2 8 】

本実施の形態の液晶表示装置は、各領域に対応した複数の光源を有する。図 9 (A) に、第 1 の領域の画素に対応した第 1 の光源 8 2 0 と、第 2 の領域の画素に対応した第 2 の光源 8 2 1 とを有する液晶表示装置における、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の制御系の回路の一例を示す。なお、光源の数は 2 つに限定されず、分割する領域の数に合わせて、対応する光源の数を適宜設定することができる。

20

【 0 1 2 9 】

図 9 (A) に示す第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の制御系の回路は、比較回路 (比較回路 8 2 2 1 及び比較回路 8 2 2 2)、制御回路 8 2 3、画像処理用フィルタ 8 2 4、信号処理回路 8 2 5、第 1 の輝度制御回路 8 2 6 及び第 2 の輝度制御回路 8 2 7 を有する。

【 0 1 3 0 】

比較回路 8 2 2 1 は、第 1 の領域の画素から与えられる液晶素子の画素電極の電位 V_{E1} と、基準となる電位 REF とを比較し、その結果に従って比較回路 8 2 2 1 から値の異なる 2 値の電位を制御回路 8 2 3 に出力する。

30

【 0 1 3 1 】

比較回路 8 2 2 2 は、第 2 の領域の画素から与えられる液晶素子の画素電極の電位 V_{E2} と、基準となる電位 REF とを比較し、その結果に従って比較回路 8 2 2 2 から互いに値の異なる 2 値の電位を制御回路 8 2 3 に出力する。

【 0 1 3 2 】

制御回路 8 2 3 は、比較回路 8 2 2 1 及び比較回路 8 2 2 2 から出力された電位に従って、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の駆動を制御する。具体的には、比較回路 8 2 2 1 から 2 値の電位のうち、一方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 1 の光源 8 2 0 が点灯するように制御し、他方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 1 の光源 8 2 0 が消灯するように制御する。また、比較回路 8 2 2 2 から 2 値の電位のうち、一方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 2 の光源 8 2 1 が点灯するように制御し、他方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 2 の光源 8 2 1 が消灯するように制御する。比較回路 8 2 2 1 及び比較回路 8 2 2 2 から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路 8 2 3 は液晶分子の配向が変化するタイミングに従って、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の駆動を制御することができる。

40

50

【 0 1 3 3 】

一方、画像処理用フィルタ 8 2 4 は、各領域の画素に入力されるビデオ信号を用い、領域ごとに画素の階調の平均値を算出し、該平均値を情報として含む信号を生成する。画像処理用フィルタ 8 2 4 として、例えばランクフィルタ、コンボフィルタなどの、階調の平均値を算出できる画像処理用フィルタを、用いることができる。

【 0 1 3 4 】

信号処理回路 8 2 5 は、画像処理用フィルタ 8 2 4 で生成される信号を用い、算出された階調の平均値に従って第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度を決める。具体的に信号処理回路 8 2 5 では、算出された階調の平均値と、あらかじめ設定しておいた階調とを比較する。そして、比較の結果が情報として含まれる信号を出力する。第 1 の輝度制御回路 8 2 6 及び第 2 の輝度制御回路 8 2 7 は、上記比較の結果が含まれる信号を、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度を調整するための信号として用い、該信号に従って第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度の制御を行う。具体的には、算出された階調の平均値が設定された階調よりも高い場合、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度がより高くなるように、逆に算出された階調の平均値が設定された階調よりも低い場合、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度がより低くなるように、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度の制御を行う。

10

【 0 1 3 5 】

図 9 (B) に、4 つの領域 8 4 0、領域 8 4 1、領域 8 4 2、領域 8 4 3 に分割した画素部と、領域 8 4 0 に対応する光源 8 4 4、領域 8 4 1 に対応する光源 8 4 5、領域 8 4 2 に対応する光源 8 4 6、領域 8 4 3 に対応する光源 8 4 7 の配置を一例として示す。なお実際に光源からの光は、対応する領域以外の別の領域にも照射される場合が多いが、各領域に対応する光源は、主に該領域に光を照射することができるものであれば良い。

20

【 0 1 3 6 】

領域 8 4 0、領域 8 4 1、領域 8 4 2、領域 8 4 3 において、それぞれ配置されている画素の階調を平均化した結果、例えば、領域 8 4 0、領域 8 4 1、領域 8 4 2、領域 8 4 3 の順に平均化された階調が低くなっているものと仮定する。この場合、光源 8 4 4、光源 8 4 5、光源 8 4 6、光源 8 4 7 の順に、光源の輝度を低くすれば良い。

【 0 1 3 7 】

なお、図 9 (B) は、画素部の端に光源を配置するエッジライト型の光源を例示しているが、本発明の液晶表示装置は光源が画素部の直下に配置される直下型であっても良い。また、図 9 (A) では、第 1 の光源 8 2 0 と、第 2 の光源 8 2 1 とをひとつずつ図示しているが、本発明はこの構成に限定されない。第 1 の光源 8 2 0 と、第 2 の光源 8 2 1 の数は、それぞれ単数であっても良いが、複数であっても良い。

30

【 0 1 3 8 】

よって、本実施の形態の液晶表示装置では、階調が高くて明るい画像を表示する領域では、より画像を明るく表示することができ、階調が低くて暗い画像を表示する領域では、より画像を暗く表示することができる。上記構成により、本実施の形態の液晶表示装置では、画素部全体に表示される画像のコントラストを高めることができる。

【 0 1 3 9 】

さらに、本実施の形態の液晶表示装置では、上記効果に加え、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 を消灯し、液晶分子の配向の変化が収束している期間に第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

40

【 0 1 4 0 】

なお、図 9 (A) に示す液晶表示装置では、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 にそれぞれ対応するように第 1 の輝度制御回路 8 2 6 及び第 2 の輝度制御回路 8 2 7 を設けているが、本発明はこの構成に限定されない。複数の光源の階調を、一つの輝度制御回路で

50

制御するようにしても良い。また、第 1 の輝度制御回路 8 2 6 及び第 2 の輝度制御回路 8 2 7 は、図 8 (B) に示した輝度制御回路の構成を用いることができる。

【 0 1 4 1 】

なお、本実施の形態で示したような、画素部の領域ごとに対応する光源の輝度を調整する場合においても、実施の形態 4 で示したように、液晶表示装置が置かれる環境下の輝度を検出し、検出された輝度に合わせて各光源の輝度を調整するようにしても良い。

【 0 1 4 2 】

また本実施の形態は、実施の形態 4 以外の、上記実施の形態と適宜組み合わせて実施することが可能である。

【 0 1 4 3 】

(実施の形態 6)

本実施の形態では、実施の形態 3 とは異なる、本発明の液晶表示装置の全体的な構成の一例について説明する。図 1 0 に、本発明の液晶表示装置のブロック図を示す。

【 0 1 4 4 】

図 1 0 に示す液晶表示装置は、液晶素子を備えた画素を複数有する画素部 9 0 0 と、各画素をラインごとに選択する走査線駆動回路 9 1 0 と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路 9 2 0 と、比較回路 9 3 0 と、制御回路 9 3 1 と、光源 9 3 2 とを有する。そして本発明では画素部 9 0 0 が有する画素のうち、いずれか 1 つをモニター用画素 9 3 3 として用いる。モニター用画素 9 3 3 の画素電極の電位は、比較回路 9 3 0 に与えられる。

【 0 1 4 5 】

図 1 0 において信号線駆動回路 9 2 0 は、シフトレジスタ 9 2 1、第 1 の記憶回路 9 2 2、第 2 の記憶回路 9 2 3 を有している。シフトレジスタ 9 2 1 には、クロック信号 S - C L K、スタートパルス信号 S - S P が入力される。シフトレジスタ 9 2 1 は、これらクロック信号 S - C L K 及びスタートパルス信号 S - S P に従って、パルスが順次シフトするタイミング信号を生成し、第 1 の記憶回路 9 2 2 に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしても良い。

【 0 1 4 6 】

第 1 の記憶回路 9 2 2 にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第 1 の記憶回路 9 2 2 に書き込まれ、保持される。なお、第 1 の記憶回路 9 2 2 が有する複数の記憶素子に順にビデオ信号を書き込んでも良いが、第 1 の記憶回路 9 2 2 が有する複数の記憶素子をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ数を分割数と呼ぶ。例えば 4 つの記憶素子ごとにグループに分けた場合、4 分割で分割駆動することになる。

【 0 1 4 7 】

第 1 の記憶回路 9 2 2 の全ての記憶素子への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 1 4 8 】

1 ライン期間が終了すると、第 2 の記憶回路 9 2 3 に入力されるラッチ信号 S - L S のパルスに従って、第 1 の記憶回路 9 2 2 に保持されているビデオ信号が、第 2 の記憶回路 9 2 3 に一斉に書き込まれ、保持される。ビデオ信号を第 2 の記憶回路 9 2 3 に送出し終えた第 1 の記憶回路 9 2 2 には、再びシフトレジスタ 9 2 1 からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、第 2 の記憶回路 9 2 3 に書き込まれ、保持されているビデオ信号が、デジタルのまま、信号線を介して画素部 9 0 0 内の各画素に入力する。

【 0 1 4 9 】

なお信号線駆動回路 9 2 0 は、シフトレジスタ 9 2 1 の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

10

20

30

40

50

【 0 1 5 0 】

なお図 10 では第 2 の記憶回路 9 2 3 の後段に画素部 9 0 0 が直接接続されているが、本発明はこの構成に限定されない。画素部 9 0 0 の前段に、第 2 の記憶回路 9 2 3 から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファ、電圧の振幅を制御するレベルシフタなどが挙げられる。

【 0 1 5 1 】

次に、走査線駆動回路 9 1 0 の動作について説明する。本発明の液晶表示装置では、画素部 9 0 0 の各画素に走査線が複数設けられている。走査線駆動回路 9 1 0 は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、該画素が有するスイッチング素子がオンになり、画素へのビデオ信号の入力が行われる。

10

【 0 1 5 2 】

なお、本実施の形態では複数の走査線に入力される選択信号を、全て一つの走査線駆動回路 9 1 0 で生成している例について述べたが、本発明はこの構成に限定されない。複数の走査線駆動回路 9 1 0 で複数の走査線に入力される選択信号の生成を行うようにしても良い。

【 0 1 5 3 】

本実施の形態に示す液晶表示装置は、画素部 9 0 0 にデジタルのビデオ信号が入力される。画素部 9 0 0 に入力されるビデオ信号がデジタルの場合、画素が白表示を行う時間を制御することで、階調を表示しても良いし（時間階調方式）、または白表示を行う画素の面積で階調を表示しても良い（面積階調方式）。例えば本実施の形態において時間階調方式を用いる場合、1 フレーム期間を、ビデオ信号の各ビットに対応する複数のサブフレーム期間に分割する。そして、1 フレーム期間のうち、画素が白表示を行ったサブフレーム期間のトータルの長さをビデオ信号で制御することで、階調を表示することができる。

20

【 0 1 5 4 】

また、画素部 9 0 0、走査線駆動回路 9 1 0、信号線駆動回路 9 2 0、比較回路 9 3 0、制御回路 9 3 1 は、同一基板上に形成することができるが、いずれかを異なる基板上に形成することもできる。

【 0 1 5 5 】

また、図 10 では、光源 9 3 2 を一つだけ図示しているが、本発明はこの構成に限定されない。光源 9 3 2 は、その数が単数であっても良いが、複数であっても良い。

30

【 0 1 5 6 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【 実施例 1 】

【 0 1 5 7 】

次に、本発明の液晶表示装置の作製方法について詳しく述べる。なお本実施例では薄膜トランジスタ（TFT）を半導体素子の一例として示すが、本発明の液晶表示装置に用いられる半導体素子はこれに限定されない。例えば TFT の他に、記憶素子、ダイオード、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

40

【 0 1 5 8 】

まず図 11（A）に示すように、耐熱性を有する基板 7 0 0 上に、絶縁膜 7 0 1、剥離層 7 0 2、絶縁膜 7 0 3 と、半導体膜 7 0 4 とを順に形成する。絶縁膜 7 0 1、剥離層 7 0 2、絶縁膜 7 0 3 及び半導体膜 7 0 4 は連続して形成することが可能である。

【 0 1 5 9 】

基板 7 0 0 として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板、またはシリコン基板等の半導体基板を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、上記基板と比較して耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である

50

。

【0160】

プラスチック基板として、ポリエチレンテレフタレート（PET）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【0161】

なお本実施例では、剥離層702を基板700上の全面に設けているが本発明はこの構成に限定されない。例えばフォトリソグラフィ法などを用いて、基板700上において剥離層702を部分的に形成する様にしても良い。

10

【0162】

絶縁膜701、絶縁膜703は、CVD法やスパッタリング法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁性を有する材料を用いて形成する。

【0163】

絶縁膜701、絶縁膜703は、基板700中に含まれるNaなどのアルカリ金属やアルカリ土類金属が半導体膜704中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また絶縁膜703は、剥離層702に含まれる不純物元素が半導体膜704中に拡散するのを防ぎ、なおかつ後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。

20

【0164】

絶縁膜701、絶縁膜703は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。本実施例では、膜厚100nmの酸化窒化珪素膜、膜厚50nmの窒化酸化珪素膜、膜厚100nmの酸化窒化珪素膜を順に積層して絶縁膜703を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層の酸化窒化珪素膜に代えて、膜厚0.5～3μmのシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法、印刷法などによって形成しても良い。また、中層の窒化酸化珪素膜に代えて、窒化珪素膜を用いてもよい。また、上層の酸化窒化珪素膜に代えて、酸化珪素膜を用いても良い。また、それぞれの膜厚は、0.05～3μmとするのが望ましく、その範囲から自由に選択することができる。

30

【0165】

或いは、剥離層702に最も近い、絶縁膜703の下層を酸化窒化珪素膜または酸化珪素膜で形成し、中層をシロキサン系樹脂で形成し、上層を酸化珪素膜で形成しても良い。

【0166】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも1種を有していても良い。

【0167】

酸化珪素膜は、シランと酸素、TEOS（テトラエトキシシラン）と酸素などの組み合わせの混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、シランとアンモニアの混合ガスを用い、プラズマCVDによって形成することができる。また、酸化窒化珪素膜、窒化酸化珪素膜は、代表的には、シランと一酸化二窒素の混合ガスを用い、プラズマCVDによって形成することができる。

40

【0168】

剥離層702は、金属膜、金属酸化膜、金属膜と金属酸化膜とを積層して形成される膜を用いることができる。金属膜と金属酸化膜は、単層であっても良いし、複数の層が積層された積層構造を有していても良い。また、金属膜や金属酸化膜の他に、金属窒化物や金属

50

酸化窒化物を用いてもよい。剥離層 702 は、スパッタ法やプラズマ CVD 法等の各種 CVD 法等を用いて形成することができる。

【0169】

剥離層 702 に用いられる金属としては、タングステン (W)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、ニオブ (Nb)、ニッケル (Ni)、コバルト (Co)、ジルコニウム (Zr)、亜鉛 (Zn)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os) またはイリジウム (Ir) 等が挙げられる。剥離層 702 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。

【0170】

また剥離層 702 は珪素 (Si) 単体で形成された膜を用いても良いし、珪素 (Si) を主成分とする化合物で形成された膜を用いても良い。或いは、珪素と上記金属とを含む合金で形成された膜を用いても良い。珪素を含む膜は、非晶質、微結晶、多結晶のいずれでもよい。

【0171】

剥離層 702 は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。金属膜と金属酸化膜とが積層された剥離層 702 は、元となる金属膜を形成した後、該金属膜の表面を酸化または窒化させることで形成することができる。具体的には、酸素雰囲気中または一酸化二窒素雰囲気中で元となる金属膜にプラズマ処理を行ったり、酸素雰囲気中または一酸化二窒素雰囲気中で金属膜に加熱処理を行ったりすればよい。また元となる金属膜上に接するように、酸化珪素膜または酸化窒化珪素膜を形成することでも、金属膜の酸化を行うことが出来る。また元となる金属膜上に接するように、窒化酸化珪素膜、窒化珪素膜を形成することで、窒化を行うことが出来る。

【0172】

金属膜の酸化または窒化を行うプラズマ処理として、プラズマ密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ から $9 \times 10^{15} \text{ cm}^{-3}$ 以下であり、マイクロ波 (例えば周波数 2.45 GHz) などの高周波を用いた高密度プラズマ処理を行っても良い。

【0173】

なお、もととなる金属膜の表面を酸化することで、金属膜と金属酸化膜とが積層した剥離層 702 を形成するようにしても良いが、金属膜を形成した後に金属酸化膜を別途形成するようにしても良い。例えば金属としてタングステンを用いる場合、スパッタ法や CVD 法等により元となる金属膜としてタングステン膜を形成した後、該タングステン膜にプラズマ処理を行う。これにより、金属膜に相当するタングステン膜と、該金属膜に接し、なおかつタングステンの酸化物で形成された金属酸化膜とを、形成することができる。

【0174】

半導体膜 704 は、絶縁膜 703 を形成した後、大気に曝さずに形成することが望ましい。半導体膜 704 の膜厚は 20 ~ 200 nm (望ましくは 40 ~ 170 nm、好ましくは 50 ~ 150 nm) とする。なお半導体膜 704 は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は 0.01 ~ 4.5 atomic % 程度であることが好ましい。

【0175】

なお半導体膜 704 は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板 700 として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950 程度の高温アニールを適宜組み合わせた結晶法を用いても良い。

【0176】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する半導体膜704の耐性を高めるために、550、4時間の加熱処理を該半導体膜704に対して行なう。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得る。そして、好ましくは光学系により照射面に矩形形状または楕円形状のレーザ光に成形して、半導体膜704に照射する。このときのエネルギー密度は0.01～100MW/cm²程度(好ましくは0.1～10MW/cm²)が必要である。そして、走査速度を10～2000cm/sec程度とし、照射する。

10

【0177】

連続発振の気体レーザとして、Arレーザ、Krレーザなどを用いることが出来る。また連続発振の固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、フォスファイト(Mg₂SiO₄)レーザ、GdVO₄レーザ、Y₂O₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどを用いることが出来る。

【0178】

またパルス発振のレーザとして、例えばArレーザ、Krレーザ、エキシマレーザ、CO₂レーザ、YAGレーザ、Y₂O₃レーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

20

【0179】

また、パルス発振のレーザ光の発振周波数を10MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を半導体膜704に照射してから半導体膜704が完全に固化するまでの時間は数十nsec～数百nsecと言われている。よって上記周波数を用いることで、半導体膜704がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜704中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜704が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って連続的に成長した単結晶の結晶粒を形成することで、少なくともTFTのチャネル方向には結晶粒界のほとんど存在しない半導体膜704の形成が可能となる。

30

【0180】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

【0181】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値電圧のばらつきを抑えることができる。

40

【0182】

上述したレーザ光の照射により、結晶性がより高められた半導体膜704が形成される。なお、予め半導体膜704に、スパッタ法、プラズマCVD法、熱CVD法などで形成した多結晶半導体を用いるようにしても良い。

【0183】

また本実施例では半導体膜704を結晶化しているが、結晶化せずに非晶質珪素膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を

50

用いた T F T は、多結晶半導体を用いた T F T よりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

【0184】

非晶質半導体は、珪素を含む気体をグロー放電分解することにより得ることができる。珪素を含む気体としては、 SiH_4 、 Si_2H_6 が挙げられる。この珪素を含む気体を、水素、水素及びヘリウムで希釈して用いても良い。

【0185】

次に半導体膜 704 に対して、p 型を付与する不純物元素又は n 型を付与する不純物元素を低濃度に添加するチャンネルドーピングを行う。チャンネルドーピングは半導体膜 704 全体に対して行っても良いし、半導体膜 704 の一部に対して選択的に行っても良い。p 型を付与する不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。n 型を付与する不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。ここでは、不純物元素として、ボロン (B) を用い、当該ボロンが $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ の濃度で含まれるよう添加する。

【0186】

次に図 11 (B) に示すように、半導体膜 704 を所定の形状に加工 (パターニング) し、島状の半導体膜 705 ~ 707 を形成する。そして、島状の半導体膜 705 ~ 707 を覆うように、ゲート絶縁膜 709 を形成する。ゲート絶縁膜 709 は、プラズマ CVD 法またはスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素または酸化窒化珪素を含む膜を、単層で、または積層させて形成することができる。積層する場合には、例えば、基板 700 側から酸化珪素膜、窒化珪素膜、酸化珪素膜の 3 層構造とするのが好ましい。

【0187】

ゲート絶縁膜 709 は、高密度プラズマ処理を行うことにより島状の半導体膜 705 ~ 707 の表面を酸化または窒化することで形成しても良い。高密度プラズマ処理は、例えば He、Ar、Kr、Xe などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル (OH ラジカルを含む場合もある) や窒素ラジカル (NH ラジカルを含む場合もある) によって、半導体膜の表面を酸化または窒化することにより、1 ~ 20 nm、代表的には 5 ~ 10 nm の絶縁膜が半導体膜に接するように形成される。この 5 ~ 10 nm の絶縁膜をゲート絶縁膜 709 として用いる。

【0188】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜と半導体膜の界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることが出来る。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0189】

次に図 11 (C) に示すように、ゲート絶縁膜 709 上に導電膜を形成した後、該導電膜を所定の形状に加工 (パターニング) することで、島状の半導体膜 705 ~ 707 の上方に電極 710 を形成する。本実施例では積層された 2 つの導電膜をパターニングして電極 710 を形成する。導電膜は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0190】

本実施例では、1層目の導電膜として窒化タンタル膜またはタンタル膜を、2層目の導電膜としてタングステン膜を用いる。2つの導電膜の組み合わせとして、本実施例で示した例の他に、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜、アルミニウム膜とタンタル膜、アルミニウム膜とチタン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされたSiとWSi_x等も用いることができる。

【0191】

また、本実施例では電極710を積層された2つの導電膜で形成しているが、本実施例はこの構成に限定されない。電極710は単層の導電膜で形成されていても良いし、3つ以上の導電膜を積層することで形成されていても良い。3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

10

【0192】

導電膜の形成にはCVD法、スパッタリング法等を用いることができる。本実施例では1層目の導電膜を20~100nmの厚さで形成し、2層目の導電膜を100~400nmの厚さで形成する。

【0193】

なお電極710を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、酸化窒化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、酸化窒化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有する電極710を形成することができる。またマスクを用いずに、液滴吐出法を用いて選択的に電極710を形成しても良い。

20

【0194】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0195】

次に、電極710をマスクとして、島状の半導体膜705~707に、n型を付与する不純物元素（代表的にはP（リン）またはAs（砒素））を低濃度にドーピングする（第1のドーピング工程）。第1のドーピング工程の条件は、ドーピング量： $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 、加速電圧：50~70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜709を介してドーピングがなされ、島状の半導体膜705~707に、低濃度不純物領域711がそれぞれ形成される。なお、第1のドーピング工程は、pチャネル型TFTとなる島状の半導体膜706をマスクで覆って行っても良い。

30

【0196】

次に図12（A）に示すように、nチャネル型TFTとなる島状の半導体膜705、707を覆うように、マスク712を形成する。そしてマスク712に加えて電極710をマスクとして用い、島状の半導体膜706に、p型を付与する不純物元素（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程）。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧：20~40keVとして行なう。この第2のドーピング工程によって、ゲート絶縁膜709を介してドーピングがなされ、島状の半導体膜706に、p型の高濃度不純物領域713が形成される。

40

【0197】

次に図12（B）に示すように、マスク712をアッシング等により除去した後、ゲート絶縁膜709及び電極710を覆うように、絶縁膜を形成する。該絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素膜または窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成する。本実施

50

例では、膜厚 100 nm の酸化珪素膜をプラズマ CVD 法によって形成する。

【0198】

そして、垂直方向を主体とした異方性エッチングにより、ゲート絶縁膜 709 及び該絶縁膜を部分的にエッチングする。上記異方性エッチングによりゲート絶縁膜 709 が部分的にエッチングされて、島状の半導体膜 705 ~ 707 上に部分的に形成されたゲート絶縁膜 714 が形成される。また上記異方性エッチングにより、ゲート絶縁膜 709 及び電極 710 を覆うように形成された絶縁膜が部分的にエッチングされて、電極 710 の側面に接するサイドウォール 715 が形成される。サイドウォール 715 は、LDD (Lightly Doped drain) 領域を形成する際のドーピング用のマスクとして用いる。本実施例ではエッチングガスとしては、 CHF_3 と He の混合ガスを用いる。なお、サイドウォール 715 を形成する工程は、これらに限定されるものではない。

10

【0199】

次に図 12 (C) に示すように、p チャネル型 TFT となる島状の半導体膜 706 を覆うようにマスク 716 を形成する。そして、形成したマスク 716 に加えて電極 710 及びサイドウォール 715 をマスクとして用い、n 型を付与する不純物元素 (代表的には P または As) を島状の半導体膜 705、707 に高濃度にドーピングする (第 3 のドーピング工程)。第 3 のドーピング工程の条件は、ドーピング量: $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧: 60 ~ 100 keV として行なう。この第 3 のドーピング工程によって、島状の半導体膜 705、707 に、n 型の高濃度不純物領域 717 が形成される。

20

【0200】

なおサイドウォール 715 は、後に高濃度の n 型を付与する不純物をドーピングし、サイドウォール 715 の下部に低濃度不純物領域またはノンドープのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域またはオフセット領域の幅を制御するには、サイドウォール 715 を形成する際の異方性エッチングの条件またはサイドウォール 715 を形成するための絶縁膜の膜厚を適宜変更し、サイドウォール 715 のサイズを調整すればよい。なお、半導体膜 706 において、サイドウォール 715 の下部に低濃度不純物領域またはノンドープのオフセット領域を形成しても良い。

【0201】

次に、マスク 716 をアッシング等により除去した後、不純物領域の加熱処理による活性化を行っても良い。例えば、50 nm の酸化窒化珪素膜を形成した後、550 °C、4 時間、窒素雰囲気中において、加熱処理を行えばよい。

30

【0202】

また、水素を含む窒化珪素膜を、100 nm の膜厚に形成した後、410 °C、1 時間、窒素雰囲気中において加熱処理を行ない、島状の半導体膜 705 ~ 707 を水素化する工程を行なっても良い。或いは、水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の加熱処理を行ない、島状の半導体膜 705 ~ 707 を水素化する工程を行なっても良い。加熱処理には、熱アニール、レーザーアニール法または RTA 法などを用いることが出来る。加熱処理により、水素化のみならず、半導体膜に添加された不純物元素の活性化も行うことが出来る。また、水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを末端することができる。

40

【0203】

上述した一連の工程により、n チャネル型 TFT 718、720 と、p チャネル型 TFT 719 とが形成される。

【0204】

次に図 13 (A) に示すように、TFT 718、719、720 を保護するための絶縁膜 722 を形成する。絶縁膜 722 は必ずしも設ける必要はないが、絶縁膜 722 を形成することで、アルカリ金属やアルカリ土類金属などの不純物が TFT 718、719、720 へ侵入するのを防ぐことが出来る。具体的に絶縁膜 722 として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。本実

50

施例では、膜厚 600 nm 程度の酸化窒化珪素膜を、絶縁膜 722 として用いる。この場合、上記水素化の工程は、該酸化窒化珪素膜形成後に行っても良い。

【0205】

次に、TFT 718、719、720 を覆うように、絶縁膜 722 上に絶縁膜 723 を形成する。絶縁膜 723 は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、PSG (リンガラス)、BPSG (リンボロンガラス)、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜 723 を形成しても良い。

10

【0206】

絶縁膜 723 の形成には、その材料に応じて、CVD 法、スパッタ法、SOG 法、スピコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0207】

次に島状の半導体膜 705 ~ 707 がそれぞれ一部露出するように絶縁膜 722 及び絶縁膜 723 にコンタクトホールを形成する。そして、該コンタクトホールを介して島状の半導体膜 705 ~ 707 に接する導電膜 725 ~ 730 を形成する。コンタクトホール開口時のエッチングに用いられるガスは、 CHF_3 と He の混合ガスを用いたが、これに限定されるものではない。

20

【0208】

導電膜 725 ~ 730 は、CVD 法やスパッタリング法等により形成することができる。具体的に導電膜 725 ~ 730 として、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd)、炭素 (C)、珪素 (Si) 等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜 725 ~ 730 は、上記金属が用いられた膜を単層または複数積層させて形成することが出来る。

30

【0209】

アルミニウムを主成分とする合金の例として、アルミニウムを主成分としニッケルを含むものが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方とを含むものも例として挙げることが出来る。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 725 ~ 730 を形成する材料として最適である。特にアルミニウムシリコン膜は、導電膜 725 ~ 730 をパターニングするとき、レジストバークにおけるヒロックの発生をアルミニウム膜に比べて防止することができる。また、珪素の代わりに、アルミニウム膜に 0.5 % 程度の銅 (Cu) を混入させても良い。

【0210】

導電膜 725 ~ 730 は、例えば、バリア膜とアルミニウムシリコン膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリコン膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、島状の半導体膜 705 ~ 707 上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜 725 ~ 730 と島状の半導体膜 705 ~ 707 が良好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いても良い。その場合、例えば、導電膜 725 ~ 730 を下層からチタン、窒化チタン、アルミ

40

50

ニウムシリコン、チタン、窒化チタンの５層構造とすることが出来る。

【０２１１】

なお、導電膜７２５、７２６はｎチャネル型ＴＦＴ７１８の高濃度不純物領域７１７に接続されている。導電膜７２７、７２８はｐチャネル型ＴＦＴ７１９の高濃度不純物領域７１３に接続されている。導電膜７２９、７３０はｎチャネル型ＴＦＴ７２０の高濃度不純物領域７１７に接続されている。

【０２１２】

次に図１３（Ｂ）に示すように、導電膜７３０に接するように、絶縁膜７２３上に電極７３１を形成する。図１３（Ｂ）では、光を透過しやすい導電膜を用いて電極７３１を形成し、透過型の液晶素子を作製する例を示すが、本発明はこの構成に限定されない。本発明の液晶表示装置は、半透過型であっても良い。

10

【０２１３】

電極７３１に用いられる透明導電膜には、例えば酸化珪素を含む酸化インジウムスズ（ＩＴＳＯ）、酸化インジウムスズ（ＩＴＯ）、酸化亜鉛（ＺｎＯ）、酸化インジウム亜鉛（ＩＺＯ）、ガリウムを添加した酸化亜鉛（ＧＺＯ）などを用いることができる。

【０２１４】

次に図１３（Ｃ）に示すように、導電膜７２５～７３０及び電極７３１を覆うように、絶縁膜７２３上に保護層７３６を形成する。保護層７３６は、後に剥離層７０２を境にして基板７００を剥離する際に、絶縁膜７２３、導電膜７２５～７３０及び電極７３１を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層７３６を形成することができる。

20

【０２１５】

本実施例では、スピンコート法で水溶性樹脂（東亜合成製：ＶＬ－ＷＳＨＬ１０）を膜厚３０μｍとなるように塗布し、仮硬化させるために２分間の露光を行ったあと、紫外線を裏面から２．５分、表面から１０分、合計１２．５分の露光を行って本硬化させて、保護層７３６を形成する。なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解する、密着性が高くなりすぎるなどの恐れがある。従って、絶縁膜７２３と保護層７３６を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層７３６の除去がスムーズに行なわれるように、絶縁膜７２３を覆うように、無機絶縁膜（窒化珪素膜、窒化酸化珪素膜、 AlN_x 膜、または AlN_xO_y 膜）を形成しておくことが好ましい。

30

【０２１６】

次に図１３（Ｃ）に示すように、絶縁膜７０３から絶縁膜７２３上に形成された導電膜７２５～７３０及び電極７３１までの、ＴＦＴに代表される半導体素子や各種導電膜を含む層（以下、「素子形成層７３８」と記す）と、保護層７３６とを、基板７００から剥離する。本実施例では、第１のシート材７３７を保護層７３６に貼り合わせ、物理的な力を用いて基板７００から素子形成層７３８と、保護層７３６とを剥離する。剥離層７０２は、全て除去せず一部が残存した状態であっても良い。

【０２１７】

また上記剥離は、剥離層７０２のエッチングを用いた方法で行っても良い。この場合、剥離層７０２が一部露出するように溝を形成する。溝は、ダイシング、スクライピング、ＵＶ光を含むレーザ光を用いた加工、フォトリソグラフィ法などにより、形成する。溝は、剥離層７０２が露出する程度の深さを有していれば良い。そしてエッチングガスとしてフッ化ハロゲンを用い、該ガスを溝から導入する。本実施例では、例えば CF_3 （三フッ化塩素）を用い、温度：３５０、流量：３００ｓｃｃｍ、気圧：８００Ｐａ、時間：３ｈの条件で行なう。また、 CF_3 ガスに窒素を混ぜたガスを用いても良い。 CF_3 等のフッ化ハロゲンを用いることで、剥離層７０２が選択的にエッチングされ、基板７００を素子形成層７３８から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

40

50

【0218】

次に図14(A)に示すように、素子形成層738の上記剥離により露出した面に、第2のシート材744を貼り合わせる。そして、素子形成層738及び保護層736を第1のシート材737から剥離した後、保護層736を除去する。

【0219】

第2のシート材744として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、可撓性を有する紙またはプラスチックなどの有機材料を用いることができる。または第2のシート材744として、フレキシブルな無機材料を用いても良い。プラスチック基板は、極性基のついたポリノルボルネンからなるARTON(JSR製)を用いることができる。また、ポリエチレンテレフタレート(PET)に代表されるポリエステル、ポリエーテルスルホン(PES)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ポリエーテルエーテルケトン(PEEK)、ポリスルホン(PSF)、ポリエーテルイミド(PEI)、ポリアリレート(PAR)、ポリブチレンテレフタレート(PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

10

【0220】

なお基板700上に複数の液晶表示装置に対応する半導体素子を形成している場合には、素子形成層738を液晶表示装置ごとに分断する。分断は、レーザ照射装置、ダイシング装置、スクライプ装置等を用いることができる。

20

【0221】

次に図14(B)に示すように、導電膜730、電極731を覆うように、配向膜750を形成し、ラビング処理を施す。配向膜750は、液晶表示装置となる領域に、パターンニング等により選択的に形成する。そして、液晶を封止するためのシール材751を形成する。一方、透明導電膜を用いた電極752と、ラビング処理が施された配向膜753とが形成された基板754を用意する。そして、シール材751で囲まれた領域に液晶755を滴下し、別途用意しておいた基板754を、電極752と電極731とが向かい合うように、シール材751を用いて貼り合わせる。なおシール材751にはフィラーが混入されていても良い。

【0222】

なお、カラーフィルタや、ディスクリネーションを防ぐための遮蔽膜(ブラックマトリクス)などが形成されていても良い。また、基板754の電極752が形成されている面とは逆の面に、偏光板756を貼り合わせておく。

30

【0223】

電極731または電極752に用いられる透明導電膜には、例えば酸化珪素を含む酸化インジウムスズ(ITSO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などを用いることができる。電極731と液晶755と電極752が重なり合うことで、液晶素子760が形成されている。

【0224】

上述した液晶の注入は、ディスペンサ式(滴下式)を用いているが、本発明はこれに限定されない。基板754を貼り合わせてから液晶を注入するディップ式(汲み上げ式)を用いていても良い。

40

【0225】

なお本実施例では素子形成層738を基板700から剥離して利用する例を示しているが、剥離層702を設けずに、基板700上に上述の素子形成層738を作製し、液晶表示装置として利用しても良い。

【0226】

また本実施例では、全てのTF718、719、720において、ゲート絶縁膜714の膜厚を全て同じにしているが、本発明はこの構成に限定されない。例えば、より高速で

50

の駆動が要求される回路において、他の回路よりもＴＦＴが有するゲート絶縁膜の膜厚を薄くするようにしても良い。

【０２２７】

なお本実施例では薄膜トランジスタを例に挙げて説明しているが、本発明はこの構成に限定されない。薄膜トランジスタの他に、単結晶シリコンを用いて形成されたトランジスタ、ＳＯＩ基板を用いて形成されたトランジスタなども用いることができる。

【０２２８】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例２】

【０２２９】

本実施例では、本発明の液晶表示装置を例に挙げ、その外観について図１５を用いて説明する。図１５（Ａ）は、第１の基板上に形成されたトランジスタ及び液晶素子を、第１の基板と第２の基板の間に形成したパネルの上面図であり、図１５（Ｂ）は、図１５（Ａ）のＡ－Ａ'における断面図に相当する。

【０２３０】

第１の基板４００１上に設けられた画素部４００２と、信号線駆動回路４００３と、走査線駆動回路４００４とを囲むように、シール材４０２０が設けられている。また画素部４００２、信号線駆動回路４００３、走査線駆動回路４００４の上に、第２の基板４００６が設けられている。よって画素部４００２、信号線駆動回路４００３、走査線駆動回路４００４は、第１の基板４００１と第２の基板４００６の間において、シール材４０２０により、液晶４０１３と共に密封されている。

【０２３１】

また第１の基板４００１上に設けられた画素部４００２、信号線駆動回路４００３及び走査線駆動回路４００４は、それぞれトランジスタを複数有している。図１５（Ｂ）では、信号線駆動回路４００３に含まれるトランジスタ４００８、４００９と、画素部４００２に含まれるトランジスタ４０１０とを例示している。

【０２３２】

また液晶素子４０１１は、トランジスタ４０１０のソース領域またはドレイン領域と、配線４０１７を介して接続されている画素電極４０３０と、第２の基板４００６に形成された対向電極４０１２と、液晶４０１３とを有している。

【０２３３】

なお図示していないが、本実施例に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

【０２３４】

またスペーサ４０３５は、球状であり、画素電極４０３０と対向電極４０１２との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜をパターニングすることで得られるスペーサを用いていても良い。

【０２３５】

信号線駆動回路４００３、走査線駆動回路４００４または画素部４００２に与えられる各種信号及び電圧は、配線４０１４及び４０１５を介して、接続端子４０１６から供給されている。接続端子４０１６は、ＦＰＣ４０１８が有する端子と、異方性導電膜４０１９を介して電氣的に接続されている。

【０２３６】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせることで実施することができる。

【実施例３】

【０２３７】

本実施例では、本発明の液晶表示装置における、液晶パネルと光源の配置について説明する。

【０２３８】

図 16 は、本発明の液晶表示装置の構造を示す斜視図の一例である。図 16 に示す液晶表示装置は、一对の基板間に液晶素子が形成された液晶パネル 1601 と、第 1 の拡散板 1602 と、プリズムシート 1603 と、第 2 の拡散板 1604 と、導光板 1605 と、反射板 1606 と、光源 1607 と、回路基板 1608 とを有している。

【0239】

液晶パネル 1601 と、第 1 の拡散板 1602 と、プリズムシート 1603 と、第 2 の拡散板 1604 と、導光板 1605 と、反射板 1606 とは、順に積層されている。光源 1607 は導光板 1605 の端部に設けられており、導光板 1605 内部に拡散された光源 1607 からの光は、第 1 の拡散板 1602、プリズムシート 1603 及び第 2 の拡散板 1604 によって、均一に液晶パネル 1601 に照射される。

10

【0240】

なお、本実施例では、第 1 の拡散板 1602 と第 2 の拡散板 1604 とを用いているが、拡散板の数はこれに限定されず、単数であっても 3 以上であっても良い。そして、拡散板は導光板 1605 と液晶パネル 1601 の間に設けられていれば良い。よって、プリズムシート 1603 よりも液晶パネル 1601 に近い側にのみ拡散板が設けられていても良いし、プリズムシート 1603 よりも導光板 1605 に近い側にのみ拡散板が設けられていても良い。

【0241】

またプリズムシート 1603 は、図 16 に示した断面が鋸歯状の形状に限定されず、導光板 1605 からの光を液晶パネル 1601 側に集光できる形状を有していれば良い。

20

【0242】

回路基板 1608 には、液晶パネル 1601 に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして図 16 では、回路基板 1608 と液晶パネル 1601 とが、FPC (Flexible Printed Circuit) 1609 を介して接続されている。なお、上記回路は、COG (Chip On Glass) 法を用いて液晶パネル 1601 に接続されていても良いし、上記回路の一部が FPC 1609 に COF (Chip On Film) 法を用いて接続されていても良い。

【0243】

図 16 では、光源 1607 の駆動を制御する、比較回路、制御回路などの制御系の回路が回路基板 1608 に設けられており、該制御系の回路と光源 1607 とが FPC 1610 を介して接続されている例を示している。ただし、上記制御系の回路は液晶パネル 1601 に形成されていても良く、この場合は液晶パネル 1601 と光源 1607 とが FPC などにより接続されるようにする。

30

【0244】

なお、図 16 は、液晶パネル 1601 の端に光源 1607 を配置するエッジライト型の光源を例示しているが、本発明の液晶表示装置は光源 1607 が液晶パネル 1601 の直下に配置される直下型であっても良い。

【0245】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせて実施することができる。

40

【実施例 4】

【0246】

本発明の液晶表示装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機または電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）などが挙げられる。これら電子機器の具体例を図 17 に示す。

50

【 0 2 4 7 】

図 1 7 (A) は携帯電話であり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、音声出力部 2 1 0 4、操作キー 2 1 0 5 を有する。表示部 2 1 0 2 に本発明の液晶表示装置を用いることで、動画がぼやけて視認されてしまうのを防ぐことができる携帯電話が得られる。

【 0 2 4 8 】

図 1 7 (B) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9、接眼部 2 6 1 0 等を有する。表示部 2 6 0 2 に本発明の液晶表示装置を用いることで、動画がぼやけて視認されてしまうのを防ぐことができるビデオカメラが得られる。

10

【 0 2 4 9 】

図 1 7 (C) は映像表示装置であり、筐体 2 4 0 1、表示部 2 4 0 2、スピーカー部 2 4 0 3 等を有する。表示部 2 4 0 2 に本発明の液晶表示装置を用いることで、動画がぼやけて視認されてしまうのを防ぐことができる映像表示装置が得られる。なお、映像表示装置には、パーソナルコンピュータ用、TV 放送受信用、広告表示用などの、映像を表示するための全ての映像表示装置が含まれる。

【 0 2 5 0 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

20

【 0 2 5 1 】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせて実施することができる。

【 符号の説明 】

【 0 2 5 2 】

1 0 0	画素	
1 0 1	比較回路	
1 0 2	制御回路	
1 0 3	光源	
1 0 4	液晶素子	30
1 0 5	スイッチング素子	
1 0 6	容量素子	
2 0 0	画素	
2 0 1	比較回路	
2 0 2	制御回路	
2 0 3	光源	
2 0 4	液晶素子	
2 0 5	スイッチング素子	
2 0 6	容量素子	
2 0 7	容量素子	40
3 0 0	画素	
3 0 0 a	モニター用画素	
3 0 1	画素部	
3 0 2	比較回路	
3 0 3	制御回路	
3 0 4	光源	
3 0 5	トランジスタ	
3 0 6	液晶素子	
3 0 7	容量素子	
4 0 1	期間	50

4 0 2	期 間	
4 0 3	期 間	
5 0 1	比 較 回 路	
5 0 2	制 御 回 路	
5 0 3	光 源	
5 0 4	記 憶 回 路	
5 0 5	ス イ ッ チ ン グ 回 路	
5 0 6	バ ッ フ ァ	
6 0 0	画 素 部	
6 1 0	走 査 線 駆 動 回 路	10
6 2 0	信 号 線 駆 動 回 路	
6 2 1	シ フ ト レ ジ ス タ	
6 2 2	記 憶 回 路	
6 2 3	記 憶 回 路	
6 2 4	D A 変 換 回 路	
6 3 0	比 較 回 路	
6 3 1	制 御 回 路	
6 3 2	光 源	
6 3 3	モ ニ タ ー 用 画 素	
6 4 0	画 素 部	20
6 5 0	走 査 線 駆 動 回 路	
6 6 0	信 号 線 駆 動 回 路	
6 6 1	シ フ ト レ ジ ス タ	
6 6 2	サ ン プ リ ン グ 回 路	
6 6 3	記 憶 回 路	
6 7 0	比 較 回 路	
6 7 1	制 御 回 路	
6 7 2	光 源	
6 7 3	モ ニ タ ー 用 画 素	
7 0 0	基 板	30
7 0 1	絶 縁 膜	
7 0 2	剥 離 層	
7 0 3	絶 縁 膜	
7 0 4	半 導 体 膜	
7 0 5	半 導 体 膜	
7 0 6	半 導 体 膜	
7 0 7	半 導 体 膜	
7 0 9	ゲ ー ト 絶 縁 膜	
7 1 0	電 極	
7 1 1	低 濃 度 不 純 物 領 域	40
7 1 2	マ ス ク	
7 1 3	高 濃 度 不 純 物 領 域	
7 1 4	ゲ ー ト 絶 縁 膜	
7 1 5	サ イ ド ウ ォ ー ル	
7 1 6	マ ス ク	
7 1 7	高 濃 度 不 純 物 領 域	
7 1 8	T F T	
7 1 9	T F T	
7 2 0	T F T	
7 2 2	絶 縁 膜	50

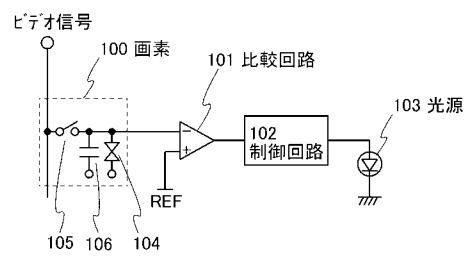
7 2 3	絶縁膜	
7 2 5	導電膜	
7 2 7	導電膜	
7 2 9	導電膜	
7 3 0	導電膜	
7 3 1	電極	
7 3 6	保護層	
7 3 7	シート材	
7 3 8	素子形成層	
7 4 4	シート材	10
7 5 0	配向膜	
7 5 1	シール材	
7 5 2	電極	
7 5 3	配向膜	
7 5 4	基板	
7 5 5	液晶	
7 5 6	偏光板	
7 6 0	液晶素子	
8 0 1	光源	
8 0 2	比較回路	20
8 0 3	制御回路	
8 0 4	光検出器	
8 0 5	信号生成回路	
8 0 6	輝度制御回路	
8 0 7	積分回路	
8 0 8	輝度比較回路	
8 1 0	スイッチング素子	
8 1 1	抵抗素子	
8 2 0	光源	
8 2 1	光源	30
8 2 2 1	比較回路	
8 2 2 2	比較回路	
8 2 3	制御回路	
8 2 4	画像処理用フィルタ	
8 2 5	信号処理回路	
8 2 6	第 1 の輝度制御回路	
8 2 7	第 2 の輝度制御回路	
8 4 0	領域	
8 4 1	領域	
8 4 2	領域	40
8 4 3	領域	
8 4 4	光源	
8 4 5	光源	
8 4 6	光源	
8 4 7	光源	
9 0 0	画素部	
9 1 0	走査線駆動回路	
9 2 0	信号線駆動回路	
9 2 1	シフトレジスタ	
9 2 2	記憶回路	50

9 2 3	記憶回路	
9 3 0	比較回路	
9 3 1	制御回路	
9 3 2	光源	
9 3 3	モニター用画素	
1 6 0 1	液晶パネル	
1 6 0 2	第 1 の拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	第 2 の拡散板	
1 6 0 5	導光板	10
1 6 0 6	反射板	
1 6 0 7	光源	
1 6 0 8	回路基板	
1 6 0 9	F P C	
1 6 1 0	F P C	
2 1 0 1	本体	
2 1 0 2	表示部	
2 1 0 3	音声入力部	
2 1 0 4	音声出力部	
2 1 0 5	操作キー	20
2 4 0 1	筐体	
2 4 0 2	表示部	
2 4 0 3	スピーカ部	
2 6 0 1	本体	
2 6 0 2	表示部	
2 6 0 3	筐体	
2 6 0 4	外部接続ポート	
2 6 0 5	リモコン受信部	
2 6 0 6	受像部	
2 6 0 7	バッテリー	30
2 6 0 8	音声入力部	
2 6 0 9	操作キー	
2 6 1 0	接眼部	
3 0 0 1	画素電極	
3 0 0 2	対向電極	
3 0 0 3	液晶層	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	40
4 0 0 6	基板	
4 0 0 8	トランジスタ	
4 0 1 0	トランジスタ	
4 0 1 1	液晶素子	
4 0 1 2	対向電極	
4 0 1 3	液晶	
4 0 1 4	配線	
4 0 1 6	接続端子	
4 0 1 7	配線	
4 0 1 8	F P C	50

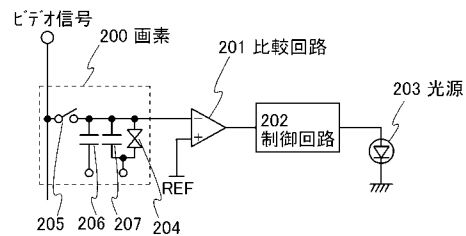
4 0 1 9 異方性導電膜
4 0 2 0 シール材
4 0 3 0 画素電極

【図 1】

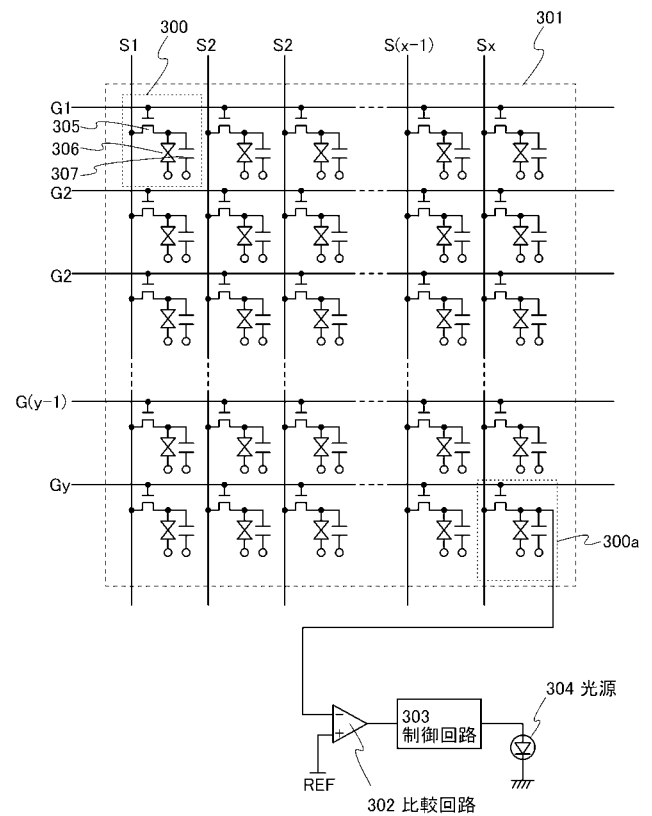
(A)



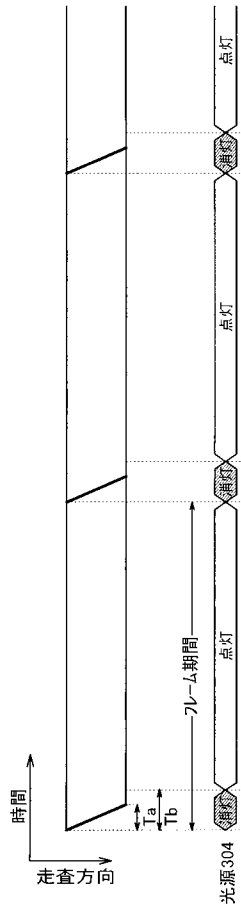
(B)



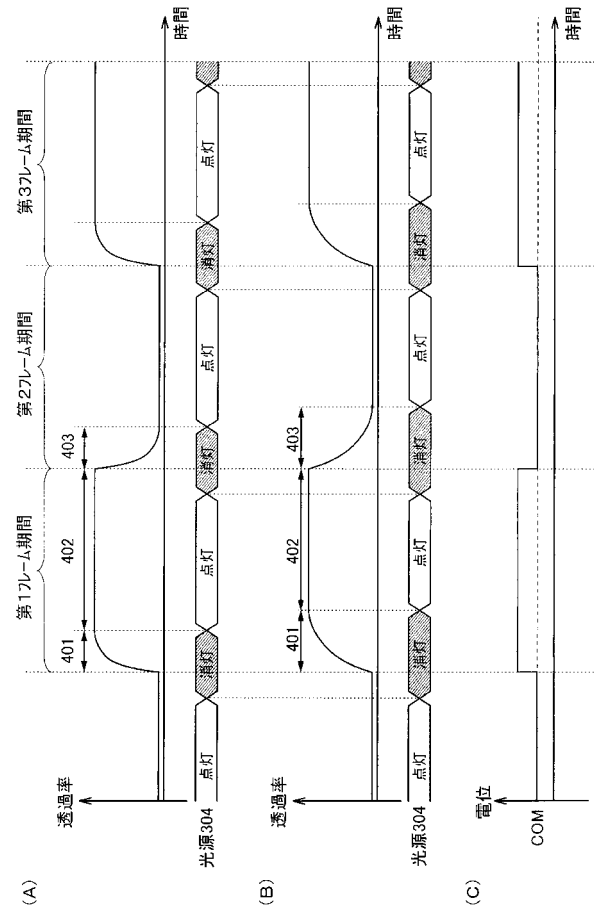
【図 2】



【図 3】

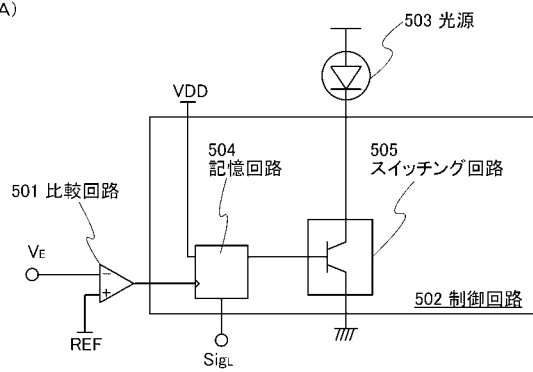


【図 4】

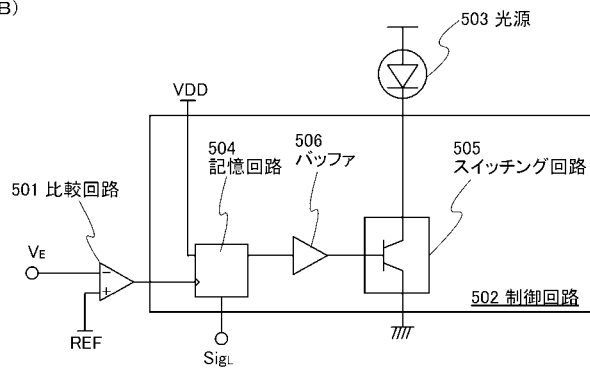


【図 5】

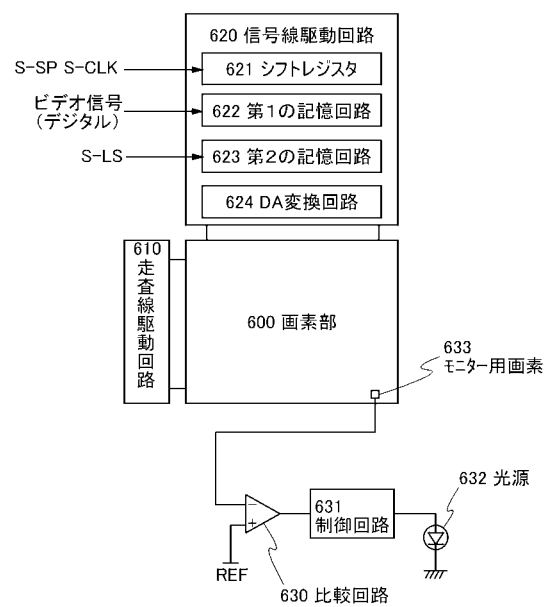
(A)



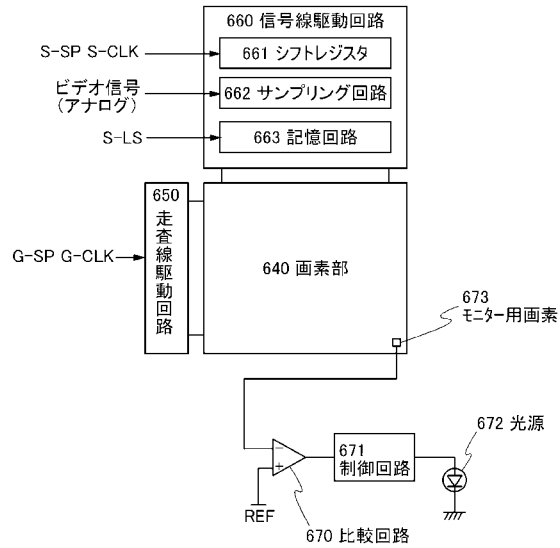
(B)



【図 6】

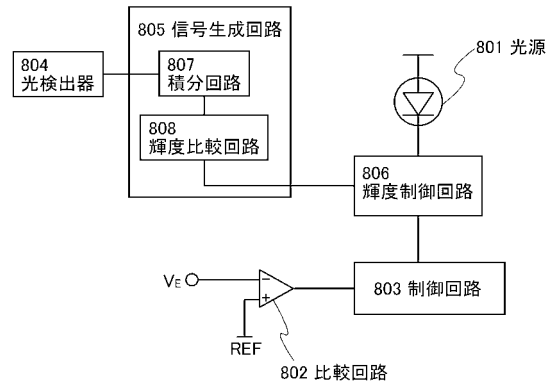


【図 7】

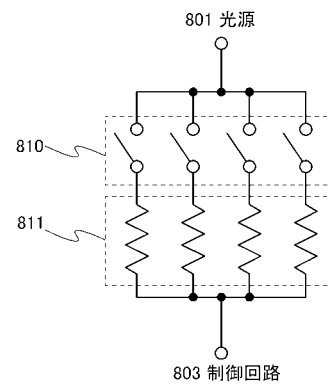


【図 8】

(A)

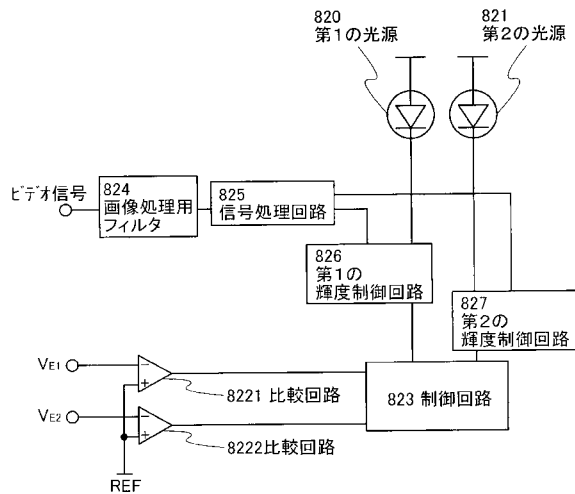


(B)

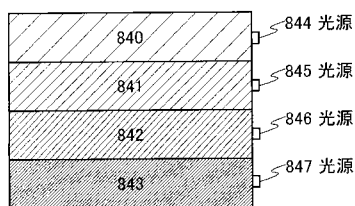


【図 9】

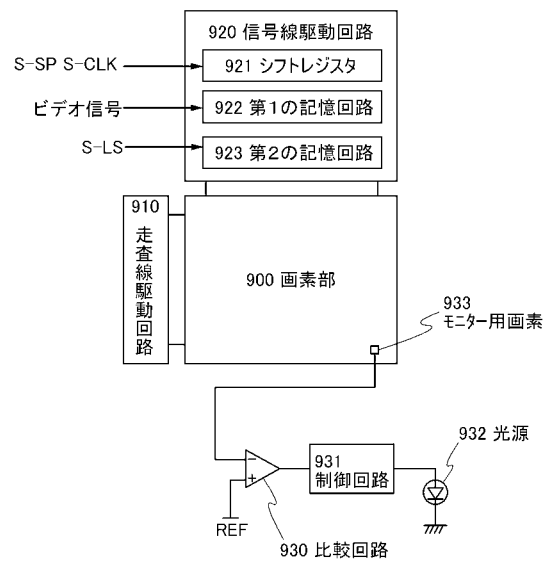
(A)



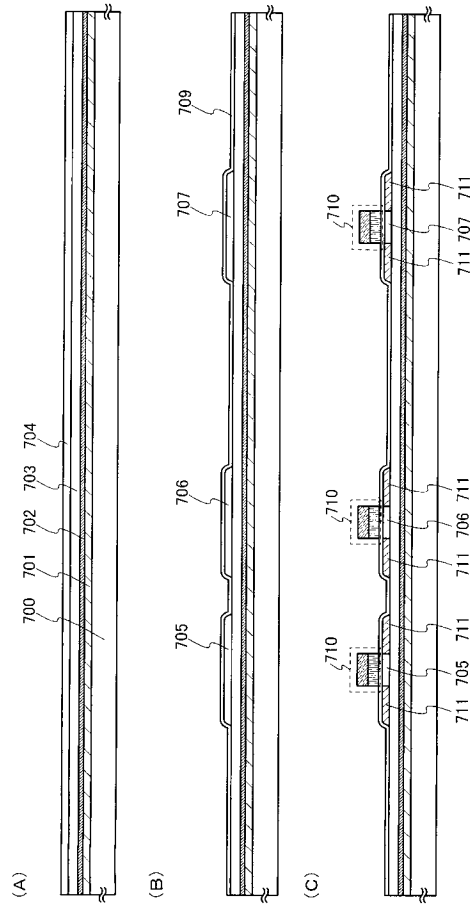
(B)



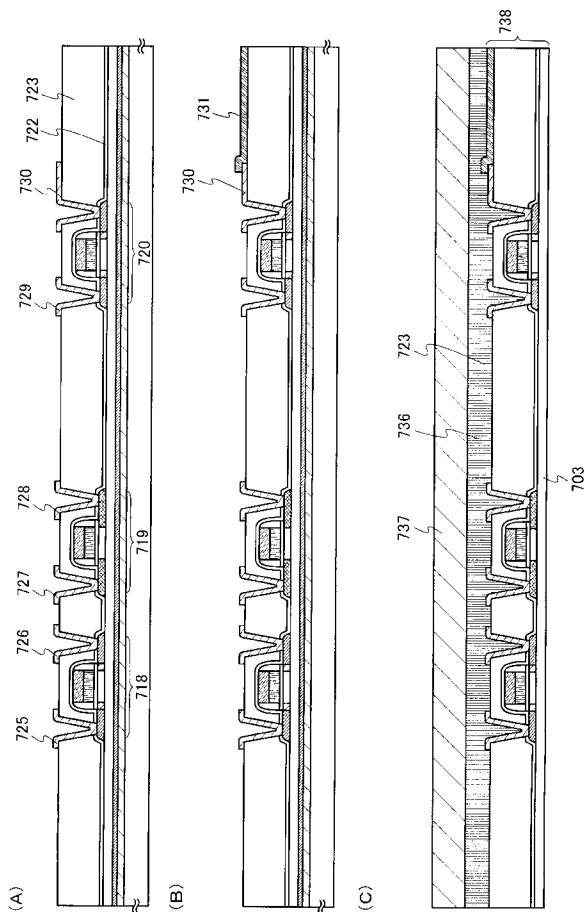
【図 10】



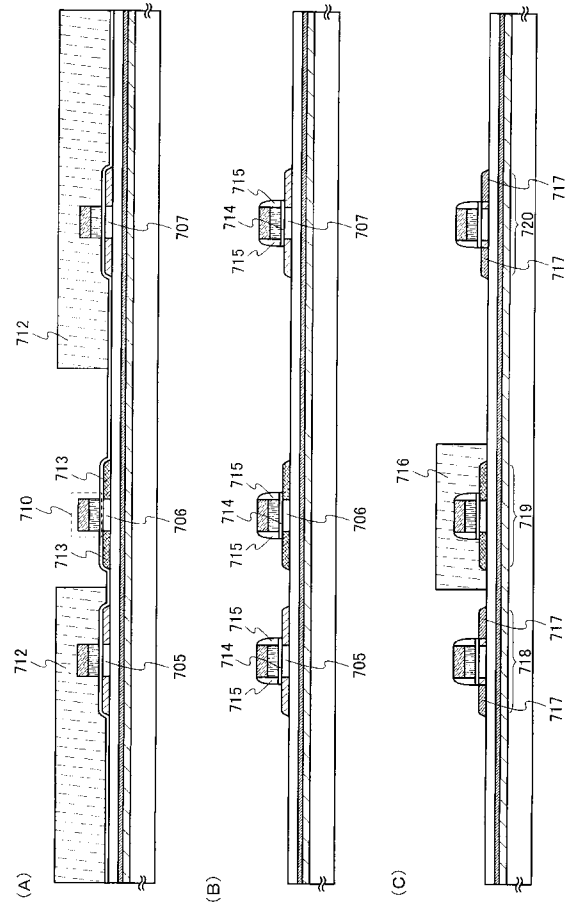
【図 1 1】



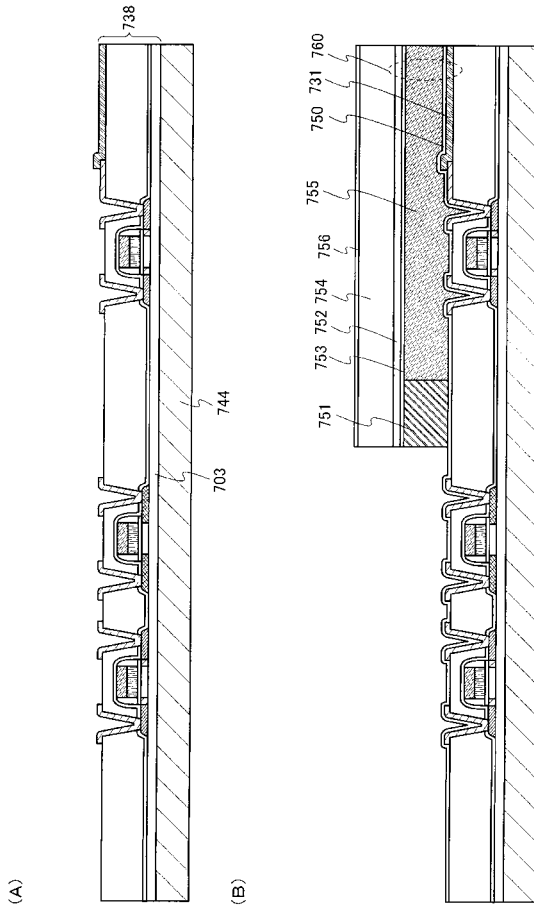
【図 1 3】



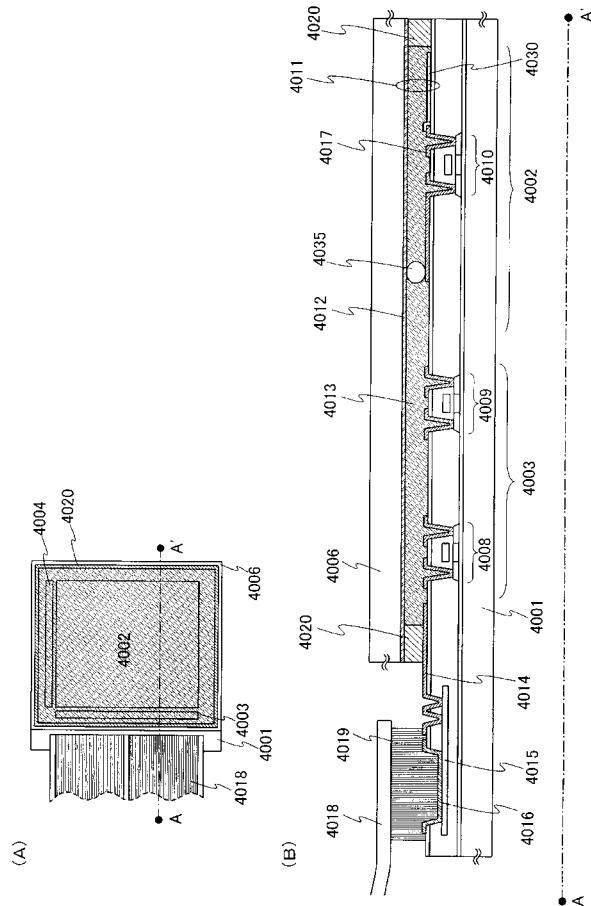
【図 1 2】



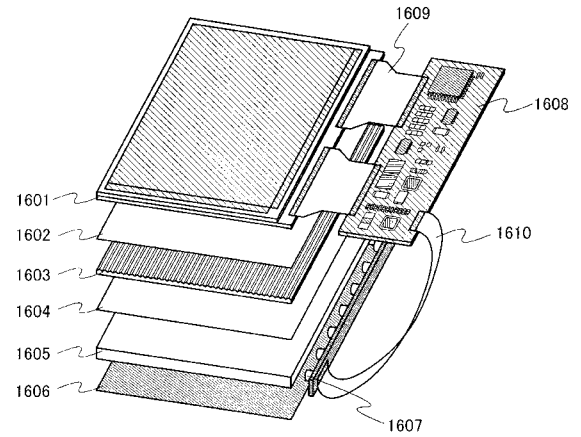
【図 1 4】



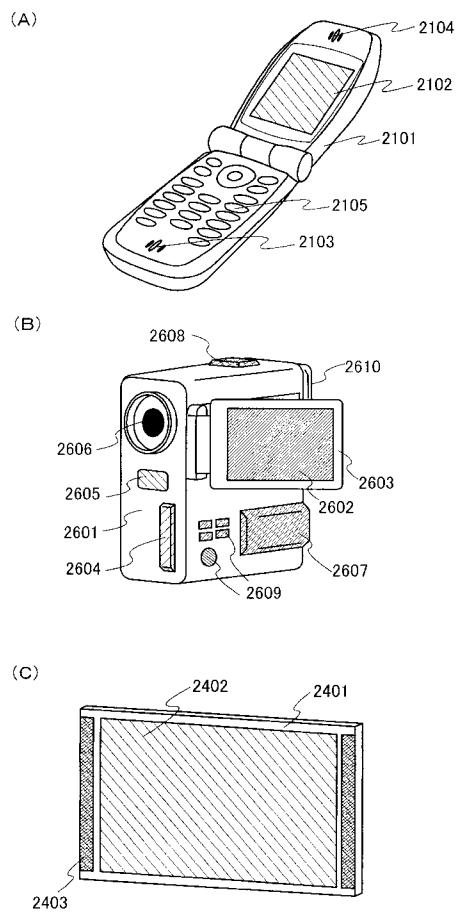
【図 15】



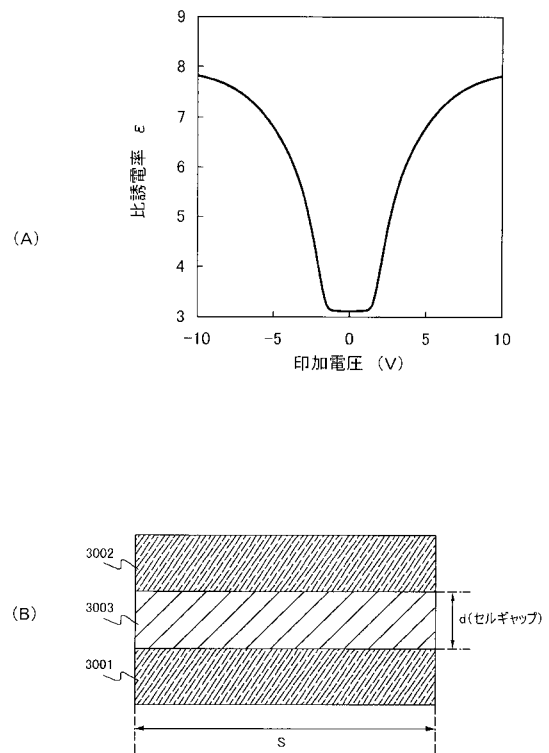
【図 16】



【図 17】



【図 18】



 フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 E
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 3 1 U
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 4 2 F
G 0 2 F	1/133	5 3 5

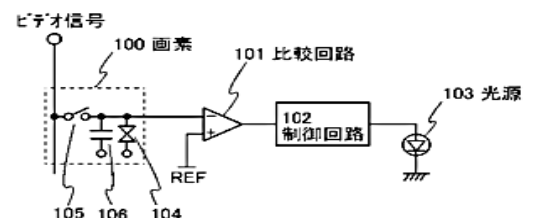
F ターム(参考) 5C006 AA12 AA15 AA16 AC21 AC28 AF13 AF41 AF44 AF45 AF52
 AF53 AF63 AF64 AF69 AF71 AF82 BB12 BB15 BB16 BB29
 BC03 BC12 BC13 BC23 BF01 BF03 BF04 BF11 BF14 BF15
 BF31 BF39 EA01 FA04 FA19 FA29 FA47 FA54
 5C080 AA10 BB05 DD20 DD26 EE19 EE28 EE29 FF11 FF12 JJ02
 JJ03 JJ04 JJ05 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014041374A	公开(公告)日	2014-03-06
申请号	JP2013208738	申请日	2013-10-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	福留貴浩 西毅		
发明人	福留 貴浩 西 毅		
IPC分类号	G09G3/36 G09G3/34 G09G3/20 G02F1/133		
CPC分类号	G09G3/342 G09G3/3406 G09G3/3648 G09G2310/0237 G09G2310/08 G09G2320/0261 G09G2320/029 G09G2320/0633 G09G2360/144 G09G2360/16		
FI分类号	G09G3/36 G09G3/34.J G09G3/20.660.V G09G3/20.612.L G09G3/20.612.U G09G3/20.621.E G09G3/20.611.A G09G3/20.631.U G09G3/20.641.C G09G3/20.641.R G09G3/20.641.G G09G3/20.642.F G02F1/133.535		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZD23 2H193/ZD24 2H193/ZD32 2H193/ZE35 2H193/ZF21 2H193/ZF31 2H193/ZG02 2H193/ZG14 2H193/ZG43 2H193/ZG57 2H193/ZH04 2H193/ZH07 2H193/ZH37 2H193/ZH57 2H193/ZP03 5C006/AA12 5C006/AA15 5C006/AA16 5C006/AC21 5C006/AC28 5C006/AF13 5C006/AF41 5C006/AF44 5C006/AF45 5C006/AF52 5C006/AF53 5C006/AF63 5C006/AF64 5C006/AF69 5C006/AF71 5C006/AF82 5C006/BB12 5C006/BB15 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC12 5C006/BC13 5C006/BC23 5C006/BF01 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF14 5C006/BF15 5C006/BF31 5C006/BF39 5C006/EA01 5C006/FA04 5C006/FA19 5C006/FA29 5C006/FA47 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD20 5C080/DD26 5C080/EE19 5C080/EE28 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
优先权	2007295011 2007-11-14 JP		
其他公开文献	JP5632059B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，包括：液晶元件，包括像素电极，对电极，设置在像素电极和对电极之间的液晶；光源，比较电路，用于比较电位像素电极和参考电位，并根据比较结果提供输出电位，以及控制电路，配置为根据比较提供的输出电位切换光源的开启和关闭电路。

(A)



(B)

