

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-21277

(P2014-21277A)

(43) 公開日 平成26年2月3日(2014.2.3)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1335 (2006.01)	G02F 1/1335 520	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H191
G02F 1/133 (2006.01)	G02F 1/133 505	2H193

審査請求 未請求 請求項の数 17 O L (全 39 頁)

(21) 出願番号	特願2012-159877 (P2012-159877)	(71) 出願人	502356528
(22) 出願日	平成24年7月18日 (2012.7.18)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	100089118
			弁理士 酒井 宏明
		(74) 代理人	100118762
			弁理士 高村 順
		(72) 発明者	玉置 昌哉
			愛知県知多郡東浦町大字緒川字上舟木50
			番地 株式会社ジャパンディスプレイウェ
			スト内
		(72) 発明者	前田 和之
			愛知県知多郡東浦町大字緒川字上舟木50
			番地 株式会社ジャパンディスプレイウェ
			スト内

最終頁に続く

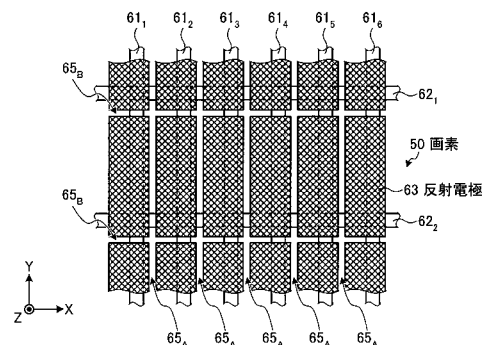
(54) 【発明の名称】 半透過型液晶表示装置及び電子機器

(57) 【要約】

【課題】 反射型表示装置と同等の反射表示性能を保ったまま、透過表示を実現可能な半透過型液晶表示装置及び当該半透過型液晶表示装置を有する電子機器を提供する。

【解決手段】 画素毎に設けられた反射電極を有する半透過型液晶表示装置において、反射電極を用いて反射表示を行うとともに、反射電極の画素間の空間を用いて透過表示を行うことで、反射型液晶表示装置と同等の反射表示性能を保ったまま、透過表示を実現できるようにする。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

行列状に配列された複数の画素と、

前記複数の画素毎に設けられた複数の電極を有し、当該複数の電極の面積の組み合わせによって n ビットでの面積階調が可能であり、それぞれのビットに対応する前記電極は、周辺長さの総和の比が、 $1 : 2 : \dots : 2^{n-1}$ となる反射電極と、

当該反射電極と当該反射電極に対向する対向電極との間に設けられた液晶層と、を含み、

前記反射電極を用いて反射表示を、前記反射電極の前記画素間の空間を少なくとも用いて透過表示を行う

半透過型液晶表示装置。

n は 2 以上の整数。

【請求項 2】

行列状に配列された複数の画素と、

前記複数の画素毎に設けられた複数の電極を有し、当該複数の電極の面積の組み合わせによって n ビットでの面積階調が可能であり、それぞれのビットに対応する前記電極は、前記画素の開口における周辺長さの総和の比が、 $1 : 2 : \dots : 2^{n-1}$ となる反射電極と、

当該反射電極と当該反射電極に対向する対向電極との間に設けられた液晶層と、を含み、

前記反射電極を用いて反射表示を、前記反射電極の前記画素間の空間を少なくとも用いて透過表示を行う

半透過型液晶表示装置。

n は 2 以上の整数。

【請求項 3】

最下位のビットに対応する電極を中心として、前記最下位のビットよりも上位のビットに対応する電極が対称に配置される

請求項 1 又は 2 に記載の半透過型液晶表示装置。

【請求項 4】

前記電極を 3 個有し、3 個の前記電極のうちの 2 個の電極と残りの 1 個の電極との面積の組み合わせによって面積比が $2 : 1$ 、かつ 2 ビットの面積階調を行い、

前記 2 個の電極は隣接して配置されて両者が同一の平面内で電氣的に接続され、かつ前記 2 個の電極のうち一方が前記 1 個の電極と隣接する

請求項 1 又は 2 に記載の半透過型液晶表示装置。

【請求項 5】

前記 2 個の電極を前記平面内で電氣的に接続する、前記 2 個の電極と同一の材料の導体を有し、

前記 2 個の電極と前記導体とは、一体で形成される

請求項 4 に記載の半透過型液晶表示装置。

【請求項 6】

前記複数の電極は、それぞれの形状及び大きさが等しい

請求項 1 から 5 のいずれか 1 項に記載の半透過型液晶表示装置。

【請求項 7】

それぞれのビットに対応する 2 以上の前記電極同士は、互いに電氣的に接続されている

請求項 1 から 6 のいずれか 1 項に記載の半透過型液晶表示装置。

【請求項 8】

前記複数の電極は、輝度と階調とが比例して変化するように配置される

請求項 1 から 7 のいずれか 1 項に記載の半透過型液晶表示装置。

【請求項 9】

列方向に隣接する前記画素同士の間隔よりも、1 つの前記画素内で隣接する前記電極同

10

20

30

40

50

士の間隔の方が大きい

請求項 8 に記載の半透過型液晶表示装置。

【請求項 10】

1 つの前記画素内に存在する前記複数の電極は、上位のビットに対応する前記電極よりも下位のビットに対応する前記電極の方が隣接する前記電極との距離が大きい

請求項 8 に記載の半透過型液晶表示装置。

【請求項 11】

行方向に隣接する前記画素は、それぞれが有するカラーフィルタの一部がオーバーラップしている

請求項 1 から 10 のいずれか 1 項に記載の半透過型液晶表示装置。

10

【請求項 12】

前記液晶層よりも前記反射電極で反射した光の進行方向側に、光を散乱させる散乱層を有する

請求項 1 から 11 のいずれか 1 項に記載の半透過型液晶表示装置。

【請求項 13】

表示モードがノーマリーブラックモードである

請求項 1 から 12 のいずれか 1 項に記載の半透過型液晶表示装置。

【請求項 14】

前記画素は、メモリ機能を有する

請求項 1 から 13 のいずれか 1 項に記載の半透過型液晶表示装置。

20

【請求項 15】

前記画素は、データを格納するメモリ部を有する

請求項 14 に記載の半透過型液晶表示装置。

【請求項 16】

前記画素は、メモリ性液晶を用いている

請求項 15 に記載の半透過型液晶表示装置。

【請求項 17】

請求項 1 から 16 のいずれか 1 項に記載の半透過型液晶表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

30

【0001】

本開示は、半透過型液晶表示装置及び電子機器に関する。

【0002】

表示装置として、画面背面のバックライト光による透過光を利用して表示を行う透過型表示装置及び外光による反射光を利用して表示を行う反射型表示装置がある。透過型表示装置は、彩度が高く、暗い環境下でも画面が見やすいという特徴を持っている。反射型表示装置は、消費電力が少なく、明るい環境下でも画面が見やすいという特徴を持っている。

【0003】

また、透過型表示装置と反射型表示装置との特徴を併せ持つ表示装置として、例えば、1 個の画素内に透過表示領域（透過表示部）と反射表示領域（反射表示部）とを有する半透過型液晶表示装置がある（例えば、特許文献 1 参照）。半透過型液晶表示装置は、暗い環境下ではバックライト光による透過光を用いて表示し、明るい環境下では外光による反射光を用いて表示する。

40

【0004】

半透過型液晶表示装置は、明るい環境下でも暗い環境下でも画面が見やすく、しかも、消費電力が少ない。このために、電子機器、中でも、屋外で使用される頻度が高い携帯型の電子機器（携帯端末機器）、例えば、デジタルカメラ等の携帯情報機器又は携帯電話機等の携帯通信機器の表示部として用いられている。

【先行技術文献】

50

【特許文献】

【0005】

【特許文献1】特開2009-93115号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

半透過型液晶表示装置において、透過表示領域を確保することと、反射表示性能を保つこととはトレードオフの関係にある。すなわち、透過表示性能を上げるため、透過表示領域を大きく確保しようとする、その分だけ反射表示領域を小さくせざるを得ないため反射表示性能が低下する。逆に、反射型表示装置と同等の反射表示性能を保とうとすると、反射表示領域を大きく確保しなければならないため、その分だけ透過表示性能が低下する。

10

【0007】

そこで、本開示は、反射型表示装置と同等の反射表示性能を保った上で透過表示を実現可能な半透過型液晶表示装置及び当該半透過型液晶表示装置を有する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の目的を達成するために、本開示は、行列状に配列された複数の画素と、前記複数の画素毎に設けられた複数の電極を有し、当該複数の電極の面積の組み合わせによってnビットでの面積階調が可能であり、それぞれのビットに対応する前記電極は、周辺長さの総和の比が、 $1:2:\dots:2^{n-1}$ (nは2以上の整数)となる反射電極と、当該反射電極と当該反射電極に対向する対向電極との間に設けられた液晶層と、を含み、前記反射電極を用いて反射表示を、前記反射電極の前記画素間の空間を少なくとも用いて透過表示を行う半透過型液晶表示装置及び当該半透過型液晶表示装置を有する電子機器である。それぞれのビットに対応する前記電極は、画素の開口における周辺長さの総和の比が、 $1:2:\dots:2^{n-1}$ となっていればよい。

20

【0009】

上記構成の半透過型液晶表示装置又は当該半透過型液晶表示装置を有する電子機器において、反射電極の画素間の空間を用いて透過表示を行うということは、当該画素間の空間の領域を透過表示領域として用いるということである。これにより、1つの画素内に透過表示のための専用の領域を確保する必要がなくなる。このことは、1つの画素内に存在する反射電極の大きさ(面積)として、反射型表示装置の反射電極と同程度の大きさを確保できることを意味する。したがって、反射型表示装置と同等の反射表示性能を保ったまま、反射電極の画素間の空間を透して透過表示を実現できる。

30

【発明の効果】

【0010】

本開示によれば、反射電極の画素間の空間を用いて透過表示を行うことで、反射型表示装置と同等の反射表示性能を保った上で透過表示を実現できる。

【図面の簡単な説明】

40

【0011】

【図1】図1は、本開示が適用される半透過型液晶表示装置の構成の概略を、一部を切り欠いた状態で示す斜視図である。

【図2A】図2Aは、基本的な画素回路を示す回路図である。

【図2B】図2Bは、カラー表示における画素の模式図である。

【図2C】図2Cは、モノクロ表示における画素である。

【図3A】図3Aは、反射型液晶表示装置の画素部の平面図である

【図3B】図3Bは、半透過型液晶表示装置の画素部の平面図である。

【図4】図4は、実施形態に係る画素部の電極構造を示す平面図である。

【図5A】図5Aは、電圧無印加時において、フレーム反転の駆動方式を採用するのが好

50

ましい理由についてのシミュレーション結果を示す図である。

【図 5 B】図 5 B は、ライン反転又はドット反転の際の電圧印加時において、フレーム反転の駆動方式を採用するのが好ましい理由についてのシミュレーション結果を示す図である。

【図 5 C】図 5 C は、フレーム反転の際の電圧印加時において、フレーム反転の駆動方式を採用するのが好ましい理由についてのシミュレーション結果を示す図である。

【図 6】図 6 は、M I P 方式を採用した画素の回路構成の一例を示すブロック図である。

【図 7】図 7 は、M I P 方式を採用した画素の動作説明に供するタイミングチャートである。

【図 8 A】図 8 A は、面積階調法における画素分割についての説明図である。

10

【図 8 B】図 8 B は、面積階調法における画素分割についての説明図である。

【図 8 C】図 8 C は、面積階調法における画素分割についての説明図である。

【図 8 D】図 8 D は、面積階調法における画素分割についての説明図である。

【図 8 E】図 8 E は、面積階調法における画素分割についての説明図である。

【図 8 F】図 8 F は、面積階調法における画素分割についての説明図である。

【図 9 A】図 9 A は、カラー画像を形成するための画素をカラーフィルタ側から見た図である。

【図 9 B】図 9 B は、カラー画像を形成するための画素をカラーフィルタ側から見た図である。

【図 10 A】図 10 A は、本実施形態に係る半透過液晶表示装置を用いた 2 ビットの面積階調における階調 0 を示す図である。

20

【図 10 B】図 10 B は、本実施形態に係る半透過液晶表示装置を用いた 2 ビットの面積階調における階調 1 を示す図である。

【図 10 C】図 10 C は、本実施形態に係る半透過液晶表示装置を用いた 2 ビットの面積階調における階調 2 を示す図である。

【図 10 D】図 10 D は、本実施形態に係る半透過液晶表示装置を用いた 2 ビットの面積階調における階調 3 を示す図である。

【図 11 A】図 11 A は、W (White) を表示したときにおける輝度と階調との関係を示す図である。

【図 11 B】図 11 B は、G (Green) を表示したときにおける輝度と階調との関係を示す図である。

30

【図 11 C】図 11 C は、R (Red) を表示したときにおける輝度と階調との関係を示す図である。

【図 11 D】図 11 D は、B (Blue) を表示したときにおける輝度と階調との関係を示す図である。

【図 12】図 12 は、隣接する反射電極の間隔を示す図である。

【図 13】図 13 は、反射電極の画素間の空間を用いて透過表示を行う場合における画素間の液晶分子の動きを示す図である。

【図 14】図 14 は、ノーマリーホワイトモードの場合の画素間における透過率のシミュレーション結果を示す図である。

40

【図 15 A】図 15 A は、画素同士をブラックマトリックスで区画したカラー画素を示す図である。

【図 15 B】図 15 B は、画素同士をブラックマトリックスで区画したカラー画素を示す図である。

【図 15 C】図 15 C は、画素同士をカラーフィルタのオーバーラップ部で区画したカラー画素を示す図である。

【図 15 D】図 15 D は、画素同士をカラーフィルタのオーバーラップ部で区画したカラー画素を示す図である。

【図 16】図 16 は、光を散乱させる散乱層を有する半透過型液晶表示装置の一例を示す断面図である。

50

- 【図 17】図 17 は、散乱層の断面図である。
- 【図 18】図 18 は、散乱層の一例を示す平面図である。
- 【図 19】図 19 は、散乱層の一例を示す平面図である。
- 【図 20】図 20 は、シングルギャップ構造の半透過型液晶表示装置の行方向において隣接する 2 つの画素の断面構造を示す断面図である。
- 【図 21 A】図 21 A は、シングルギャップ構造の場合に、ノーマリーブラックの ECB モードの光学設計を行った一例を示す図である。
- 【図 21 B】図 21 B は、シングルギャップ構造の場合に、ノーマリーブラックの ECB モードの光学設計を行った一例を示す図である。
- 【図 22】図 22 は、マルチギャップ構造の半透過型液晶表示装置の行方向において隣接する 2 つの画素の断面構造を示す断面図である。 10
- 【図 23】図 23 は、反射表示領域のスペクトルの計算結果を示す図である。
- 【図 24】図 24 は、透過表示領域のスペクトルの計算結果を示す図である。
- 【図 25】図 25 は、変形例に係る画素部の電極構造を示す平面図である。
- 【図 26 A】図 26 A は、本開示が適用されるデジタルカメラの外観を示す斜視図である。
- 【図 26 B】図 26 B は、本開示が適用されるデジタルカメラの外観を示す斜視図である。
- 【図 27】図 27 は、本開示が適用されるビデオカメラの外観を示す斜視図である。
- 【図 28】図 28 は、本開示が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。 20
- 【図 29 A】図 29 A は、本開示が適用される携帯電話機を示す、開いた状態の正面図である。
- 【図 29 B】図 29 B は、本開示が適用される携帯電話機を示す側面図である。
- 【図 29 C】図 29 C は、本開示が適用される携帯電話機を示す、閉じた状態の正面図である。
- 【図 29 D】図 29 D は、本開示が適用される携帯電話機を示す左側面図である。
- 【図 29 E】図 29 E は、本開示が適用される携帯電話機を示す右側面図である。
- 【図 29 F】図 29 F は、本開示が適用される携帯電話機を示す上面図である。
- 【図 29 G】図 29 G は、本開示が適用される携帯電話機を示す下面図である。 30
- 【発明を実施するための形態】
- 【0012】
- 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて、次に示す手順で詳細に説明する。
- 1．本開示が適用される半透過型液晶表示装置
 - 1 - 1．カラー表示対応の半透過型液晶表示装置
 - 1 - 2．基本的な画素回路
 - 1 - 3．画素及び副画素
 - 1 - 4．画素部の電極構造についての考察
 - 2．実施形態の説明 40
 - 2 - 1．液晶表示パネルの駆動方式
 - 2 - 2．MIP 方式
 - 2 - 3．面積階調法
 - 2 - 4．表示モード
 - 2 - 5．具体的な実施例
 - 3．変形例
 - 4．電子機器
 - 5．本開示の構成
- 【0013】
- < 1．本開示が適用される半透過型液晶表示装置 > 50

本開示の技術は、フラットパネル型（平面型）の表示装置に適用することができる。フラットパネル型の表示装置としては、液晶表示（LCD：Liquid Crystal Display）パネルを用いた表示装置、エレクトロルミネッセンス（EL：Electro Luminescence）表示パネルを用いた表示装置、プラズマ表示（PD：Plasma Display）パネルを用いた表示装置等を例示することができる。

【0014】

これらフラットパネル型の表示装置は、表示の形態で分類すると、透過型、反射型及び半透過型に分類することができる。本開示の技術は、透過型表示装置と反射型表示装置との特徴を併せ持つ半透過型液晶表示装置、すなわち、明るい環境下でも、暗い環境下でも画面が見易く、しかも、消費電力が少ない半透過型液晶表示装置に適用することができる。これらの特徴を持つ半透過型液晶表示装置は、電子機器、中でも、屋外での使用頻度が高い携帯型の電子機器、すなわち、携帯端末機器、例えば、デジタルカメラ等の携帯情報機器又は携帯電話機等の携帯通信機器の表示部として用いて好適なものである。

10

【0015】

本開示が適用される半透過型液晶表示装置は、モノクロ表示対応の表示装置であってもよいし、カラー表示対応の表示装置であってもよい。カラー表示対応の場合、カラー画像を形成する単位となる1個の画素（単位画素）は、複数の副画素（サブピクセル）を含むことになる。より具体的には、カラー表示対応の表示装置では、単位画素は、例えば、赤色（Red：R）を表示する副画素、緑色（Green：G）を表示する副画素、青色（Blue：B）を表示する副画素の3つの副画素を含む。

20

【0016】

ただし、1つの画素としては、RGBの3原色の副画素を組み合わせたものに限られるものではない。例えば、RGBの3原色の副画素に、さらに1色又は複数色の副画素を加えて単位画素とすることも可能である。より具体的には、例えば、輝度向上のために白色（White；W）を表示する副画素を加えて単位画素としたり、色再現範囲を拡大するために補色を表示する少なくとも1個の副画素を加えて単位画素としたりすることも可能である。

【0017】

[1-1. カラー表示対応の半透過型液晶表示装置]

以下に、本開示が適用される半透過型液晶表示装置として、カラー表示対応の半透過型液晶表示装置を例に挙げて説明するものとする。

30

【0018】

図1は、本開示が適用されるカラー表示対応の半透過型液晶表示装置の構成の概略を、一部を切り欠いた状態で示す斜視図である。

【0019】

図1に示すように、本開示が適用される半透過型液晶表示装置1は、第1パネル部10、第2パネル部20、液晶層30及びバックライト部40を主な構成要素として有する。半透過型液晶表示装置1は、第2パネル部20の表面側が表示面側となる。第1パネル部10と第2パネル部20とは、所定の空隙を持って対向配置されている。そして、第1パネル部10と第2パネル部20との空隙内に液晶材料が封止されることによって液晶層30が形成されている。

40

【0020】

第1パネル部10は、液晶層30と反対側、すなわち、バックライト部40側から順に、偏光板11、1/2波長板12、1/4波長板13、透明なガラス等を基板材料とする第1基板14及び平坦化膜15が設けられている。

【0021】

この第1パネル部10において、第1基板14上には、ともに図示しない複数の信号線と複数の走査線とが交差するように形成されている。そして、複数の信号線と複数の走査線とが交差する部位には、副画素（以下、単に「画素」と記述する場合もある）50が行列状に2次元配置されている。

50

【 0 0 2 2 】

第 1 基板 1 4 上には、さらに、T F T (Thin Film Transistor : 薄膜トランジスタ) 等のスイッチング素子及び容量素子等の回路素子が画素 5 0 毎に形成されている。これらの回路素子、信号線及び走査線の表面に平坦化膜 1 5 が形成されることによって第 1 パネル部 1 0 の表面の平坦化が図られている。そして、平坦化膜 1 5 の上に、後述する反射電極が画素 5 0 毎に形成されることになる。第 1 基板 1 4 は、T F T を含む回路素子が形成されることから T F T 基板と呼ばれる場合がある。

【 0 0 2 3 】

複数の信号線は、画素 5 0 を駆動する信号 (表示信号 / 映像信号) を伝送するための配線であり、画素 5 0 の行列状の配置に対して画素列毎に、当該画素列の画素の配列方向、すなわち、列方向 (図 1 の Y 方向) に沿って延在する配線構造となっている。複数の走査線は、画素 5 0 を行単位で選択する信号 (走査信号) を伝送するための配線であり、画素 5 0 の行列状の配置に対して画素行毎に、当該画素行の画素の配列方向、すなわち、行方向 (図 1 の X 方向) に沿って延在する配線構造となっている。X 方向と Y 方向とは、互いに直交する。

10

【 0 0 2 4 】

第 2 パネル部 2 0 は、液晶層 3 0 側から順に、I T O (Indium Tin Oxide : インジウム錫酸化物) 等で形成された透明電極 2 1、カラーフィルタ 2 2、透明なガラス等を基板材料とする第 2 基板 2 3、1 / 4 波長板 2 4、1 / 2 波長板 2 5 及び偏光板 2 6 が設けられた構成となっている。

20

【 0 0 2 5 】

この第 2 パネル部 2 0 において、カラーフィルタ 2 2 は、例えば、列方向 (Y 方向) に伸びるストライプ状の R (赤色) G (緑色) B (青色) の各フィルタが、画素 5 0 の行方向 (X 方向) のピッチと同じピッチで繰り返し配列された構成となっている。第 2 基板 2 3 は、カラーフィルタ (C F : Color Filter) 2 2 を含んでいることから C F 基板と呼ばれる場合がある。

【 0 0 2 6 】

上述した、第 1 パネル部 1 0、当該第 1 パネル部 1 0 と対向配置された第 2 パネル部 2 0 及び第 1 パネル部 1 0 と第 2 パネル部 2 0 との間に配置された液晶層 3 0 によって半透過型の液晶表示パネルが構成されており、第 2 パネル部 2 0 の上面 (表面) が表示面となっている。

30

【 0 0 2 7 】

バックライト部 4 0 は、液晶表示パネルを当該液晶表示パネルの背面側、すなわち、第 1 パネル部 1 0 の液晶層 3 0 とは反対側から照明する照明部である。このバックライト部 4 0 は、その構造及び構成要素を特に限定するものではないが、例えば、L E D (Light Emitting Diode) 又は蛍光管などの光源と、プリズムシート、拡散シート及び導光板等の周知の部材を用いることができる。

【 0 0 2 8 】

上記構成の半透過型液晶表示装置 1 において、画素 5 0 は、当該画素 5 0 毎に反射表示領域 (反射表示部) と透過表示領域 (透過表示部) とを有している。反射表示領域は、先述したように、平坦化膜 1 5 の表面に、画素 5 0 毎に形成される反射電極を有し、第 2 パネル部 2 0 を透過して外部から入射した外光を当該反射電極によって反射し、その反射光によって表示する。透過表示領域は、バックライト部 4 0 からの光を透過し、その透過光によって表示する。この画素 5 0 毎に設けられる透過表示領域の詳細については後述する。

40

【 0 0 2 9 】

[1 - 2 . 基本的な画素回路]

次に、画素 5 0 の基本的な画素回路について、図 2 A を用いて説明する。図 2 A に X で示す方向 (X 方向) は、図 1 に示す半透過型液晶表示装置 1 の行方向を示し、Y で示す方向 (Y 方向) は列方向を示す。

50

【 0 0 3 0 】

図 2 A に示すように、複数の信号線 6 1 (6 1₁、6 1₂、6 1₃、・・・) と、複数の走査線 6 2 (6 2₁、6 2₂、6 2₃、・・・) とが交差するように配線され、その交差部に画素 5 0 が配されている。複数の走査線 6 2 (6 2₁、6 2₂、6 2₃、・・・) が延在する方向は行方向 (X 方向) であり、複数の信号線 6 1 (6 1₁、6 1₂、6 1₃、・・・) が延在する方向は列方向 (Y 方向) である。先述したように、複数の信号線 6 1 と複数の走査線 6 2 とは、第 1 パネル部 1 0 の第 1 基板 (T F T 基板) 1 4 の表面に形成されている。そして、信号線 6 1 (6 1₁、6 1₂、6 1₃、・・・) の各一端は、信号出力回路 7 0 の各列に対応した出力端に接続され、複数の走査線 6 2 (6 2₁、6 2₂、6 2₃、・・・) の各一端は、走査回路 8 0 の各行に対応した出力端に接続されている。

10

【 0 0 3 1 】

画素 5 0 は、例えば、薄膜トランジスタ (T F T) を用いた画素トランジスタ 5 1 と液晶容量 5 2 と保持容量 5 3 とを有する構成となっている。画素トランジスタ 5 1 は、ゲート電極が走査線 6 2 (6 2₁、6 2₂、6 2₃、・・・) に接続され、ソース電極が信号線 6 1 (6 1₁、6 1₂、6 1₃、・・・) に接続されている。

【 0 0 3 2 】

液晶容量 5 2 は、画素電極と、これに対向して形成される対向電極 (図 1 の透明電極 2 1 に相当) との間で発生する液晶材料の容量成分を意味し、画素電極が画素トランジスタ 5 1 のドレイン電極に接続されている。画素電極は、カラー表示の場合は副画素毎に形成される反射電極に相当し、モノクロ表示の場合は画素毎に形成される反射電極に相当する。液晶容量 5 2 の対向電極には、直流電圧のコモン電位 V_{COM} が全画素共通に印加される。保持容量 5 3 は、一方の電極が液晶容量 5 2 の画素電極に、他方の電極が液晶容量 5 2 の対向電極にそれぞれ接続されている。

20

【 0 0 3 3 】

上記の画素回路から明らかなように、複数の信号線 6 1 (6 1₁、6 1₂、6 1₃、・・・) は、画素 5 0 を駆動する信号、すなわち、信号出力回路 7 0 から出力される映像信号を画素列毎に画素 5 0 に伝送する配線である。また、複数の走査線 6 2 (6 2₁、6 2₂、6 2₃、・・・) は、画素 5 0 を行単位で選択する信号、すなわち、走査回路 8 0 から出力される走査信号を画素行毎に伝送する配線である。

30

【 0 0 3 4 】

[1 - 3 . 画素及び副画素]

半透過型液晶表示装置 1 がカラー表示に対応する場合、図 2 B に示すように、カラー画像を形成する単位となる 1 個の画素、すなわち単位画素 5 は、例えば、複数の副画素 (サブピクセル) 5 0 を含む。この例では、単位画素 5 は、R を表示する副画素 5 0 R と、B を表示する副画素 5 0 B と、G を表示する副画素 5 0 G とを含む。単位画素 5 が有する副画素 5 0 R、5 0 B、5 0 G は、X 方向、すなわち半透過型液晶表示装置 1 の行方向に向かって配列される。上述したように、単位画素 5 は、さらに 1 色又は複数色の副画素を有していてもよい。半透過型液晶表示装置 1 がモノクロ表示のみに対応する場合、図 2 C に示すように、モノクロ画像を形成する単位となる 1 個の画素、すなわち単位画素 5 M は、画素 5 0 (カラー画像における副画素 5 0 に相当) となる。単位画素 5 はカラー画像を表示するための基本単位であり、単位画素 5 M は、モノクロ画像を表示するための基本単位である。

40

【 0 0 3 5 】

[1 - 4 . 画素部の電極構造についての考察]

透過表示領域について説明する前に、画素 5 0 の電極構造について考察する。

【 0 0 3 6 】

図 3 A、図 3 B は、従来の画素部の電極構造の説明に供する図である。図 3 A は反射 (全反射) 型液晶表示装置の画素部の平面図を、図 3 B は従来の半透過型液晶表示装置の画素部の平面図をそれぞれ示している。図 3 A、図 3 B において、反射電極 6 3 については

50

、網掛けを付して示している。

【0037】

図3A、図3Bに示すように、一般的に、液晶表示装置の画素部は、画素50が行列状に配置され、当該行列状の配置に対して信号線61が列方向に沿って延在する画素50間の空間位置に配線され、走査線62が行方向に沿って延在する画素50間の空間位置に配線された構成となっている。先述したように、信号線61と走査線62とは、図1において、第1パネル部10の第1基板14上に互いに交差するように配線されている。

【0038】

このような構成の画素部（画素アレイ部）において、図3Aに示す反射型液晶表示装置にあっては、アルミニウム等の金属で形成された反射電極63を、画素50のサイズとほぼ同じ大きさで形成し、当該反射電極63の領域を反射表示領域としている。すなわち、反射型液晶表示装置は、画素50のサイズとほぼ同じ大きさの反射表示領域を確保することで、所望の反射表示性能を得るようにしている。

10

【0039】

これに対して、図3Bに示す従来の半透過型液晶表示装置は、1つの画素50内に反射電極63と共に開口部64を形成し、当該開口部64を透過表示領域として用いる。このように、透過表示領域を確保するために、画素50内に開口部64を形成すると、当該開口部64の面積の分だけ反射電極63、すなわち、反射表示領域を小さくせざるを得ない。このため、従来の半透過型液晶表示装置は、反射表示性能が、反射型液晶表示装置のそれに比べて低下する。すなわち、透過表示領域を確保することと、反射表示性能を保つこととはトレードオフの関係にある。

20

【0040】

< 2. 実施形態の説明 >

本開示の実施形態に係る半透過型液晶表示装置1は、反射型表示装置と同等の反射表示性能を保ったまま、透過表示を実現するために、反射電極63の画素50間の空間を用いて透過表示を行う。具体的には、図4に示すように、画素50が行列状に配置されて成る画素部において、信号線61及び走査線62等の配線を、反射電極63の画素50間の空間を塞がないように形成することで、当該空間を透過表示領域として用いて透過表示を行うことができる。

【0041】

30

図4において、反射電極63は、網掛けを付して示している。また、反射電極63の画素50間の空間は、画素列の画素の配列方向、すなわち、列方向（図4に示すY方向）に沿って延在する空間65_Aと、画素行の画素の配列方向、すなわち、行方向（図4に示すX方向）に沿って延在する空間65_Bとが存在する。なお、本例では、画素部に形成される配線として信号線61及び走査線62を例示しているが、画素部に形成される配線はこれらに限られるものではない。すなわち、画素50を駆動（制御）するにあたって必要となる駆動線（制御線）すべてが、本例でいう配線に含まれる。

【0042】

「空間を塞がない」とは、配線が反射電極63の画素50間の空間65_A、65_Bとオーバーラップしている領域の存在を排除するものではない。具体的には、列方向に配線される信号線61が行方向に延在する空間65_Bとオーバーラップする状態及び行方向に配線される走査線62が列方向に延在する空間65_Aとオーバーラップする状態は、「空間を塞がない」概念に含まれるものとする。

40

【0043】

また、信号線61が列方向に延在する空間65_Aと一部が又は部分的にオーバーラップする状態及び走査線62が行方向に延在する空間65_Bと一部が又は部分的にオーバーラップする状態も、「空間を塞がない」概念に含まれるものとする。いずれの場合にも、信号線61及び走査線62が空間65_A、65_Bとオーバーラップしていない領域を透過表示領域として用いることになる。

【0044】

50

また、反射電極 6 3 の画素 5 0 間の空間 6 5_A、6 5_B を塞がないように配線を形成する際には、当該配線を反射電極 6 3 の画素 5 0 間の空間 6 5_A、6 5_B を避けて形成することが好ましい。「空間を避けて」とは、反射電極 6 3 の画素 5 0 間の空間 6 5_A、6 5_B 中に配線が存在しない（すなわち、当該空間 6 5_A、6 5_B 中に配線がオーバーラップする領域が存在しない）状態をいう。

【0045】

具体的には、図 4 に示すように、信号線 6 1 については、列方向に延在する空間 6 5_A を避けて、すなわち、空間 6 5_A との間にオーバーラップする領域（部分）を存在させずに配線するのが好ましい。また、走査線 6 2 については、行方向に延在する空間 6 5_B を避けて、すなわち、空間 6 5_B との間にオーバーラップする領域を存在させずに配線することが好ましい。反射電極 6 3 の画素 5 0 間の空間 6 5_A、6 5_B 中に信号線 6 1 及び走査線 6 2 がオーバーラップする領域が存在しないことで、当該空間 6 5_A、6 5_B の領域の全体を透過表示領域として用いることができるため、半透過型液晶表示装置 1 は、より高い透過表示性能を得ることが可能となる。

10

【0046】

上述したように、半透過型液晶表示装置 1 は、反射電極 6 3 の画素 5 0 間の空間を用いて透過表示を行う、すなわち、当該空間の領域を透過表示領域とすることにより、画素 5 0 内に透過表示領域を別途確保する必要がなくなる。このようにすることで、図 3 A と図 4 との対比から明らかなように、半透過型液晶表示装置 1 は、画素 5 0 のサイズを同一とした場合、反射電極 6 3 の寸法を反射型液晶表示装置の寸法と同等にできる。その結果、半透過型液晶表示装置 1 は、反射型表示装置と同等の反射表示性能を保ったまま、透過表示を実現可能となる。

20

【0047】

[2 - 1 . 液晶表示パネルの駆動方式]

ところで、液晶表示パネル（液晶表示装置）においては、液晶に同極性の直流電圧が印加され続けることによって液晶の比抵抗（物質固有の抵抗値）等が劣化するのを抑制するために、コモン電位 V_{COM} を基準として映像信号の極性を所定の周期で反転させる駆動方式が採られる。

【0048】

このような液晶表示パネルの駆動方式として、ライン反転、ドット反転、フレーム反転などの駆動方式が知られている。ライン反転は、1 ライン（1 画素行）に相当する 1 H（H は水平期間）の時間周期で映像信号の極性を反転させる駆動方式である。ドット反転は、互いに隣接する上下左右の画素毎に映像信号の極性を交互に反転させる駆動方式である。フレーム反転は、1 画面に相当する 1 フレーム毎に全画素に書き込む映像信号を一度に同じ極性で反転させる駆動方式である。

30

【0049】

本実施形態において、半透過型液晶表示装置 1 は、上記の各駆動方式のいずれを採用することも可能である。ただし、次に説明する理由により、ライン反転やドット反転の駆動法よりも、フレーム反転の駆動方式を採用するのが好ましい。

【0050】

フレーム反転の駆動方式を採用するのが好ましい理由について、図 5 のシミュレーション結果を用いて説明する。図 5 において、図 5 A は画素 5 0 に電圧を印加しない場合のシミュレーション結果を、図 5 B はライン反転又はドット反転の際に画素 5 0 に電圧を印加した場合のシミュレーション結果を、図 5 C はフレーム反転の際に画素 5 0 に電圧を印加した場合のシミュレーション結果をそれぞれ表している。また、図 5 B、図 5 C には、等電位線を一点鎖線で示している。

40

【0051】

ライン反転又はドット反転の場合は、透明電極（対向電極）2 1 と反射電極（画素電極）6 3 との間の電位が隣接する 2 つの画素間で異なることにより、画素間における一方の画素近傍と他方の画素近傍での液晶分子の振る舞いが違ってくる。このため、画素間の液

50

晶配向が安定しない。このことは、図 5 B に一点鎖線で示す等電位線の分布からも明らかである。

【 0 0 5 2 】

このように、隣接する 2 つの画素間で電位が異なるライン反転又はドット反転の場合には、画素間の液晶配向を安定して制御することができない。液晶配向が安定しない画素間の空間を透過表示領域として用いて透過表示を行うと、残像が残る等の懸念がある。

【 0 0 5 3 】

これに対して、フレーム反転の場合は、透明電極 2 1 と反射電極 6 3 との間の電位が隣接する 2 つの画素間で同一であることにより、画素間における一方の画素近傍と他方の画素近傍とで液晶分子が同じような振る舞いをするようになる。このため、フレーム反転の駆動方式を用いた場合における画素間の液晶配向は、ライン反転又はドット反転の場合に比べて安定する。このことは、図 5 C に一点鎖線で示す等電位線の分布からも明らかである。

【 0 0 5 4 】

このように、隣接する 2 つの画素間において電位が同一のフレーム反転の場合には、画素間の液晶配向を比較的安定して制御することができるため、当該画素間の空間を透過表示領域として用いて透過表示を行っても残像を効果的に抑制することができる。以上の理由から、反射電極 6 3 の画素 5 0 間の空間を用いて透過表示を行うにあたっては、ライン反転又はドット反転の駆動方式を用いるよりも、フレーム反転の駆動方式を用いる方が好ましい。ただし、先述したように、ライン反転又はドット反転の駆動方式の採用を排除するものではない。

【 0 0 5 5 】

[2 - 2 . M I P 方式]

フレーム反転の駆動方式を用いる場合、1 フレーム期間にわたって同じ極性の信号電圧を信号線に書き込むことになるために、シェーディングが発生する可能性がある。そこで、半透過型液晶表示装置 1 においては、フレーム反転の駆動方式を用いるにあたって、画素 5 0 としてメモリ機能を有する画素、例えば、画素毎にデータを記憶可能なメモリを持つ、いわゆる M I P (Memory In Pixel) 方式を採用することとする。M I P 方式の場合、画素 5 0 には常に一定電圧が印加されることになるために、シェーディングを低減させることができる。

【 0 0 5 6 】

また、M I P 方式は、データを記憶するメモリを画素内に持つことにより、アナログ表示モードによる表示と、メモリ表示モードによる表示とを実現できる。アナログ表示モードとは、画素の階調をアナログ的に表示する表示モードである。メモリ表示モードとは、画素内のメモリに記憶されている 2 値情報 (論理 “ 1 ” / 論理 “ 0 ”) に基づいて、画素の階調をデジタル的に表示する表示モードである。

【 0 0 5 7 】

メモリ表示モードの場合、メモリに保持されている情報を用いるため、階調を反映した信号電位の書き込み動作をフレーム周期で実行する必要がない。そのため、メモリ表示モードの場合は、階調を反映した信号電位の書き込み動作をフレーム周期で実行する必要があるアナログ表示モードの場合に比べて消費電力が少なく済む。換言すれば、半透過型液晶表示装置 1 の消費電力を低減することができる。

【 0 0 5 8 】

図 6 は、M I P 方式を採用した画素の回路構成の一例を示すブロック図であり、図中、図 2 A と同等の部位には同一の符号を付して示している。また、図 7 に、M I P 方式を採用した画素の動作説明に供するタイミングチャートを示す。

【 0 0 5 9 】

図 6 に示すように、画素 5 0 は、液晶容量 (液晶セル) 5 2 に加えて、3 つのスイッチ素子 5 4 ~ 5 6 及びラッチ部 5 7 を有する駆動回路部 5 8 を備える。駆動回路部 5 8 は、S R A M (Static Random Access Memory) 機能を備えている。駆動回路部 5 8 を備える

画素 50 は、S R A M 機能付きの画素構成となっている。液晶容量（液晶セル）52 とは、画素電極（例えば、図 4 の反射電極 63）とこれに対向して配される対向電極との間で発生する液晶容量を意味している。

【0060】

スイッチ素子 54 は、信号線 61（図 2 A の信号線 $61_1 \sim 61_3$ に相当）に一端が接続されている。スイッチ素子 54 は、図 2 A の走査回路 80 から走査信号 ϕV が与えられることによってオン（閉）状態となり、図 2 A の信号出力回路 70 から信号線 61 を介して供給されるデータ S I G を取り込む。ラッチ部 57 は、互いに逆向きに並列接続されたインバータ 571、572 を有しており、スイッチ素子 54 によって取り込まれたデータ S I G に応じた電位を保持（ラッチ）する。

10

【0061】

スイッチ素子 55、56 の各一方の端子には、コモン電位 V_{COM} とは逆相の制御パルス X F R P 及び同相の制御パルス F R P が与えられる。スイッチ素子 55、56 の各他方の端子は共通に接続され、その共通接続ノードが、本画素回路の出力ノード N_{out} となる。スイッチ素子 55、56 は、ラッチ部 57 の保持電位の極性に依りていずれか一方がオン状態となる。これにより、対向電極（図 1 の透明電極 21）にコモン電位 V_{COM} が印加されている液晶容量 52 に対して、制御パルス F R P 又は制御パルス X F R P が画素電極（例えば、図 4 の反射電極 63）に印加される。

【0062】

図 7 から明らかなように、本例の場合、ラッチ部 57 の保持電位が負側極性のときは、液晶容量 52 の画素電位がコモン電位 V_{COM} と同相になるため黒表示となり、ラッチ部 57 の保持電位が正側極性の場合は、液晶容量 52 の画素電位がコモン電位 V_{COM} と逆相になるため白表示となる。

20

【0063】

上述したことから明らかなように、M I P の画素 50 は、ラッチ部 57 の保持電位の極性に依りてスイッチ素子 55、56 のいずれか一方がオン状態となることで、液晶容量 52 の画素電極（例えば、図 4 の反射電極 63）に対して、制御パルス F R P 又は制御パルス X F R P が印加される。その結果、画素 50 には常に一定の電圧が印加されることになるので、シェーディングの発生が抑制される。

【0064】

なお、本例では、画素 50 が内蔵するメモリとして S R A M を用いる場合を例に挙げて説明したが、S R A M は一例に過ぎず、他のメモリ、例えば D R A M（Dynamic Random Access Memory）を用いる構成を採るようにしてもよい。

30

【0065】

[2 - 3 . 面積階調法]

M I P 方式の場合、画素 50 毎に 1 ビットで 2 階調しか階調表現を行うことができない。そこで、半透過型液晶表示装置 1 において、M I P 方式を採用するにあたっては、面積階調法を用いるのが好ましい。面積階調法とは、画素面積（画素電極の面積）に、例えば 2 : 1 の重みを付けて 2 ビットで 4 階調を表現する階調表現方式である。面積階調法の詳細については後述する。

40

【0066】

具体的には、画素 50 の反射表示領域となる反射電極 63（図 4 参照）を、面積的に重み付けした複数の電極に分割する面積階調法を用いている。そして、ラッチ部 57 の保持電位によって選択された画素電位を面積的に重み付けした分割画素電極に通電し、重み付けした面積の組み合わせによって階調表示を行うようにする。以下において、面積的に重み付けして反射電極 63 を分割した結果得られたそれぞれの電極を、分割画素電極という。

【0067】

次に、面積階調法について具体的に説明する。面積階調法は、面積比を 2^0 、 2^1 、 2^2 、 $\dots$ 、 2^{N-1} という具合に重み付けした N 個の電極で $2 \times N$ 個の階調を表現する

50

階調表現方式である（階調を表示するためのそれぞれのビットに1個の電極が対応する場合）。階調を表示するためのビットに複数個の電極が対応する場合、面積階調法は、それぞれのビットに対応する電極の面積比を 2^0 、 2^1 、 2^2 、 $\dots$ 、 2^{N-1} という具合に重み付けして、Nビットで 2^N の階調を表示する。

【0068】

面積階調法は、例えば、TFT特性のばらつきによる画質の不均一性を改善する等の目的で採用される。半透過型液晶表示装置1にあっては、画素電極としての反射電極63の面積（画素面積）に2：1の重みを付けて分割することによって、2ビットで4階調を表現する面積階調法を採用するものとする。

【0069】

画素面積に2：1の重みを付ける構造としては、図8Aに示す反射電極63Aのように、画素50の画素電極を面積Sの分割画素電極501と、分割画素電極501の2倍の面積（面積 $2 \times S$ ）の分割画素電極502とに分割する構造が一般的である。しかし、反射電極63Aの構造は、画素50の1画素の重心に対する各階調の重心が揃わない（一致しない）ため、階調表現の点で好ましくない。

【0070】

画素50の1画素の重心に対する各階調の重心を揃える構造としては、図8Bに示す反射電極63Bのように、面積 $2 \times S$ の分割画素電極504の中心部を矩形形状にくり抜き、そのくり抜いた矩形領域の中心部に面積Sの分割画素電極503を配置する構造がある。しかし、反射電極63Bの構造は、分割画素電極503の両側に位置する、分割画素電極504の連結部504A、504Bの幅が狭いため、分割画素電極504全体の反射面積が小さくなり、かつ連結部504A、504Bの周辺に存在する液晶配向が難しい。

【0071】

上述したように、面積階調で、無電界時に液晶分子が基板に対してほぼ垂直になるVA（Vertical Aligned：垂直配向）モードにしようとする、液晶分子に対する電圧の作用の仕方が電極形状又は電極のサイズ等によって変わるため、液晶を良好に配向させることが難しい。また、反射電極の面積比が反射率比になるとは限らないので階調設計が難しい。反射電極の反射率は、反射電極の面積及び液晶配向等によって決まる。図8Aに示す反射電極63Aの構造の場合、面積比が1：2であっても電極周辺の長さ（周辺長さ）の比が1：2とはならない。例えば、分割画素電極501が、平面視が正方形形状であって一辺の長さがLであり、分割画素電極502が、平面視が長方形形状であって短辺の長さがL、長辺の長さが $2 \times L$ である場合を考える。この場合、分割画素電極501の周辺長さは $4 \times L$ 、分割画素電極502の周辺長さは $6 \times L$ となっており、周辺長さの比は2：3になる。このため、反射電極の面積比が反射率比になるとは限らない。

【0072】

階調の表現性と反射面積の有効活用とを考慮すると、面積階調法を採用するにあたっては、図8Cに示す反射電極63Cのように、反射電極63Cが同じ面積（大きさ）の複数（本例では3個）の分割画素電極505、506A、506Bに分割されることが望ましい。反射電極63Cは、複数（この例では3個）の分割画素電極505、506A、506Bを有し、これらの面積の組み合わせによって面積階調が可能になる。

【0073】

この3分割の電極構成を有する反射電極63Cは、分割画素電極506A、506Bが分割画素電極505の両側に配置される。すなわち、3個の分割画素電極506A、506Bは、この順に並んで1列に配置される。反射電極63Cは、分割画素電極505の両側に配置された分割画素電極506A、506Bを組とする。そして、反射電極63Cは、当該組となる2個の分割画素電極506A、506Bが同時に駆動されることで、両者の間に配置された分割画素電極505との間で画素面積に2：1の重みを付けることができる。

【0074】

2個の分割画素電極506A、506Bを同時に駆動するにあたっては、図8Cに示す

10

20

30

40

50

ように、2個の分割画素電極506A、506Bを、例えばITO等の導体510によって、互いに電氣的に接続するのが好ましい。2個の分割画素電極506A、506Bを電氣的に接続することで、2個の分割画素電極506A、506Bを1個の駆動回路によって駆動することができる。したがって、2つの分割画素電極506A、506Bを別々の駆動回路によって駆動する構成を採用する場合よりも画素（カラー表示の場合は1個の副画素）の駆動回路部58の構成を簡略化できる利点がある。

【0075】

反射電極63C、より具体的には、反射電極63Cを有する副画素（モノクロ表示のみ場合は画素）は、 n （ n は2以上の整数）= 2ビットで $2^n = 4$ 階調を表示する面積階調が可能である。この場合、1個の副画素は、1個の分割画素電極505と、2個の分割画素電極506A、506Bとに対して、図6に示す駆動回路部58をそれぞれ1個ずつ備えている。反射電極63Cを有する副画素に対して2ビットでの面積階調を行う場合、最下位のビットに対応する電極が分割画素電極505であり、最下位よりも上位のビット、すなわち最上位のビットに対応する電極が分割画素電極506A、506Bの組となる。

10

【0076】

反射電極63Cが有する、それぞれの分割画素電極506A、505、506Bは、平面視において正方形形状かつ一辺の長さが L である。また、これらは形状及び大きさが等しい。このため、1個の分割画素電極505と、2個の分割画素電極506A、506Bとの面積比は1:2となる。また、1個の分割画素電極505の周辺長さの総和は $4 \times L$ であり、2個の分割画素電極506A、506Bの周辺長さの総和は $8 \times L$ である。したがって、 $n = 2$ ビットで面積階調が可能な反射電極63Cは、それぞれのビットに対応する1個の分割画素電極505と2個の分割画素電極506A、506Bとにおいて、それぞれの周辺長さの総和の比が $1 : 2^{n-1} = 1 : 2$ となる。このため、 n （本例では2）ビットでの面積階調が可能な反射電極63Cは、それぞれのビットに対応する電極（分割画素電極505、506A、506B）の面積比を反射率比に近づけることができる。その結果、反射電極63Cは、階調表示をする際の特性（階調特性）が向上する。

20

【0077】

上述したように、反射電極63Cは、1個の分割画素電極505の両側に2個の分割画素電極506A、506Bが配置されている。すなわち、反射電極63Cは、 n （ $= 2$ ）ビットの面積階調において最下位のビットに対応する電極である分割画素電極505を中心として、最下位のビットよりも上位（本例では最上位）のビットに対応する電極である2個の分割画素電極506A、506Bが対称に配置されている。このため、反射電極63Cは、1画素（カラー表示の場合は1個の副画素）の重心に対する各階調の重心を揃えることができるので、階調特性が向上する。

30

【0078】

図8Dに示す反射電極63Dは、3分割されることにより、3個の分割画素電極505、506A、506Bを有している。そして、反射電極63Dは、3個の分割画素電極505、506A、506Bのうちの2個の分割画素電極506A、506Bと残りの1個の分割画素電極505との面積の組み合わせによって面積比が2:1、かつ2ビットの面積階調を行う。2個の分割画素電極506A、506Bは隣接して配置され、かつ同一の平面内で導体511によって電氣的に接続される。2個の分割画素電極506A、506Bのうち分割画素電極506Aは、1個の分割画素電極505と隣接している。1個の分割画素電極505が最下位ビットに対応する電極であり、2個の分割画素電極506A、506Bが最下位のビットよりも上位、より具体的には最上位のビットに対応する電極である。

40

【0079】

導体511は、2個の分割画素電極506A、506Bと同一の材料であり、さらに、導体511と2個の分割画素電極506A、506Bとは同一の平面内で、かつ一体で形成される。同一の平面内で、かつ一体で形成されるとは、図1に示す、同一の平坦化膜1

50

5 の表面に、導体 5 1 1 と 2 個の分割画素電極 5 0 6 A、5 0 6 B とが一体で形成されることをいう。

【0080】

本例において、3 個の分割画素電極 5 0 5、5 0 6 A、5 0 6 B の形状及び大きさが等しい場合、1 個の分割画素電極 5 0 5 と 2 個の分割画素電極 5 0 6 A、5 0 6 B との面積比及び周辺長さの総和の比を求めるときには、導体 5 1 1 の面積及び周辺長さは用いない。1 個の分割画素電極 5 0 5 と、2 個の分割画素電極 5 0 6 A、5 0 6 B との面積比は 1 : 2 となる。また、それぞれのビットに対応する 1 個の分割画素電極 5 0 5 と 2 個の分割画素電極 5 0 6 A、5 0 6 B とは、それぞれの周辺長さの総和の比が $1 : 2^n - 1 = 1 : 2$ となる。このため、 n (本例では 2) ビットでの面積階調が可能な反射電極 6 3 C は、それぞれのビットに対応する電極 (分割画素電極 5 0 5、5 0 6 A、5 0 6 B) の面積比を反射率比に近づけることができる。

【0081】

導体 5 1 1 は、同一平面内において、2 個の分割画素電極 5 0 6 A、5 0 6 B との間に配置されて両者を電氣的に接続する。導体 5 1 1 の幅 (図 8 D においては X 方向における寸法) は、分割画素電極 5 0 6 A、5 0 6 B の幅 (図 8 D においては X 方向における寸法) よりも小さい。本実施形態において、導体 5 1 1 の幅は、分割画素電極 5 0 6 A、5 0 6 B の幅の $1/10$ 以上 $1/5$ 以下の範囲が好ましい。導体 5 1 1 の幅をこのような範囲とすることで、前述した面積比及び周辺長さの総和を求めるときには、導体 5 1 1 の面積及び周辺長さを無視することができる。なお、本実施形態において、導体 5 1 1 は、2 個の分割画素電極 5 0 6 A、5 0 6 B の幅方向における中央に配置されるが、導体 5 1 1 の位置は 2 個の分割画素電極 5 0 6 A、5 0 6 B の間であれば、これに限定されるものではない。

【0082】

3 個の分割画素電極 5 0 5、5 0 6 A、5 0 6 B の形状と大きさとの少なくとも一方が異なる場合、1 個の分割画素電極 5 0 5 と 2 個の分割画素電極 5 0 6 A、5 0 6 B との面積比及び周辺長さの総和の比を求めるときには、導体 5 1 1 の面積及び周辺長さをを用いてもよい。すなわち、導体 5 1 1 の面積及び周辺長さ (2 個の分割画素電極 5 0 6 A、5 0 6 B の間の部分における周辺長さの総和) を含めて、1 個の分割画素電極 5 0 5 と、2 個の分割画素電極 5 0 6 A、5 0 6 B との面積比及び周辺長さの総和の比とを求める。 $n = 2$ ビットで 4 階調を表現する場合、面積比は 1 : 2、周辺長さの総和の比は 1 : 2 となるように、3 個の分割画素電極 5 0 5、5 0 6 A、5 0 6 B 及び導体 5 1 1 の面積と周辺長さを調整する。

【0083】

図 8 C に示す反射電極 6 3 C を形成する場合、図 1 に示す平坦化膜 1 5 を 2 層とし、2 層目の表面に形成された 2 個の分割画素電極 5 0 6 A、5 0 6 B とを、1 層目と 2 層目との間に形成された ITO 等の導体によって接続する。このため、反射電極 6 3 C は、階調特性は優れるが、製造工程は増加する。図 8 D に示す反射電極 6 3 D は、導体 5 1 1 と 2 個の分割画素電極 5 0 6 A、5 0 6 B とを、同一の平坦化膜 1 5 の表面に一体で形成する。このため、反射電極 6 3 D は、図 1 に示す平坦化膜 1 5 は 1 層でよいので、工程数の増加を抑制できる。

【0084】

反射電極 6 3 D は、1 画素 (カラー表示の場合は 1 個の副画素) の重心に対する各階調の重心がずれているので、反射電極 6 3 C と比較して階調特性はやや劣る。しかし、自然画のように中間調を多用する場合以外であって、比較的単純な画像のみを表示する場合は、反射電極 6 3 D の階調特性でも十分である場合がある。このような場合、半透過型液晶表示装置 1 に反射電極 6 3 D を用いると、製造工程を少なくして製造コストを低減できるという利点を得られる。

【0085】

次に、 $n = 2$ よりも大きいビット数で 2^n 階調を表示可能な例を説明する。図 8 E に示

す反射電極 6 3 E 及び図 8 F に示す反射電極 6 3 F は、いずれも、 $n = 3$ ビットで $2^n = 8$ 階調を表示する面積階調が可能である。図 8 E に示す反射電極 6 3 E は、1 個の分割画素電極 5 0 5 と、2 個の分割画素電極 5 0 6 A、5 0 6 B と、4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D とを有している。すなわち、反射電極 6 3 E は、1 個の電極を 7 分割したものである。

【0086】

2 個の分割画素電極 5 0 6 A、5 0 6 B は、互いに導体 5 1 0 で電氣的に接続されている。また、4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D は、互いに導体 5 1 2 で電氣的に接続されている。反射電極 6 3 E は、1 個の分割画素電極 5 0 5 が最下位のビット（1 ビット）、2 個の分割画素電極 5 0 6 A、5 0 6 B が最下位の次のビット（2 ビット）、4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D が最上位のビット（3 ビット）となる。したがって、2 ビットに対応する 2 個の分割画素電極 5 0 6 A、5 0 6 B 同士は互いに電氣的に接続され、また、3 ビットに対応する 4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D 同士は互いに電氣的に接続される。このように、それぞれのビットに対応する 2 以上の電極（分割画素電極）同士は、互いに電氣的に接続されている。

10

【0087】

図 8 E に示すように、1 ビットに対応する分割画素電極 5 0 5 の両側に、2 ビットに対応する分割画素電極 5 0 6 A、5 0 6 B がそれぞれ配置される。また、3 ビットに対応する 4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D のうち、分割画素電極 5 0 7 A は分割画素電極 5 0 6 A と隣接して配置され、分割画素電極 5 0 7 B は分割画素電極 5 0 6 B と隣接して配置される。さらに、分割画素電極 5 0 7 C は、分割画素電極 5 0 7 A に隣接して配置され、分割画素電極 5 0 7 D は、分割画素電極 5 0 7 B に隣接して配置される。反射電極 6 3 E は、最下位のビットに対応する分割画素電極 5 0 5 の両側に、次に上位のビットに対応する 2 個の分割画素電極 5 0 6 A、5 0 6 B がそれぞれ配置される。また、2 個の分割画素電極 5 0 6 A、5 0 6 B のビットよりも上位のビットに対応する 4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D は、分割画素電極 5 0 5 を挟んで両側に配置された分割画素電極 5 0 6 A、5 0 6 B の両側に、それぞれ 2 個ずつ配置される。このように、反射電極 6 3 E は、最下位のビットに対応する電極としての分割画素電極 5 0 5 を中心として、最下位のビットよりも上位のビットに対応する電極が対称に配置される。

20

30

【0088】

図 8 F に示す反射電極 6 3 F は、図 8 E に示す反射電極 6 3 E と同様であるが、次の点異なる。すなわち、最上位のビット（この例では 3 ビット）に対応する 4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D のうち、分割画素電極 5 0 6 A 側に配置された 2 個の分割画素電極 5 0 7 A、5 0 7 C 同士と、分割画素電極 5 0 6 B 側に配置された 2 個の分割画素電極 5 0 7 B、5 0 7 D 同士とが、同一平面内において、それぞれ導体 5 1 4 で電氣的に接続される。4 個の分割画素電極 5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D のうち、2 個の分割画素電極 5 0 7 A、5 0 7 B は、互いに導体 5 1 3 で電氣的に接続されている。

40

【0089】

図 8 D に示す反射電極 6 3 D と同様に、反射電極 6 3 F が有する 7 個の分割画素電極 5 0 5、5 0 6 A、5 0 6 B、5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D の形状及び大きさが等しい場合、上述した面積比及び周辺長さの総和の比を求める際には、導体 5 1 4 の面積及び周辺長さは用いられない。導体 5 1 4 の幅（図 8 F においては X 方向における寸法）及び導体 5 1 4 が配置される位置については、上述した反射電極 6 3 D と同様である。

【0090】

反射電極 6 3 E、6 3 F が有する 7 個の分割画素電極 5 0 5、5 0 6 A、5 0 6 B、5 0 7 A、5 0 7 B、5 0 7 C、5 0 7 D は、それぞれの形状及び大きさが等しい。このため、1 ビットに対応する 1 個の分割画素電極 5 0 5 の面積と、2 ビットに対応する 2 個の

50

分割画素電極 506A、506B 両方の面積と、3ビットに対応する4個の分割画素電極 507A、507B、507C、507D すべての面積との比（面積比）は、1:2:4 になる。また、1ビットに対応する1個の分割画素電極 505 の周辺長さの総和と、2ビットに対応する2個の分割画素電極 506A、506B の周辺長さの総和と、3ビットに対応する4個の分割画素電極 507A、507B、507C、507D の周辺長さの総和との比は、 $1:2:2^{n-1} = 1:2:2^2 = 1:2:4$ となる。このため、n（本例では3）ビットでの面積階調が可能な反射電極 63E、63F は、それぞれのビットに対応する電極（分割画素電極 505、506A、506B、507A、507B、507C、507D）の面積比を反射率比に近づけることができる。

【0091】

反射電極 63A から 63F は、透過表示をする場合、図4に示す反射電極 63 の画素 50 間の空間 65_A、65_B に加え、複数の分割画素電極 501、502、505、506A、506B 等うち隣接する分割画素電極の間からもバックライト光を透過させる。このように、反射電極 63A から 63F のうちいずれか1つを備える半透過型液晶表示装置1は、反射電極 63 の画素 50 間の空間 65_A、65_B を少なくとも用いて透過表示を行う。

【0092】

図9Aに示すカラー画像を表示する画素（カラー画素）5aは、R、G、Bの各色に対応した副画素（画素）50R、50G、50Bを有している。それぞれの副画素 50R、50G、50Bは、3個の分割画素電極 505、506A、506B を有する反射電極 63C を備えている。反射電極 63C は、図8Cに示したものと同一である。また、Rに対応する副画素 50R はカラーフィルタ 22R を備え、Gに対応する副画素 50G はカラーフィルタ 22G を備え、Bに対応する副画素 50B はカラーフィルタ 22B を備える。それぞれの副画素 50R、50G、50Bは、ブラックマトリクスBMで区画されている。ブラックマトリクスBMの間の領域は、副画素 50R、50G、50Bの開口OPになる。副画素 50R、50G、50Bは、いずれも n = 2 ビットで4階調の面積階調が可能である。

【0093】

図9Bに示すカラー画像を表示する画素（カラー画素）5bは、R、G、Bの各色に対応した副画素 50Rb、50Gb、50Bb を有している。それぞれの副画素 50Rb、50Gb、50Bbは、3個の分割画素電極 505b、506Ab、506Bb を有する反射電極 63b を備えている。分割画素電極 506Ab、505b、506Bb は、カラー画素 5b の列方向（図9BのY方向）に向かって延在する、平面視が長方形形状の電極である。分割画素電極 506Ab、505b、506Bb は、いずれも形状及び大きさが同一である。

【0094】

分割画素電極 506Ab、505b、506Bb は、この順に、カラー画素 5b の行方向（図9BのX方向）に配列されている。分割画素電極 506Ab、506Bb は、例えば、ITO等の導体によって電氣的に接続されている。このため、副画素 50Rb、50Gb、50Bb は、分割画素電極 505b と分割画素電極 506Ab、506Bb とによって、n = 2 ビットで4階調の面積階調が可能である。

【0095】

Rに対応する副画素 50Rb はカラーフィルタ 22R を備え、Gに対応する副画素 50Gb はカラーフィルタ 22G を備え、Bに対応する副画素 50Bb はカラーフィルタ 22B を備える。それぞれの副画素 50Rb、50Gb は、カラーフィルタ 22R、22G 同士の一部が重なり合い、また、それぞれの副画素 50Gb、50Bb は、カラーフィルタ 22G、22B 同士の一部が重なり合っている。カラーフィルタ 22R、22G 同士、カラーフィルタ 22G、22B 同士が重なり合う部分を、オーバーラップ部OLという。それぞれの副画素 50Rb、50Gb、50Bb は、オーバーラップ部OLで区画されている。オーバーラップ部OLの間の領域は、副画素 50R、50G、50Bの開口OPにな

10

20

30

40

50

る。

【0096】

カラー画素5aは、副画素50R、50G、50BがブラックマトリックスBMで区画されているので、行方向における副画素50R、50G、50Bの間からは光が透過しない。カラー画素5bは、副画素50Rb、50Gb、50Bbがオーバーラップ部OLで区画されているので、行方向における副画素50Rb、50Gb、50Bbの間は、列方向における副画素50Rb、50Gb、50Bbの間よりも光の透過率が低い。

【0097】

カラー画素5aが有する副画素50R、50G、50Bは、開口OPにおける周辺長さの総和の比が、 $1 : 2^{2 \cdot 1} = 1 : 2$ となる。すなわち、副画素50R、50G、50Bは、ブラックマトリックスBMと接していない部分であって、開口OPに現れている周辺長さの総和の比が、 $1 : 2$ となる。このため、副画素50R、50G、50Bは、ブラックマトリックスBMによって列方向の光の寄与がない場合であっても、それぞれのビットに対応する電極（分割画素電極505、506A、506B）の面積比を反射率比に近づけることができる。これは、ブラックマトリックスBMを用いず、カラーフィルタ22R、22G、22Bのオーバーラップを用いてそれぞれの副画素50R、50G、50Bを区画し、列方向の光の寄与が少ない場合であっても同様である。

【0098】

これに対し、カラー画素5bは、オーバーラップ部OLと隣接する分割画素電極506Ab又は分割画素電極506Bbについて、隣接する部分は光の寄与が少ない。このため、上述した周辺長さの総和の比を求めるにあたり、オーバーラップ部OLと隣接する部分における分割画素電極506Ab又は分割画素電極506Bbの辺は用いない。したがって、カラー画素5bが有する副画素50Rb、50Gb、50Bbは、開口OPにおける周辺長さの総和の比が $1 : 2^{2 \cdot 1} = 1 : 2$ とはならない。次に、この理由を具体的に説明する。

【0099】

分割画素電極505b、506Ab、506Bbの長辺の長さをL、短辺の長さをAとすると、それぞれの周辺長さは、 $2 \times (L + A)$ となる。副画素50Rb、50Bbにおいて、最下位ビットに対応する分割画素電極505bの周辺長さの総和は $2 \times (L + A)$ であり、最上位ビットに対応する分割画素電極506Ab、506Bbの周辺長さは、 $2 \times (L + A) + L + 2 \times A = 3 \times L + 4 \times A$ となる。したがって、副画素50Rb、50Bbにおいて、それぞれのビットに対応する分割画素電極505b、506Ab、506Bbは、周辺長さの総和の比は $2 \times (L + A) : 3 \times L + 4 \times A$ となり、 $1 : 2$ とはならない。

【0100】

同様に、副画素50Gbにおいて、最下位ビットに対応する分割画素電極505bの周辺長さの総和は $2 \times (L + A)$ であり、最上位ビットに対応する分割画素電極506Ab、506Bbの周辺長さは、 $2 \times (L + 2 \times A)$ となる。したがって、副画素50Rb、50Bbにおいて、それぞれのビットに対応する分割画素電極505b、506Ab、506Bbは、周辺長さの総和の比は $L + A : L + 2 \times A$ となり、 $1 : 2$ とはならない。

【0101】

このように、副画素50Rb、50Gb、50Bbは、開口OPにおける周辺長さの総和の比が $1 : 2^{2 \cdot 1} = 1 : 2$ とはならないので、それぞれのビットに対応する電極（分割画素電極505b、506Ab、506Bb）の面積比を反射率比に近づけることができず、階調特性が低下する可能性がある。ブラックマトリックスBM又はオーバーラップ部OLで副画素が区画されている場合、カラー画素5aの副画素50R等が有する反射電極63Cのように、開口OPにおいてブラックマトリックスBM等と接していない部分であって、開口OPに現れている周辺長さの総和の比が、 $1 : 2 : \dots : 2^{n \cdot 1}$ となっていればよい。このようにすることで、それぞれのビットに対応する電極（分割画素電極505b、506Ab、506Bb）の面積比を反射率比に近づけることができるので、

階調特性が向上する。次に、半透過型液晶表示装置 1 の階調と輝度との関係を説明する。

【0102】

図 10 A は階調 0、図 10 B は階調 1、図 10 C は階調 2、図 10 D は階調 3 を示す。階調 0 は、画素 50 が備える 3 個の分割画素電極 505、506 A、506 B の部分すべてが黒表示である。階調 1 は、分割画素電極 505 の部分が白表示で、2 個の分割画素電極 506 A、506 B が黒表示である。階調 2 は、2 個の分割画素電極 506 A、506 B が白表示で、分割画素電極 505 の部分が黒表示である。階調 3 は、3 個の分割画素電極 505、506 A、506 B の部分すべてが白表示である。

【0103】

画素 50 は、分割画素電極 505、506 A、506 B の形状、電圧のかけ方、バックライト光の広がり具合又は液晶配向により、輝度と階調との関係が比例関係にならないことがある。画素 50 は、分割画素電極 505 と、互いに電氣的に接続された分割画素電極 506 A、506 B とを用いて 2 ビットの面積階調が可能である。分割画素電極 505 が最下位のビットに対応し、分割画素電極 506 A、506 B が最上位のビットに対応する。図 11 A ~ 図 11 D は、画素 50 の輝度を計測し、階調に対して整理した結果を示している。図 11 A ~ 図 11 D に示すように、画素 50 は、すべての色で、階調 1、2 と比較して階調 3 の輝度が低くなる。これは、階調 1、2 と比較して、階調 3 は、隣接する画素の影響が大きいことに起因すると考えられる。

【0104】

例えば、階調 1 は、図 10 B に示すように、画素 50 の分割画素電極 505 のみに電圧が印加されているため、分割画素電極 505 は、隣接する分割画素電極 506 A、506 B の影響を受けない。このため、分割画素電極 505 は、分割画素電極 505 と分割画素電極 506 A、506 B との距離を d とすると、階調 1 においては分割画素電極 505 から $d/2$ を超えた領域 A a に存在する液晶分子まで動く。

【0105】

階調 2 は、図 10 C に示すように、画素 50 の分割画素電極 506 A、506 B に電圧が印加されている。分割画素電極 506 A、506 B は、電圧が印加されていない分割画素電極 505 の両側に配置されているので、分割画素電極 505 の影響を受けない。このため、分割画素電極 506 A、506 B は、階調 2 においては分割画素電極 506 A、506 B から $d/2$ を超えた領域 A b に存在する液晶分子まで動く。

【0106】

階調 3 は、図 10 D に示すように、画素 50 の分割画素電極 505、506 A、506 B に電圧が印加されている。このため、分割画素電極 505、506 A、506 B は、隣接する部分において、互いに影響を受けない。その結果、分割画素電極 506 A、506 B は、階調 3 においては分割画素電極 505 と隣接する部分のみ、分割画素電極 506 A、506 B から $d/2$ までの領域、すなわち領域 A c の R i で示す領域に存在する液晶分子しか動かない。そして、分割画素電極 505 は、階調 3 においては分割画素電極 506 A、506 B と隣接する部分のみ、分割画素電極 505 から $d/2$ までの領域、すなわち領域 A d の R i で示す領域に存在する液晶分子しか動かない。

【0107】

階調 1 においては、分割画素電極 505 の全周にわたって分割画素電極 505 から $d/2$ を超えて液晶分子が動く。階調 2 においては、分割画素電極 506 A、506 B の全周にわたって分割画素電極 505 から $d/2$ を超えて液晶分子が動く。階調 3 において、分割画素電極 505 は、その 2 辺において分割画素電極 505 から $d/2$ を超えて液晶分子が動き、残りの 2 辺においては分割画素電極 505 から $d/2$ までしか液晶分子は動かない。そして、分割画素電極 506 A、506 B は、その 3 辺において分割画素電極 506 A、506 B から $d/2$ を超えて液晶分子が動き、残りの 1 辺においては分割画素電極 506 A、506 B から $d/2$ までしか液晶分子は動かない。このため、階調 1 と階調 2 とは、分割画素電極 505、506 A、506 B の周囲の液晶分子が動く領域の大きさが比例するが、階調 2 と階調 3 とは、分割画素電極 505、506 A、506 B の周囲の液晶

10

20

30

40

50

分子が動く領域の大きさが比例しない。画素 50 において輝度と階調との関係が比例関係にならないのは、階調によって液晶分子が動く領域の大きさが比例しないことが原因であると考えられる。

【0108】

これを解消するため、本実施形態では、画素 50 が備える複数の電極としての分割画素電極 505、506A、506B は、輝度と階調とが比例して変化するように配置される。具体的には、図 12 に示すように、分割画素電極 506A、505、506B は、列方向（図 12 では Y 方向）に隣接する画素 50 同士の間隔 d と 1 つの画素 50 内で隣接する分割画素電極 506A、505、506B 同士の間隔 D とが異なっている。本実施形態では、 $d < D$ である。これは、1 つの画素 50 内に存在する分割画素電極 506A、505、506B は、上位のビットに対応する分割画素電極 506A、506B よりも下位のビットに対応する分割画素電極 505 の方が、隣接する分割画素電極との距離が大きいということになる。

10

【0109】

一般的に、分割画素電極 505、506A、506B は、隣接する分割画素電極 505、506A、506B の間隔は行方向（図 12 では X 方向）及び列方向において同一である。本実施形態では、隣接する分割画素電極 505、506A、506B の間隔を、列方向に隣接する画素 50 同士において隣接する分割画素電極 506A、506B の間隔 d よりも、1 個の画素 50 内で隣接する分割画素電極 506A、505、506B 同士の間隔 D の方を大きくしている。このようにすることで、画素 50 が備える分割画素電極 505、506A、506B すべてに電圧を印加した場合、分割画素電極 505 と、分割画素電極 506A、506B とが隣接する領域は、隣接する画素 50 間の間隔 d の $1/2$ を超えて液晶分子が動くことができる。このため、隣接する分割画素電極 505、506A、506B の間隔をすべて同一とした場合と比較して、階調 3 の輝度が向上する。その結果、輝度と階調とが比例して変化するようになり、階調特性が向上する。また、隣接する分割画素電極 505、506A、506B の間隔を調整するので、比較的簡単に各階調間における輝度を調整することができる。

20

【0110】

このように、本実施形態において、半透過型液晶表示装置 1 が有する反射電極 63C から 63F は、複数の画素（カラー表示においては副画素）50 毎に設けられた複数の電極としての分割画素電極 505、506A、506B 等を有し、これらの面積の組み合わせによって 2^n 階調を表示する n ビットでの面積階調が可能である。そして、それぞれのビットに対応する分割画素電極 505、506A、506B 等は、周辺長さの総和の比が、 $1:2:\dots:2^{n-1}$ となる。このため、 n ビットでの面積階調が可能な反射電極 63C から 63F は、それぞれのビットに対応する電極（分割画素電極 505、506A、506B 等）の面積比を反射率比に近づけて、階調特性を向上させることができる。また、分割画素電極 505、506A、506B 等の形状及び大きさを等しくすることによって、分割画素電極 505、506A、506B 等の設計及び製造が比較的容易になる。上記説明においては、分割画素電極 505、506A、506B 等の形状は正方形又は長方形とした。しかし、面積比及び周辺長さの総和の比が本実施形態の範囲であれば、分割画素電極 505、506A、506B 等の形状は、正方形又は長方形に限定されるものではない。

30

40

【0111】

なお、本実施形態では、MIP 方式を採用するにあたって、面積階調法を用いる場合を例に挙げて説明したが、他の階調法、例えば時分割階調法を用いるようにしてもよい。ただし、面積階調法の場合、静止画であっても時間によって画素電位が異なり、画素内及び画素間の液晶分子が動いてしまう。したがって、時分割階調法を用いるよりも面積階調法を用いる方が好ましい。また、面積階調法の場合には、画素電極、すなわち、反射電極 63 を分割することから、電極間の隙間が多くなるために、パネルの透過率としては分割しない場合よりも高くなる利点がある。

50

【0112】

また、上記の例では、メモリ機能を有する画素として、画素毎にデータを記憶可能なメモリを持つMIPの画素を用いるとしたが、これは一例に過ぎない。メモリ機能を有する画素としては、MIPの画素の他に、例えば、周知のメモリ性液晶を用いる画素を例示することができる。

【0113】

[2-4.表示モード]

液晶の表示モードには、電界（電圧）無印加時に白表示、電界印加時に黒表示になるノーマリーホワイトモードと、電界無印加時に黒表示、電界印加時に白表示になるノーマリーブラックモードとがある。この両モードは液晶セルの構造は同じであり、図1の偏光板11、26の配置が異なる。

【0114】

反射電極63の画素50間の空間を用いて透過表示を行う場合、画素間の液晶分子はすべてスイッチングする訳ではなく、液晶分子が動かない領域も存在する。ノーマリーホワイトモードの場合、液晶分子が動かない領域の存在によって黒を締めることができないために、コントラストが低くなる懸念がある。

【0115】

図13に、反射電極63の画素間の空間を用いて透過表示を行う場合における画素間の液晶分子の動きを示す。図13において、反射電極63の中央部の位置Aでは液晶分子が完全に動く。これに対して、画素間における反射電極63の近傍の位置Bでは液晶分子がある程度動き、画素間の中央部の位置Cでは液晶分子が全く動かない。

【0116】

このようにすることで、液晶分子が全く動かない画素間の中央部の領域では、透過率が反射電極63の領域に比べて極端に高くなるため光漏れが生じる。したがって、黒が締まらなくなるためコントラストが低下する。

【0117】

図14に、ノーマリーホワイトモードの場合の画素間における透過率のシミュレーション結果を示す。なお、図14において、位置A、B、Cでは、図13の位置A、B、Cにそれぞれ対応している。図14のシミュレーション結果から、図13における画素間の中央部の位置Cでは液晶分子がまったく動いていないために透過率が高い（例えば、0.35程度）ことがわかる。

【0118】

このような理由から、本実施形態に係る半透過型液晶表示装置の表示モードとして、ノーマリーブラックモードを採用するのが好ましい。ノーマリーブラックモードにすれば、液晶に電圧が印加されていない状態、すなわち、液晶配向が均一な状態で黒表示になり、黒を締めることができるため、コントラストを上げることができる。ただし、ノーマリーホワイトモードの採用を排除するものではない。

【0119】

光学特性の実測結果の一例として、ノーマリーホワイトモードの場合、白透過率（％）が0.93程度、黒透過率（％）が0.29程度であるため、コントラストが3程度である。ノーマリーブラックモードの場合、白透過率（％）が0.71程度、黒透過率（％）が0.06程度であるため、コントラストが12程度である。すなわち、ノーマリーブラックモードを採用することで、コントラストをノーマリーホワイトモードの場合の4倍程度に向上させることができる。

【0120】

(カラーフィルタのオーバーラップ)

TFTが形成される、図1に示す第1基板14に対向する第2基板23にカラーフィルタ22を形成する場合、第1基板14と第2基板23とを重ね合わせる際のずれ（重ねずれという）を考慮する必要がある。図15Aに示すように、ブラックマトリックスBMを遮光帯として用いて副画素50R、50G、50B間を区画すると、図15Bに示すよう

に、重ねずれによって透過率が大きく変化してしまう。重ねずれが生じたとしても画素 50 間にブラックマトリックス BM が配置されるように、隣接するブラックマトリックス BM 同士の間隔を大きくすると、反射率が低下してしまう。

【0121】

図 15C に示すように、カラーフィルタ 22R、22G 同士の一部及びカラーフィルタ 22G、22B 同士の一部をオーバーラップさせ、それぞれのオーバーラップ部 OL で画素 50R、50G、50B を区画する。オーバーラップ部 OL は、透過率は低いがある程度の光は透過する。このため、オーバーラップ部 OL を遮光帯として用いると、ブラックマトリックス BM を遮光帯として用いる場合と比較して、図 15D に示すような重ねずれが発生したとしても、それに起因する透過率及び反射率の変化をより少なくすることができる。

10

【0122】

(散乱層)

図 16 に示す半透過型液晶表示装置 1a は、液晶層 30 よりも反射電極 63 で反射した光の進行方向側に、光を散乱させる散乱層 27 を有する。より具体的には、半透過型液晶表示装置 1a は、第 2 基板 23 と 1/4 波長板 24 との間に散乱層 27 を有する。散乱層 27 は、反射電極 63 で反射された光を散乱させたり、画素間の空間 65_A を透過したバックライト光を散乱させたりする非等方又は等方の層である。散乱層 27 としては、例えば、LCF (Light Control Film) を用いることができる。

【0123】

20

散乱層 27 は、前方散乱が多く後方散乱が少ない前方散乱層である。散乱層 27 は、特定方向から入射した光を散乱する異方性散乱層である。散乱層 27 は、第 2 基板 23 との関係で偏光板 26 側の特定方向から光が入射してきた場合に、その入射光をほとんど散乱せずに透過させ、反射電極 63 で反射され戻ってきた光を大きく散乱するようになっている。

【0124】

散乱層 27 は、例えば、図 17 に示すように、第 2 基板 23 との関係で所定方向から外光 L1 が入射したときにその外光を透過させ、その透過した光のうち反射電極 63 で反射された光 L2 を、散乱中心軸 AX1 を中心として所定の範囲で散乱させるようになっている。外光 L1 は、第 2 基板 23 の偏光板 26 に入射する平行光である。外光 L1 は、無偏光光であってもよいし、偏光光であってもよい。散乱層 27 は、例えば、図 17 に示すように、屈折率の互いに異なる 2 種類の領域 (第 1 領域 27B、第 2 領域 27S) を含む。散乱層 27 は、図 18 に示すように複数の板状の第 2 領域 27S が第 1 領域 27B 中に所定間隔で配列されたルーバー構造となってもよいし、図 19 に示すように柱状の第 2 領域 27Sa が第 1 領域 27B 中に配列された柱状構造となってもよい。

30

【0125】

散乱層 27 は、例えば、第 1 領域 27B 及び第 2 領域 27S が厚さ方向に延在し、かつ所定方向に傾斜したものである。散乱層 27 は、例えば、屈折率の互いに異なる 2 種類以上の光重合可能なモノマー又はオリゴマーの混合物である樹脂シートに、紫外線を斜め方向から照射することにより形成されたものである。なお、散乱層 27 は、上記とは異なる構造となってもよく、また、上記とは異なる方法で製造されたものであってもよい。散乱層 27 は、1 層であってもよいし、複数の層であってもよい。散乱層 27 が複数の層である場合、互いに等しい構造であってもよいし、互いに異なる構造であってもよい。

40

【0126】

散乱層 27 の散乱中心軸 AX1 は、例えば、主視角方向を向いていることが好ましい。なお、散乱中心軸 AX1 は、主視角方向とは異なる方向を向いていてもよい。いずれにおいても、散乱層 27 を用いたときに、散乱層 27 の効果により、主視角方向の輝度が最も明るくなる、すなわち、反射率が最も高くなるように散乱中心軸 AX1 の向きが設定されていればよい。主視角とは、半透過型液晶表示装置 1a のユーザが半透過型液晶表示装置 1a を使用する際に映像表示面を眺める方位に対応しており、映像表示面が方形状となっ

50

ている場合には、映像表示面の一辺のうちユーザに最も近い辺と直交する方位に対応している。

【0127】

画素間の空間 65_A からバックライト光等を透過させる場合、反射電極 63 のパターンニング精度又は第 2 基板 23 との重ねずれ等によって、バックライト光等の透過のばらつきが大きくなる可能性がある。特に、ウェットプロセスを用いて銀を反射電極 63 として使用する場合、前述したばらつきは非常に大きくなる可能性がある。散乱層 27 によって、透過光が散乱されるので、前述したばらつきが平準化されるという利点がある。

【0128】

[2 - 5 . 具体的な実施例]

本実施形態に係る半透過型液晶表示装置の具体的な実施例について以下に説明する。以下では、表示モードとしてノーマリーブラックモードを採用し、動作モードとして E C B (Electrically Controlled Birefringence : 電界制御複屈折) モードを採用する場合を例に挙げて説明するものとする。ただし、動作モードとしては、E C B モードに限られるものではなく、V A (Vertically Aligned) モード又は F F S (Fringe Field Switching) モード等を採用するようにしてもよい。

【0129】

図 20 は、本実施形態の一実施例に係る半透過型液晶表示装置の行方向 (X 方向) において隣接する 2 つの画素の断面構造を示す断面図であり、図中、図 1 と同等部位には同一符号を付して示している。

【0130】

図 20 に示すように、第 1 パネル部 10 は、液晶層 30 と反対側から順に、偏光板 11、1/2 波長板 12、1/4 波長板 13、T F T 基板である第 1 基板 14 及び平坦化膜 15 が設けられ、平坦化膜 15 上に反射電極 63 が画素毎に形成された構成となっている。

【0131】

この第 1 パネル部 10 において、反射電極 63 は、画素サイズと同程度の大きさで形成されている。そして、反射電極 63 の領域が反射表示領域 (反射表示部) となる。また、行方向 (X 方向) において隣接する 2 つの画素の反射電極 63 間には、列方向 (Y 方向) に沿って空間 65_A が形成されている。なお、本断面には現れていないが、図 4 に示すように、列方向において隣接する 2 つの画素の反射電極 63 間には、行方向に沿って空間 65_B が形成されている。

【0132】

第 1 基板 14 上には、画素列毎に各画素に対して映像信号を伝送する信号線 61 が配線されている。この信号線 61 は、列方向に沿って延在する空間 65_A を塞がないように、好ましくは、当該空間 65_A とオーバーラップしないように、反射表示領域内に形成されている。本断面には現れていないが、画素行毎に各画素に対して走査信号を伝送する走査線 62 (図 4 参照) にあっては、行方向に沿って延在する空間 65_B を塞がないように、好ましくは、当該空間 65_B とオーバーラップしないように、反射表示領域内に形成されている。

【0133】

そして、信号線 61 及び走査線 62 がオーバーラップしていない反射電極 63 の画素間の空間 65_A、65_B は、透過表示領域として用いられる。ここで、本実施例に係る画素構造にあっては、反射表示領域と透過表示領域とで液晶層 30 の厚み、すなわち、セルギャップが同じシングルギャップ構造となっている。

【0134】

第 1 パネル部 10 と液晶層 30 を挟んで対向する第 2 パネル部 20 は、液晶層 30 側から順に、透明電極 21、カラーフィルタ 22、第 2 基板 23、1/4 波長板 24、1/2 波長板 25 及び偏光板 26 が設けられた構成となっている。ここでは、行方向において隣接する 2 つの画素、例えば、赤色を表示する R の副画素と、緑色を表示する G の副画素についての画素構造を示している。

【 0 1 3 5 】

上述したシングルギャップ構造の場合に、ノーマリーブラックのECBモードの光学設計を行った一例を図21A、図21Bに示す。図21A、図21Bは、第1パネル部10の構成部材、液晶セル（液晶層30）及び第2パネル部20の構成部材の各軸方向が表されている。具体的には、第1パネル部10側については、偏光板11の吸収軸方向、1/2波長板12の延伸軸方向及び1/4波長板13の延伸軸方向をそれぞれ表している。また、第2パネル部20側については、液晶セルのTFT基板側・CF基板側のラビング方向、1/4波長板24の延伸軸方向、1/2波長板25の延伸軸方向及び偏光板26の吸収軸方向をそれぞれ表している。

【 0 1 3 6 】

なお、図21において、各数値は軸方向の角度及び位相差（リタデーション）を表している。なお、位相差については、第1、第2パネル部10、20の各構成部材に対して波長550[nm]の光を入射したときの波長に換算した数値である。ここでは、具体的な実施例として、シングルギャップ構造の場合を例に挙げて説明したが、反射表示領域と透過表示領域とでセルギャップが異なる、図22に示すようなマルチギャップ構造であっても構わない。

【 0 1 3 7 】

ただし、図22に示すように、マルチギャップ構造の場合は、反射表示領域と透過表示領域との間に段差を形成すべく、反射電極63の画素間の空間65_A（65_B）に溝を形成する必要があるために、シングルギャップ構造の場合に比べてプロセス数が増える。したがって、プロセスの観点からすると、マルチギャップ構造よりもプロセス数が少なくて済むシングルギャップ構造の方が好ましい。

【 0 1 3 8 】

図21A、図21Bに示した光学設計（シングルギャップ構造）で、対向電極（透明電極21）及び画素電極（反射電極63）の上下電極に対する電圧ON、電圧OFFした場合の、反射表示領域と透過表示領域のスペクトルの計算結果を図23及び図24に示す。ここで、「電圧ON」とは上下電極間に電圧を印加する状態をいい、「電圧OFF」とは上下電極間に電圧を印加しない状態をいう。

【 0 1 3 9 】

図23は、反射表示領域における反射率のスペクトルの計算結果を示し、図24は、透過表示領域における透過率のスペクトルの計算結果を示している。このスペクトルの計算結果は、画素間における電界分布を再現したものではなく、上下電極による電界が完全に液晶分子に作用している状態のものである。シングルギャップ構造であることから、通常のマルチギャップ構造の半透過型と異なり、透過表示領域の位相差が少ないため透過率は低い。

【 0 1 4 0 】

< 3. 変形例 >

上記実施形態では、信号線61及び走査線62を直線状のストライプ配線とし、信号線61については行方向に延在する空間65_Bの画素の中間位置を、走査線62については列方向に延在する空間65_Aの画素の中間位置をそれぞれ横切るような配線構造となっている（図4参照）。しかし、この信号線61及び走査線62の配線構造は一例であって、これに限られるものではない。

【 0 1 4 1 】

例えば、図25に示すように、信号線61及び走査線62を屈曲した蛇行配線とし、以下のように配線する配線構造が考えられる。すなわち、信号線61については、行方向において隣接する画素間において、列方向に沿って形成される空間65_Aと、行方向に沿って形成される空間65_Bとの交差部65_Cを通るように、具体的には、その屈曲部61Aが交差部65_Cに位置するように配線する。また、走査線62については、列方向において隣接する画素間において、行方向に沿って形成される空間65_Bと、列方向に沿って形成される空間65_Aとの交差部65_Cを通るように、具体的には、その屈曲部62Aが交

差部 6 5_C に位置するように配線する。

【 0 1 4 2 】

図 1 3 及び図 1 4 を用いて述べたように、画素間の中央部の箇所 C では液晶分子がまったく動かないことから、列方向に沿って形成される空間 6 5_A と、行方向に沿って形成される空間 6 5_B との交差部 6 5_C の中心が一番透過表示に悪影響が及ぶと考えられる。したがって、信号線 6 1 及び走査線 6 2 を、空間 6 5_A、6 5_B の画素の中間位置を通すのではなく、上述した配線構造のように交差部 6 5_C を通すことで、前者の配線構造を採る場合に比べて良好な透過表示を実現できると考えられる。

【 0 1 4 3 】

< 4 . 電子機器 >

以上説明した本開示に係る半透過型液晶表示装置は、電子機器に入力された映像信号又は電子機器内で生成した映像信号を、画像又は映像として表示するあらゆる分野の電子機器の表示部（表示装置）として用いることが可能である。

【 0 1 4 4 】

本開示に係る半透過型液晶表示装置は、あらゆる分野の電子機器の中でも、屋外での使用頻度が高い携帯端末機器の表示部（表示装置）として用いることが好ましい。携帯端末機器としては、例えば、デジタルカメラ、ビデオカメラ、PDA（Personal Digital Assistant）、ゲーム機、ノート型パーソナルコンピュータ、電子書籍等の携帯情報機器や、携帯電話機等の携帯通信機器などを例示することができる。

【 0 1 4 5 】

先述した実施形態の説明から明らかなように、本開示に係る半透過型液晶表示装置は、反射型表示装置と同等の反射表示性能を保った上で透過表示を実現できるために、反射型液晶表示装置の特徴である、消費電力が少なく、明るい環境下でも画面が見易いという特徴を十全に発揮できる。したがって、あらゆる分野の電子機器、中でも、携帯端末機器において、その表示部として本開示に係る半透過型液晶表示装置を用いることで、携帯端末機器の低消費電力化に大きく寄与できる。

【 0 1 4 6 】

以下に、本開示に係る半透過型液晶表示装置 1、1 a を表示部として用いる電子機器、すなわち、本開示に係る電子機器の具体例について説明する。

【 0 1 4 7 】

図 2 6 A は、本開示が適用されるデジタルカメラの外観を示しており、表側から見た斜視図、図 2 6 B は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部 1 1 1、表示部 1 1 2、メニュースイッチ 1 1 3、シャッターボタン 1 1 4 等を含み、その表示部 1 1 2 として本開示に係る半透過型液晶表示装置 1、1 a を用いることにより作製される。

【 0 1 4 8 】

図 2 7 は、本開示が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部 1 3 1、前方を向いた側面に被写体撮影用のレンズ 1 3 2、撮影時のスタート/ストップスイッチ 1 3 3、表示部 1 3 4 等を含み、その表示部 1 3 4 として本開示に係る半透過型液晶表示装置 1、1 a を用いることにより作製される。

【 0 1 4 9 】

図 2 8 は、本開示が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体 1 2 1 に、文字等を入力するときに操作されるキーボード 1 2 2、画像を表示する表示部 1 2 3 等を含み、その表示部 1 2 3 として本開示に係る半透過型液晶表示装置 1、1 a を用いることにより作製される。

【 0 1 5 0 】

図 2 9 A から図 2 9 G は、本開示が適用される携帯通信機器、例えば携帯電話機を示す外観図である。図 2 9 A は開いた状態での正面図、図 2 9 B はその側面図、図 2 9 C は閉じた状態での正面図、図 2 9 D は左側面図、図 2 9 E は右側面図、図 2 9 F は上面図、図

10

20

30

40

50

29Gは下面図である。

【0151】

本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部（ここではヒンジ部）143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含んでいる。そして、ディスプレイ144やサブディスプレイ145として本開示に係る半透過型液晶表示装置1、1aを用いることにより本適用例に係る携帯電話機が作製される。

【0152】

< 5. 本開示の構成 >

本開示は以下のような構成を採ることができる。

10

(1) 行列状に配列された複数の画素と、

前記複数の画素毎に設けられた複数の電極を有し、当該複数の電極の面積の組み合わせによって(2ⁿ階調を表示する)nビットでの面積階調が可能であり、それぞれのビットに対応する前記電極は、周辺長さの総和の比が、1:2:・・・:2ⁿ⁻¹となる反射電極と、

当該反射電極と当該反射電極に対向する対向電極との間に設けられた液晶層と、を含み、

前記反射電極を用いて反射表示を、前記反射電極の前記画素間の空間を少なくとも用いて透過表示を行う

半透過型液晶表示装置。

20

nは2以上の整数。

(2) 行列状に配列された複数の画素と、

前記複数の画素毎に設けられた複数の電極を有し、当該複数の電極の面積の組み合わせによって(2ⁿ階調を表示する)nビットでの面積階調が可能であり、それぞれのビットに対応する前記電極は、前記画素の開口における周辺長さの総和の比が、1:2:・・・:2ⁿ⁻¹となる反射電極と、

当該反射電極と当該反射電極に対向する対向電極との間に設けられた液晶層と、を含み、

前記反射電極を用いて反射表示を、前記反射電極の前記画素間の空間を少なくとも用いて透過表示を行う

30

半透過型液晶表示装置。

nは2以上の整数。

(3) 最下位のビットに対応する電極を中心として、前記最下位のビットよりも上位のビットに対応する電極が対称に配置される

前記(1)又は前記(2)に記載の半透過型液晶表示装置。

(4) 前記電極を3個有し、3個の前記電極のうちの2個の電極と残りの1個の電極との面積の組み合わせによって面積比が2:1、かつ2ビットの面積階調を行い、

前記2個の電極は隣接して配置されて両者が同一の平面内で電氣的に接続され、かつ前記2個の電極のうち一方が前記1個の電極と隣接する

前記(1)又は前記(2)に記載の半透過型液晶表示装置。

40

(5) 前記2個の電極を前記平面内で電氣的に接続する、前記2個の電極と同一の材料の導体を有し、

前記2個の電極と前記導体とは、一体で形成される

前記(4)に記載の半透過型液晶表示装置。

(6) 前記複数の電極は、それぞれの形状及び大きさが等しい

前記(1)から前記(5)のいずれか1つに記載の半透過型液晶表示装置。

(7) それぞれのビットに対応する2以上の前記電極同士は、互いに電氣的に接続されている

前記(1)から前記(6)のいずれか1つに記載の半透過型液晶表示装置。

(8) 前記複数の電極は、輝度と階調とが比例して変化するように配置される

50

前記(1)から前記(7)のいずれか1つに記載の半透過型液晶表示装置。

(9)列方向に隣接する前記画素同士の間隔よりも、1つの前記画素内で隣接する前記電極同士の間隔の方が大きい

前記(8)に記載の半透過型液晶表示装置。

(10)1つの前記画素内に存在する前記複数の電極は、上位のビットに対応する前記電極よりも下位のビットに対応する前記電極の方が隣接する前記電極との距離が大きい

前記(8)に記載の半透過型液晶表示装置。

(11)行方向に隣接する前記画素は、それぞれが有するカラーフィルタの一部がオーバーラップしている

前記(1)から(10)のいずれか1つに記載の半透過型液晶表示装置。

10

(12)前記液晶層よりも前記反射電極で反射した光の進行方向側に、光を散乱させる散乱層を有する

前記(1)から前記(11)のいずれか1つに記載の半透過型液晶表示装置。

(13)表示モードがノーマリーブラックモードである

前記(1)から前記(12)のいずれか1つに記載の半透過型液晶表示装置。

(14)前記画素は、メモリ機能を有する

前記(1)から前記(13)のいずれか1つに記載の半透過型液晶表示装置。

(15)前記画素は、データを格納するメモリ部を有する

前記(14)に記載の半透過型液晶表示装置。

(16)前記画素は、メモリ性液晶を用いている

20

前記(14)に記載の半透過型液晶表示装置。

(17)前記(1)から前記(16)のいずれか1つに記載の半透過型液晶表示装置を有する電子機器。

【0153】

以上、本開示について説明したが、上述した内容により本開示が限定されるものではない。また、上述した本開示の構成要素には、当業者が容易に想定できるもの、実質的に同一のもの、いわゆる均等の範囲のものが含まれる。さらに、上述した構成要素は適宜組み合わせることが可能である。また、本開示の要旨を逸脱しない範囲で構成要素の種々の省略、置換及び変更を行うことができる。

【符号の説明】

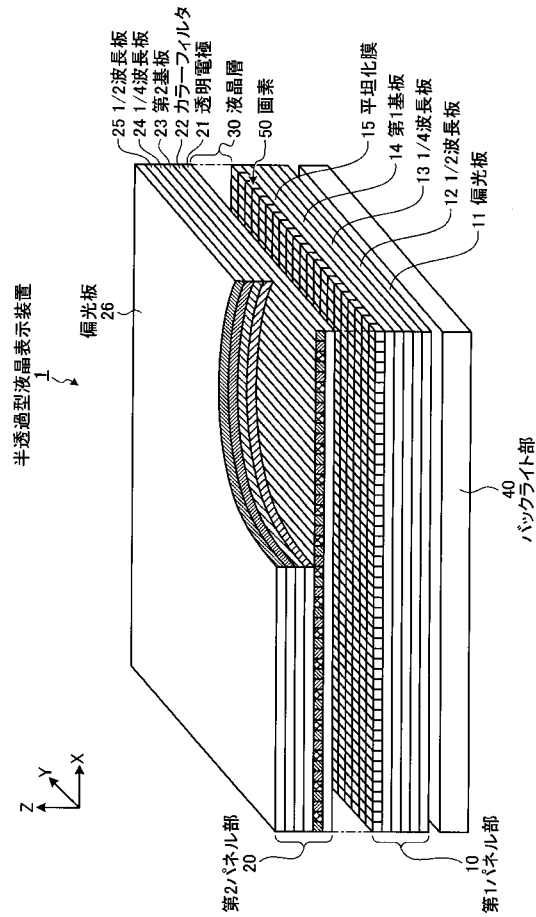
30

【0154】

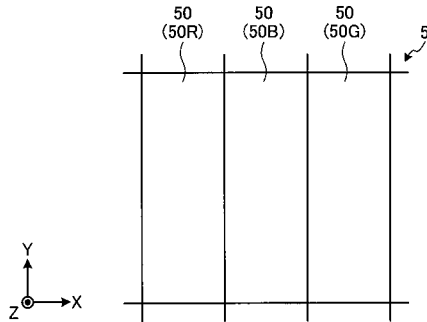
1、1a・・・半透過型液晶表示装置；5、5M・・・単位画素；5a、5b・・・カラー画素；21・・・透明電極；22、22R、22G、22B・・・カラーフィルタ；27・・・散乱層；27B・・・第1領域；27S、27Sa・・・第2領域；30・・・液晶層；50、50R、50G、50B、50Rb、50Gb、50Bb・・・副画素(画素)；51・・・画素トランジスタ；54、55、56・・・スイッチ素子；57・・・ラッチ部；58・・・駆動回路部；63、63A、63B、63C、63D、63b、63E、63F・・・反射電極；65_A、65_B・・・空間；70・・・信号出力回路；80・・・走査回路；501、502、503、504、505、505b、506A、506Ab、506B、506Bb、507A、507B、507C、507D・・・分割画素電極；504A、504B・・・連結部；510、511、512、514・・・導体；571、572・・・インバータ；BM・・・ブラックマトリックス；OL・・・オーバーラップ部；OP・・・開口

40

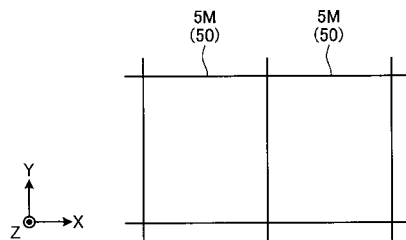
【図 1】



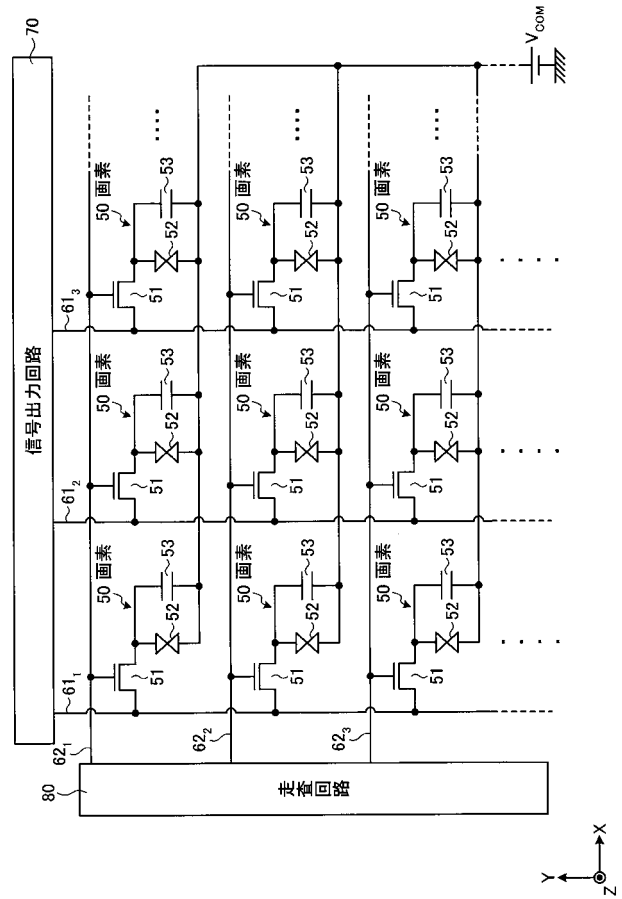
【図 2 B】



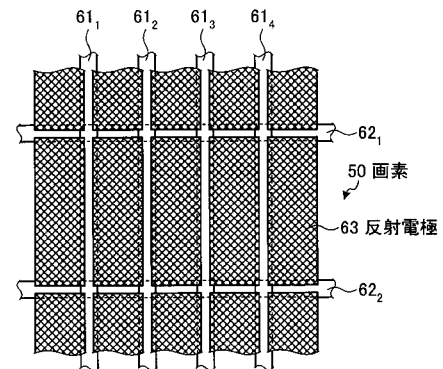
【図 2 C】



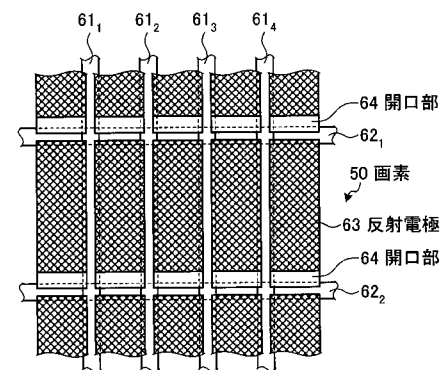
【図 2 A】



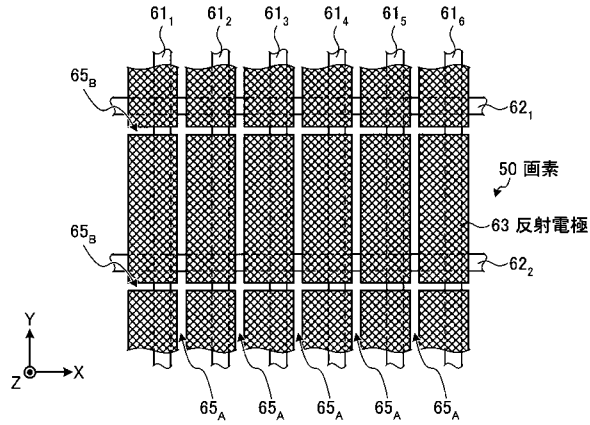
【図 3 A】



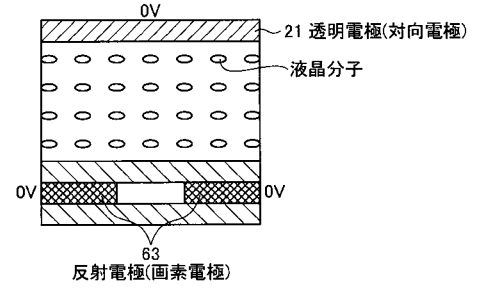
【図 3 B】



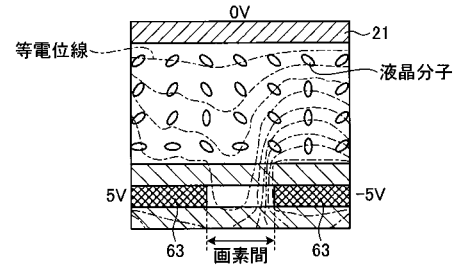
【図 4】



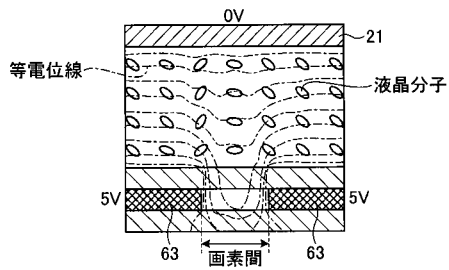
【図 5 A】



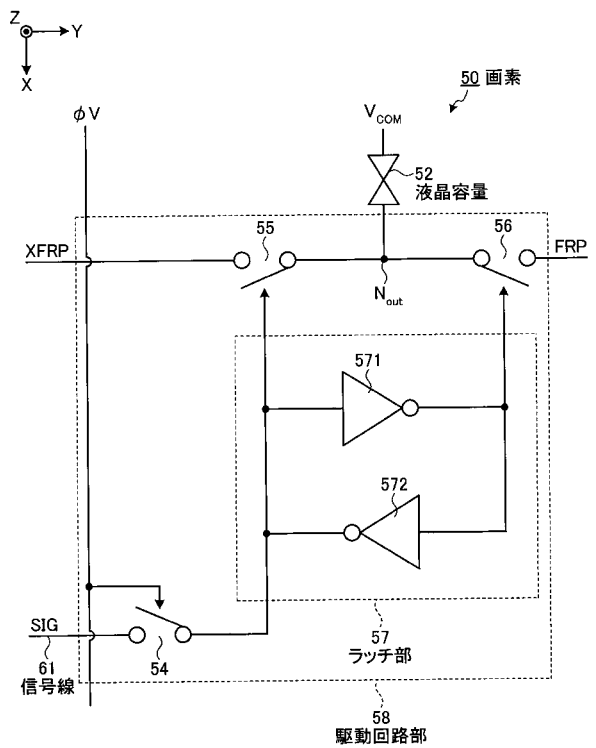
【図 5 B】



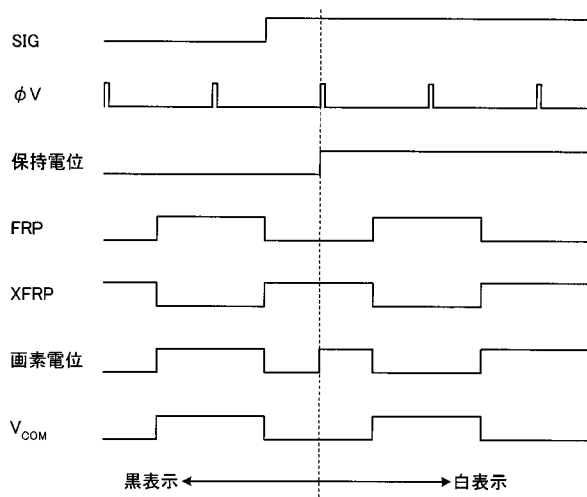
【図 5 C】



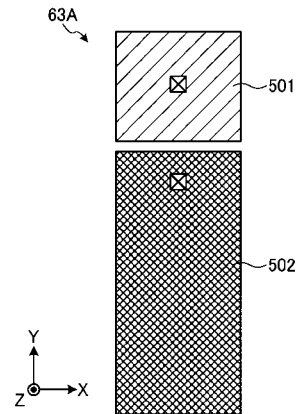
【図 6】



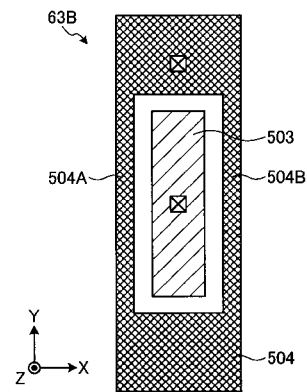
【図 7】



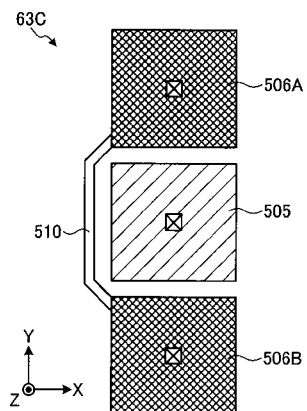
【図 8 A】



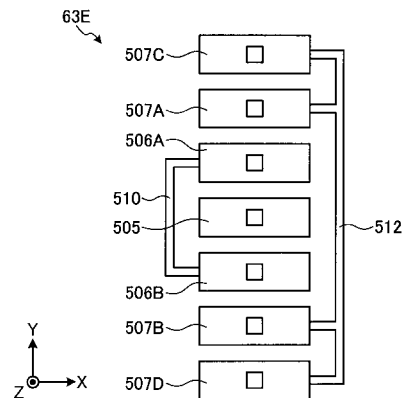
【図 8 B】



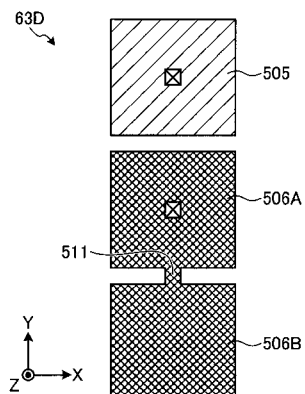
【図 8 C】



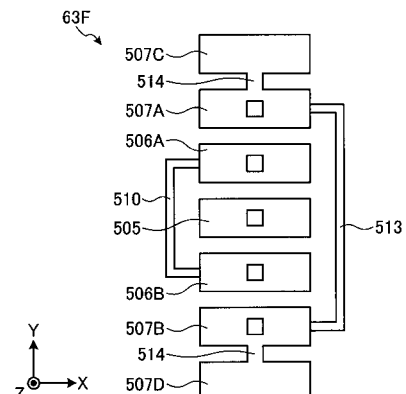
【図 8 E】



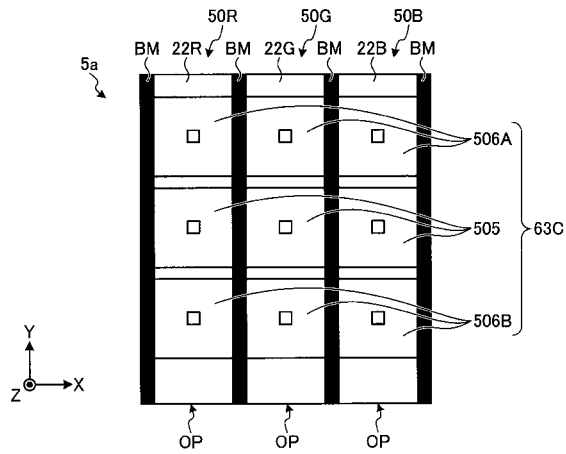
【図 8 D】



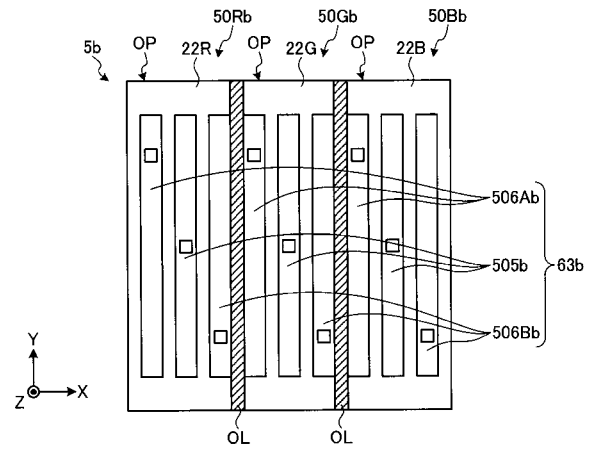
【図 8 F】



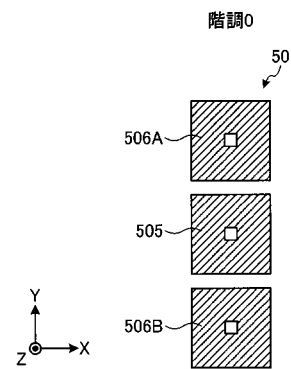
【図 9 A】



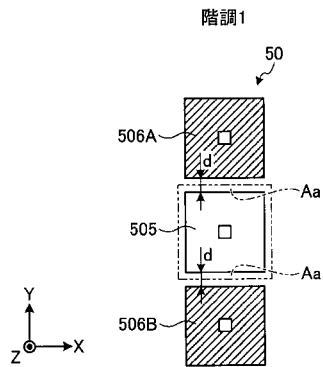
【図 9 B】



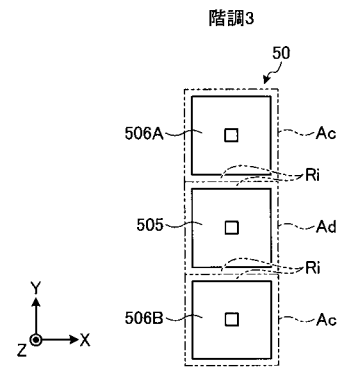
【図 10 A】



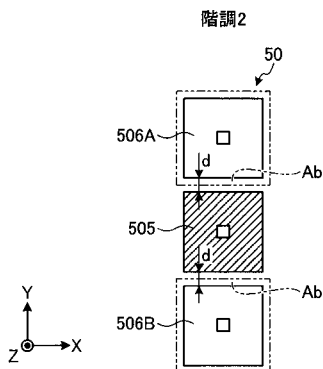
【図 10 B】



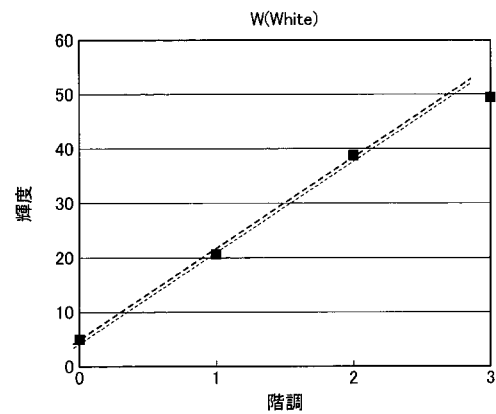
【図 10 D】



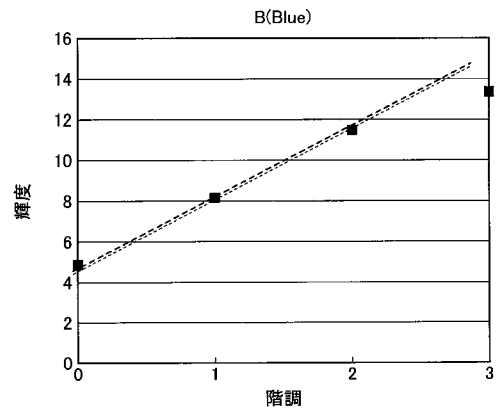
【図 10 C】



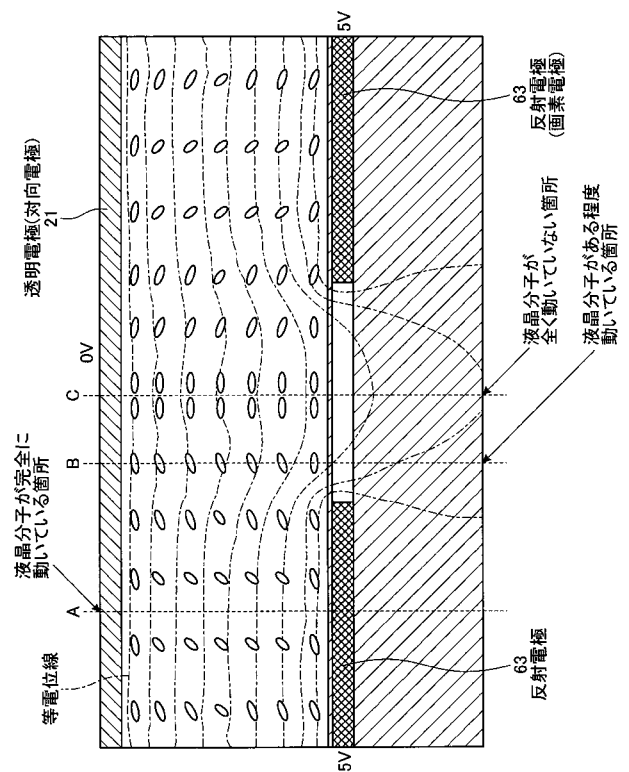
【図 11 A】



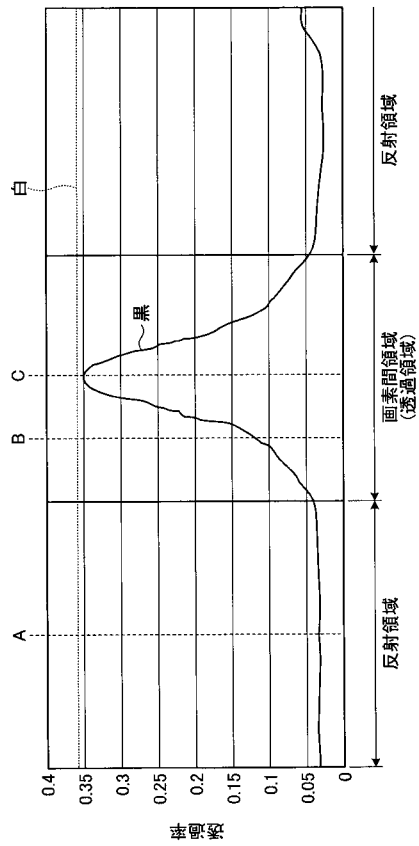
【 図 1 1 D 】



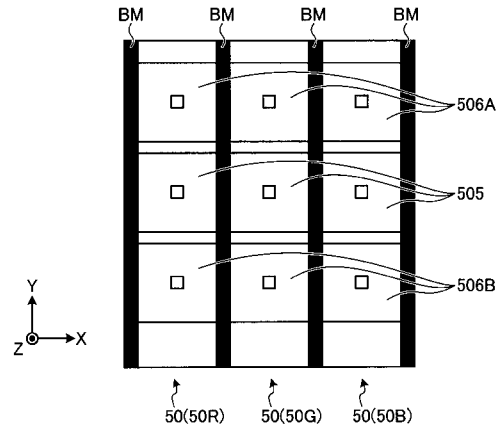
【 図 1 3 】



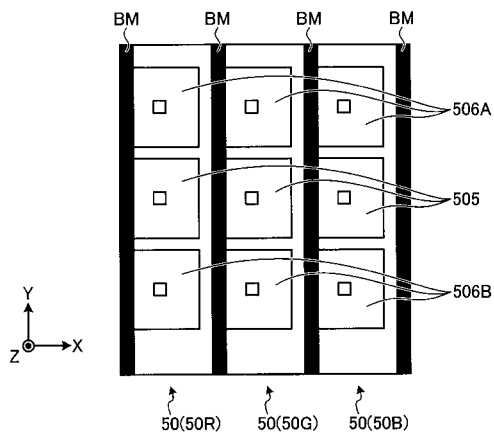
【図 1 4】



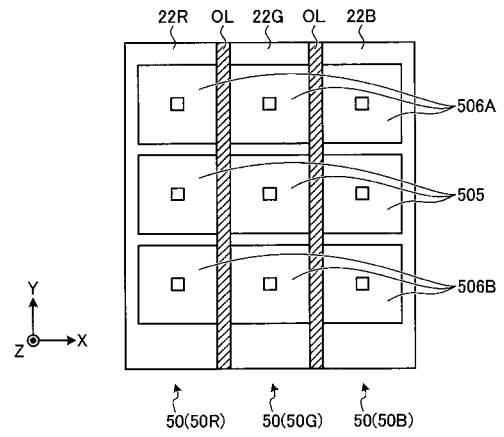
【図 1 5 A】



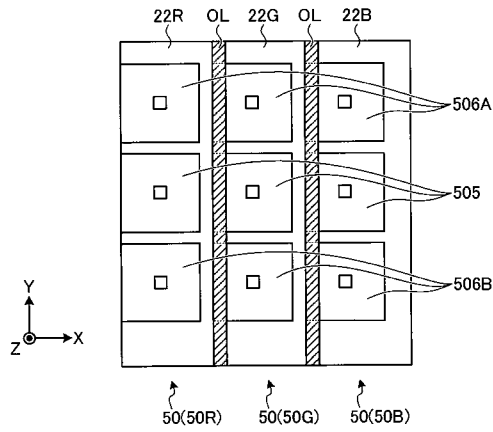
【図 1 5 B】



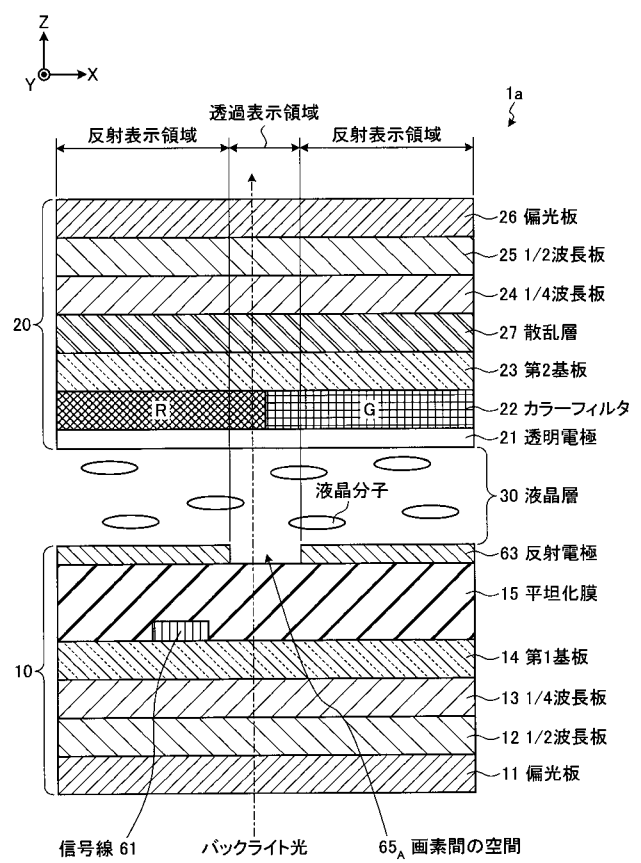
【図 1 5 C】



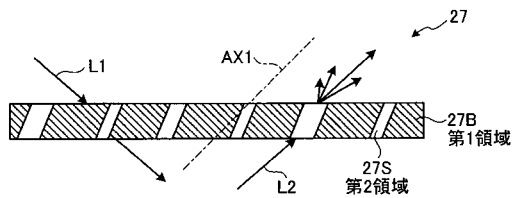
【図 15 D】



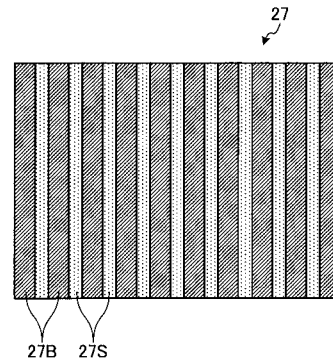
【図 16】



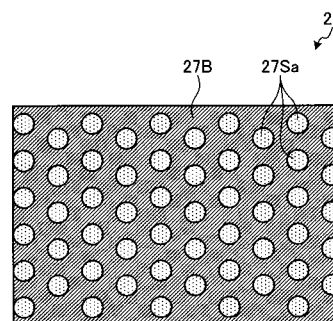
【図 17】



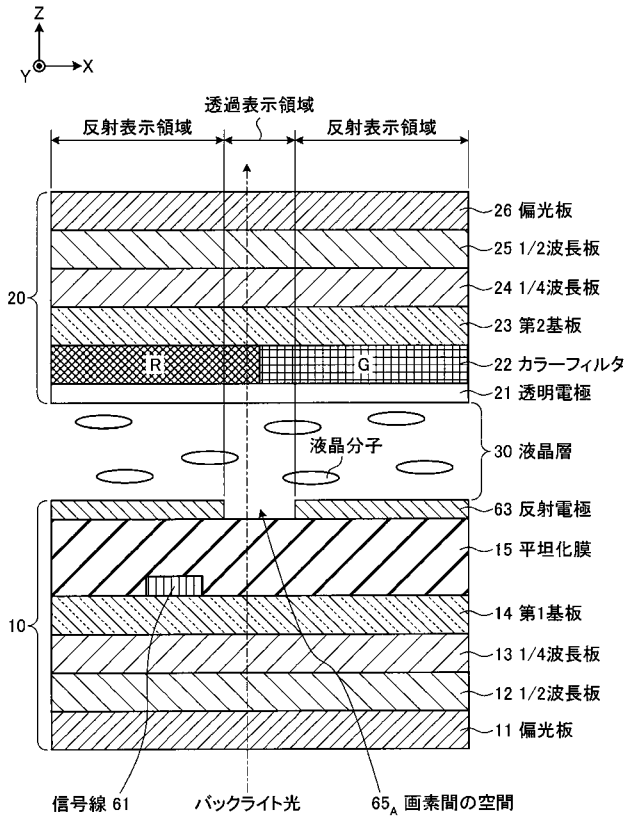
【図 18】



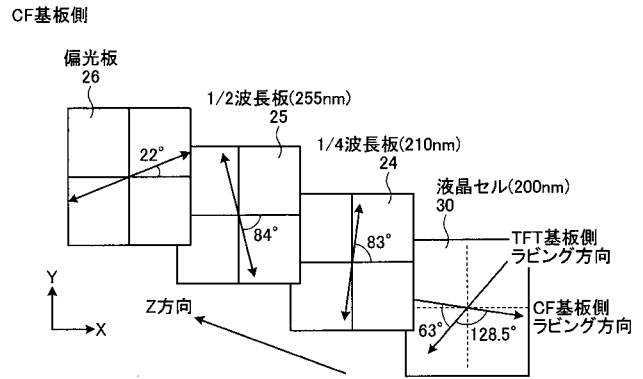
【図 19】



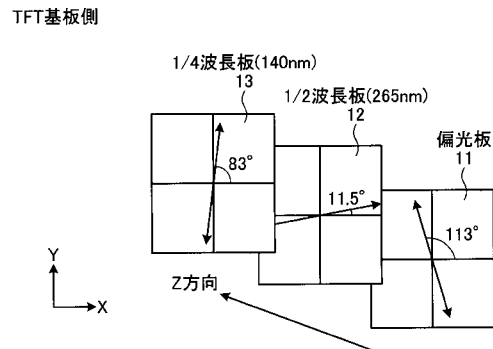
【図 20】



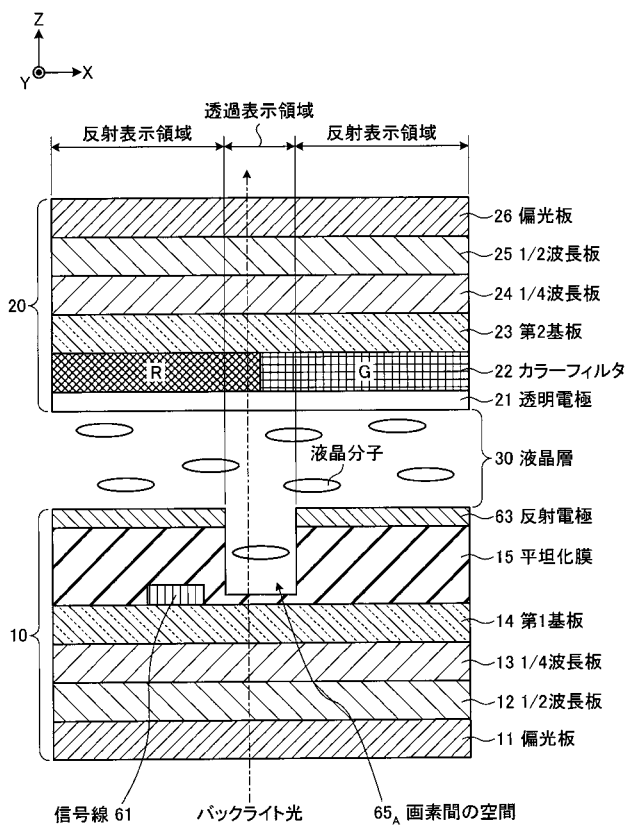
【図 21 A】



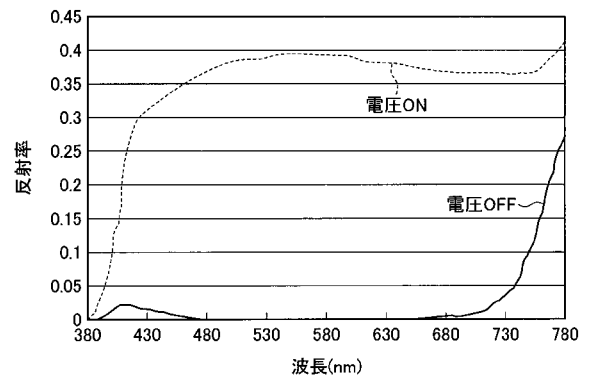
【図 21 B】



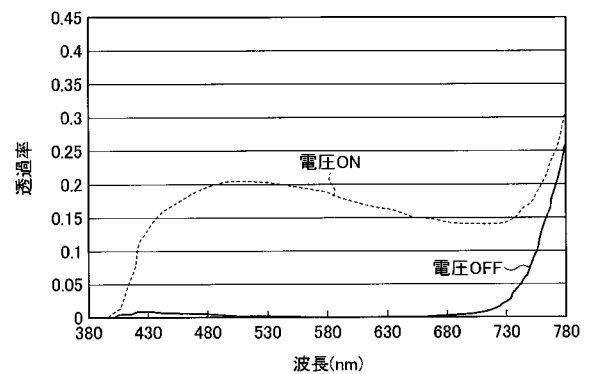
【図 22】



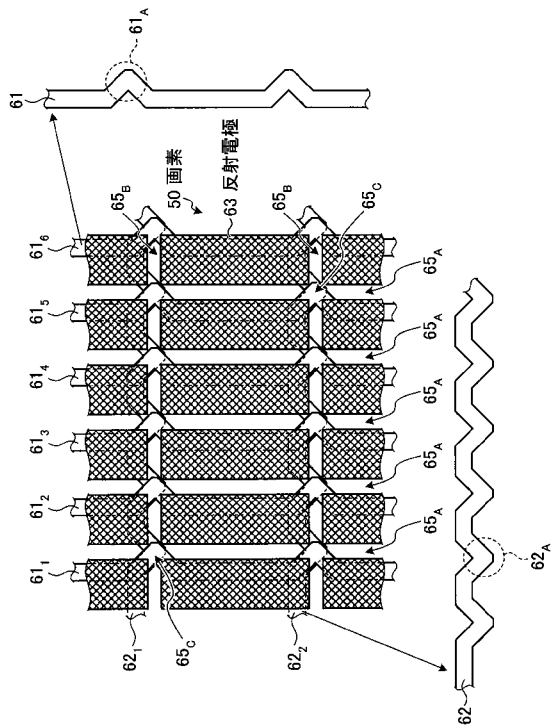
【図 23】



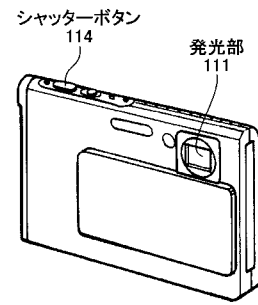
【図 24】



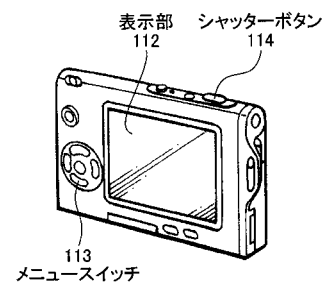
【図 25】



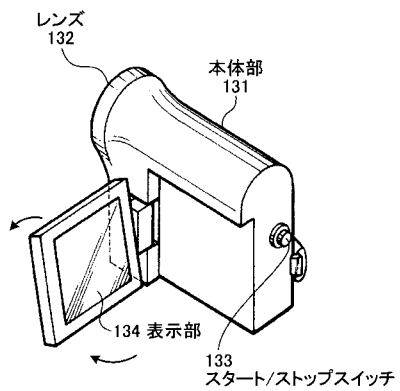
【図 26 A】



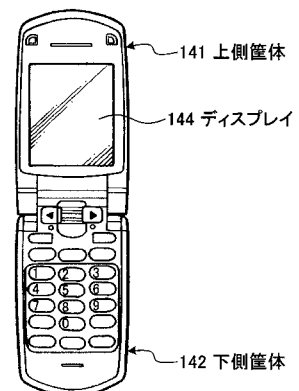
【図 26 B】



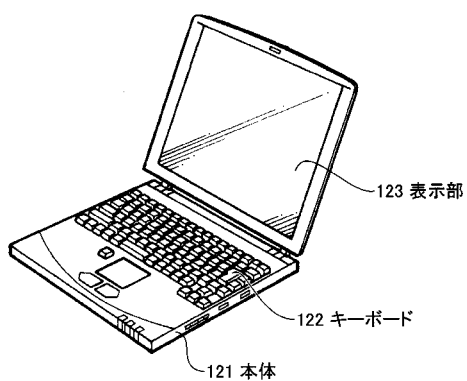
【図 27】



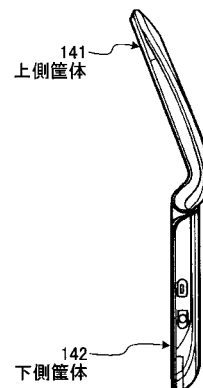
【図 29 A】



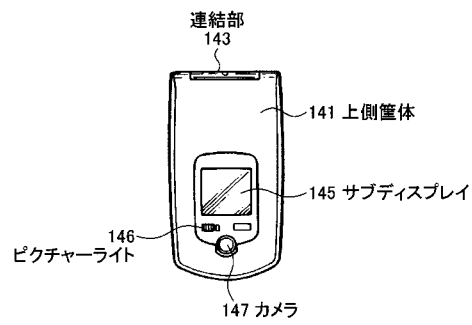
【図 28】



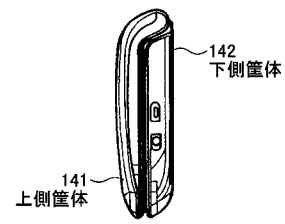
【図 29 B】



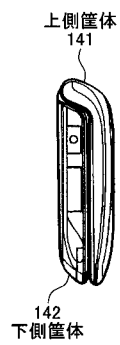
【図 29 C】



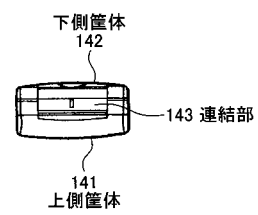
【図 29 E】



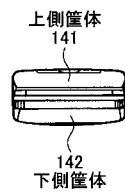
【図 29 D】



【図 29 F】



【図 29 G】



フロントページの続き

F ターム(参考) 2H092 GA13 GA19 JA24 JB08 JB13 JB22 JB31 JB58 NA25 PA08
PA10 PA11 QA09
2H191 FA02Y FA14Y FA22X FA22Z FA30X FA30Z FA34Y FA42Y FA46Y FA85Z
GA05 GA19 HA08 NA25 NA45 NA48 PA42 PA44 PA73
2H193 ZA04 ZA19 ZA46 ZB09 ZC16 ZD02 ZD12 ZD24 ZE23 ZG02
ZG14 ZP03 ZP16 ZQ08

专利名称(译)	半透过型液晶表示装置及び电子机器		
公开(公告)号	JP2014021277A	公开(公告)日	2014-02-03
申请号	JP2012159877	申请日	2012-07-18
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	玉置昌哉 前田和之		
发明人	玉置 昌哉 前田 和之		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/133		
CPC分类号	G02F1/13439 G02F1/133504 G02F1/133512 G02F1/133514 G02F1/133528 G02F1/133555 G02F1/13363 G02F1/134336 G02F1/136286 G02F1/1368 G02F2001/133357 G02F2001/133638 G02F2001/134345 G02F2201/123 G02F2413/02 G02F2413/04 G02F2413/06 G09G2300/0456		
FI分类号	G02F1/1335.520 G02F1/1343 G02F1/133.505		
F-TERM分类号	2H092/GA13 2H092/GA19 2H092/JA24 2H092/JB08 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB58 2H092/NA25 2H092/PA08 2H092/PA10 2H092/PA11 2H092/QA09 2H191/FA02Y 2H191/FA14Y 2H191/FA22X 2H191/FA22Z 2H191/FA30X 2H191/FA30Z 2H191/FA34Y 2H191/FA42Y 2H191/FA46Y 2H191/FA85Z 2H191/GA05 2H191/GA19 2H191/HA08 2H191/NA25 2H191/NA45 2H191/NA48 2H191/PA42 2H191/PA44 2H191/PA73 2H193/ZA04 2H193/ZA19 2H193/ZA46 2H193/ZB09 2H193/ZC16 2H193/ZD02 2H193/ZD12 2H193/ZD24 2H193/ZE23 2H193/ZG02 2H193/ZG14 2H193/ZP03 2H193/ZP16 2H193/ZQ08 2H291/FA02Y 2H291/FA14Y 2H291/FA22X 2H291/FA22Z 2H291/FA30X 2H291/FA30Z 2H291/FA34Y 2H291/FA42Y 2H291/FA46Y 2H291/FA85Z 2H291/GA05 2H291/GA19 2H291/HA08 2H291/NA25 2H291/NA45 2H291/NA48 2H291/PA42 2H291/PA44 2H291/PA73		
代理人(译)	酒井宏明 高村秩序		
其他公开文献	JP5961060B2		
外部链接	Espacenet		

摘要(译)

根据一个方面，半透射型液晶显示装置包括以矩阵排列的多个像素，多个反射电极，面对反射电极的对电极和液晶层。为每个像素提供反射电极，并且它们中的每一个包括多个电极，其中区域的组合通过使用n位来执行区域覆盖调制。配置电极使得对应于n位的每个位的电极的周长之和的比率满足1:2:。。。:2n-1个。液晶层设置在反射电极和对电极之间。半透射型液晶显示装置被配置为使用反射电极执行反射显示，并且使用像素之间的反射电极的至少一个空间来执行透射显示。

