

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-254052

(P2013-254052A)

(43) 公開日 平成25年12月19日(2013.12.19)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 10 O L (全 30 頁)

(21) 出願番号	特願2012-128716 (P2012-128716)	(71) 出願人	502356528
(22) 出願日	平成24年6月6日 (2012.6.6)		株式会社ジャパンディスプレイ
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

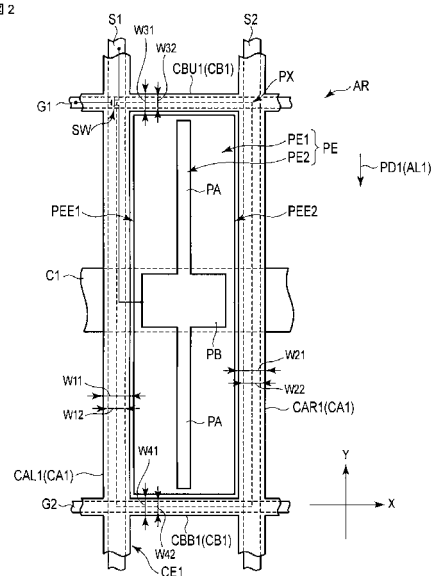
(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】第1方向に沿って延出したゲート配線と、第1方向に交差する第2方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続された第1画素電極と、前記第1画素電極を覆う層間絶縁膜と、前記層間絶縁膜上に位置し前記第1画素電極と電氣的に接続され第2方向に沿って延出した主画素電極を備えた第2画素電極と、前記ソース配線に沿って延出した第1主共通電極と、を備えた第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備え、前記第1画素電極は、前記主画素電極よりも前記ソース配線及び前記第1主共通電極の近くに位置する縁部を有することを特徴とする液晶表示装置。

【選択図】 図2

図2



【特許請求の範囲】**【請求項 1】**

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続された第 1 画素電極と、前記第 1 画素電極を覆う層間絶縁膜と、前記層間絶縁膜上に位置し前記第 1 画素電極と電氣的に接続され第 2 方向に沿って延出した主画素電極を備えた第 2 画素電極と、前記ソース配線に沿って延出した第 1 主共通電極と、を備えた第 1 基板と、

前記第 1 基板に対向配置された第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備え、

前記第 1 画素電極は、前記主画素電極よりも前記ソース配線及び前記第 1 主共通電極の近くに位置する縁部を有することを特徴とする液晶表示装置。

10

【請求項 2】

前記第 1 画素電極は、長方形状、H 字形状、または、格子形状に形成されたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 画素電極は、透明な導電材料によって形成されたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 2 画素電極は、さらに第 1 方向に沿って延出した副画素電極を有し、十字形状または T 字形状に形成されたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

20

【請求項 5】

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、前記ソース配線に沿って延出した第 1 主共通電極と、前記第 1 主共通電極を覆う層間絶縁膜と、前記層間絶縁膜上に位置し前記第 1 主共通電極に沿って延出し前記第 1 主共通電極と同電位の第 2 主共通電極と、を備えた第 1 基板と、

前記第 1 基板に対向配置された第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

30

【請求項 6】

前記第 1 主共通電極は、透明な導電材料によって形成され、しかも、前記ソース配線と重なる位置よりも前記画素電極側に配置され、

前記第 2 主共通電極は、前記ソース配線の線幅よりも小さい電極幅を有し、前記ソース配線と重なる位置に配置されたことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 主共通電極は、前記ソース配線の線幅よりも大きい電極幅を有し、透明な導電材料によって形成され、しかも、前記ソース配線と重なる位置から前記画素電極側に延在し、

前記第 2 主共通電極は、前記ソース配線の線幅よりも小さい電極幅を有し、前記ソース配線の上方の位置に配置され、前記第 1 主共通電極と対向することを特徴とする請求項 5 に記載の液晶表示装置。

40

【請求項 8】

前記画素電極は、前記層間絶縁膜によって覆われた第 1 画素電極と、前記層間絶縁膜上に位置し前記第 1 画素電極と電氣的に接続され第 2 方向に沿って延出した主画素電極を備えた第 2 画素電極と、を備えたことを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の液晶表示装置。

【請求項 9】

50

前記第 2 基板は、さらに、前記第 1 主共通電極と同電位であり前記第 1 主共通電極の上方に位置した第 3 主共通電極を備えたことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続された第 1 画素電極と、前記ソース配線に沿って延出し前記ソース配線の線幅よりも大きい電極幅を有し前記ソース配線と重なる位置から前記画素電極側に延在した第 1 主共通電極と、前記第 1 画素電極及び前記第 1 主共通電極を覆う層間絶縁膜と、前記層間絶縁膜上に位置し前記第 1 画素電極と電氣的に接続され第 2 方向に沿って延出した主画素電極を備えた第 2 画素電極と、を備えた第 1 基板と、

10

第 2 方向に沿って延出し前記第 1 主共通電極と同電位であり前記第 1 主共通電極の上方に位置した第 3 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

20

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

30

【0003】

このような横電界モードに対して、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2000 - 081641 号公報

【特許文献 2】特開 2009 - 192822 号公報

【特許文献 3】特開 2011 - 209454 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続された第 1 画素電極と、前記第 1 画素電極

50

を覆う層間絶縁膜と、前記層間絶縁膜上に位置し前記第 1 画素電極と電氣的に接続され第 2 方向に沿って延出した主画素電極を備えた第 2 画素電極と、前記ソース配線に沿って延出した第 1 主共通電極と、を備えた第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備え、前記第 1 画素電極は、前記主画素電極よりも前記ソース配線及び前記第 1 主共通電極の近くに位置する縁部を有することを特徴とする液晶表示装置が提供される。

【0007】

本実施形態によれば、

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、前記ソース配線に沿って延出した第 1 主共通電極と、前記第 1 主共通電極を覆う層間絶縁膜と、前記層間絶縁膜上に位置し前記第 1 主共通電極に沿って延出し前記第 1 主共通電極と同電位の第 2 主共通電極と、を備えた第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【0008】

本実施形態によれば、

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続された第 1 画素電極と、前記ソース配線に沿って延出し前記ソース配線の線幅よりも大きい電極幅を有し前記ソース配線と重なる位置から前記画素電極側に延在した第 1 主共通電極と、前記第 1 画素電極及び前記第 1 主共通電極を覆う層間絶縁膜と、前記層間絶縁膜上に位置し前記第 1 画素電極と電氣的に接続され第 2 方向に沿って延出した主画素電極を備えた第 2 画素電極と、を備えた第 1 基板と、第 2 方向に沿って延出し前記第 1 主共通電極と同電位であり前記第 1 主共通電極の上方に位置した第 3 主共通電極を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0009】

【図 1】図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図 2】図 2 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の第 1 構成例を概略的に示す平面図である。

【図 3】図 3 は、図 1 に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図 4】図 4 は、図 3 の A - B 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図 5】図 5 は、図 3 の C - D 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図 6】図 6 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の他の構成例を概略的に示す平面図である。

【図 7】図 7 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の他の構成例を概略的に示す平面図である。

【図 8】図 8 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の第 2 構成例を概略的に示す平面図である。

【図 9】図 9 は、図 8 の E - F 線で切断した液晶表示パネルの断面構造の主要部を簡略化した断面図である。

【図 10】図 10 は、図 8 の G - H 線で切断した液晶表示パネルの断面構造の主要部を簡略化した断面図である。

10

20

30

40

50

【図 1 1】図 1 1 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の第 3 構成例を概略的に示す平面図である。

【図 1 2】図 1 2 は、図 1 1 の I - J 線で切断した液晶表示パネルの断面構造の主要部を簡略化した断面図である。

【図 1 3】図 1 3 は、図 1 1 の K - L 線で切断した液晶表示パネルの断面構造の主要部を簡略化した断面図である。

【図 1 4】図 1 4 は、図 1 1 の I - J 線で切断した液晶表示パネルの他の断面構造の主要部を簡略化した断面図である。

【図 1 5】図 1 5 は、図 1 1 の I - J 線で切断した液晶表示パネルの他の断面構造の主要部を簡略化した断面図である。

10

【図 1 6】図 1 6 は、図 3 の A - B 線で切断した液晶表示パネルの他の断面構造の主要部を簡略化した断面図である。

【図 1 7】図 1 7 は、図 8 の E - F 線で切断した液晶表示パネルの他の断面構造の主要部を簡略化した断面図である。

【図 1 8】図 1 8 は、図 1 1 の I - J 線で切断した液晶表示パネルの他の断面構造の主要部を簡略化した断面図である。

【図 1 9】図 1 9 は、図 1 1 の I - J 線で切断した液晶表示パネルの他の断面構造の主要部を簡略化した断面図である。

【図 2 0】図 2 0 は、図 1 1 の I - J 線で切断した液晶表示パネルの他の断面構造の主要部を簡略化した断面図である。

20

【図 2 1】図 2 1 は、本実施形態において導入したクロストーク率の定義を説明するための図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

30

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

【0013】

液晶表示パネル L P N は、アクティブエリア A C T において、ゲート配線 G（ $G_1 \sim G_n$ ）、補助容量線 C（ $C_1 \sim C_n$ ）、ソース配線 S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線 G は、例えば、第 1 方向 X に沿って略直線的に延出している。ゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

40

【0014】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D

50

に接続されている。各ソース配線 S は、アクティブエリア ACT の外側に引き出され、ソースドライバ SD に接続されている。これらのゲートドライバ GD 及びソースドライバ SD の少なくとも一部は、例えば、アレイ基板 AR に形成され、コントローラを内蔵した駆動 IC チップ 2 と接続されている。

【0015】

各画素 PX は、スイッチング素子 SW 、画素電極 PE 、共通電極 CE などを備えている。保持容量 Cs は、例えば補助容量線 C と画素電極 PE との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 VCS と電氣的に接続されている。

【0016】

なお、本実施形態においては、液晶表示パネル LPN は、画素電極 PE がアレイ基板 AR に形成される一方で共通電極 CE の少なくとも一部が対向基板 CT に形成された構成であり、これらの画素電極 PE と共通電極 CE との間に形成される電界を主に利用して液晶層 LQ の液晶分子をスイッチングする。画素電極 PE と共通電極 CE との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される $X-Y$ 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0017】

スイッチング素子 SW は、例えば、 n チャネル薄膜トランジスタ ($TFET$) によって構成されている。このスイッチング素子 SW は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 SW は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 SW の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0018】

画素電極 PE は、各画素 PX に配置され、スイッチング素子 SW に電氣的に接続されている。共通電極 CE は、例えばコモン電位であり、液晶層 LQ を介して複数の画素 PX の画素電極 PE に対して共通に配置されている。このような画素電極 PE 及び共通電極 CE は、例えば、インジウム・ティン・オキサイド (ITO) やインジウム・ジंक・オキサイド (IZO) などの透明な導電材料によって形成されても良いし、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、モリブデン (Mo)、タングステン (W)、銅 (Cu)、クロム (Cr) などの不透明な配線材料によって形成されても良い。

【0019】

アレイ基板 AR は、共通電極 CE に電圧を印加するための給電部 VS を備えている。この給電部 VS は、例えば、アクティブエリア ACT の外側に形成されている。共通電極 CE は、アクティブエリア ACT の外側に引き出され、図示しない導電部材を介して、給電部 VS と電氣的に接続されている。

【0020】

次に、アクティブエリアに配置される一画素の第 1 構成例について説明する。

【0021】

図 2 は、図 1 に示したアレイ基板 AR を対向基板側から見たときの一画素 PX の第 1 構成例を概略的に示す平面図である。ここでは、 $X-Y$ 平面における平面図を示している。

【0022】

アレイ基板 AR は、ゲート配線 $G1$ 、ゲート配線 $G2$ 、補助容量線 $C1$ 、ソース配線 $S1$ 、ソース配線 $S2$ 、スイッチング素子 SW 、画素電極 PE 、第 1 配向膜 $AL1$ などを備えている。図示した例では、アレイ基板 AR は、さらに、共通電極 CE の一部である第 1 共通電極 $CE1$ を備えている。

【0023】

ゲート配線 $G1$ 及びゲート配線 $G2$ は、第 2 方向 Y に沿って間隔をおいて配置され、それぞれ第 1 方向 X に沿って延出している。補助容量線 $C1$ は、ゲート配線 $G1$ とゲート配線 $G2$ との間に位置し、第 1 方向 X に沿って延出している。図示した例では、補助容量線 $C1$ は、ゲート配線 $G1$ とゲート配線 $G2$ との略中間に位置している。つまり、ゲート配

10

20

30

40

50

線 G 1 と補助容量線 C 1 との第 2 方向 Y に沿った間隔は、ゲート配線 G 2 と補助容量線 C 1 との第 2 方向 Y に沿った間隔と略同等である。ソース配線 S 1 及びソース配線 S 2 は、第 1 方向 X に沿って間隔をおいて配置され、それぞれ第 2 方向 Y に沿って延出している。画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、この画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。

【 0 0 2 4 】

図示した例では、画素 P X は、図中の破線で示したように、ゲート配線 G 1 及びゲート配線 G 2 とソース配線 S 1 及びソース配線 S 2 とが成すマス目の領域に相当し、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状である。画素 P X の第 1 方向 X に沿った長さはソース配線 S 1 とソース配線 S 2 との第 1 方向 X に沿ったピッチに相当し、画素 P X の第 2 方向 Y に沿った長さはゲート配線 G 1 とゲート配線 G 2 との第 2 方向 Y に沿ったピッチに相当する。

10

【 0 0 2 5 】

図示した画素 P X において、ソース配線 S 1 は左側端部に位置し当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は右側端部に位置し当該画素 P X とその右側に隣接する画素との境界に跨って配置され、ゲート配線 G 1 は上側端部に位置し当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は下側端部に位置し当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素 P X の略中央部に配置されている。

【 0 0 2 6 】

20

図示した例のスイッチング素子 S W は、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられ、図示しない半導体層を備えている。半導体層は、例えば、ポリシリコンによって形成され、ソース配線 S 1 の下方に位置し、ゲート配線 G 1 と交差し、補助容量線 C 1 の下方に延出している。スイッチング素子 S W のソース電極は、ソース配線 S 1 のうち、半導体層とコンタクトする領域に相当する。スイッチング素子 S W のゲート電極は、ゲート配線 G 1 のうち、半導体層と交差する領域に相当する。スイッチング素子 S W のドレイン電極は、補助容量線 C 1 の下方に延出した半導体層とコンタクトしている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 とほぼ重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

30

【 0 0 2 7 】

画素電極 P E は、下層に位置する第 1 画素電極 P E 1 及び第 1 画素電極 P E 1 の上層に位置する第 2 画素電極 P E 2 を備えている。なお、図示した例では、一画素 P X に配置された画素電極 P E のみが図示されているが、図示を省略した他の画素についても同一形状の画素電極が配置されている。第 1 画素電極 P E 1 は、スイッチング素子 S W と電氣的に接続されている。第 2 画素電極 P E 2 は、第 1 画素電極 P E 1 と電氣的に接続されている。

【 0 0 2 8 】

図示した例では、第 1 画素電極 P E 1 は、X - Y 平面内において、画素 P X の形状と同様に、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状に形成されている。この第 1 画素電極 P E 1 は、第 2 方向 Y に平行な一対の縁部 P E E 1 及び P E E 2 を有している。縁部 P E E 1 は、ソース配線 S 1 の近傍に位置し、ソース配線 S 1 に沿って直線的に延出している。縁部 P E E 2 は、ソース配線 S 2 の近傍に位置し、ソース配線 S 2 に沿って直線的に延出している。このような第 1 画素電極 P E 1 の第 1 方向 X に沿った幅は、当該画素 P X の右側及び左側にそれぞれ隣接する画素の第 1 画素電極と接触しない範囲で拡張することが可能である。つまり、第 1 画素電極 P E 1 の縁部 P E E 1 及び P E E 2 は、ソース配線 S 1 及びソース配線 S 2 とは電氣的に絶縁される一方でソース配線 S 1 及びソース配線 S 2 のそれぞれと重なる位置まで延在していても良い。第 1 画素電極 P E 1 の第 2 方向 Y に沿った幅は、当該画素 P X の上側及び下側にそれぞれ隣接する画

40

50

素の第1画素電極と接触しない範囲で拡張することが可能である。つまり、第1画素電極PE1の第1方向Xに平行な端部は、ゲート配線G1及びゲート配線G2とは電氣的に絶縁される一方でゲート配線G1及びゲート配線G2のそれぞれと重なる位置まで延在していても良い。このような第1画素電極PE1は、上記したITOなどの透明な導電材料によって形成されている。この第1画素電極PE1は、補助容量線C1と重なる位置でスイッチング素子SWと電氣的に接続されている。

【0029】

第2画素電極PE2は、第1画素電極PE1とは異なる形状であり、主画素電極PA及び副画素電極PBを備えている。これらの主画素電極PA及び副画素電極PBは、一体的あるいは連続的に形成され、互いに電氣的に接続されている。このような第2画素電極PE2は、上記した透明な導電材料や不透明な配線材料によって形成されている。

10

【0030】

主画素電極PAは、ソース配線S1とソース配線S2との間に位置し、画素PXの上側端部付近及び下側端部付近まで第2方向Yに沿って直線的に延出している。図示した例では、主画素電極PAは、ソース配線S1とソース配線S2との略中間に位置している。つまり、ソース配線S1と主画素電極PAとの第1方向Xに沿った間隔は、ソース配線S2と主画素電極PAとの第1方向Xに沿った間隔と略同等である。このような主画素電極PAは、第1方向Xに沿って略同一の幅を有する帯状に形成されている。このような主画素電極PAは、X-Y平面内において、第1画素電極PE1の一对の縁部PEE1及びPEE2の間に位置している。また、縁部PEE1は主画素電極PAよりもソース配線S1の近くに位置し、縁部PEE2は主画素電極PAよりもソース配線S2の近くに位置している。

20

【0031】

副画素電極PBは、画素PXの略中央部に位置し、第1方向Xに沿って直線的に延出している。図示した例では、副画素電極PBは、補助容量線C1と重なる位置に配置され、主画素電極PAの第2方向Yに沿った中間部で交差している。つまり、ここに示した第2画素電極PE2は、十字形状に形成されている。なお、副画素電極PBは、第2方向Yに沿って略同一の幅を有する帯状に形成されているが、その形状は図示した例に限らない。

【0032】

第1共通電極CE1は、第1主共通電極CA1及び第1副共通電極CB1を備えている。これらの第1主共通電極CA1及び第1副共通電極CB1は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。このような第1共通電極CE1は、第1画素電極PE1及び第2画素電極PE2から離間しており、例えば、上記した透明な導電材料によって形成されている。また、第1共通電極CE1は、アクティブエリアACTの外側において、給電部VSに接続されている。

30

【0033】

第1主共通電極CA1は、ソース配線Sに沿って延出している。あるいは、第1主共通電極CA1は、X-Y平面内において、主画素電極PAを挟んだ両側に位置し、第2方向Yに沿って直線的に延出している。このような第1主共通電極CA1は、第1方向Xに沿って略同一の幅を有する帯状に形成されている。この第1主共通電極CA1の第1方向Xに沿った電極幅は、例えば、ソース配線Sの第1方向Xに沿った線幅よりも大きい。

40

【0034】

図示した例では、第1主共通電極CA1は、第1方向Xに間隔をおいて2本平行に並んでおり、画素PXの左側端部に位置し当該画素PXとその左側に隣接する画素との境界に跨って配置された第1主共通電極CAL1と、画素PXの右側端部に位置し当該画素PXとその右側に隣接する画素との境界に跨って配置された第1主共通電極CAR1と、を備えている。

【0035】

第1主共通電極CAL1は、ソース配線S1と対向している。この第1主共通電極CAL1の電極幅W11は、ソース配線S1の線幅W12より大きい。この第1主共通電極C

50

A L 1 は、ソース配線 S 1 と重なる位置に配置されるとともにソース配線 S 1 の第 1 画素電極 P E 1 側のエッジよりも第 1 画素電極側に延在している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 と対向している。この第 1 主共通電極 C A R 1 の電極幅 W 2 1 は、ソース配線 S 2 の線幅 W 2 2 より大きい。この第 1 主共通電極 C A R 1 は、ソース配線 S 2 と重なる位置に配置されるとともにソース配線 S 2 の第 1 画素電極 P E 1 側のエッジよりも第 1 画素電極側に延在している。

【 0 0 3 6 】

第 1 副共通電極 C B 1 は、ゲート配線 G に沿って延出している。あるいは、第 1 副共通電極 C B 1 は、X - Y 平面内において、第 1 方向 X に沿って直線的に延出している。この第 1 副共通電極 C B 1 は、ゲート配線 G と対向する位置に形成されている。このような第 1 副共通電極 C B 1 は、帯状に形成されている。なお、第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。この第 1 副共通電極 C B 1 の第 2 方向 Y に沿った電極幅は、例えば、ゲート配線 G の第 2 方向 Y に沿った線幅よりも大きい。

【 0 0 3 7 】

図示した例では、第 1 副共通電極 C B 1 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上側端部に位置し当該画素 P X とその上側に隣接する画素との境界に跨って配置された第 1 副共通電極 C B U 1 と、画素 P X の下側端部に位置し当該画素 P X とその下側に隣接する画素との境界に跨って配置された第 1 副共通電極 C B B 1 と、を備えている。つまり、ここに示した例では、第 1 共通電極 C E 1 は、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 により、画素 P X を区画する格子状に形成されており、第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 を囲んでいる。

【 0 0 3 8 】

第 1 副共通電極 C B U 1 は、ゲート配線 G 1 と対向している。この第 1 副共通電極 C B U 1 の電極幅 W 3 1 は、ゲート配線 G 1 の線幅 W 3 2 より大きい。この第 1 副共通電極 C B U 1 は、ゲート配線 G 1 と重なる位置に配置されるとともにゲート配線 G 1 の第 1 画素電極 P E 1 側のエッジよりも第 1 画素電極側に延在している。第 1 副共通電極 C B B 1 は、ゲート配線 G 2 と対向している。この第 1 副共通電極 C B B 1 の電極幅 W 4 1 は、ゲート配線 G 2 の線幅 W 4 2 より大きい。この第 1 副共通電極 C B B 1 は、ゲート配線 G 2 と重なる位置に配置されるとともにゲート配線 G 2 の第 1 画素電極 P E 1 側のエッジよりも第 1 画素電極側に延在している。

【 0 0 3 9 】

なお、第 1 共通電極 C E 1 は、さらに、第 1 主共通電極 C A 1 に沿って延出し第 1 主共通電極 C A 1 と同電位の第 2 主共通電極 C A 2 を備えていても良い。また、第 1 共通電極 C E 1 は、さらに、第 1 副共通電極 C B 1 に沿って延出し第 1 副共通電極 C B 1 と同電位の第 2 副共通電極 C B 2 を備えていても良い。これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 を備えた構成例については後述する。

【 0 0 4 0 】

主画素電極 P A と第 1 主共通電極 C A 1 との位置関係に着目すると、X - Y 平面内において、主画素電極 P A と第 1 主共通電極 C A 1 とは、互いに略平行であり、第 1 方向 X に沿って交互に配置されている。すなわち、第 1 方向 X に沿って間隔をおいて隣接する第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の間（あるいは、隣接するソース配線間）には、1 本の主画素電極 P A が位置している。

【 0 0 4 1 】

また、第 1 画素電極 P E 1 と第 2 画素電極 P E 2 との形状について着目すると、第 1 画素電極 P E 1 は第 2 画素電極 P E 2 とは異なる形状であって、図中の左側に位置する縁部 P E E 1 は、第 2 画素電極 P E 2 の主画素電極 P A よりもソース配線 S 1 及び第 1 主共通電極 C A L 1 に近い位置まで延在し、また、図中の右側に位置する縁部 P E E 2 は、主画素電極 P A よりもソース配線 S 2 及び第 1 主共通電極 C A R 1 に近い位置まで延在している。

10

20

30

40

50

【0042】

このようなアレイ基板ARにおいては、第2画素電極PE2及び第1共通電極CE1は、第1配向膜AL1によって覆われている。この第1配向膜AL1には、液晶層LQの液晶分子を初期配向させるために、第1配向処理方向PD1に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1は、第2方向Yと略平行である。

【0043】

図3は、図1に示した対向基板CTにおける一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の主要部である画素電極PE及び第1共通電極CE1を破線で示している。

10

【0044】

対向基板CTは、共通電極CEの一部である第2共通電極CE2を備えている。この第2共通電極CE2は、第3主共通電極CA3及び第3副共通電極CB3を備えている。これらの第3主共通電極CA3及び第3副共通電極CB3は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。また、これらの第3主共通電極CA3及び第3副共通電極CB3は、例えば、アクティブエリアの外側などにおいて、アレイ基板に備えられた第1共通電極CE1と電氣的に接続されており、第1共通電極CE1（第1主共通電極CA1及び第1副共通電極CB1）と同電位である。

【0045】

20

第3主共通電極CA3は、X-Y平面内において、主画素電極PAを挟んだ両側に位置し、第2方向Yに沿って直線的に延出している。この第3主共通電極CA3は、第1主共通電極CA1の上方に位置している。このような第3主共通電極CA3は、第1方向Xに沿って略同一の幅を有する帯状に形成されている。

【0046】

図示した例では、第3主共通電極CA3は、第1方向Xに間隔をおいて2本平行に並んでおり、画素PXの左側端部に位置し当該画素PXとその左側に隣接する画素との境界に跨って配置された第3主共通電極CAL3と、画素PXの右側端部に位置し当該画素PXとその右側に隣接する画素との境界に跨って配置された第3主共通電極CAR3と、を備えている。第3主共通電極CAL3は、第1主共通電極CAL1と対向している。第3主共通電極CAR3は、第1主共通電極CAR1と対向している。

30

【0047】

第3副共通電極CB3は、X-Y平面内において、第1方向Xに沿って直線的に延出している。この第3副共通電極CB3は、第1副共通電極CB1の上方に位置している。このような第3副共通電極CB3は、第2方向Yに沿って略同一の幅を有する帯状に形成されている。

【0048】

図示した例では、第3副共通電極CB3は、第2方向Yに間隔をおいて2本平行に並んでおり、画素PXの上側端部に位置し当該画素PXとその上側に隣接する画素との境界に跨って配置された第3副共通電極CBU3と、画素PXの下側端部に位置し当該画素PXとその下側に隣接する画素との境界に跨って配置された第3副共通電極CBB3と、を備えている。第3副共通電極CBU3は、第1副共通電極CBU1と対向している。第3副共通電極CBB3は、第1副共通電極CBB1と対向している。つまり、対向基板CTにおいては、第2共通電極CE2は、第3主共通電極CA3及び第3副共通電極CB3により、画素PXを区画する格子状に形成されている。

40

【0049】

このような対向基板CTにおいては、第2共通電極CE2は、第2配向膜AL2によって覆われている。この第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるために、第2配向処理方向PD2に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2

50

は、第 1 配向処理方向 P D 1 と平行である。図示した例では、第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と同一方向である。なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、互いに逆向きの方向であっても良いし、ともに同一方向でありながら図示した例とは逆向きつまりゲート配線 G 2 からゲート配線 G 1 に向かう側であっても良い。

【 0 0 5 0 】

図 4 は、図 3 の A - B 線で切断した液晶表示パネル L P N をゲート配線 G 2 側から見た断面構造を概略的に示す断面図である。図 5 は、図 3 の C - D 線で切断した液晶表示パネル L P N をソース配線 S 1 側から見た断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

10

【 0 0 5 1 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 5 2 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 の内側、つまり、対向基板 C T と対向する側において、詳述しないスイッチング素子のポリシリコンからなる半導体層 S C 、ゲート配線 G 1 、ゲート配線 G 2 、補助容量線 C 1 、ソース配線 S 1 、ソース配線 S 2 、第 1 画素電極 P E 1 、第 2 画素電極 P E 2 、第 1 共通電極 C E 1 、第 1 絶縁膜 1 1 、第 2 絶縁膜 1 2 、第 3 絶縁膜 1 3 、第 4 絶縁膜 1 4 、第 1 配向膜 A L 1 などを用意している。

20

【 0 0 5 3 】

半導体層 S C は、第 1 絶縁基板 1 0 と第 1 絶縁膜 1 1 との間に形成されている。補助容量線 C 1 、ゲート配線 G 1 及びゲート配線 G 2 は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。スイッチング素子のドレイン電極 W D 、ソース配線 S 1 及びソース配線 S 2 は、第 2 絶縁膜 1 2 の上に形成され、第 3 絶縁膜 1 3 によって覆われている。ドレイン電極 W D は、第 1 絶縁膜 1 1 及び第 2 絶縁膜 1 2 を貫通するコンタクトホール C H 1 に延在し、コンタクトホール C H 1 から露出した半導体層 S C にコンタクトしている。このようなドレイン電極 W D は、ソース配線 S 1 などと同一層に形成された電極層であり、ソース配線 S 1 などと同一材料によって一括して形成可能である。

30

【 0 0 5 4 】

第 1 画素電極 P E 1 は、第 3 絶縁膜 1 3 の上に形成され、第 4 絶縁膜 1 4 によって覆われている。この第 1 画素電極 P E 1 は、第 3 絶縁膜 1 3 を貫通するコンタクトホール C H 2 に延在し、コンタクトホール C H 2 から露出したドレイン電極 W D にコンタクトしている。第 4 絶縁膜 1 4 は、例えば、透明な樹脂材料によって形成されている。この第 4 絶縁膜 1 4 は、ソース配線 S や第 1 画素電極 P E 1 による段差を緩和し、その表面が略平坦化されている。

【 0 0 5 5 】

第 2 画素電極 P E 2 の主画素電極 P A 及び副画素電極 P B や、第 1 共通電極 C E 1 の第 1 主共通電極 C A L 1 、第 1 主共通電極 C A R 1 、第 1 副共通電極 C B U 1 、及び、第 1 副共通電極 C B B 1 は、第 4 絶縁膜 1 4 の上に形成されている。つまり、第 2 画素電極 P E 2 及び第 1 共通電極 C E 1 は、同一層に形成され、同一材料、例えば、ITO によって一括して形成可能である。この第 2 画素電極 P E 2 は、第 1 共通電極 C E 1 から離間している。主画素電極 P A は、隣接する第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の間に位置している。副画素電極 P B は、隣接する第 1 副共通電極 C B U 1 及び第 1 副共通電極 C B B 1 の間に位置している。このような第 2 画素電極 P E 2 は、第 4 絶縁膜 1 4 を貫通するコンタクトホール C H 3 に延在し、コンタクトホール C H 3 から露出した第 1 画素電極 P E 1 にコンタクトしている。第 1 主共通電極 C A L 1 は、ソース配線 S 1 の上方に位置している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 の上方に位置している。

40

50

第 1 副共通電極 C B U 1 は、ゲート配線 G 1 の上方に位置している。第 1 副共通電極 C B 1 は、ゲート配線 G 2 の上方に位置している。

【 0 0 5 6 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、第 2 画素電極 P E 2 及び第 1 共通電極 C E 1 を覆っており、第 4 絶縁膜 1 4 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 5 7 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 の内側、つまり、アレイ基板 A R と対向する側において、ブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、第 2 共通電極 C E 2、第 2 配向膜 A L 2 などを備えている。

10

【 0 0 5 8 】

ブラックマトリクス B M は、各画素 P X を区画し、第 2 画素電極 P E 2 と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線 G、スイッチング素子 S W などの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクス B M は、ソース配線 S 1 及びソース配線 S 2 の上方に位置し第 2 方向 Y に沿って延出した部分と、ゲート配線 G 1 及びゲート配線 G 2 の上方に位置し第 1 方向 X に沿って延出した部分を備えており、格子状に形成されている。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

20

【 0 0 5 9 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A においてブラックマトリクス B M によって区画された内側（開口部 A P）に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

30

【 0 0 6 0 】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。このようなオーバーコート層 O C は、例えば、透明な樹脂材料によって形成されている。

【 0 0 6 1 】

第 2 共通電極 C E 2 の第 3 主共通電極 C A L 3、第 3 主共通電極 C A R 3、第 3 副共通電極 C B U 3 及び第 3 副共通電極 C B B 3 は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成され、いずれもブラックマトリクス B M の下方に位置している。第 3 主共通電極 C A L 3 の下方には、第 1 主共通電極 C A L 1 が位置している。第 3 主共通電極 C A R 3 の下方には、第 1 主共通電極 C A R 1 が位置している。第 3 副共通電極 C B U 3 の下方には、第 1 副共通電極 C B U 1 が位置している。第 3 副共通電極 C B B 3 の下方には、第 1 副共通電極 C B B 1 が位置している。上記の開口部 A P において、第 2 画素電極 P E 2 と第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 との間の領域は、いずれもバックライト光が透過可能な透過領域に相当する。

40

【 0 0 6 2 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、第 2 共通電

50

極 C E 2 やオーバーコート層 O C を覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 6 3 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。このセルギャップは、主画素電極 P A と第 1 主共通電極 C A 1 との間隔よりも小さい。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせられている。

10

【 0 0 6 4 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。液晶層 L Q は、液晶分子 L M を含んでいる。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 6 5 】

アレイ基板 A R の外面、つまり、第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸 A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 1 0 との間に位相差板などの他の光学素子が配置されても良い。

20

【 0 0 6 6 】

対向基板 C T の外面、つまり、第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸 A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 2 0 との間に位相差板などの他の光学素子が配置されていても良い。

30

【 0 0 6 7 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極 P A の延出方向あるいは液晶分子の初期配向方向と略平行または略直交するように配置されている。図 3 において、(a) で示した例では、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が第 1 方向 X と平行となるように配置され、また、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 2 方向 Y と平行となるように配置されている。また、図 3 において、(b) で示した例では、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 1 方向 X と平行となるように配置され、また、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が第 2 方向 Y と平行となるように配置されている。

40

【 0 0 6 8 】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【 0 0 6 9 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E （第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 ）と共通電極 C E （第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 ）との間に電界が形成されていない状態（ O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【 0 0 7 0 】

50

なお、厳密には、液晶分子 LM は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 LM の初期配向方向とは、OFF 時の液晶分子 LM の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 LM は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【0071】

ここでは、第 1 配向処理方向 PD 1 及び第 2 配向処理方向 PD 2 は、ともに第 2 方向 Y と略平行且つ同じ向きの方

10

【0072】

液晶層 LQ の断面において、液晶分子 LM は、液晶層 LQ の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界としてアレ基板 AR の近傍（つまり、第 1 配向膜 AL 1 の近傍）及び対向基板 CT の近傍（つまり、第 2 配向膜 AL 2 の近傍）において対称となるようなプレチルト角を持って配向する（スプレイ配向）。このように液晶分子 LM がスプレイ配向している状態では、基板の法線方向から傾いた方向においても第 1 配向膜 AL 1 の近傍の液晶分子 LM と第 2 配向膜 AL 2 の近傍の液晶分子 LM とにより光学的に補償される。したがって、第 1 配向処理方向 PD 1 及び第 2 配向処理方向 PD 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

20

【0073】

なお、第 1 配向処理方向 PD 1 及び第 2 配向処理方向 PD 2 が互いに平行且つ逆向きである場合、液晶層 LQ の断面において、液晶分子 LM は、第 1 配向膜 AL 1 の近傍、第 2 配向膜 AL 2 の近傍、及び、液晶層 LQ の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0074】

このような OFF 時において、バックライト 4 からのバックライト光の一部は、第 1 偏光板 PL 1 を透過し、液晶表示パネル LPN に入射する。液晶表示パネル LPN に入射した光は、第 1 偏光板 PL 1 の第 1 偏光軸 AX 1 と直交する直線偏光である。このような直線偏光の偏光状態は、OFF 時の液晶層 LQ を通過した際にほとんど変化しない。このため、液晶表示パネル LPN を透過した直線偏光は、第 1 偏光板 PL 1 に対してクロスニコルの位置関係にある第 2 偏光板 PL 2 によって吸収される（黒表示）。

30

【0075】

一方、液晶層 LQ に電圧が印加された状態、つまり、画素電極 PE と共通電極 CE との間に電界が形成された状態（ON 時）では、画素電極 PE と共通電極 CE との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 LM は、画素電極 PE と共通電極 CE との間の電界の影響を受け、その配向状態が変化する。つまり、液晶分子 LM はその長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。これにより、画素 PX において、第 2 画素電極 PE 2 と共通電極 CE との間にバックライト光が透過可能な透過領域が形成される。このとき、第 2 画素電極 PE 2、第 1 共通電極 CE 1 及び第 2 共通電極 CE 2 と重なる位置では、液晶分子は初期配向状態に保持されているため、黒表示となる。その一方で、第 1 画素電極 PE 1 は透明な導電材料によって形成され、しかも、第 1 画素電極 PE 1 と重なる位置では、第 2 画素電極 PE 2 と第 1 共通電極 CE 1 及び第 2 共通電極 CE 2 との間の電界の影響を受けて液晶分子の配向状態が変化するため、バックライト光が透過可能となる。

40

【0076】

図 3 に示した例では、第 2 画素電極 PE 2 と第 3 主共通電極 CAL 3 との間の領域のうち、下側半分の領域内の液晶分子 LM は、第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向し、また、上側半分の領域内の液晶分子 LM は、第 2 方向 Y に対して反時計回りに回転し図中の左上を向くように配向する。第 2 画素電極 PE 2 と第 3 主共通

50

電極 C A R 3 との間の領域のうち、下側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向し、上側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の右上を向くように配向する。

【 0 0 7 7 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、第 2 画素電極 P E 2 と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 7 8 】

このような O N 時に、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光は、液晶表示パネル L P N に入射し、その偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。このため、O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 7 9 】

このような本実施形態によれば、画素電極 P E に隣接するソース配線 S からの漏れ電界の影響を緩和することができ、クロストークによる表示品位の劣化を抑制することが可能となる。この点について、以下に説明する。

【 0 0 8 0 】

すなわち、ソース配線 S 1 とソース配線 S 2 との間の画素列において、各画素が第 1 画素電極を備えていない比較例について検討する。ソース配線 S 1 から書き込まれる映像信号の極性と、ソース配線 S 2 から書き込まれる映像信号の極性が異なる場合、第 2 画素電極 P E 2 とソース配線 S 2 との間に大きな電位差が形成され、ソース配線 S 2 からの漏れ電界による画素透過率の影響が無視できなくなるおそれがある。例えば、共通電極 C E のコモン電位（0 V）に対して、1 フレーム期間のあるタイミングでソース配線 S 1 に + 5 V の映像信号が供給され、ソース配線 S 2 に - 5 V の映像信号が供給された場合、第 2 画素電極 P E 2 とソース配線 S 1 とが同電位である（いずれも + 5 V である）、あるいは、同極性の電位である（第 2 画素電極 P E 2 が正極性の電位に保持されているフレーム期間は、ソース配線 S 1 に供給される映像信号は正極性である）ため、第 2 画素電極 P E 2 とソース配線 S 1 との間には大きな電位差は形成されにくい。一方で、第 2 画素電極 P E 2 とソース配線 S 2 とでは電位の極性が異なる（第 2 画素電極 P E 2 の電位が + 5 V に保持されている一方でソース配線 S 2 が - 5 V である）ため、第 2 画素電極 P E 2 とソース配線 S 2 との間に大きな電位差が形成されてしまう。このため、第 2 画素電極 P E 2 とソース配線 S 1 との間の領域には正規の電界が形成され、液晶分子が所望の方向に配向されるため、必要な透過率が得られる一方で、第 2 画素電極 P E 2 とソース配線 S 2 との間の領域には過大な電界が形成され、液晶分子が所望の方向に配向されず、必要な透過率が得られなくなることがある。各画素で中間調（グレー）を表示する場合、第 2 画素電極 P E 2 とソース配線 S 1 との間の領域ではグレー表示に対応した透過率が得られる一方で、第 2 画素電極 P E 2 とソース配線 S 2 との間の領域では白表示に近い高い透過率が得られるため、画素単位で所望の透過率が得られない。

【 0 0 8 1 】

また、比較例の構成において、フレーム毎に各ソース配線 S に供給される映像信号の極性が反転するような駆動方法が適用された場合にも、さらにソース配線 S からの漏れ電界の影響を受けやすくなる。

【 0 0 8 2 】

一方、本実施形態の第 1 構成例によれば、ソース配線 S 1 とソース配線 S 2 との間の画素列において、各画素が第 2 画素電極 P E 2 に加えて、第 2 画素電極 P E 2 の下層（第 1 画素電極 P E 1 よりもソース配線に近い側）に第 1 画素電極 P E 1 を備えている。そして、この第 1 画素電極 P E 1 は、第 2 画素電極 P E 2 の主画素電極 P A よりもソース配線 S 及び第 1 主共通電極 C A 1 の近くに位置する縁部 P E E 1 及び P E E 2 を有している。

【 0 0 8 3 】

このため、ON時には、第2画素電極PE2と第1共通電極CE1及び第2共通電極CE2との間に液晶分子の配向を制御するのに必要な電界が形成されるとともに、第1画素電極PE1と第1共通電極CE1との間にもシールド電界（あるいはフリンジ電界）が形成される。このようなシールド電界は、ソース配線Sと第2画素電極PE2との間の電位差に起因したソース配線Sからの不所望な漏れ電界をシールドする。例えば、上記の比較例で説明した場合と同様に、第2画素電極PE2とソース配線S2とで電位の極性が異なる場合であっても、第1画素電極PE1と第1主共通電極CAR1との間のシールド電界により、ソース配線S2と第2画素電極PE2との間での不所望な電界の形成を抑制することが可能となる。また、フレーム毎に各ソース配線Sに供給される映像信号の極性が反転するような駆動方法が適用された場合であっても、第1画素電極PE1と第1主共通電極CAL1との間のシールド電界により、ソース配線S1と第2画素電極PE2との間での不所望な電界の形成を抑制することが可能となる。したがって、透過領域のうちのソース配線Sに近接する領域での不所望な電界の影響が緩和され、表示品位の劣化を抑制することが可能となる。

10

20

30

40

50

【0084】

また、この第1構成例によれば、第1画素電極PE1はゲート配線G1及びゲート配線G2の近傍まで延在しているため、ON時には、第1画素電極PE1と第1副共通電極CB1との間にもシールド電界が形成可能である。このため、第1画素電極PE1と第1共通電極CE1との間に形成されるシールド電界は、ソース配線Sからのみならず、ゲート配線Gからも不所望な漏れ電界もシールドすることが可能である。

【0085】

なお、ここに説明した第1構成例では、ソース配線S及びゲート配線Gからの漏れ電界をシールドするために、第1画素電極PE1と第1共通電極CE1との間のシールド電界を形成しているが、このようなシールド電界が液晶分子に作用すると、所望の透過率を得られなくなる場合がある。このため、透明な樹脂材料からなる第4絶縁膜14の膜厚を厚くすることで、液晶層へのシールド電界の影響を低減することが可能となる。第4絶縁膜14は、例えば、1 μ m程度の膜厚に形成することが望ましいため、第4絶縁膜14を樹脂材料で形成する場合、透明な無機材料で第4絶縁膜14を形成する場合よりも歩留まりを向上することが可能となる。

【0086】

なお、本実施形態の第1構成例は、上記した例に限らない。

【0087】

図6は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの他の構成例を概略的に示す平面図である。

【0088】

ここに示した例は、図2に示した例と比較して、補助容量線C1がゲート配線G1側よりもゲート配線G2側に偏在し、第2画素電極PE2がT形状に形成された点で相違している。

【0089】

すなわち、補助容量線C1とゲート配線G2との第2方向Yに沿った間隔は、補助容量線C1とゲート配線G1との第2方向Yに沿った間隔よりも小さい。第2画素電極PE2において、副画素電極PBは、補助容量線C1と重なる位置に配置され、主画素電極PAの第2方向Yに沿ったゲート配線G2側の一端部で交差している。

【0090】

このような構成例においても、上記した例と同様の効果が得られる。

【0091】

図7は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの他の構成例を概略的に示す平面図である。

【0092】

図7の(A)に示した例は、図2に示した例と比較して、第1画素電極PE1がH字形

状に形成された点で相違している。すなわち、第 1 画素電極 P E 1 は、第 2 方向 Y に沿って延出した第 1 セグメント E 1 及び第 2 セグメント E 2 と、第 1 方向 X に沿って延出した第 3 セグメント E 3 と、を備えている。第 1 セグメント E 1 は、主画素電極 P A よりもソース配線 S 1 及び第 1 主共通電極 C A L 1 の近くに位置する縁部に相当する。第 2 セグメント E 2 は、主画素電極 P A よりもソース配線 S 2 及び第 1 主共通電極 C A R 1 の近くに位置する縁部に相当する。第 3 セグメント E 3 は、捕縄容量線 C 1 と重なる位置で第 1 セグメント E 1 と第 2 セグメント E 2 とを繋ぐように形成されている。

【 0 0 9 3 】

図 7 の (B) に示した例は、(A) に示した例と比較して、第 1 画素電極 P E 1 が格子形状に形成された点で相違している。すなわち、第 1 画素電極 P E 1 は、第 2 方向 Y に沿って延出した第 1 セグメント E 1 及び第 2 セグメント E 2 と、第 1 方向 X に沿って延出した第 3 セグメント E 3、第 4 セグメント E 4、及び、第 5 セグメント E 5 と、を備えている。第 4 セグメント E 4 は、副画素電極 P B よりもゲート配線 G 1 及び第 1 副共通電極 C B U 1 に近い位置に配置されている。第 5 セグメント E 5 は、副画素電極 P B よりもゲート配線 G 2 及び第 1 副共通電極 C B B 1 に近い位置に配置されている。

10

【 0 0 9 4 】

このような構成例においても、上記した例と同様の効果が得られる。

【 0 0 9 5 】

なお、第 1 セグメント E 1 乃至第 5 セグメント E 5 は略一定の幅に形成されているが、これらの幅についてはこの例に限らない。

20

【 0 0 9 6 】

また、図 7 に示した形状の第 1 画素電極 P E 1 と組み合わせられる第 2 画素電極 P E 2 の形状については、図示した十字形状のみならず、図 6 に示したような T 字形状であっても良い。

【 0 0 9 7 】

次に、本実施形態の第 2 構成例について説明する。

【 0 0 9 8 】

図 8 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の第 2 構成例を概略的に示す平面図である。

【 0 0 9 9 】

30

この第 2 構成例は、上記の第 1 構成例と比較して、アレイ基板 A R に備えられた第 1 共通電極 C E 1 が第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 に加えて第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 を備えた点で相違している。また、図示した第 2 構成例では、上記の第 1 構成例と比較して、第 2 画素電極 P E 2 が第 1 画素電極 P E 1 と略同一形状に形成され、しかも、第 2 画素電極 P E 2 が第 1 画素電極 P E 1 とほぼ重なる位置に配置された点で相違している。

【 0 1 0 0 】

まず、画素電極 P E について説明する。図示した例では、第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 は、いずれも T 字形状に形成され、略同一サイズで形成されている。第 1 画素電極 P E 1 は、第 2 方向 Y に沿って延出した帯状の第 1 主画素電極 P A 1 及び第 1 方向 X に沿って延出した帯状の第 1 副画素電極 P B 1 を備えている。第 1 副画素電極 P B 1 は、補助容量線 C 1 と重なる位置に配置され、第 1 主画素電極 P A 1 の第 2 方向 Y に沿ったゲート配線 G 2 側の一端部に繋がっている。第 2 画素電極 P E 2 は、第 2 方向 Y に沿って延出した帯状の第 2 主画素電極 P A 2 及び第 1 方向 X に沿って延出した帯状の第 2 副画素電極 P B 2 を備えている。第 2 主画素電極 P A 2 は、第 1 主画素電極 P A 1 と重なる位置に配置されている。第 2 副画素電極 P B 2 は、第 1 副画素電極 P B 1 と重なる位置に配置され、第 2 主画素電極 P A 2 の一端部に繋がっている。これらの第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 は、ITO などの透明な導電材料によって形成され、また、互いに電氣的に接続されており、同電位である。なお、第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 の形状については、図 2 に示した例と同様の十字形状であっても良い。

40

50

【 0 1 0 1 】

次に、第 1 共通電極 C E 1 について説明する。第 1 主共通電極 C A 1 は、ソース配線 S に沿って延出している。この第 1 主共通電極 C A 1 は、ソース配線 S と重なる位置よりも画素電極 P E の側に配置されている。図示した例では、第 1 主共通電極 C A L 1 は、ソース配線 S 1 に沿って延出し、ソース配線 S 1 と重なる位置よりも画素電極 P E の側に配置されているが、その一部がソース配線 S 1 に重なる位置に延在していても良い。同様に、第 1 主共通電極 C A R 1 は、ソース配線 S 2 に沿って延出し、ソース配線 S 2 に重なる位置よりも画素電極 P E の側に配置されているが、その一部がソース配線 S 2 に重なる位置に延在していても良い。

【 0 1 0 2 】

第 2 主共通電極 C A 2 は、第 1 主共通電極 C A 1 に沿って延出している。この第 2 主共通電極 C A 2 は、ソース配線 S の線幅よりも小さい電極幅を有し、ソース配線 S と重なる位置に配置されている。図示した例では、第 2 主共通電極 C A L 2 は、第 1 主共通電極 C A L 1 に沿って延出し、ソース配線 S 1 の線幅よりも小さい電極幅を有し、ソース配線 S 1 と重なる位置に配置されている。同様に、第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A R 1 に沿って延出し、ソース配線 S 2 の線幅よりも小さい電極幅を有し、ソース配線 S 2 と重なる位置に配置されている。

【 0 1 0 3 】

第 1 副共通電極 C B 1 は、ゲート配線 G に沿って延出している。この第 1 副共通電極 C B 1 は、ゲート配線 G の線幅よりも大きい電極幅を有し、ゲート配線 G と重なる位置に配置されている。このような第 1 副共通電極 C B 1 は、第 1 主共通電極 C A 1 と繋がっている。図示した例では、第 1 副共通電極 C B U 1 はゲート配線 G 1 と重なる位置に配され、第 1 副共通電極 C B B 1 はゲート配線 G 2 と重なる位置に配置されている。

【 0 1 0 4 】

第 2 副共通電極 C B 2 は、第 1 副共通電極 C B 1 に沿って延出している。この第 2 副共通電極 C B 2 は、ゲート配線 G の線幅よりも小さい電極幅を有し、ゲート配線 G と重なる位置に配置されている。このような第 2 副共通電極 C B 2 は、第 2 主共通電極 C A 2 と繋がっている。図示した例では、第 2 副共通電極 C B U 2 は、第 1 副共通電極 C B U 1 に沿って延出し、ゲート配線 G 1 の線幅よりも小さい電極幅を有し、ゲート配線 G 1 と重なる位置において第 1 副共通電極 C B U 1 と対向している。同様に、第 2 副共通電極 C B B 2 は、第 1 副共通電極 C B B 1 に沿って延出し、ゲート配線 G 2 の線幅よりも小さい電極幅を有し、ゲート配線 G 2 と重なる位置において第 1 副共通電極 C B B 1 と対向している。

【 0 1 0 5 】

これらの第 1 主共通電極 C A 1、第 2 主共通電極 C A 2、第 1 副共通電極 C B 1、及び、第 2 副共通電極 C B 2 は、ITO などの透明な導電材料によって形成され、また、アクティブエリアの外側などにおいて互いに電氣的に接続されており、全てが同電位である。

【 0 1 0 6 】

このような第 2 構成例で説明したアレイ基板 A R は、図 3 に示した構成の対向基板 C T と組み合わせることが可能である。

【 0 1 0 7 】

図 9 は、図 8 の E - F 線で切断した液晶表示パネル L P N の断面構造の主要部を簡略化した断面図である。図 10 は、図 8 の G - H 線で切断した液晶表示パネル L P N の断面構造の主要部を簡略化した断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 1 0 8 】

第 1 画素電極 P E 1 の第 1 主画素電極 P A 1 及び第 1 副画素電極 P B 1、第 1 共通電極 C E 1 の第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、例えば同一の透明導電材料を用いて第 3 絶縁膜 13 の上に形成され、第 4 絶縁膜 14 によって覆われている。第 1 主画素電極 P A 1 は、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との略中間に位置している。第 1 副画素電極 P B 1 は、補助容量線 C 1 の上方に位置するとともに第 1 副共

10

20

30

40

50

通電極 C B U 1 の側よりも第 1 副共通電極 C B B 1 の側に位置している。第 1 主共通電極 C A L 1 は、ソース配線 S 1 の直上の位置よりも第 1 主画素電極 P A 1 の側に位置している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 の直上の位置よりも第 1 主画素電極 P A 1 の側に位置している。第 1 副共通電極 C B U 1 は、ゲート配線 G 1 の直上の位置に配置されている。第 1 副共通電極 C B B 1 は、ゲート配線 G 2 の直上の位置に配置されている。

【 0 1 0 9 】

第 2 画素電極 P E 2 の第 2 主画素電極 P A 2 及び第 2 副画素電極 P B 2、第 1 共通電極 C E 1 の第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、例えば同一の透明導電材料を用いて第 4 絶縁膜 1 3 の上に形成され、第 1 配向膜 A L 1 によって覆われている。第 2 主画素電極 P A 2 は、第 1 主画素電極 P A 1 の直上に位置するとともに、第 2 主共通電極 C A L 2 と第 2 主共通電極 C A R 2 との略中間に位置している。第 2 副画素電極 P B 2 は、第 1 副画素電極 P B 1 の直上に位置するとともに、第 2 副共通電極 C B U 2 の側よりも第 2 副共通電極 C B B 2 の側に位置している。第 2 主共通電極 C A L 2 は、ソース配線 S 1 の直上に位置し、第 1 主共通電極 C A L 1 の直上の位置からずれている。第 2 主共通電極 C A R 2 は、ソース配線 S 2 の直上に位置し、第 1 主共通電極 C A R 1 の直上の位置からずれている。第 2 副共通電極 C B U 2 は、ゲート配線 G 1 の直上の位置において、第 1 副共通電極 C B U 1 と対向している。第 2 副共通電極 C B B 2 は、ゲート配線 G 2 の直上の位置において、第 1 副共通電極 C B B 1 と対向している。

10

【 0 1 1 0 】

第 3 主共通電極 C A L 3 は、第 2 主共通電極 C A L 2 と対向している。この第 3 主共通電極 C A L 3 の電極幅は、第 2 主共通電極 C A L 2 と同程度であり、ソース配線 S 1 の配線幅よりも小さい。第 3 主共通電極 C A R 3 は、第 2 主共通電極 C A R 2 と対向している。この第 3 主共通電極 C A R 3 の電極幅は、第 2 主共通電極 C A R 2 と同程度であり、ソース配線 S 2 の配線幅よりも小さい。第 3 副共通電極 C B U 3 は、第 2 副共通電極 C B U 2 と対向している。第 3 副共通電極 C B B 3 は、第 2 副共通電極 C B B 2 と対向している。

20

【 0 1 1 1 】

このような第 2 構成例によれば、アレイ基板 A R は、各ソース配線 S の液晶層 L Q 側に同電位（例えばコモン電位）の 2 層の主共通電極（第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2）を備えている。下層に位置する第 1 主共通電極 C A 1 は、ソース配線 S よりも画素電極 P E の側に位置し、また、上層に位置する第 2 主共通電極 C A 2 は、ソース配線 S 2 の直上に位置している。これらの第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 は同電位であるため、これらの間に等電位面が形成される。このような等電位面は、下層に位置するソース配線 S から液晶層 L Q に向かう不所望な漏れ電界をシールドする。したがって、透過領域のうちのソース配線 S に近接する領域での不所望な電界の影響が緩和され、表示品位の劣化を抑制することが可能となる。

30

【 0 1 1 2 】

また、この第 2 構成例によれば、ソース配線 S 1 とソース配線 S 2 との間の画素列において、各画素が第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 を備えている。このため、ON 時には、第 2 画素電極 P E 2 と第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 との間に液晶分子の配向を制御するのに必要な電界が形成されるとともに、第 1 画素電極 P E 1 と第 1 主共通電極 C A 1 との間にシールド電界が形成される。このようなシールド電界は、ソース配線 S と第 2 画素電極 P E 2 との間の電位差に起因したソース配線 S からの不所望な漏れ電界をシールドする。したがって、ソース配線 S からの不所望な電界の形成をさらに抑制することができ、表示品位の劣化を抑制することが可能となる。

40

【 0 1 1 3 】

また、この第 2 構成例によれば、第 1 副共通電極 C B 1 は、ゲート配線 G と対向しているため、ゲート配線 G からの不所望な漏れ電界もシールドすることが可能である。

【 0 1 1 4 】

50

なお、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、開口部 A P に位置しているが、いずれも透明な導電材料によって形成され、また、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 の直上に位置する液晶分子 L M は、第 2 画素電極 P E 2 と第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 との間に形成される電界によって配向制御されるため、開口部 A P における透過率の低減を招くことは無い。

【 0 1 1 5 】

一方で、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 の電極幅がソース配線 S の線幅よりも小さいため、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 の電極幅がソース配線 S の線幅より大きい場合と比較して、液晶分子 L M の配向を制御可能な領域を拡大することが可能となる。つまり、この第 2 構成例では、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 の電極幅がソース配線 S の線幅より大きい場合と比較して、透過率を向上することが可能となる。

10

【 0 1 1 6 】

また、この第 2 構成例によれば、ソース配線 S に近い側の第 1 主共通電極 C A 1 は、ソース配線 S の直上の位置よりもずれた位置に配置されている。このため、ソース配線 S と第 1 主共通電極 C A 1 との間での不所望な容量の形成を抑制することが可能となり、液晶表示装置の消費電力を低減することが可能となる。また、ソース配線 S と対向する第 2 主共通電極 C A 2 は、第 1 主共通電極 C A 1 よりもソース配線 S から離れた位置にあるため、これらの間に形成され得る容量が表示に及ぼす影響を低減することが可能となる。

【 0 1 1 7 】

20

なお、この第 2 構成例は、上記した例に限らない。例えば、画素電極 P E が第 1 画素電極 P E 1 のみあるいは第 2 画素電極 P E 2 のみであっても良い。このような場合でも、画素電極 P E と第 1 主共通電極 C A 1 との間でシールド電界を形成可能であるし、画素電極 P E と第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 との間で液晶分子 L M の配向を制御するための電界を形成することが可能である。

【 0 1 1 8 】

次に、本実施形態の第 3 構成例について説明する。

【 0 1 1 9 】

図 1 1 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の第 3 構成例を概略的に示す平面図である。

30

【 0 1 2 0 】

この第 3 構成例は、上記の第 2 構成例と比較して、アレイ基板 A R に備えられた第 1 主共通電極 C A 1 がソース配線 S の線幅よりも大きい電極幅を有している点で相違している。なお、画素電極 P E については、図 8 に示した第 2 構成例と同一であるため、説明を省略する。

【 0 1 2 1 】

第 1 主共通電極 C A 1 は、ソース配線 S に沿って延出している。この第 1 主共通電極 C A 1 は、ソース配線 S の線幅よりも大きい電極幅を有し、ソース配線 S と重なる位置から画素電極 P E の側に延在している。図示した例では、第 1 主共通電極 C A L 1 は、ソース配線 S 1 に沿って延出し、ソース配線 S 1 と重なる位置に配置されるとともに画素電極 P E の側に延在している。同様に、第 1 主共通電極 C A R 1 は、ソース配線 S 2 に沿って延出し、ソース配線 S 2 と重なる位置に配置されるとともに画素電極 P E の側に延在している。

40

【 0 1 2 2 】

第 2 主共通電極 C A 2 は、第 1 主共通電極 C A 1 に沿って延出している。この第 2 主共通電極 C A 2 は、ソース配線 S の線幅よりも小さい電極幅を有し、ソース配線 S の上方の位置に配置され、第 1 主共通電極 C A 1 と対向している。図示した例では、第 2 主共通電極 C A L 2 は、第 1 主共通電極 C A L 1 に沿って延出し、ソース配線 S 1 の線幅よりも小さい電極幅を有し、ソース配線 S 1 の上方の位置において第 1 主共通電極 C A L 1 と対向している。第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A R 1 に沿って延出し、ソース

50

配線 S 2 の線幅よりも小さい電極幅を有し、ソース配線 S 2 の上方の位置において第 1 主共通電極 C A R 1 と対向している。

【 0 1 2 3 】

第 1 副共通電極 C B 1 及び第 2 副共通電極 C B 2 については、第 2 構成例と同一であるため、説明を省略する。

【 0 1 2 4 】

このような第 3 構成例で説明したアレイ基板 A R は、図 3 に示した構成の対向基板 C T と組み合わせることが可能である。

【 0 1 2 5 】

図 1 2 は、図 1 1 の I - J 線で切断した液晶表示パネル L P N の断面構造の主要部を簡略化した断面図である。図 1 3 は、図 1 1 の K - L 線で切断した液晶表示パネル L P N の断面構造の主要部を簡略化した断面図である。なお、ここでは、説明に必要な箇所のみを図示している。ここでは、第 2 構成例との差異について説明する。

10

【 0 1 2 6 】

第 1 主共通電極 C A L 1 は、ソース配線 S 1 の直上に位置するとともに第 1 主画素電極 P A 1 の側にも延在している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 の直上に位置するとともに第 1 主画素電極 P A 1 の側にも延在している。第 1 副共通電極 C B U 1 は、ゲート配線 G 1 の直上に位置するとともに第 1 副画素電極 P B 1 の側にも延在している。第 1 副共通電極 C B B 1 は、ゲート配線 G 2 の直上に位置するとともに第 1 副画素電極 P B 1 の側にも延在している。

20

【 0 1 2 7 】

第 2 主共通電極 C A L 2 は、ソース配線 S 1 の直上の位置において、第 1 主共通電極 C A L 1 と対向している。第 2 主共通電極 C A R 2 は、ソース配線 S 2 の直上の位置において、第 1 主共通電極 C A R 1 と対向している。第 2 副共通電極 C B U 2 は、ゲート配線 G 1 の直上の位置において、第 1 副共通電極 C B U 1 と対向している。第 2 副共通電極 C B B 2 は、ゲート配線 G 2 の直上の位置において、第 1 副共通電極 C B B 1 と対向している。

【 0 1 2 8 】

このような第 3 構成例によれば、各ソース配線 S の液晶層 L Q 側に第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 を備えている。下層に位置する第 1 主共通電極 C A 1 は、ソース配線 S と対向するため、ソース配線 S からの不所望な漏れ電界もシールドすることが可能である。したがって、透過領域のうちのソース配線 S に近接する領域での不所望な電界の影響が緩和され、表示品位の劣化を抑制することが可能となる。

30

【 0 1 2 9 】

また、この第 3 構成例によれば、ソース配線 S 1 とソース配線 S 2 との間の画素列において、各画素が第 1 画素電極 P E 1 及び第 2 画素電極 P E 2 を備えている。このため、O N 時には、第 2 画素電極 P E 2 と第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 との間に液晶分子の配向を制御するのに必要な電界が形成されるとともに、第 1 画素電極 P E 1 と第 1 主共通電極 C A 1 との間にシールド電界が形成される。このようなシールド電界は、ソース配線 S と第 2 画素電極 P E 2 との間の電位差に起因したソース配線 S からの不所望な漏れ電界をシールドする。したがって、ソース配線 S からの不所望な電界の形成をさらに抑制することができ、表示品位の劣化を抑制することが可能となる。

40

【 0 1 3 0 】

また、この第 3 構成例によれば、第 2 構成例と同様に、第 1 副共通電極 C B 1 は、ゲート配線 G と対向しているため、ゲート配線 G から不所望な漏れ電界もシールドすることが可能である。

【 0 1 3 1 】

また、この第 3 構成例によれば、第 2 構成例と同様に、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、いずれも透明な導電材料によって形成されているため、開口部 A P における透過率の低減を招くことは無い。また、第 2 主共通電極 C A 2 及び第 3 主共通電

50

極 C A 3 の電極幅がソース配線 S の線幅よりも小さいため、第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 の電極幅がソース配線 S の線幅より大きい場合と比較して、液晶分子 L M の配向が制御可能な領域を拡大することが可能となり、透過率を向上することが可能となる。

【 0 1 3 2 】

なお、この第 3 構成例は、上記した例に限らない。

【 0 1 3 3 】

例えば、図 1 4 に示したように、画素電極 P E について、第 2 画素電極 P E 2 を省略しても良い。このような場合でも、第 1 主共通電極 C A 1 がソース配線 S からの漏れ電界をシールドすることが可能であり、また、第 1 主画素電極 P A 1 と第 1 主共通電極 C A 1 との間で漏れ電界をシールドするためのシールド電界を形成可能であるし、第 1 主画素電極 P A 1 と第 2 主共通電極 C A 2 及び第 3 主共通電極 C A 3 との間で液晶分子 L M の配向を制御するための電界を形成することが可能である。なお、液晶分子 L M の配向を制御するための電界を効率的に形成するためには、第 1 主画素電極 P A 1 を覆う第 4 絶縁膜 1 4 の膜厚を薄くすることが望ましい。

10

【 0 1 3 4 】

また、図 1 5 に示したように、アレイ基板 A R の第 1 共通電極 C E 1 について、第 2 主共通電極 C A 2 を省略しても良い。このような場合でも、第 1 主共通電極 C A 1 がソース配線 S からの漏れ電界をシールドすることが可能であり、また、第 1 主画素電極 P A 1 と第 1 主共通電極 C A 1 との間で漏れ電界をシールドするためのシールド電界を形成可能であるし、第 2 主画素電極 P A 2 と第 3 主共通電極 C A 3 との間で液晶分子 L M の配向を制御するための電界を形成することが可能である。

20

【 0 1 3 5 】

なお、本実施形態においては、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成の液晶表示パネル L P N について説明したが、画素電極 P E 及び第 1 共通電極 C E 1 が形成されたアレイ基板と共通電極が形成されていない対向基板 C T とを組み合わせた構成の液晶表示パネルについても、上記した第 1 乃至第 3 構成例を適用可能である。

【 0 1 3 6 】

例えば、図 1 6 に示した例は、上記の第 1 構成例に対して、第 2 共通電極 C E 2 を省略した構成に相当する。このような構成例では、ソース配線 S からの漏れ電界は、主として第 1 画素電極 P E 1 によってシールドされる。また、液晶分子 L M は、主として第 2 主画素電極 P A 2 と第 1 主共通電極 C A 1 との間に形成される電界によって配向制御される。

30

【 0 1 3 7 】

図 1 7 に示した例は、上記の第 2 構成例に対して、第 2 共通電極 C E 2 を省略した構成に相当する。このような構成例では、ソース配線 S からの漏れ電界は、第 1 主共通電極 C A 1 と第 2 主共通電極 C A 2 との間の等電位面、及び、第 1 主画素電極 P A 1 と第 1 主共通電極 C A 1 との間のシールド電界によってシールドされる。また、液晶分子 L M は、主として第 2 主画素電極 P A 2 と第 2 主共通電極 C A 2 との間に形成される電界によって配向制御される。

40

【 0 1 3 8 】

図 1 8 に示した例は、上記の第 3 構成例に対して、第 2 共通電極 C E 2 を省略した構成に相当する。このような構成例では、ソース配線 S からの漏れ電界は、第 1 主共通電極 C A 1 自体、あるいは、第 1 主画素電極 P A 1 と第 1 主共通電極 C A 1 との間のシールド電界によってシールドされる。また、液晶分子 L M は、主として第 2 主画素電極 P A 2 と第 2 主共通電極 C A 2 との間に形成される電界によって配向制御される。

【 0 1 3 9 】

図 1 9 に示した例は、上記の第 3 構成例の図 1 4 に示した変形例に対して、第 2 共通電極 C E 2 を省略した構成に相当する。このような構成例では、ソース配線 S からの漏れ電界は、第 1 主共通電極 C A 1 自体、あるいは、第 1 主画素電極 P A 1 と第 1 主共通電極 C

50

A 1 との間のシールド電界によってシールドされる。また、液晶分子 L M は、主として第 1 主画素電極 P A 1 と第 2 主共通電極 C A 2 との間に形成される電界によって配向制御される。

【0140】

図 20 に示した例は、上記の第 3 構成例の図 15 に示した変形例に対して、第 2 共通電極 C E 2 を省略した構成に相当する。このような構成例では、ソース配線 S からの漏れ電界は、第 1 主共通電極 C A 1 自体、あるいは、第 1 主画素電極 P A 1 と第 1 主共通電極 C A 1 との間のシールド電界によってシールドされる。また、液晶分子 L M は、主として第 2 主画素電極 P A 2 と第 1 主共通電極 C A 1 との間に形成される電界によって配向制御される。

10

【0141】

これらの図 16 乃至図 20 に示した各構成例によれば、上記した効果に加えて、対向基板 C T の側に電極を形成する必要がなくなる。また、アレイ基板 A R と対向基板 C T との貼り合わせの際の合わせずれが生じたとしても、表示品位の劣化を抑制することが可能である。

【0142】

次に、本実施形態の効果について検証した。

【0143】

図 21 は、本実施形態において導入したクロストーク率の定義を説明するための図である。

20

【0144】

すなわち、アクティブエリア A C T の略中央に矩形状のウインドー W D W を表示した場合であって、ウインドー W D W が黒表示または白表示である一方で、その周辺部分が中間色を表示した場合に、ウインドー W D W を囲む四方の輝度を測定した。図示した 4 箇所のそれぞれの輝度を W 1、W 2、W 3、W 4 とした。また、同一のアクティブエリア A C T の全面で同一の中間色を表示した場合に、上記と同一箇所の 4 箇所の輝度を測定した。図示した 4 箇所のそれぞれの輝度を G 1、G 2、G 3、G 4 とした。このとき、クロストーク率は以下の式で定義する。

【0145】

クロストーク率 = $|W(n) - G(n)| / G(n) \times 100$ (但し、 $n=1 \sim 4$ である)

30

まず、上記の第 1 構成例から第 1 画素電極を省略した比較例について、クロストーク率を測定した。次に、本実施形態の第 1 構成例及び第 2 構成例について、クロストーク率を測定した。比較例のクロストーク率を 1 として規格化したところ、第 1 構成例のクロストーク率は 0.10 であり、また、第 2 構成例のクロストーク率は 0.20 であった。このように、本実施形態によれば、クロストークを低減できることが確認された。

【0146】

また、発明者は、上記の比較例、第 1 構成例、及び、第 2 構成例のそれぞれについて、透過率を測定した。比較例の透過率を 1 として規格化したところ、第 1 構成例の透過率は 1.03 であり、また、第 2 構成例の透過率は 1.27 であった。このように、本実施形態によれば、透過率を向上できることが確認された。

40

【0147】

また、本実施形態によれば、上記した効果に加えて、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率を得ることが可能となる。このため、主画素電極と主共通電極との間の電極間距離を拡大することで、一画素あたりの透過率を十分に高くすることが可能となる。また、画素ピッチが異なる製品仕様に対しては、主画素電極 P A と主共通電極 C A との電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能

50

となる。

【0148】

また、本実施形態によれば、ブラックマトリクスBMと重なる領域では、透過率が十分に低下している。これは、ソース配線Sの直上に位置する共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子LMがOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することができる。したがって、隣接する画素間でカラーフィルタCFの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

10

【0149】

また、本実施形態によれば、主共通電極CAは、それぞれソース配線Sと対向している。このため、主共通電極CAがソース配線Sよりも画素電極PE側に配置された場合と比較して、透過領域の面積を拡大することができ、画素PXの透過率を向上することが可能となる。また、主共通電極CAをソース配線Sの直上に配置することによって、画素電極PEと主共通電極CAとの間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。

20

【0150】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0151】

また、本実施形態によれば、第1共通電極CE1について、第1主共通電極CA1及び第1副共通電極CB1は、互いに電氣的に接続され、格子状に形成されている。同様に、第2主共通電極CA2及び第2副共通電極CB2は、互いに電氣的に接続され、格子状に形成されている。また、第2共通電極CE2について、第2主共通電極CA2及び第2副共通電極CB2は、互いに電氣的に接続され、格子状に形成されている。したがって、アレイ基板ARに備えられた第1共通電極CE1の一部で断線が発生したり、対向基板CTに備えられた第2共通電極CE2の一部に断線が発生したりしたとしても、各画素PXに安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

30

【0152】

なお、上記の例では、液晶分子LMの初期配向方向が第2方向Yと平行である場合について説明したが、液晶分子LMの初期配向方向Dは、第2方向Yを斜めに交差する斜め方向であっても良い。

【0153】

また、上記の例では、液晶層LQが正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層LQは、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

40

【0154】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0155】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲

50

に含まれる。

【符号の説明】

【0156】

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

P E ... 画素電極 P E 1 ... 第1画素電極 P E 2 ... 第2画素電極

P A 1 ... 第1主画素電極 P B 1 ... 第1副画素電極

P A 2 ... 第2主画素電極 P B 2 ... 第2副画素電極

C E ... 共通電極 C E 1 ... 第1共通電極 C E 2 ... 第2共通電極

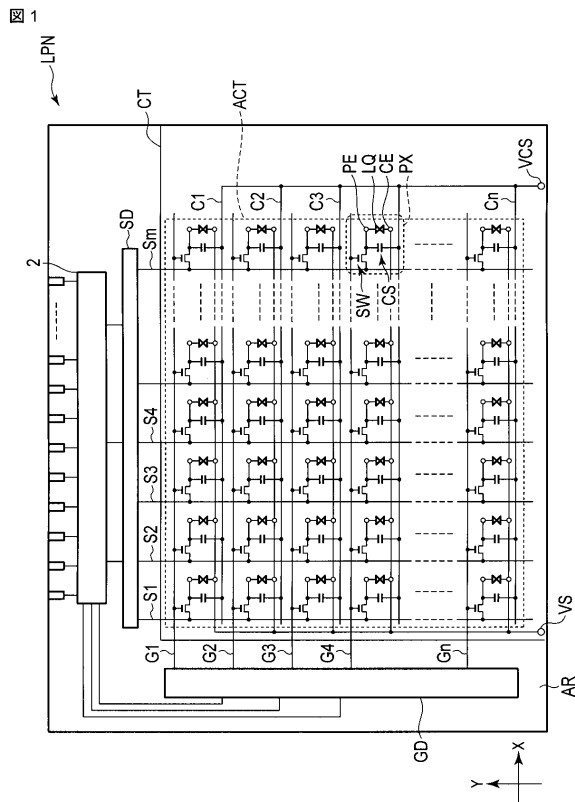
C A 1 ... 第1主共通電極 C B 1 ... 第1副共通電極

C A 2 ... 第2主共通電極 C B 2 ... 第2副共通電極

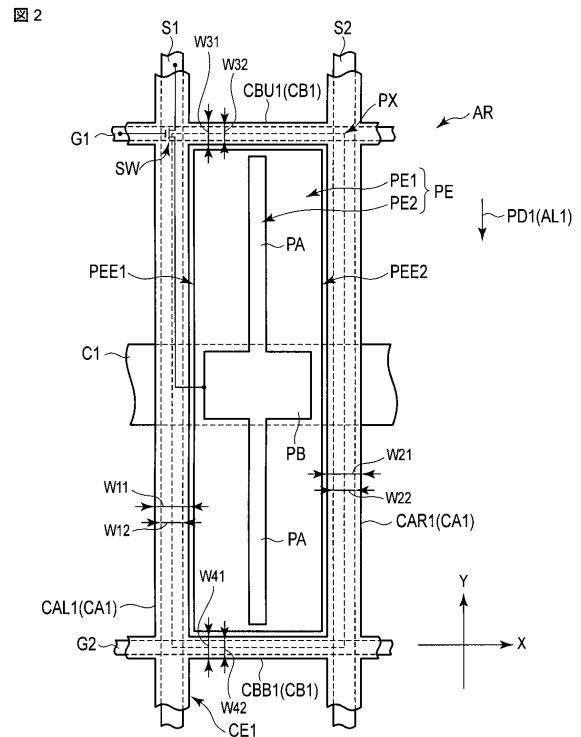
C A 3 ... 第3主共通電極 C B 3 ... 第3副共通電極

10

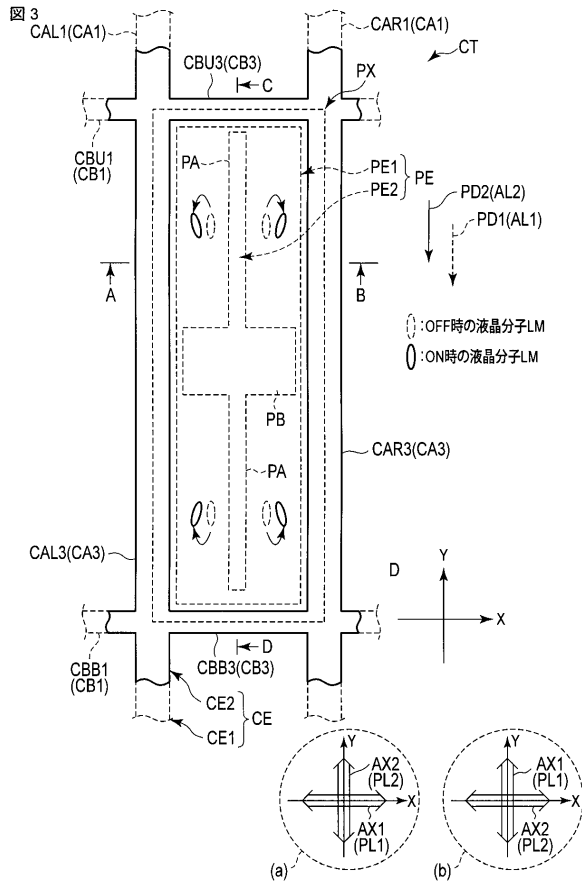
【図1】



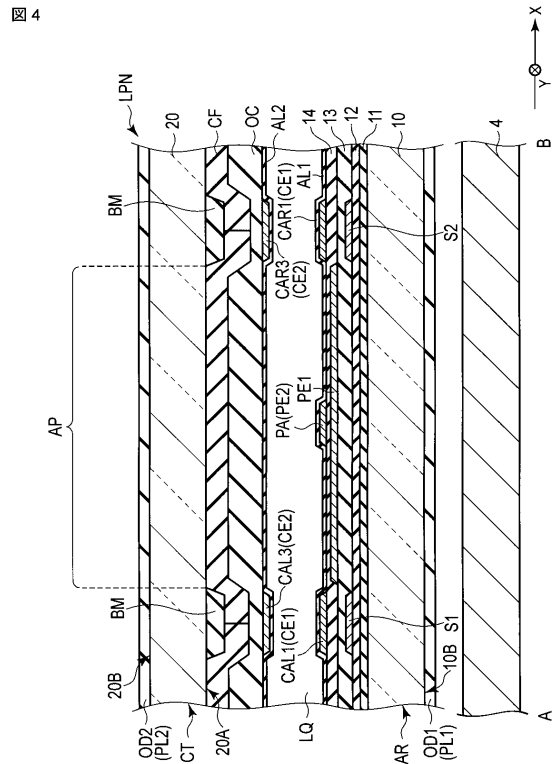
【図2】



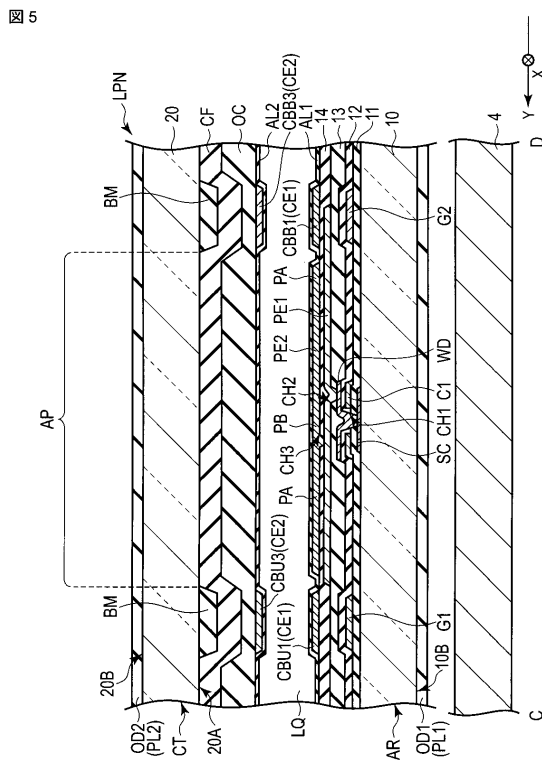
【図 3】



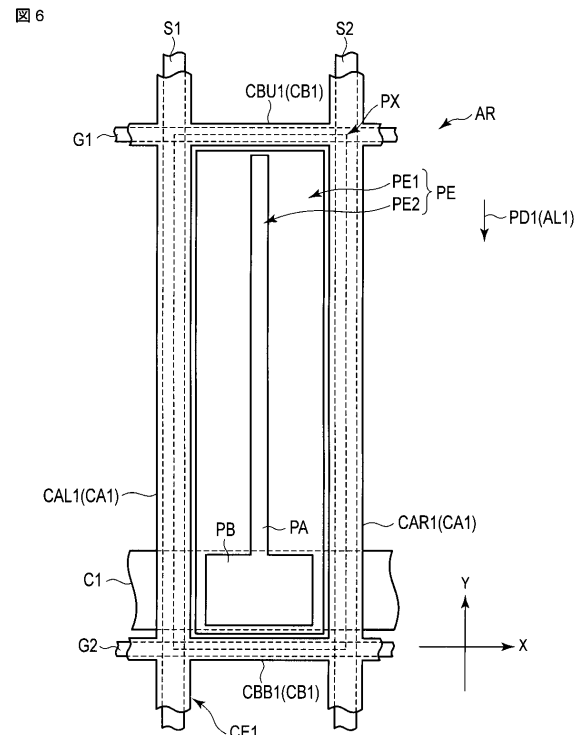
【図 4】



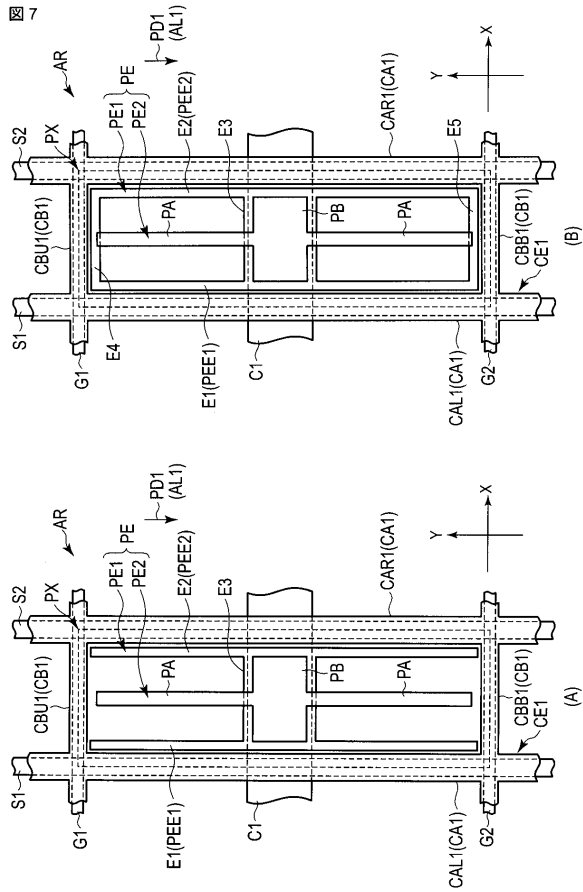
【図 5】



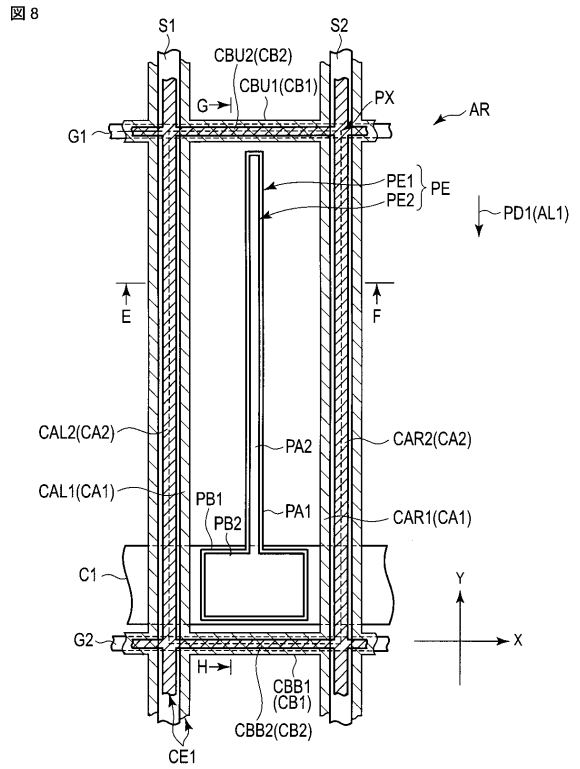
【図 6】



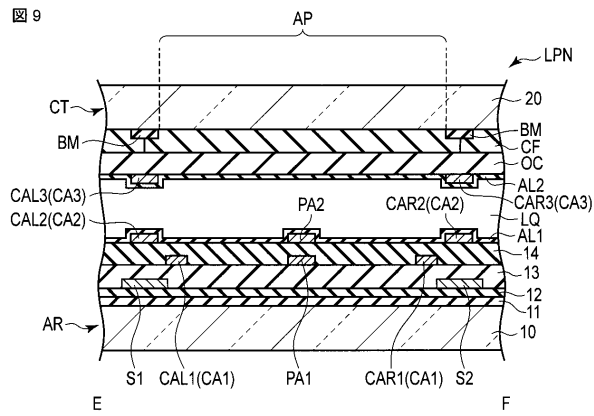
【図 7】



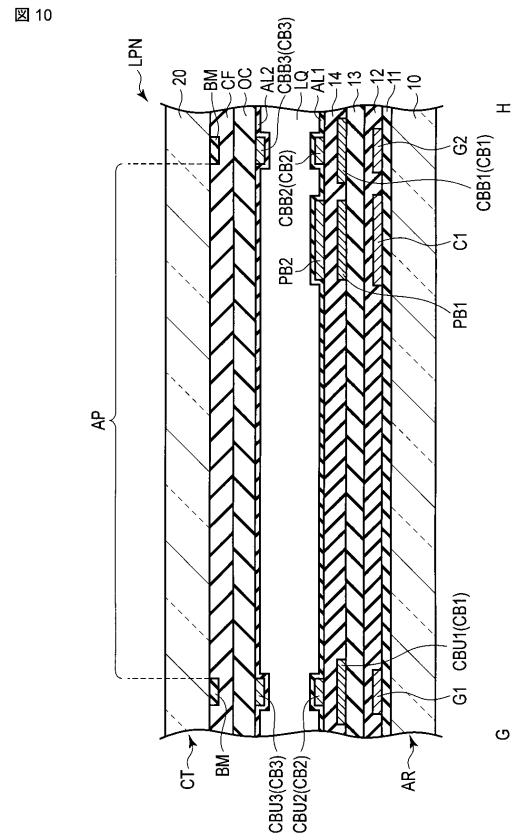
【図 8】



【図 9】

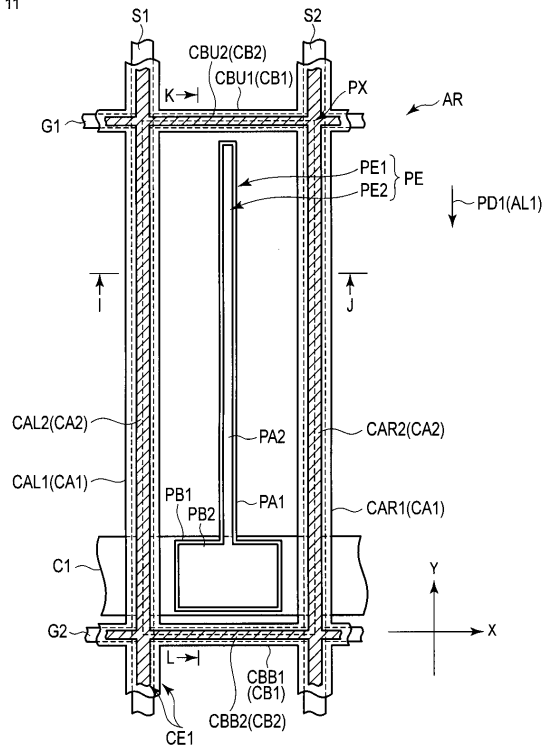


【図 10】



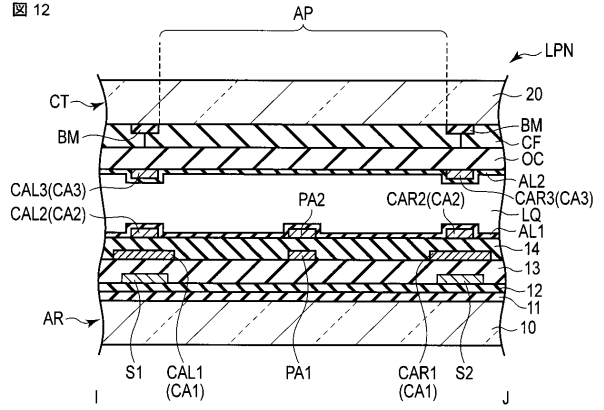
【図 1 1】

図 11



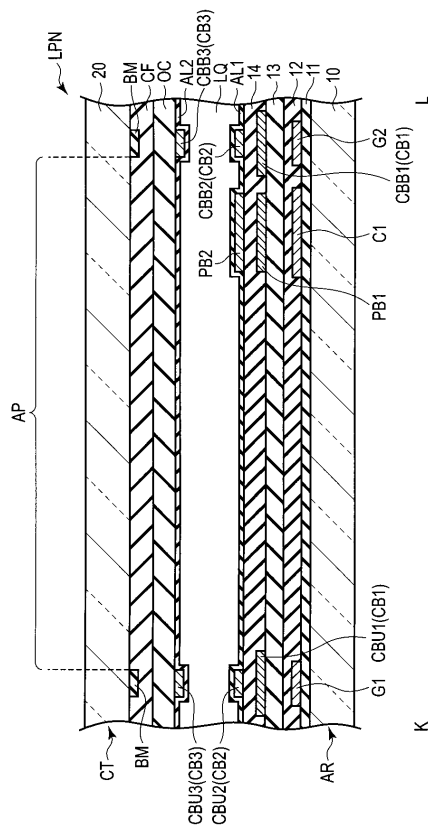
【図 1 2】

図 12



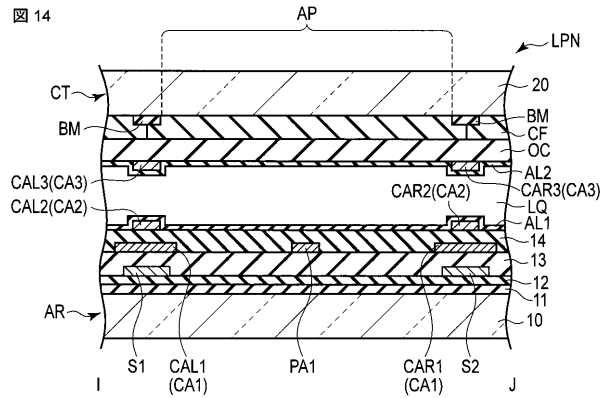
【図 1 3】

図 13



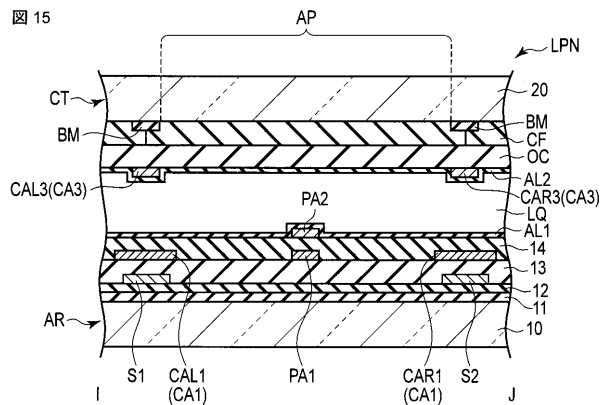
【図 1 4】

図 14

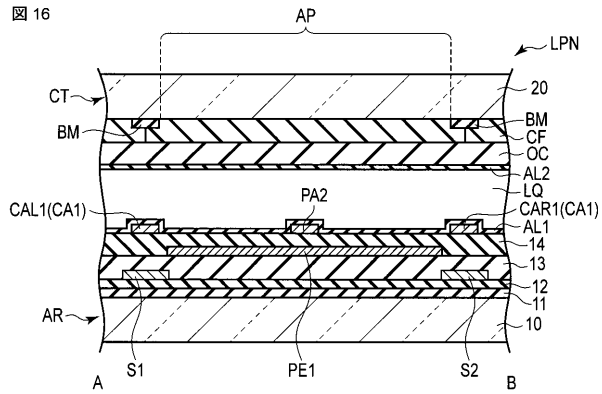


【図 1 5】

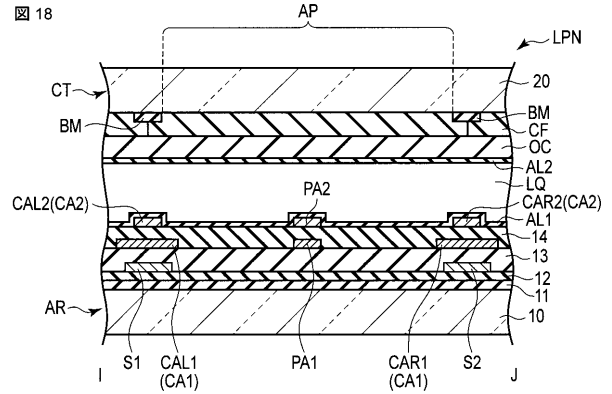
図 15



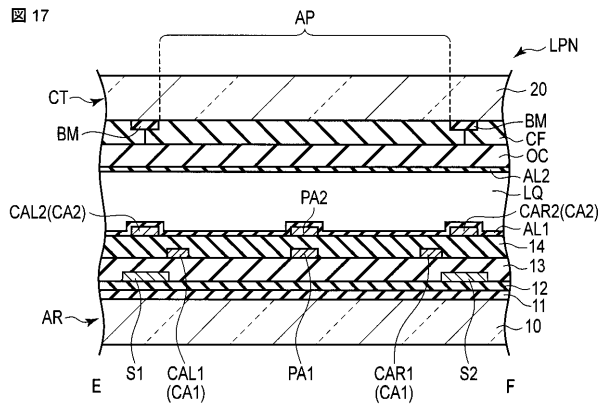
【図 16】



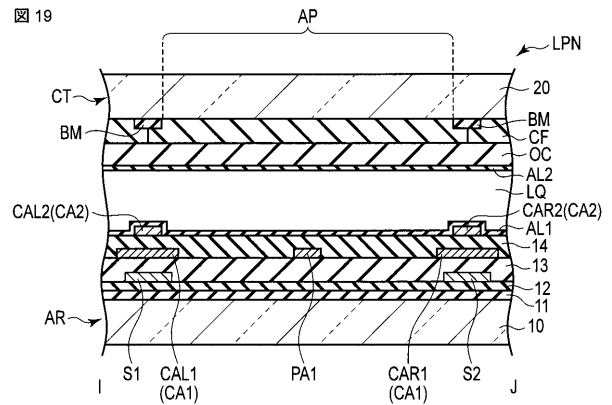
【図 18】



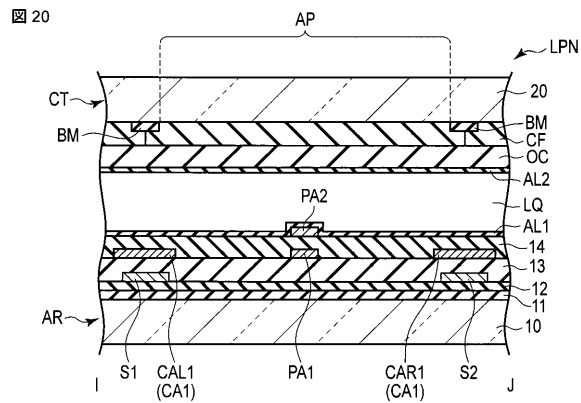
【図 17】



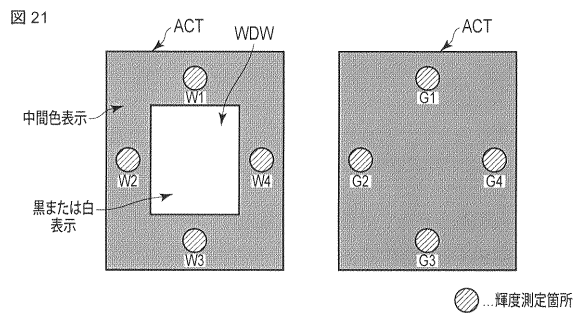
【図 19】



【図 20】



【図 21】



$$\text{クロストーク率} = |W(n) - G(n)| / G(n) \times 100$$

※n=1~4

フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100172580
弁理士 赤穂 隆雄
(74)代理人 100179062
弁理士 井上 正
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(72)発明者 廣澤 仁

埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

Fターム(参考) 2H092 GA14 HA04 JA24 JB05 JB13 JB16 JB22 JB31 JB45 JB56
JB69 KB25 NA01

