

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-37234

(P2013-37234A)

(43) 公開日 平成25年2月21日(2013.2.21)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1345 (2006.01)	GO2F 1/1345	

審査請求 有 請求項の数 5 O L (全 17 頁)

(21) 出願番号	特願2011-174114 (P2011-174114)	(71) 出願人	302020207
(22) 出願日	平成23年8月9日 (2011.8.9)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示品位に優れた液晶表示装置を提供する。

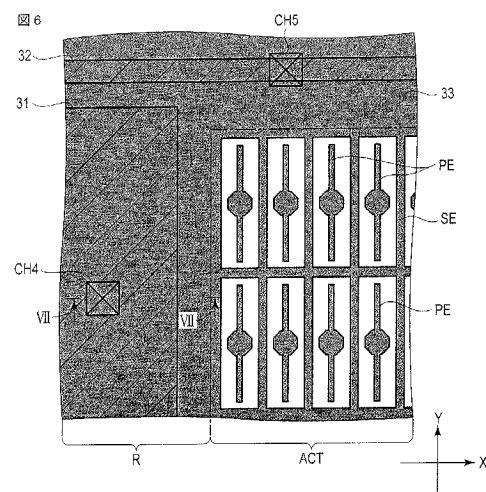
【解決手段】 液晶表示装置は、第1基板と、第2基板と、液晶層と、を備える。

第1基板は、絶縁膜上に形成されゲート配線及びソース配線の少なくとも一部分に対向したシールド電極SEと、絶縁膜上に形成されシールド電極に間隔を置いて位置し第2方向Yに延出した主画素電極と、を有している。

第2基板は、第1方向Xに主画素電極を挟んで位置し第2方向Yに延出した一対の主共通電極を有している。

第1基板は、さらに、非表示領域Rに設けられた周辺配線31と、シールド電極及び周辺配線を電気的に接続した周辺接続電極33と、を有している。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

表示領域に設けられ第 1 方向に延出したゲート配線と、前記表示領域に設けられ前記第 1 方向に直交した第 2 方向に延出したソース配線と、前記ゲート配線及びソース配線上に形成された絶縁膜と、前記絶縁膜上に形成され前記ゲート配線及びソース配線の少なくとも一部分に対向したシールド電極と、前記表示領域に設けられ前記絶縁膜上に形成され前記シールド電極に間隔を置いて位置し前記第 2 方向に延出した主画素電極と、前記表示領域から外れた非表示領域に設けられた周辺配線と、前記シールド電極及び周辺配線を電氣的に接続した周辺接続電極と、を有した第 1 基板と、

前記表示領域に設けられ前記第 1 方向に前記主画素電極を挟んで位置し前記第 2 方向に延出した一对の主共通電極を有した第 2 基板と、

前記第 1 基板及び第 2 基板間に挟持された液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記第 1 基板及び第 2 基板間に設けられた導電部材をさらに備え、

前記第 1 基板は、前記非表示領域に設けられ前記導電部材を介して前記一对の主共通電極に電氣的に接続され前記一对の主共通電極に共通電圧を供給可能な電圧供給配線をさらに有し、

前記周辺配線及び電圧供給配線は、共用されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 基板及び第 2 基板間に設けられた導電部材をさらに備え、

前記第 1 基板は、前記非表示領域に設けられ前記導電部材を介して前記一对の主共通電極に電氣的に接続され前記一对の主共通電極に共通電圧を供給可能な電圧供給配線と、前記非表示領域に設けられ前記周辺配線と等電位に設定された他の周辺配線と、をさらに有し、

前記他の周辺配線及び電圧供給配線は、共用されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記主画素電極、シールド電極及び周辺接続電極は、同一材料で形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記周辺接続電極は、非表示領域にあって前記表示領域を囲むように配置され、前記周辺配線は、前記非表示領域にあって前記表示領域の三辺を囲むことを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された共通電極との間に

10

20

30

40

50

、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、上記特許文献1に示したような液晶表示装置では、走査線や信号線から液晶層に電界が漏れてしまい、液晶分子が不所望に動いてしまい、光漏れが発生してしまう。このため、表示品位に優れた液晶表示装置が求められている。

この発明は以上の点に鑑みなされたもので、その目的は、表示品位に優れた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

一実施形態に係る液晶表示装置は、

表示領域に設けられ第1方向に延出したゲート配線と、前記表示領域に設けられ前記第1方向に直交した第2方向に延出したソース配線と、前記ゲート配線及びソース配線上に形成された絶縁膜と、前記絶縁膜上に形成され前記ゲート配線及びソース配線の少なくとも一部分に対向したシールド電極と、前記表示領域に設けられ前記絶縁膜上に形成され前記シールド電極に間隔を置いて位置し前記第2方向に延出した主画素電極と、前記表示領域から外れた非表示領域に設けられた周辺配線と、前記シールド電極及び周辺配線を電氣的に接続した周辺接続電極と、を有した第1基板と、

前記表示領域に設けられ前記第1方向に前記主画素電極を挟んで位置し前記第2方向に延出した一对の主共通電極を有した第2基板と、

前記第1基板及び第2基板間に挟持された液晶層と、を備えたことを特徴としている。

【図面の簡単な説明】

【0007】

【図1】図1は、一実施形態に係る液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板の画素の構造例を概略的に示す平面図である。

【図3】図3は、図2の線III-IIIに沿ったアレイ基板の構造例を概略的に示す断面図である。

【図4】図4は、図2に示した液晶表示パネルを線IV-IVに沿って切断したときの構造を概略的に示す断面図である。

【図5】図5は、図2及び図4に示した液晶表示パネルにおける画素電極と共通電極との間に形成される電界、及び、この電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

【図6】図6は、アレイ基板における表示領域の角部及び非表示領域を概略的に示す平面図である。

【図7】図7は、図6の線VII-VIIに沿ったアレイ基板の構造例を概略的に示す断面図である。

【図8】図8は、アレイ基板における周辺接続電極と周辺配線の全体を概略的に示す平面図である。

【発明を実施するための形態】

【0008】

以下、図面を参照しながら一実施形態に係る液晶表示装置について詳細に説明する。図

10

20

30

40

50

1 は、本実施形態に係る液晶表示装置の構成及び等価回路を概略的に示す図である。

【0009】

図1に示すように、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板としてのアレイ基板ARと、アレイ基板ARに対向配置された第2基板としての対向基板CTと、これらのアレイ基板AR及び対向基板CT間に挟持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示する表示領域ACTを備えている。表示領域ACTには、 $m \times n$ 個のマトリクス状に配置された複数の画素PXが設けられている（但し、 m 及び n は正の整数である）。

【0010】

液晶表示パネルLPNは、表示領域ACTにおいて、 n 本のゲート配線G（ $G1 \sim Gn$ ）、 n 本の補助容量線C（ $C1 \sim Cn$ ）、 m 本のソース配線S（ $S1 \sim Sm$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0011】

各ゲート配線Gの一端部は、表示領域ACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sの一端部は、表示領域ACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、駆動ICチップ2に接続されている。駆動ICチップ2は、アレイ基板ARに形成され、例えばコントローラを内蔵している。

【0012】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0013】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にはほぼ平行な横電界）である。

【0014】

スイッチング素子SWは、例えば、 n チャネル薄膜トランジスタ（TFET）によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0015】

画素電極PEは、各画素PXに配置され、スイッチング素子SW及び補助容量素子CSに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキシド（ITO）やインジウム・ジंक・オキシド（IZO）などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

10

20

30

40

50

【0016】

図2は、図1に示したアレイ基板ARの画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0017】

図2に示すように、画素PXは、2点鎖線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形状である。ゲート配線Gは、第1方向Xに沿って延出している。補助容量線Cは、隣合うゲート配線Gの間に配置され、第1方向Xに沿って延出している。補助容量線Cは、画素の略中央部に配置されている。ソース配線Sは、第2方向Yに沿って延出している。画素電極PEは、隣合うソース配線Sの間に配置されている。また、この画素電極PEは、ゲート配線Gの間に位置している。

10

【0018】

スイッチング素子SWは、ゲート配線G及びソース配線Sに電氣的に接続されている。スイッチング素子SWは、ゲート配線Gとソース配線Sの交点に設けられている。スイッチング素子SWの半導体層13は、ソース配線Sに重なる領域に設けられ、ソース配線Sからほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【0019】

図3は、図2の線III-IIIに沿ったアレイ基板ARの構造例を概略的に示す断面図である。

図2及び図3に示すように、第1絶縁基板10上に、補助容量電極14が形成されている。補助容量電極14は、半導体層13と同一材料により一体に形成されている。第1絶縁基板10及び補助容量電極14上には、ゲート絶縁膜16が形成され、ゲート絶縁膜16上には、補助容量線Cなどが形成されている。互いに重なった補助容量電極14及び補助容量線Cは、補助容量素子CSを形成している。補助容量電極14は、補助容量線Cからほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

20

【0020】

補助容量線Cなどが形成されたゲート絶縁膜16上には、第1層間絶縁膜11が形成されている。第1層間絶縁膜11上には、接続電極15及びソース配線Sが形成されている。接続電極15及びソース配線Sは、A1（アルミニウム）などの同一材料で同時に形成されている。接続電極15は、ゲート絶縁膜16及び第1層間絶縁膜11に形成されたコンタクトホールCH1を通して補助容量電極14に接続されている。ソース配線Sは、ゲート絶縁膜16及び第1層間絶縁膜11に形成されたコンタクトホールCH2を通して半導体層13のソース領域に接続されている。

30

【0021】

第1層間絶縁膜11、接続電極15及びソース配線S上には、第2層間絶縁膜12が形成されている。第2層間絶縁膜12上には、シールド電極SE及び画素電極PEが形成されている。

【0022】

図2に示すように、シールド電極SEは、ゲート配線G及びソース配線Sに対向し、格子状に形成されている。ゲート配線Gと対向した個所のシールド電極SEの幅は、ゲート配線Gの幅と同等以上であり、ソース配線Sと対向した個所のシールド電極SEの幅は、ソース配線Sの幅と同等以上である。

40

【0023】

画素電極PEは、シールド電極SEに間隔を置いて位置し第2方向Yに延出している。画素電極PEは、互いに電氣的に接続された主画素電極PA及び副画素電極PBを備えている。

【0024】

主画素電極PAは、副画素電極PBから画素PXの上側端部付近及び下側端部付近まで第2方向Yに沿って直線的に延出している。このような主画素電極PAは、第1方向Xに沿って略同一の幅を有する帯状に形成されている。

【0025】

50

副画素電極 P B は、補助容量線 C と重なる領域に位置し、第 2 層間絶縁膜 1 2 に形成されたコンタクトホール C H 3 を通って接続電極 1 5 に電氣的に接続されている。副画素電極 P B は、主画素電極 P A よりも幅広に形成されている。この実施形態において、副画素電極 P B は、八角形状に形成されている。このような画素電極 P E は、隣合うソース配線 S の略中間の位置、つまり、画素 P X の中央に配置されている。

【0026】

図 4 は、図 2 に示した液晶表示パネル L P N を線 IV-IV に沿って切断したときの構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0027】

図 2 及び図 4 に示すように、共通電極 C E は、主共通電極 C A を備えている。主共通電極 C A は、主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。隣合う一对の主共通電極 C A は、第 1 方向 X に主画素電極 P A を挟んで位置している。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【0028】

図示した例では、一对の主共通電極 C A は、第 1 方向 X に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。複数の主共通電極 C A は、表示領域 A C T 内あるいは表示領域 A C T から外れた非表示領域 R において互いに電氣的に接続されている。

【0029】

画素電極 P E と主共通電極 C A との位置関係に着目すると、画素電極 P E と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。これらの画素電極 P E と主共通電極 C A とは、互いに略平行に配置されている。このとき、X-Y 平面内において、主共通電極 C A のいずれも画素電極 P E とは重ならない。

【0030】

図 4 に示すように、液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライトユニット 4 が配置されている。バックライトユニット 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0031】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。画素電極 P E は、隣合うソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。

【0032】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、表示領域 A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 層間絶縁膜 1 2 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【0033】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、ブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、共通電極 C E、第 2 配向膜 A L 2 などを備えている。

【0034】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

10

20

30

40

50

【0035】

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20Aにおける開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第1方向Xに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタCFRは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタCFBは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタCFGは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士10の境界は、ブラックマトリクスBMと重なる位置にある。

【0036】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。

【0037】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、表示領域ACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。20

【0038】

図2及び図4に示すように、これらの第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図2に示したように、第2方向Yと略平行であって、同じ向きである。

【0039】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば2〜7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、表示領域ACTの外側のシール材SBによって貼り合わせられている。30

【0040】

液晶層LQは、アレイ基板AR（第1配向膜AL1）、対向基板CT（第2配向膜AL2）及びシール材SBで囲まれた領域に形成され、アレイ基板AR及び対向基板CT間に挟持されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。40

【0041】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライトユニット4と対向する側に位置しており、バックライトユニット4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。

【0042】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

【0043】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、例えば、直交する位置関係にあるため、第 1 偏光板 P L 1 及び第 2 偏光板 P L 2 はクロスニコル配置されている。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

【0044】

図 2 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向（第 2 方向 Y）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【0045】

また、図 2 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【0046】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 及び図 4 を参照しながら説明する。

図 2 及び図 4 に示すように、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成されていない状態（O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【0047】

なお、厳密には、液晶分子 L M は、X-Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X-Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X-Y 平面に平行に配向しているものとし、X-Y 平面と平行な面内で回転するものとして説明する。

【0048】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 2 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行（あるいは、第 2 方向 Y に対して 0°）である。

【0049】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

10

20

30

40

50

【0050】

ここで、第1配向膜AL1を第1配向処理方向PD1に配向処理した結果、第1配向膜AL1の近傍における液晶分子LMは第1配向処理方向PD1に初期配向され、第2配向膜AL2を第2配向処理方向PD2に配向処理した結果、第2配向膜AL2の近傍における液晶分子LMは第2配向処理方向PD2に初期配向される。そして、第1配向処理方向PD1と第2配向処理方向PD2は互いに平行で且つ同じ向きである場合には、上述のように液晶分子LMはスプレィ配向になり、上記したように液晶層LQの中間部を境界として、アレイ基板AR上の第1配向膜AL1の近傍での液晶分子LMの配向と対向基板CT上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

10

【0051】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0052】

バックライトユニット4からのバックライトは、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

20

【0053】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電界が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0054】

図2に示した例では、画素電極PEと左側の主共通電極CAとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEと右側の主共通電極CAとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

30

【0055】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEを境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0056】

このようなON時には、バックライトユニット4から液晶表示パネルLPNに入射したバックライトは、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライトは、その偏光状態が変化する。このようなON時においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

40

【0057】

図5は、図2及び図4に示した液晶表示パネルLPNにおける画素電極PEと共通電極CEとの間に形成される電界、及び、この電界による液晶分子LMのダイレクタと透過率との関係を説明するための図である。ここでは、画素電極PE（主画素電極PA）及び共通電極CE（主共通電極CA）に着目して説明する。

【0058】

50

図 5 に示すように、OFF 状態では、液晶分子 LM は、第 2 方向 Y に略平行な方向に初期配向している。画素電極 PE と共通電極 CE との間に電位差が形成された ON 状態では、液晶分子 LM のダイレクタ（あるいは液晶分子 LM の長軸方向）が、X-Y 平面内で、第 1 偏光板 PL1 の第 1 偏光軸 AX1 及び第 2 偏光板 PL2 の第 2 偏光軸 AX2 に対して概ね 45° ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

【0059】

図示した例では、ON 状態となったとき、左側の主共通電極 CA と画素電極 PE との間の液晶分子 LM のダイレクタは X-Y 平面内で 45°-225° の方位と略平行となり、右側の主共通電極 CA と画素電極 PE との間の液晶分子 LM のダイレクタは X-Y 平面内で 135°-315° の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極 PE 上及び共通電極 CE 上においては透過率が略ゼロとなる一方で、画素電極 PE と共通電極 CE との間の電極間隙では、略全域に亘って高い透過率が得られる。

【0060】

なお、ソース配線 S の直上に位置する主共通電極 CA は、ブラックマトリクス BM と対向しているが、これらの主共通電極 CA は、ともにブラックマトリクス BM の第 1 方向 X に沿った幅と同等以下の幅を有しており、ブラックマトリクス BM と重なる位置よりも画素電極 PE の側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクス BM の間もしくは隣合う一対のソース配線 S の間の領域のうち、画素電極 PE と隣合う一対の主共通電極 CA との間の領域に相当する。

【0061】

図 6 は、アレイ基板 AR における表示領域 ACT の角部及び非表示領域 R を概略的に示す平面図である。図 7 は、図 6 の線 VII-VII に沿ったアレイ基板 AR の構造例を概略的に示す断面図である。

【0062】

図 6 及び図 7 に示すように、アレイ基板 AR は、非表示領域 R に設けられた周辺配線 31 と、他の周辺配線 32 と、周辺接続電極 33 と、を有している。周辺配線 31 及び周辺配線 32 は、ソース配線 S などとともに、第 1 層間絶縁膜 11 上に同一材料で形成されている。上記材料としては、A1 などの金属材料を利用することができる。周辺配線 32 は、周辺配線 31 と等電位に設定されている。

【0063】

周辺接続電極 33 は、矩形枠状の非表示領域 R に設けられた矩形枠状のベタ電極であり、画素電極 PE、シールド電極 SE とともに、第 2 層間絶縁膜 12 上に同一材料で形成されている。また、ここでは、周辺接続電極 33 は、シールド電極 SE と一体に形成されている。

【0064】

周辺接続電極 33 は、第 2 層間絶縁膜 12 に形成されたコンタクトホール CH4 を通って周辺配線 31 に接続され、第 2 層間絶縁膜 12 に形成されたコンタクトホール CH5 を通って周辺配線 32 に接続されている。このため、周辺接続電極 33 は、シールド電極 SE 及び周辺配線 31、並びにシールド電極 SE 及び周辺配線 32 をそれぞれ電氣的に接続している。

【0065】

図 1 に示すように、アレイ基板 AR は、共通電極 CE に電圧を印加するための給電部 VS を備えている。この給電部 VS は、例えば、非表示領域 R に形成されている。共通電極 CE の一部は、非表示領域 R に引き出されている。ここで、図示しないが、液晶表示装置は、アレイ基板 AR 及び対向基板 CT 間に設けられた導電部材をさらに備えている。共通電極 CE（図 3）の一部は、導電部材を介して、給電部 VS と電氣的に接続されている。

【0066】

また、アレイ基板 AR は、非表示領域 R に設けられ、導電部材を介して共通電極 CE（

主共通電極 C A) に電氣的に接続され、共通電極 C E に共通電圧を供給可能な電圧供給配線をさらに有している。

【0067】

図1、図6及び図7に示すように、この実施形態において、給電部 V S は、周辺配線 3 1 の一部で形成されている。このため、周辺配線 3 1 及び電圧供給配線は共用される。この場合、周辺配線 3 1 を、コモン配線 (V c o m 配線) と呼ぶことができる。

【0068】

なお、給電部 V S は、周辺配線 3 2 の一部で形成されていてもよい。このため、周辺配線 3 2 及び電圧供給配線は共用される。この場合、周辺配線 3 2 を、コモン配線 (V c o m 配線) と呼ぶことができる。

10

【0069】

図8は、アレイ基板 A R における非表示領域 R に設けられた周辺配線 3 1、3 2 の全体を示す概略図である。

図8に示すとおり周辺配線 3 1 は表示領域 A C T の左右に配置され、周辺配線 3 2 は表示領域 A C T の上下において駆動回路の無い側に配置されている。周辺配線 3 1、3 2 は表示領域 A C T の三辺を囲む。言い換えれば、この実施形態では、周辺配線は O L B (アウター・リード・ボンディング) のパッドが並べられた一側縁側を除いてコの字状あるいはΠの字状に形成されている。このように周辺配線を四辺の一边を除いたΠの字状に配置することにより、表示領域から O L B パッドに引き出される配線との交差する部分が少なくなるためショート等の不良を防ぎ歩留まりが向上する。

20

【0070】

上述のとおり、シールド電極 S E は周辺接続電極 3 3 を介してコンタクトホール C H 4、C H 5 を通って周辺配線 3 1 の両端及び 3 2 に接続されているが、シールド電極 S E、周辺接続電極 3 3 が周辺配線 3 1、3 2 のいずれか一边で接続される場合には、接続されている場所から遠ざかるにつれシールド電極 S E の電位が不安定となり十分にシールド効果を発揮することが出来ない虞がある。

【0071】

本実施形態のようにシールド電極 S E、周辺接続電極 3 3 を周辺配線 3 1 の左右両端、周辺配線 3 2 の上端の三辺で接続することにより、表示領域 A C T の全領域に亘ってシールド電極 S E に安定的な電位を供給できシールド効果を十分に発揮することが可能となる。更に、周辺接続電極 3 3 が表示領域 A C T の四辺を囲む矩形枠状に配置されることにより、シールド電極 S E 内に電位差が生じることなくバランス良く電位を供給することが可能となる。

30

【0072】

尚、周辺配線 3 1、3 2 の各々の配線は、互いに接続されていてもよいが、独立して配置されても良い。独立して配置する場合には、各々の周辺配線に同じ電位が与えられれば良い。

【0073】

上述のとおり周辺接続電極 3 3 は、表示領域 A C T の四辺を囲むように配置されている。また、周辺配線は、絶縁膜を介してこの周辺接続電極 3 3 の下層に配置され、また、周辺配線は表示領域 A C T の三辺に配置されている。更に、周辺接続電極と周辺配線はコンタクトホールによって電氣的に接続されている。このように表示領域 A C T を周辺接続電極と周辺配線で囲むことによって、外部から静電気等の電荷の侵入を防ぎ液晶表示装置内部の配線及び回路を保護する働きも生じる。

40

【0074】

以上のように構成された液晶表示装置によれば、液晶表示装置は、アレイ基板 A R、対向基板 C T 及び液晶層 L Q を備えている。アレイ基板 A R は、ゲート配線 G、ソース配線 S、第2層間絶縁膜 1 2、シールド電極 S E、主画素電極 P A、周辺配線 3 1 及び周辺接続電極 3 3 を有している。シールド電極 S E は、第2層間絶縁膜 1 2 上に形成され、ゲート配線 G 及びソース配線 S に対向している。周辺配線 3 1 は、非表示領域 R に設けられて

50

いる。周辺接続電極 33 は、シールド電極 S E 及び周辺配線 31 を電氣的に接続している。

【0075】

このため、シールド電極 S E の電位を設定することができ、主共通電極 C A と等電位に設定することができる。しかも、製造工程を増やすこと無しに、また、大幅にレイアウトを変更すること無しに実現することができるものである。このため、ソース配線 S 及びゲート配線 G からの不所望な電界をシールドすることができる。液晶分子が不所望に動いてしまうことにより生じる光漏れの発生を低減することができるため、表示品位の劣化を抑制することができる。

上記のことから、表示品位に優れた液晶表示装置を得ることができる。

10

【0076】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素 P X の略中央に配置された画素電極 P E に対して主共通電極 C A の配置位置を変更する）ことにより対応することができる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

20

【0077】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0078】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との水平電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

30

【0079】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A がソース配線 S の直上に配置されている場合には、開口部 A P は拡大されるため、画素 P X の透過率を向上することが可能となる。

40

【0080】

また、主共通電極 C A をソース配線 S の直上に配置することによって、画素電極 P E と主共通電極 C A との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【0081】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる

50

。

【0082】

なお、この発明は上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化可能である。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

【0083】

シールド電極 S E は、ゲート配線 G 及びソース配線 S の少なくとも一部分に対向していればよい。例えば、シールド電極 S E は、ゲート配線 G にのみ対向したり、ソース配線 S にのみ対向したりしていればよい。

10

【0084】

周辺接続電極 33 は、コンタクトホール C H 4、C H 5 を介して周辺配線 31、32 に接続されているが、接続個所の位置、サイズ、個数は上記の例に限らず、種々変形可能である。この場合、周辺接続電極 33 や周辺配線 31、32 の配置、サイズ、形状を調整することにより対応することができる。例えば、周辺接続電極 33 は、シールド電極 S E と電氣的に接続されていればよく、ベタ電極では無くてもよい。

シールド電極 S E は、少なくとも周辺配線 31 と電氣的に接続されていればよい。

【0085】

また、周辺接続電極 33 及びシールド電極 S E は、ITO 等の透明電極の他に、アルミニウムや銀、銅などの不透明な導電材料であってもよい。

20

【0086】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 2 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、このなす角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0087】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 $\theta 1$ が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

30

【0088】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が ITO などの光透過性の導電材料によって形成されていても、これらの領域ではバックライトがほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

40

【0089】

本実施形態において、画素 P X の構造は、図 2 及び図 4 に示した例に限定されるものではなく、種々変形可能である。画素 P X は、少なくとも、アレイ基板 A R に形成され画素 P X の長軸に沿って延出した 1 つ以上の主画素電極（P A）と、対向基板 C T に形成され画素 P X の長軸方向に延出し画素 P X の短軸方向に主画素電極を挟んで位置した複数の主共通電極（C A）とを有していればよい。

【0090】

50

画素電極 P E の形状は、種々変形可能であり、十字状、T 字状、I 字状、くの字状などであってもよい。例えば、画素電極 P E を十字状に形成する場合、副画素電極 P B の形状を変えることにより対応することができる。

【0091】

共通電極 C E は、上記した主共通電極 C A の他に、対向基板 C T に形成され第 1 方向 X に沿って延出した副共通電極を含んでもよい。副共通電極は、主共通電極 C A と等電位に設定されている。なお、シールド電極 S E も、主共通電極 C A と等電位に設定されているため、副共通電極と呼ぶことができる。

【0092】

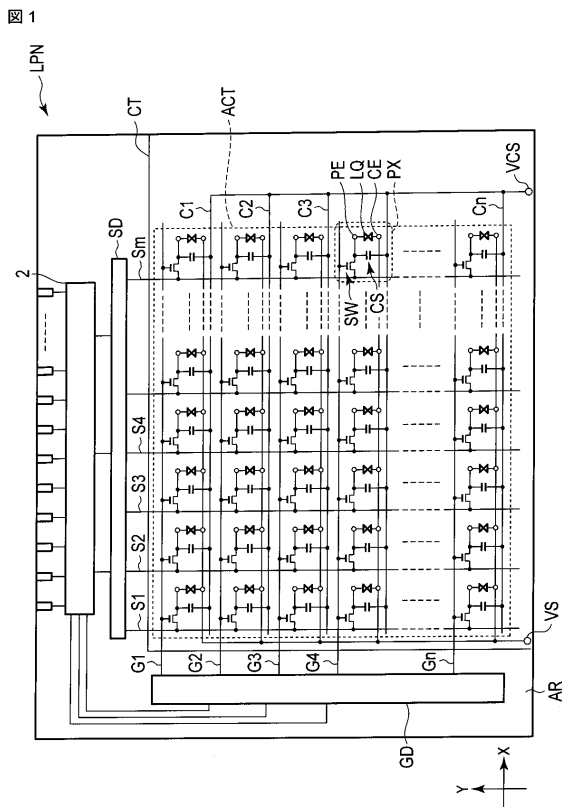
対向基板 C T に形成された主共通電極 C A 及び副共通電極は、一体的あるいは連続的に形成されている。対向基板 C T に形成された副共通電極は、ゲート配線 G の各々と対向している。

【符号の説明】

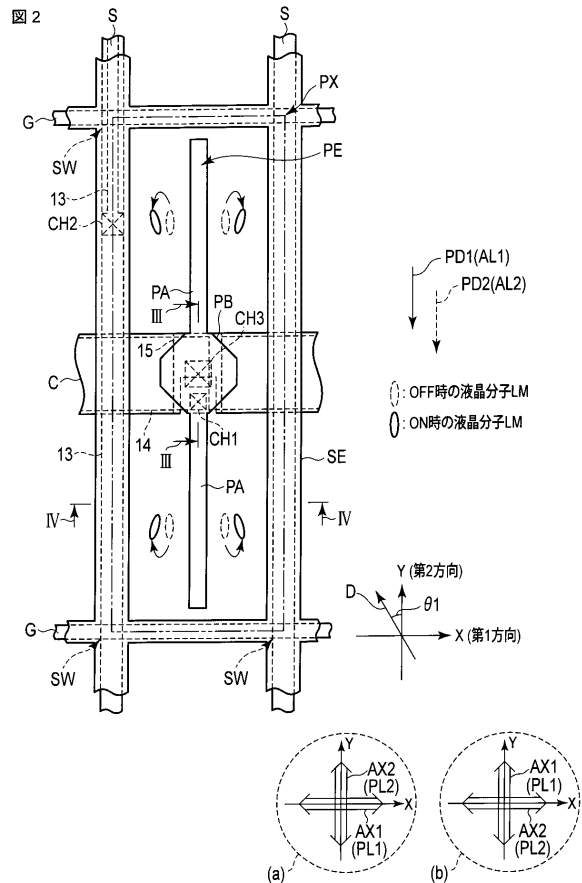
【0093】

L P N … 液晶表示パネル、A C T … 表示領域、R … 非表示領域、P X … 画素、A R … アレイ基板、1 0 … 絶縁基板、G … ゲート配線、C … 補助容量線、1 1 … 第 1 層間絶縁膜、S … ソース配線、S E … シールド電極、3 1, 3 2 … 周辺配線、S W … スwitching 素子、C S … 補助容量素子、1 2 … 第 2 層間絶縁膜、C H 4, C H 5 … コンタクトホール、3 3 … 周辺接続電極、P E … 画素電極、P A … 主画素電極、P B … 副画素電極、V S … 給電部、C T … 対向基板、2 0 … 絶縁基板、C E … 共通電極、C A … 主共通電極、L Q … 液晶層、L M … 液晶分子、X … 第 1 方向、Y … 第 2 方向。

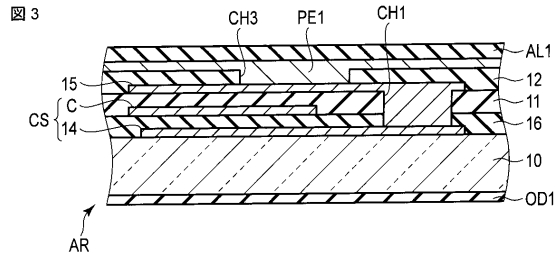
【図 1】



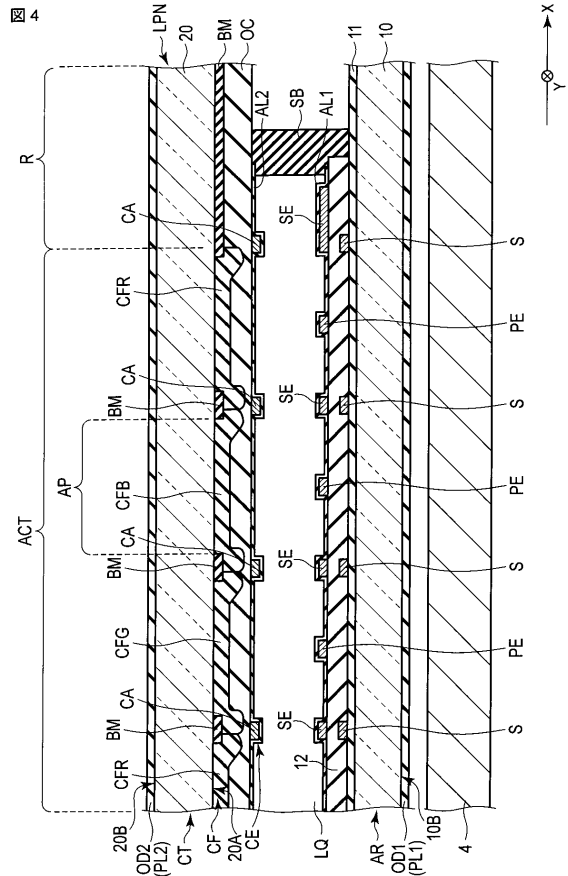
【図 2】



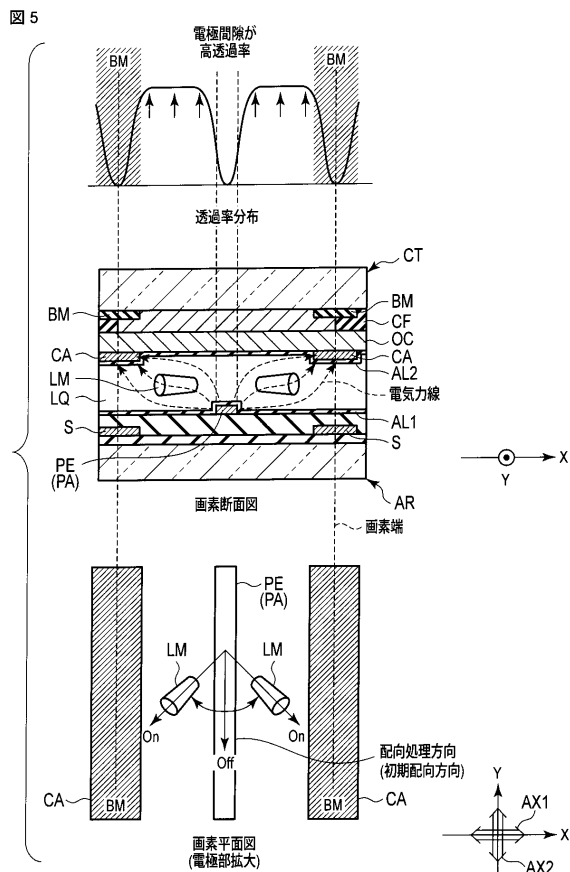
【図 3】



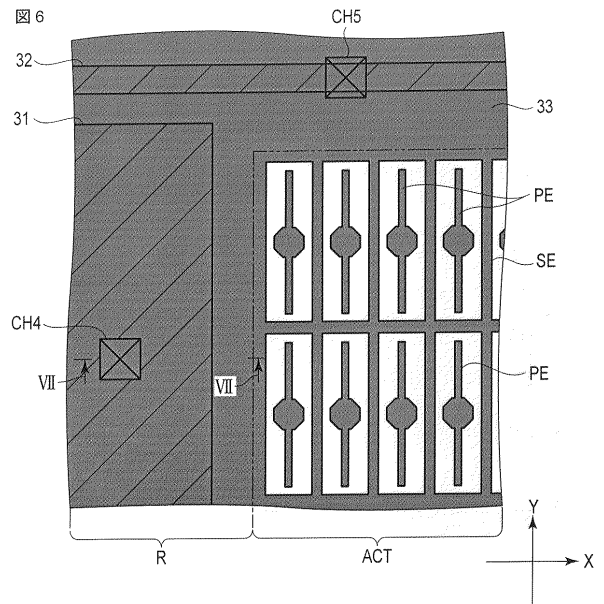
【図 4】



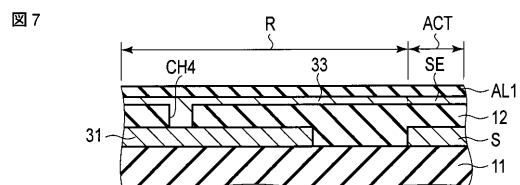
【図 5】



【図 6】

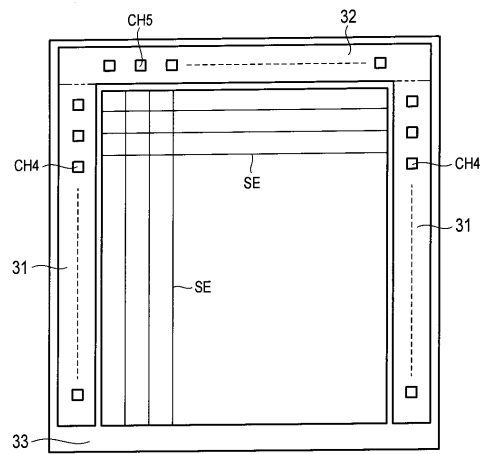


【図 7】



【図 8】

図 8



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(72)発明者 佐藤 裕治
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
Fターム(参考) 2H092 GA29 GA36 GA64 JA24 JA46 JB05 JB13 JB69 KA04 NA01
PA02 PA08 PA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013037234A	公开(公告)日	2013-02-21
申请号	JP2011174114	申请日	2011-08-09
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	佐藤裕治		
发明人	佐藤 裕治		
IPC分类号	G02F1/1343 G02F1/1345		
FI分类号	G02F1/1343 G02F1/1345		
F-TERM分类号	2H092/GA29 2H092/GA36 2H092/GA64 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB69 2H092/KA04 2H092/NA01 2H092/PA02 2H092/PA08 2H092/PA09		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5530987B2		
外部链接	Espacenet		

摘要(译)

提供一种显示质量优异的液晶显示装置。一种液晶显示装置，包括第一基板，第二基板和液晶层。第一基板形成在绝缘膜上，并且屏蔽电极SE面对栅极布线和源极布线的至少一部分，并形成在绝缘膜上并与屏蔽电极间隔开并沿第二方向Y延伸和一个主像素电极。第二基板具有沿第一方向X定位的一对主公共电极，主像素电极插入其间并沿第二方向Y延伸。第一基板还包括设置在非显示区域R中的外围配线31，以及电连接屏蔽电极和外围配线的外围连接电极33。[选图]图6

