

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-242798

(P2012-242798A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641P	5C006
G02F 1/133 (2006.01)	G09G 3/20 642E	5C080
	G09G 3/20 612U	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 15 O L (全 39 頁) 最終頁に続く		

(21) 出願番号	特願2011-116127 (P2011-116127)	(71) 出願人	000002369
(22) 出願日	平成23年5月24日 (2011.5.24)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	110000752
			特許業務法人朝日特許事務所
		(72) 発明者	北川 拓
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	保坂 宏行
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	2H193 ZA04 ZA07 ZD23 ZF12 ZF17
			ZH09 ZH23 ZH44 ZH53 ZP03
			ZP04 ZQ06 ZQ11 ZR04
			最終頁に続く

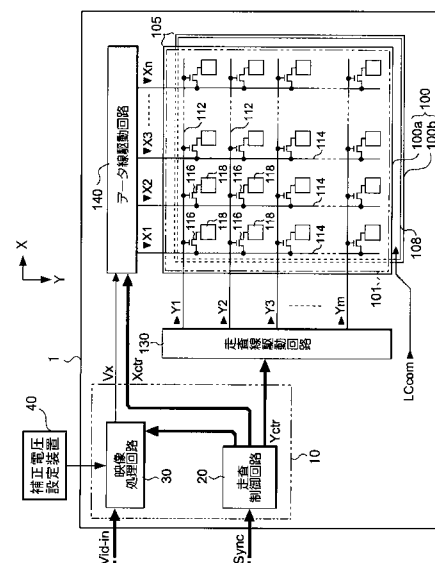
(54) 【発明の名称】 補正電圧設定方法、映像処理方法、補正電圧設定装置、映像処理回路、液晶表示装置及び電子機器

(57) 【要約】

【課題】横電界の影響による表示品位の低下を抑える。

【解決手段】入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界を検出する境界検出部と、前記境界検出部で検出された境界に接する前記第1画素、又は、当該第1画素から当該境界の反対側へ連続する2以上の前記第1画素の前記印加電圧を指定する映像信号を、設定された補正電圧を指定する映像信号に補正する補正部とを備える映像処理回路30に、前記補正電圧を設定する補正電圧設定装置40は、前記液晶素子のプレチルト角及び前記画素電極と前記共通電極との間のセルギャップの大きさの指標となる情報を測定し、測定した前記情報に応じて、補正後の前記第1画素の前記印加電圧が前記第1電圧以上で前記第2電圧を下回るように前記補正電圧を設定する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する境界検出部と、前記境界検出部で検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素の前記印加電圧を指定する映像信号を、設定された補正電圧を指定する映像信号に補正する補正部とを備える映像処理回路に、前記補正電圧を設定する補正電圧設定方法であって、

10

前記液晶素子のプレチルト角及び前記画素電極と前記コモン電極との間のセルギャップの大きさの指標となる情報を測定する測定ステップと、

前記測定ステップで測定された前記情報に応じて、補正後の前記第 1 画素の前記印加電圧が前記第 1 電圧以上で前記第 2 電圧を下回るように前記補正電圧を設定する補正電圧設定ステップと

を備えることを特徴とする補正電圧設定方法。

【請求項 2】

前記測定ステップにおいて、

前記画素を配列してなる表示面に表示される画像の明るさ及びコントラスト比を前記情報として測定する

20

ことを特徴とする請求項 1 に記載の補正電圧設定方法。

【請求項 3】

前記測定ステップにおいて、

決められた電圧が印加されたときの前記液晶素子の透過率を前記情報として測定することを特徴とする請求項 1 に記載の補正電圧設定方法。

【請求項 4】

前記測定ステップにおいて、

前記プレチルト角及び前記セルギャップを前記情報として測定する

ことを特徴とする請求項 1 に記載の補正電圧設定方法。

【請求項 5】

30

前記補正電圧設定ステップにおいて、

前記測定ステップで測定された前記情報に応じて設定する補正電圧を、当該情報が示す前記プレチルト角よりも小さいか、又は、当該情報が示す前記セルギャップよりも前記液晶素子の透過率が低くなる大きさである場合の補正電圧以上とする

ことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の映像処理方法。

【請求項 6】

画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する第 1 境界検出ステップと、

40

前記第 1 境界検出ステップで検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素について、請求項 1 から 5 のいずれか 1 項に記載された補正電圧設定方法で設定された前記補正電圧を指定する映像信号に補正する補正ステップと

を備えることを特徴とする映像処理方法。

【請求項 7】

画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧を

50

それぞれ規定する映像処理方法であって、

前記液晶素子のプレチルト角及び前記画素電極と前記コモン電極との間のセルギャップの大きさの指標となる情報を測定する測定ステップと、

前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する第 1 境界検出ステップと、

前記第 1 境界検出ステップで検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素について、前記測定ステップで測定した前記情報に応じた補正電圧であって、前記印加電圧を指定する映像信号を前記第 1 電圧以上で前記第 2 電圧を下回る補正電圧を指定する映像信号に補正する補正ステップと

10

を備えることを特徴とする映像処理方法。

【請求項 8】

前記第 1 境界検出ステップにおいて、

前記第 1 画素と前記第 2 画素との境界の一部の境界であって、前記液晶のチルト方位で定まるリスク境界を検出し、

前記補正ステップにおいて、

前記第 1 境界検出ステップで検出されたリスク境界に接する前記第 1 画素、又は、当該第 1 画素から当該リスク境界の反対側へ連続する 2 以上の前記第 1 画素を補正対象とすることを特徴とする請求項 6 又は 7 に記載の映像処理方法。

20

【請求項 9】

現フレームよりも 1 つ前のフレームの前記入力映像信号における前記第 1 画素と前記第 2 画素との境界を検出する第 2 境界検出ステップを有し、

前記補正ステップにおいて、

前記第 1 境界検出ステップで現フレームの前記入力映像信号から検出された境界のうち、前記第 2 境界検出ステップで検出された境界から変化した部分に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素の前記印加電圧を指定する映像信号を補正対象とする

ことを特徴とする請求項 6 から 8 のいずれか 1 項に記載の映像処理方法。

30

【請求項 10】

前記補正ステップにおいて、

前記 1 つ前のフレームから現フレームにかけて 1 画素分だけ移動した境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素の前記印加電圧を指定する映像信号を補正対象とする

ことを特徴とする請求項 9 に記載の映像処理方法。

【請求項 11】

画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する境界検出部と、前記境界検出部で検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素の前記印加電圧を指定する映像信号を、設定された補正電圧を指定する映像信号に補正する補正部とを備える映像処理回路に、前記補正電圧を設定する補正電圧設定装置であって、

40

前記液晶素子のプレチルト角及び前記画素電極と前記コモン電極との間のセルギャップの大きさの指標となる情報を測定する測定部と、

前記測定部で測定された前記情報に応じて、補正後の前記第 1 画素の前記印加電圧が前記第 1 電圧以上で前記第 2 電圧を下回るように前記補正電圧を設定する補正電圧設定部とを備えることを特徴とする補正電圧設定装置。

【請求項 12】

50

画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する境界検出部と、

前記境界検出部で検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素について、請求項 1 1 に記載された補正電圧設定装置で設定された前記補正電圧を指定する映像信号に補正する補正部と

を備えることを特徴とする映像処理回路。

10

【請求項 1 3】

画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

前記液晶素子のプレチルト角及び前記画素電極と前記コモン電極との間のセルギャップの大きさの指標となる情報を測定する測定部と、

前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する境界検出部と、

前記境界検出部で検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素について、前記測定部で測定した前記情報に応じた補正電圧であって、前記印加電圧を指定する映像信号を前記第 1 電圧以上で前記第 2 電圧を下回る補正電圧を指定する映像信号に補正する補正部と

を備えることを特徴とする映像処理回路。

20

【請求項 1 4】

第 1 基板に複数の画素の各々に対応して設けられた画素電極と第 2 基板に設けられたコモン電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

請求項 1 2 又は 1 3 に記載の映像処理回路と

を備えることを特徴とする液晶表示装置。

【請求項 1 5】

30

請求項 1 4 に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一定の間隙に保たれた一対の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率又は反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（又はその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが表示制御に寄与する、ということが出来る。

40

【0003】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えば V A（Vertical Alignment）方式

50

や、TN (Twisted Nematic) 方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（つまり、リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献1参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献2参照）などが提案されている。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開平6-34965号公報（図1）

【特許文献2】特開2009-69608号公報（図2）

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用することができない、という欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示する画像の明るさが設定値に制限されてしまう、という欠点もある。特に、特許文献2に開示された技術のように映像信号を補正する構成では、映像信号の変化を原因とした表示背反の発生が問題となることがある。

20

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る補正電圧設定方法にあつては、画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であつて、前記入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界を検出する境界検出部と、前記境界検出部で検出された境界に接する前記第1画素、又は、当該第1画素から当該境界の反対側へ連続する2以上の前記第1画素の前記印加電圧を指定する映像信号を、設定された補正電圧を指定する映像信号に補正する補正部とを備える映像処理回路に、前記補正電圧を設定する補正電圧設定方法であつて、前記液晶素子のプレチルト角及び前記画素電極と前記コモン電極との間のセルギャップの大きさの指標となる情報を測定する測定ステップと、前記測定ステップで測定された前記情報に応じて、補正後の前記第1画素の前記印加電圧が前記第1電圧以上で前記第2電圧を下回るように前記補正電圧を設定する補正電圧設定ステップとを備えることを特徴とする。

30

本発明によれば、映像処理回路において、表示面に表示される画像の変化が人間の眼に視認されにくい範囲内での映像信号の補正でリバースチルトドメインが低減されるように、補正電圧を設定することができる。また、液晶素子で構成される液晶パネルの構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

40

【0007】

本発明に係る補正電圧設定方法にあつては、前記測定ステップにおいて、前記画素を配列してなる表示面に表示される画像の明るさ及びコントラスト比を前記情報として測定するようにしてもよい。

本発明によれば、液晶素子のプレチルト角及びセルギャップの大きさに応じて変化する情報を用いて、補正電圧を設定することができる。

50

【 0 0 0 8 】

本発明に係る補正電圧設定方法にあつては、前記測定ステップにおいて、決められた電圧が印加されたときの前記液晶素子の透過率を前記情報として測定するようにしてもよい。

本発明によれば、液晶素子のプレチルト角及びセルギャップの大きさに応じて変化する透過率の測定により、補正電圧を設定することができる。

【 0 0 0 9 】

本発明に係る補正電圧設定方法にあつては、前記測定ステップにおいて、前記プレチルト角及び前記セルギャップを前記情報として測定するようにしてもよい。

本発明によれば、液晶素子のプレチルト角及びセルギャップの大きさを直接測定して、補正電圧を設定することができる。

10

【 0 0 1 0 】

本発明に係る補正電圧設定方法にあつては、前記補正電圧設定ステップにおいて、前記測定ステップで測定された前記情報に応じて設定する補正電圧を、当該情報が示す前記プレチルト角よりも小さいか、又は、当該情報が示す前記セルギャップよりも前記液晶素子の透過率が低くなる大きさである場合の補正電圧以上とするようにしてもよい。

本発明によれば、表示背反の発生を抑えつつリバースチルトドメインが低減することができる。

【 0 0 1 1 】

本発明に係る映像処理方法にあつては、画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であつて、前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する第 1 境界検出ステップと、前記第 1 境界検出ステップで検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素について、上記記載の補正電圧設定方法で設定された前記補正電圧を指定する映像信号に補正する補正ステップとを備えることを特徴とする。

20

本発明によれば、表示面に表示される画像の変化が人間の眼に視認されにくい範囲内の映像信号の補正でリバースチルトドメインが低減することができる。

30

【 0 0 1 2 】

本発明に係る映像処理方法にあつては、画素電極とコモン電極との間に液晶を挟持してなる液晶素子の印加電圧を画素毎に指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であつて、前記液晶素子のプレチルト角及び前記画素電極と前記コモン電極との間のセルギャップの大きさの指標となる情報を測定する測定ステップと、前記入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界を検出する第 1 境界検出ステップと、前記第 1 境界検出ステップで検出された境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素について、前記測定ステップで測定した前記情報に応じた補正電圧であつて、前記印加電圧を指定する映像信号を前記第 1 電圧以上で前記第 2 電圧を下回る補正電圧を指定する映像信号に補正する補正ステップとを備えることを特徴とする。

40

本発明によれば、表示面に表示される画像の変化が人間の眼に視認されにくい範囲内の映像信号の補正でリバースチルトドメインが低減することができる。また、プレチルト角やセルギャップに経時変化があった場合であっても、その変化に対応した補正電圧を設定することができる。

【 0 0 1 3 】

本発明に係る映像処理方法にあつては、前記第 1 境界検出ステップにおいて、前記第 1 画素と前記第 2 画素との境界の一部の境界であつて、前記液晶のチルト方位で定まるリスク境界を検出し、前記補正ステップにおいて、前記第 1 境界検出ステップで検出されたり

50

スク境界に接する前記第 1 画素、又は、当該第 1 画素から当該リスク境界の反対側へ連続する 2 以上の前記第 1 画素を補正対象とするようにしてもよい。

本発明によれば、液晶のチルト方位に応じてリバースチルトドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。

【 0 0 1 4 】

本発明に係る映像処理方法にあつては、現フレームよりも 1 つ前のフレームの前記入力映像信号における前記第 1 画素と前記第 2 画素との境界を検出する第 2 境界検出ステップを有し、前記補正ステップにおいて、前記第 1 境界検出ステップで前記入力映像信号から検出された境界のうち、前記第 2 境界検出ステップで検出された境界から変化した部分に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素の前記印加電圧を指定する映像信号を補正対象としてもよい。

10

本発明によれば、画像の動きに応じてリバースチルトドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。

【 0 0 1 5 】

本発明に係る映像処理方法にあつては、前記補正ステップにおいて、前記 1 つ前のフレームから現フレームにかけて 1 画素分だけ移動した境界に接する前記第 1 画素、又は、当該第 1 画素から当該境界の反対側へ連続する 2 以上の前記第 1 画素の前記印加電圧を指定する映像信号を補正対象としてもよい。

本発明によれば、画像が前フレームから現フレームにかけて移動した量に応じて、リバースチルトドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。

20

【 0 0 1 6 】

なお、本発明は、補正電圧設定方法及び映像処理方法のほか、補正電圧設定装置、映像処理回路、液晶表示装置及び当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】本発明の第 1 実施形態に係る映像処理回路を適用した液晶表示装置を示す図。

【図 2】同液晶表示装置における液晶素子の等価回路を示す図。

【図 3】同映像処理回路の構成を示す図。

30

【図 4】本発明の第 1 実施形態に係る補正電圧設定装置の構成を示す図。

【図 5】輝度と人間の眼で視認可能な輝度変化量の下限值との関係を模式的に表したグラフ。

【図 6】プレチルト角とコントラスト比との関係を模式的に表したグラフ。

【図 7】セルギャップと表示面の明るさとの関係を模式的に表したグラフ。

【図 8】同液晶表示装置を構成する液晶パネルの V - T 特性を示す図。

【図 9】同液晶パネルにおける表示動作を示す図。

【図 10】同映像処理回路における補正部の補正処理の概要を説明する図。

【図 11】同映像処理回路における境界の検出手順の説明図。

【図 12】同映像処理回路における補正処理を示す図。

40

【図 13】本発明の第 3 実施形態に係る補正処理の説明図。

【図 14】本発明の第 4 実施形態に係る映像処理回路の構成を示す図。

【図 15】同映像処理回路における補正処理を示す図。

【図 16】同映像処理回路における補正処理を示す図。

【図 17】液晶パネルにおいて V A 方式としたときの初期配向の説明図。

【図 18】同液晶パネルにおける画像の動きを説明するための図。

【図 19】同液晶パネルにおいて発生するリバースチルトの説明図。

【図 20】同液晶パネルにおける画像の動きを説明するための図。

【図 21】同液晶パネルにおいて発生するリバースチルトの説明図。

【図 22】本発明の第 5 実施形態に係る映像処理回路の構成を示す図。

50

- 【図 2 3】同映像処理回路におけるリスク境界の検出手順の説明図。
【図 2 4】同映像処理回路における補正処理を示す図。
【図 2 5】同液晶パネルにおいて他のチルト方位角としたときの図。
【図 2 6】同液晶パネルにおいて他のチルト方位角としたときの図。
【図 2 7】同映像処理回路における補正処理を示す図。
【図 2 8】本発明の第 6 実施形態に係る映像処理回路の構成を示す図。
【図 2 9】同映像処理回路における補正処理を示す図。
【図 3 0】本発明の変形例 1 に係る映像処理回路の構成を示す図。
【図 3 1】同液晶パネルにおいて T N 方式としたときの初期配向の説明図。
【図 3 2】同液晶パネルにおいて発生するリバースチルトの説明図。
【図 3 3】同液晶パネルにおいて発生するリバースチルトの説明図。
【図 3 4】液晶表示装置を適用したプロジェクターを示す図。
【図 3 5】横電界の影響による表示上の不具合等を示す図。
【発明を実施するための形態】
【0018】

以下、本発明の実施の形態について図面を参照しつつ説明する。

< 第 1 実施形態 >

まず、本発明の第 1 実施形態について説明する。

図 1 は、本実施形態に係る映像処理回路を適用した液晶表示装置 1 の全体構成を示すブロック図である。

図 1 に示すように、液晶表示装置 1 は、制御回路 10 と、液晶パネル 100 と、走査線駆動回路 130 と、データ線駆動回路 140 とを備える。制御回路 10 には、映像信号 Vid-in が上位装置から同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号及びドットクロック信号（いずれも図示省略）に従った走査の順番で供給される。

なお、映像信号 Vid-in は階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといって差し支えない。

【0019】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とを備える。走査制御回路 20 は、各種の制御信号を生成して、同期信号 Sync に同期して各部を制御する。映像処理回路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力する。

【0020】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成である。素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、且つ各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、この実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、...、(m - 1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、...、(n - 1)、n 列目という呼び方をする場合がある。

【0021】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。一方、

10

20

30

40

50

対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極（対向電極）108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって電圧 $L C_{com}$ が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 及び画素電極 118 については、破線で示すべきであるが、見難くなるのでそれぞれ実線で示す。

【0022】

図 2 は、液晶パネル 100 における等価回路を示す図である。

図 2 に示すように、液晶パネル 100 は、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成である。図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示すように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

ここで、走査線 112 が H レベルになると、その走査線にゲート電極が接続された TFT 116 がオンとなり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に階調に応じた電圧のデータ信号を供給すると、そのデータ信号は、オンした TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフするが、画素電極 118 に印加された電圧は、液晶素子 120 の容量性及び補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 及びコモン電極 108 によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が液晶パネル 100 における表示面 101 となる。

なお、本実施形態においては、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0023】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Y_{ctr} にしたがって、1、2、3、...、 m 行目の走査線 112 に、走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_m を供給する。詳細には、走査線駆動回路 130 は、図 9 (a) に示すように、走査線 112 をフレームにわたって 1、2、3、...、 $(m-1)$ 、 m 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧 V_H （H レベル）とし、それ以外の走査線への走査信号を非選択電圧 V_L （L レベル）とする。

なお、フレームとは、液晶パネル 100 を駆動することによって、画像の 1 コマ分を表示させるのに要する期間をいい、同期信号 $Sync$ に含まれる垂直走査信号の周波数が 60 Hz であれば、その逆数である 16.7 ミリ秒である。

【0024】

データ線駆動回路 140 は、映像処理回路 30 から供給されるデータ信号 V_x を、走査制御回路 20 による制御信号 X_{ctr} にしたがって 1 ~ n 列目のデータ線 114 にデータ信号 X_1 ~ X_n としてサンプリングする。

なお、本説明において電圧については、液晶素子 120 の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子 120 の印加電圧は、コモン電極 108 の電圧 $L C_{com}$ と画素電極 118 との電位差であり、他の電圧と区別するためである。

【0025】

さて、液晶素子 120 の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、例えば図 8 (a) に示すような $V-T$ 特性で表される。このため、液晶素子 120 を、映像信号 V_{id-in} で指定された階調レベルに応じた透過率とさせるには、その階調レベルに応じた電圧を液晶素子 120 に印加すればよいはずである。しかしながら、液晶素

10

20

30

40

50

子 1 2 0 の印加電圧を、映像信号 Vid-in で指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生する場合がある。

【 0 0 2 6 】

この不具合は、液晶素子 1 2 0 において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなることが原因のひとつとして考えられている。液晶素子 1 2 0 への印加電圧が、ノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} (第 1 電圧) を下回る電圧範囲 A にあると、縦電界による規制力が配向膜による規制力よりもわずかに上回る程度であるため、液晶分子の配向状態が乱れやすい。これが、液晶分子が不安定な状態にあるときである。逆にいえば、液晶素子 1 2 0 への印加電圧が閾値 V_{th1} 以上であれば、液晶分子が印加電圧に応じて傾斜し始める (透過率が変化し始める) ので、液晶分子の配向状態は安定状態にある、ということができる。便宜的に、液晶素子の印加電圧が電圧範囲 A にある液晶素子の透過率範囲 (階調範囲) を「a」とする。また、以下の説明においては、階調範囲 a における階調レベルを特に区別する必要のないときは、その階調レベルを「a」と表すことがある。

10

【 0 0 2 7 】

一方、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合をいい、これは、表示しようとする画像において黒レベル又は黒レベルに近い暗画素と、白レベル又は白レベルに近い明画素とが隣接する場合をいう。このうち、暗画素は、図 8 (a) に示すようなノーマリーブラックモードでは、印加電圧が電圧範囲 A にある液晶素子 1 2 0 であり、この暗画素に対して横電界を与えるのが明画素である。この明画素を特定するため、明画素を、印加電圧が閾値 V_{th2} (第 2 電圧) 以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲 B にある液晶素子 1 2 0 とする。便宜的に、液晶素子 1 2 0 の印加電圧が電圧範囲 B にある液晶素子の透過率範囲 (階調範囲) を「b」とする。また、以下の説明においては、階調範囲 b における各階調レベルを特に区別する必要のないときは、その階調レベルを「b」として表すことがある。

20

なお、ノーマリーブラックモードにおいて、閾値 V_{th1} は、液晶素子の相対透過率を 10 % とさせる光学的閾値電圧であり、閾値 V_{th2} は、液晶素子の相対透過率を 90 % とさせる光学的飽和電圧と考えてよい。

【 0 0 2 8 】

30

印加電圧が電圧範囲 A にある液晶素子は、電圧範囲 B にある液晶素子に隣接したときに、横電界を受けてリバースチルトドメインが発生しやすい状況にある。逆に、電圧範囲 B にある液晶素子は、電圧範囲 A にある液晶素子に隣接しても、縦電界の影響が支配的であるために安定状態にあるので、電圧範囲 A の液晶素子のようにリバースチルトドメインが発生することはない。

【 0 0 2 9 】

この表示上の不具合の例について説明すると、映像信号 Vid-in で示される画像が例えば図 3 5 に示されるようなものである場合、詳細には、階調範囲 a の暗画素が階調範囲 b の明画素を背景としてフレーム毎に 1 画素ずつ左方向に移動する場合、暗画素から明画素に変化すべき画素がリバースチルトドメインの発生によって階調範囲 b の階調にはならない、という一種の尾引き現象として顕在化する。この現象の原因のひとつとしては、暗画素と明画素とが隣接したときに、これらの画素同士の横電界が強くなって、その暗画素において液晶分子の配向が乱れるとともに、配向の乱れた領域が、暗画素の移動に伴って拡大したためである考えられる。

40

したがって、液晶分子の配向乱れに起因する表示上の不具合の発生を抑えるためには、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接するときでも、液晶パネル 1 0 0 では、暗画素と明画素とを隣接させないことが重要となる。

【 0 0 3 0 】

そこで、液晶パネル 1 0 0 の前段に設けられた映像処理回路 3 0 は、映像信号 Vid-in で示される画像を解析して、階調範囲 a の暗画素と階調範囲 b の明画素とが隣接する状態

50

があるか否かを検出する。そして、映像処理回路 30 は、暗画素と明画素との境界に隣接する暗画素の階調レベルを、補正電圧設定装置 40 により設定された補正電圧に対応する階調レベルであって、階調範囲 b でもなく、階調範囲 a でもない別の階調範囲 d に属する階調レベルに補正する。階調範囲 d は、階調範囲 a を上回り、且つ階調範囲 b を下回る階調レベルの範囲である。これにより、液晶パネル 100 では、横電界の影響を受けやすい画素（ノーマリーブラックモードでは暗画素）に対して強い横電界が発生しないことになる。

【0031】

補正電圧設定装置 40 は、液晶素子 120 のプレチルト角及び画素電極 118 とコモン電極 108 との間のセルギャップの大きさの指標となる情報を測定し、その測定結果に応じた補正電圧を液晶表示装置 1 の映像処理回路 30 に設定するものである。プレチルト角は、ラビング処理によって規定される初期配向により定まる。図 17 (b) を参照して説明すると、VA 方式の液晶分子は、画素電極 118 とコモン電極 108 との電位差（液晶素子の印加電圧）がゼロである状態において、チルト角（つまり、プレチルト角）が θ_a で初期配向している。図 17 (b) に示すように、チルト角 θ_a は、基板法線 Sv を基準にして、液晶分子の長軸 Sa のうち、画素電極 118 側の一端を固定点としてコモン電極 108 側の他端が傾斜したときに、液晶分子の長軸 Sa がなす角度である。

【0032】

この実施形態では、補正電圧設定装置 40 は、プレチルト角及びセルギャップの大きさの指標となる情報として、表示面 101 に表示される画像の明るさ及びコントラスト比を測定する。ここで、表示面 101 に表示される画像の明るさ（以下、「表示面 101 の画像の明るさ」ということがある。）は、表示面 101 全体を白状態（ここでは、最大階調）にしたときに測定された表示面 101 の輝度で表される。表示面 101 に表示される画像のコントラスト比は、表示面 101 全体を白状態（つまり、最大階調）にしたときの輝度を、黒状態（つまり、最小階調）にしたときの輝度で除した値（比率）で表される。要するに、補正電圧設定装置 40 が表示面 101 の画像の明るさ及びコントラスト比を測定することで、間接的に、プレチルト角及びセルギャップの大きさを把握することができる。表示面 101 の画像の明るさ及びコントラスト比と、プレチルト角及びセルギャップの大きさとの関係について詳しくは後述する。

補正電圧設定装置 40 は、液晶表示装置 1 からみて外部構成である。補正電圧設定装置 40 は、液晶表示装置 1 の検査段階や調整段階等において表示面 101 の画像の明るさ及びコントラスト比を測定し、その測定結果に応じた補正電圧を採用するよう液晶表示装置 1 に指示する。

【0033】

次に、映像処理回路 30 の詳細について、図 3 を参照して説明する。図 3 に示すように、映像処理回路 30 は、遅延回路 302、境界検出部 304、補正電圧決定部 306、補正部 308 及び D/A 変換器 310 を備える。

遅延回路 302 は、FIFO (Fast In Fast Out: 先入れ先出し) メモリーや多段のラッチ回路などにより構成され、上位装置から供給される映像信号 Vid-in を蓄積して、所定時間経過後に読み出して映像信号 Vid-d として出力するものである。なお、遅延回路 302 における蓄積及び読出は、走査制御回路 20 によって制御される。

【0034】

境界検出部 304 は、現フレーム境界検出部 3041 と、判別部 3042 とを備える。

現フレーム境界検出部 3041 は、現フレームの映像信号 Vid-in で示す画像を解析して、階調範囲 a にある暗画素（第 1 画素）と階調範囲 b にある明画素（第 2 画素）とが隣接する部分があるか否かを判別する。境界検出部 304 は、その隣接する部分があると判別したとき、その隣接部分である境界を検出して、境界の位置情報を出力する。

なお、ここでいう境界とは、あくまでも階調範囲 a にある暗画素と階調範囲 b にある明画素とが隣接する部分、すなわち、強い横電界が発生する部分をいう。このため、例えば階調範囲 a にある画素と、階調範囲 a でもなく階調範囲 b でもない別の階調範囲 d（図 8

10

20

30

40

50

(a) 参照) にある画素とが隣接する部分や、階調範囲 b にある画素と階調範囲 d にある画素とが隣接する部分については、境界として扱わない。

【 0 0 3 5 】

判別部 3 0 4 2 は、遅延して出力された映像信号 V id-d で示す画素が、現フレーム境界検出部 3 0 4 1 で検出された境界に接している暗画素であるか否かを判別する。そして、判別部 3 0 4 2 は、その判別結果が「 Y e s 」である場合には、この暗画素について、出力信号のフラグ Q を「 1 」として出力する。一方で、判別部 3 0 4 2 は、判別結果が「 N o 」であれば出力信号のフラグ Q を「 0 」として出力する。

なお、境界検出部 3 0 4 は、少なくとも複数ラインの映像信号を蓄積してからでないと、表示すべき画像における境界を検出することができないので、映像信号 V id-in の供給
10 タイミングを調整する意味で遅延回路 3 0 2 が設けられている。

以上のように、境界検出部 3 0 4 は現フレームの映像信号 V id-in に基づいて、暗画素と明画素とが隣接する部分の境界を検出する (第 1 境界検出ステップ) 。

【 0 0 3 6 】

補正電圧決定部 3 0 6 は、補正電圧設定装置 4 0 で設定された補正電圧の大きさを記憶するメモリーを有する。補正部 3 0 8 で映像信号が補正される際に、メモリーの記憶内容に応じて映像信号を補正する。

【 0 0 3 7 】

補正部 3 0 8 は、判別部 3 0 4 2 から供給されるフラグ Q が “ 1 ” であるときの暗画素の映像信号 V id-d を、補正電圧決定部 3 0 6 により決定された補正電圧が暗画素に対応する液晶素子 1 2 0 に印加される階調レベルに補正し、補正した映像信号 V id-out を出力する。補正部 3 0 8 は、例えば、表示面 1 0 1 の画像の明るさが増すほど暗画素に対応する印加電圧を上昇させるよう映像信号 V id-d を補正するし、コントラスト比が高くなるほど暗画素に対応する印加電圧を下降させるように映像信号 V id-d を補正する。ただし、補正後の映像信号の階調レベル (後述の階調レベル c 1 1 , c 1 2) は、階調範囲 d に含まれるように、上限となる階調レベルが閾値 V th2 により規定される階調レベルを下回るように設定されている。

一方、補正部 3 0 8 は、判別部 3 0 4 2 から供給されるフラグ Q が “ 0 ” であるときには、映像信号を補正することなく、映像信号 V id-d をそのまま映像信号 V id-out として出力する (補正ステップ) 。

【 0 0 3 8 】

D / A 変換器 3 1 0 は、デジタルデータである映像信号 V id-out を、アナログのデータ信号 V x に変換する。液晶 1 0 5 に直流成分が印加されるのを防止するため、データ信号 V x の電圧は、ビデオ振幅中心である電圧 V cnt に対して高位側の正極性電圧と低位側の負極性電圧とに例えばフレーム毎に交互に切り替えられる。

なお、コモン電極 1 0 8 に印加される電圧 L C com は、電圧 V cnt とほぼ同電圧と考えてよいが、n チャネル型の T F T 1 1 6 のオフリーク等を考慮して、電圧 V cnt よりも低位となるように調整されることがある。

【 0 0 3 9 】

次に、液晶表示装置 1 の表示動作について説明すると、上位装置からは映像信号 V id-i n が、フレームにわたって 1 行 1 列 ~ 1 行 n 列、2 行 1 列 ~ 2 行 n 列、3 行 1 列 ~ 3 行 n 列、...、m 行 1 列 ~ m 行 n 列の画素の順番で、供給される。映像処理回路 3 0 は、映像信号 V id-in を遅延・補正等の処理をして映像信号 V id-out として出力する。
40

ここで、1 行 1 列 ~ 1 行 n 列の映像信号 V id-out が出力される水平有効走査期間 (H a) でみたときに、処理された映像信号 V id-out は、D / A 変換器 3 1 0 によって、図 9 (b) で示すように正極性又は負極性のデータ信号 V x に変換される。ここでは例えば正極性のデータ信号に変換される。このデータ信号 V x は、データ線駆動回路 1 4 0 によって 1 ~ n 列目のデータ線 1 1 4 にデータ信号 X 1 ~ X n としてサンプリングされる。

一方、1 行 1 列 ~ 1 行 n 列の映像信号 V id-out が出力される水平走査期間では、走査制御回路 2 0 が走査線駆動回路 1 3 0 に対し走査信号 Y 1 だけを H レベルとなるように制御
50

する。走査信号 Y 1 が H レベルであれば、1 行目の T F T 1 1 6 がオン状態になるので、データ線 1 1 4 にサンプリングされたデータ信号は、オン状態にある T F T 1 1 6 を介して画素電極 1 1 8 に印加される。これにより、1 行 1 列 ~ 1 行 n 列の液晶素子には、それぞれ映像信号 V id-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

【 0 0 4 0 】

続いて、2 行 1 列 ~ 2 行 n 列の映像信号 V id-in は、同様に映像処理回路 3 0 によって処理されて、映像信号 V id-out として出力されるとともに、D / A 変換器 3 1 0 によって正極性のデータ信号に変換された上で、データ線駆動回路 1 4 0 によって 1 ~ n 列目のデータ線 1 1 4 にサンプリングされる。

2 行 1 列 ~ 2 行 n 列の映像信号 V id-out が出力される水平走査期間では、走査線駆動回路 1 3 0 によって走査信号 Y 2 だけが H レベルとなるので、データ線 1 1 4 にサンプリングされたデータ信号は、オン状態にある 2 行目の T F T 1 1 6 を介して画素電極 1 1 8 に印加される。これにより、2 行 1 列 ~ 2 行 n 列の液晶素子には、それぞれ映像信号 V id-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が 3、4、...、m 行目に対して実行され、これにより、各液晶素子に、映像信号 V id-out で指定された階調レベルに応じた電圧が書き込まれて、映像信号 V id-in で規定される透過像が作成されることとなる。

次のフレームでは、データ信号の極性反転によって映像信号 V id-out が負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【 0 0 4 1 】

図 9 (b) は、映像処理回路 3 0 から、水平走査期間 (H) にわたって 1 行 1 列 ~ 1 行 n 列の映像信号 V id-out が出力されたときのデータ信号 V x の一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号 V x は、正極性であれば、基準電圧 V cnt に対し、映像処理回路 3 0 によって処理された階調レベルに応じた分だけ高位側の電圧 (図 9 (b) において ↑ で示す) になり、負極性であれば、基準電圧 V cnt に対し、階調レベルに応じた分だけ低位側の電圧 (図 9 (b) において ↓ で示す) になる。

詳細には、データ信号 V x の電圧は、正極性であれば、白に相当する電圧 V w (+) から黒に相当する電圧 V b (+) までの範囲で、一方、負極性であれば、白に相当する電圧 V w (-) から黒に相当する電圧 V b (-) までの範囲で、それぞれ基準電圧 V cnt から階調に応じた分だけ偏位させた電圧となる。

電圧 V w (+) 及び電圧 V w (-) は、電圧 V cnt を中心に互いに対称の関係にある。電圧 V b (+) 及び V b (-) についても電圧 V cnt を中心に互いに対称の関係にある。

なお、図 9 (b) は、データ信号 V x の電圧波形を示すものであって、液晶素子 1 2 0 に印加される電圧 (画素電極 1 1 8 とコモン電極 1 0 8 との電位差) とは異なる。また、図 9 (b) におけるデータ信号の電圧の縦スケールは、図 9 (a) における走査信号等の電圧波形と比較して拡大してある。

【 0 0 4 2 】

図 4 は、補正電圧設定装置 4 0 の構成を示すブロック図である。補正電圧設定装置 4 0 は、測定部 4 0 1 と、補正電圧設定部 4 0 2 とを備える。

測定部 4 0 1 は、液晶素子 1 2 0 のプレチルト角及びセルギャップの大きさの指標となる情報として、表示面 1 0 1 の画像の明るさ及びコントラスト比を測定し、補正電圧設定部 4 0 2 に測定結果を出力する。測定部 4 0 1 は、表示面 1 0 1 の画像の明るさを測定する際には、液晶表示装置 1 に表示面 1 0 1 を全面白状態にするよう指示し、白状態になったときの輝度を測定する。また、測定部 4 0 1 は、表示面 1 0 1 のコントラスト比を測定する際には、液晶表示装置 1 に表示面 1 0 1 を順次全面白状態及び黒状態にするよう指示し、白状態及び黒状態になったときの輝度をそれぞれ測定する。そして、測定部 4 0 1 は、白状態のときの輝度を黒状態のときの輝度で除して、コントラスト比を算出する。

【 0 0 4 3 】

補正電圧設定部 4 0 2 は、補正電圧 L U T (Look Up Table) 4 0 3 を有し、補正電圧

10

20

30

40

50

LUT403において測定部401の測定結果に対応付けられた大きさの補正電圧を、映像処理回路30に設定する。補正電圧LUT403は、表示面101の画像の明るさ及びコントラスト比との組み合わせの各々に対応した補正電圧の大きさを予め記憶したテーブルであって、表示面101の画像の明るさ及びコントラスト比の組み合わせに対応する補正電圧を決定するための二次元変換テーブルである。補正電圧設定部402は、測定した表示面101の画像の明るさ及びコントラスト比の測定結果に、補正電圧LUT403において対応付けられた補正電圧を設定する。補正電圧決定部306は、この指示に従って補正電圧を決定する。このようにして、補正電圧設定部402は、補正電圧LUT403に記述された内容に従って補正電圧を設定する（補正電圧設定ステップ）。

【0044】

10

映像処理回路30の補正部308による補正処理の具体例について説明する。

図10は、補正部308の補正処理の概要を説明する図である。図10は、一方向に並ぶ6つの画素と各画素の映像信号との対応関係を表した図である（正極性書込である場合とする。）、図10(a)は、補正処理を行わない場合の対応関係を表した図であり、図10(b)は、測定部401の測定結果において表示面101の画像の明るさのレベルが相対的に低い（つまり、暗い）、又はコントラスト比が相対的に高く場合の補正処理後の対応関係を表した図である。図10(c)は、測定部401の測定結果において表示面101の画像の明るさのレベルが相対的に高い（つまり、明るい）、又はコントラスト比が相対的に低い場合の補正処理後の対応関係を表した図である。

【0045】

20

図10(a)に示すように、仮に、映像信号Vid-inを映像処理回路30で処理しないで液晶パネル100に供給する構成とした場合、明画素の画素電極の電位は、暗画素の画素電極の電位よりも高くなるが、その電位差が大きいので、横電界の影響を受けやすくなる。一方、負極性である場合、電圧Vcnt（ほぼ電圧LCcomに等しい）を基準にして対称となり、電位の高低関係が逆転するが、電位差が大きいことに変わりはないので、やはり横電界の影響を受けやすくなる。これに対し、映像処理回路30の構成によれば、図10(b)、(c)で示されるように、暗画素の画素電極の電位が補正処理前よりも引き上げられる。ここでは、図10(b)に示すように、表示面101の画像の明るさのレベルが相対的に低い、又はコントラスト比が相対的に高い場合、暗画素の階調レベルaはc11に補正され、図10(c)に示すように、表示面101の画像の明るさのレベルが相対的に高い、又はコントラスト比が相対的に低い場合、暗画素の階調レベルaはc12に補正される。ただし、c11、c12は、 $c11 < c12$ という条件を満たしている。このような補正処理により、画素電極同士の電位差が段階的に変化するので、横電界の発生する領域を分散させて画隣接画素間の電位差が小さくなり、横電界の影響を抑えることが可能となる。これによって、階調範囲aの暗画素が階調範囲bの明画素を背景としてフレーム毎に左方向に移動する場合であっても、リバーシブルドメインの発生は抑制されるので、図35に示されるような尾引き現象の発生は目立たなくなる。

30

ところで、リバーシブルドメインを抑制することだけを考えれば、図10(b)に示す補正処理よりも、図10(c)に示す補正処理の方が好適である。一方で、この実施形態で補正電圧の態様を表示面101の画像の明るさ及びコントラスト比に応じて変化させているのは、リバーシブルドメインの低減とともに表示背反の発生の影響を抑えるためである。以下、その理由について説明する。

40

【0046】

図5は、輝度と、人間の眼で視認可能な輝度変化量の下限值との関係を模式的に表したグラフである。輝度変化量の下限值とは、輝度の変化があった場合にその変化があったことを人間の眼で視認可能な最小の輝度変化の量である。図5に示すように、輝度変化量の下限值は、輝度が高いほど高くなる。要するに、ある量の輝度変化は、人間の眼に入る光の輝度が高いほど視認されにくくなる。換言すると、人間は注視対象の輝度が低い（暗い）状態であるほど、視認可能な輝度変化量の下限值が低くなり、わずかな輝度差であっても視認可能となる。つまり、明画素の輝度（明るさ）が同じであれば、表示面101の

50

画像が明るいほど、又は、コントラスト比が低いほど暗画素の輝度が高くなり、視認可能な輝度変化量の下限值が高くなる。

【 0 0 4 7 】

ところで、液晶素子 1 2 0 のプレチルト角やセルギャップの大きさに応じて、表示面 1 0 1 に表示される画像の明るさやコントラスト比は変化する。図 6 は、液晶素子 1 2 0 のプレチルト角と、表示面 1 0 1 の画像の明るさとの関係を模式的に表したグラフである。図 6 に示すように、プレチルト角が大きくなるにつれて、表示面 1 0 1 のコントラスト比がほぼ線形的に低減する。このようになるのは、プレチルト角が小さいほど、電圧印加に応じた液晶分子の姿勢の変化が大きくなるので、黒状態のときと白状態のときにおける透過率の差が大きくなるためである。なお、この透過率は、 $(\text{白状態のときの輝度} - \text{黒状態のときの輝度}) / (\text{ある電圧印加時の輝度} - \text{黒状態のときの輝度})$ で表される相対透過率である。

10

【 0 0 4 8 】

図 7 は、セルギャップと、表示面 1 0 1 における画像の明るさとの関係を模式的に表したグラフである。図 7 に示すように、あるセルギャップとなるまでは、セルギャップが大きいくほど表示面 1 0 1 の画像の明るさのレベルが大きくなり、そのセルギャップを超えると、セルギャップが大きいくほど表示面 1 0 1 の画像の明るさのレベルが小さくなる。このようになるのは、以下の理由のためである。白状態のときの電圧印加時において、液晶分子が表示面 1 0 1 に水平となり、液晶 1 0 5 を通過する光の偏光成分が 9 0 度回転するセルギャップである場合に、表示面 1 0 1 の画像の明るさが最大となる。一方、セルギャップの大きさが表示面 1 0 1 の画像の明るさが最大となる場合の大きさから変化した場合、この偏光成分の回転角が 9 0 度からずれることになり、明るさのレベルが小さくなる。

20

【 0 0 4 9 】

表示面 1 0 1 の画像の明るさ及びコントラスト比は、以上のような理由により、液晶素子 1 2 0 のプレチルト角及びセルギャップの大きさに依存する。このような理由から、表示面 1 0 1 の画像が明るく、又はコントラスト比が低い場合には、映像信号の補正が視認されにくいため、横電界の強度を低くし、リバースチルトドメインの低減の効果がより大きくなるよう、補正電圧設定部 4 0 2 は、補正後の映像信号の階調レベルを高くする補正電圧を設定する。一方で、表示面 1 0 1 の画像が暗く、又はコントラスト比が高いには、映像信号の補正が視認しやすいくため、表示背反の影響を抑えるように、補正電圧設定部 4 0 2 は、補正後の映像信号の階調レベルを低くする補正電圧を設定する。要するに、この実施形態の補正電圧設定装置 4 0 は、プレチルト角が大きくなる場合ほど、又は、液晶素子 1 2 0 の透過率が高くなるセルギャップである場合ほど、補正電圧を高くする。これにより、映像処理回路 3 0 では、表示映像の変化が人間の眼に視認されにくい範囲内での映像信号の補正によりリバースチルトドメインを低減することができる。

30

【 0 0 5 0 】

ここで、映像信号 Vid-in で示される画像が例えば図 1 1 (1) に示すものである場合、境界検出部 3 0 4 によって検出される境界は、図 1 1 (2) に示すとおりである。映像処理回路 3 0 では、検出された境界に隣接し、階調レベルが階調範囲 a に属する暗画素を補正対象とする。ここでは、補正部 3 0 8 は、図 1 2 に示すように抽出された境界に接する暗画素の映像信号を補正する。図 1 2 (a) は、図 1 0 (b) に示す内容の補正処理が行われた場合を示したものであり、図 1 2 (b) は、図 1 0 (c) に示す内容の補正処理が行われた場合を示したものである。

40

なお、暗画素のある一角において縦横に連続する境界が位置している暗画素は、「境界に接している」と扱う。これは、斜め方向に 1 画素分画像が移動したときに対処するためである。これに対して、暗画素のある一角において縦又は横のみに断裂した境界が位置する暗画素については、縦横で連続した境界が位置していないので、境界に接していると扱わない。

【 0 0 5 1 】

このように、本実施形態によれば、上述したリバースチルトドメインに起因する表示上

50

の不具合の発生を事前に回避することが可能となる。特に、本実施形態では、液晶パネル 100 に表示される画像の変化が人間の眼に視認されにくい範囲内での映像信号の補正によりリバースチルトドメインを低減するので、プレチルト角及びセルギャップに鑑み映像信号の変化が視認されにくい場合には、補正電圧を高くしてリバースチルトドメインの低減の効果を増大させ、映像信号の変化が視認されやすい場合には、補正電圧を低くして表示背反の発生を抑えることができる。

【0052】

また、本実施形態では、映像信号が示す 1 コマの画像全体ではなく、画素同士における境界及びリスク境界を検出するための処理だけで済むので、2 コマ分以上の画像を解析して動きを検出する構成と比較して、映像処理回路の大規模化や複雑化を抑えることが可能である。さらには、リバースチルトドメインが発生しやすい状態の領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。また、本実施形態では、設定値以上の映像信号を一律にクリップしもないので、使用しない電圧範囲を設けることによってコントラスト比に悪影響を与えることもない。また、液晶パネル 100 の構造に変更等を加える必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

10

【0053】

< 第 2 実施形態 >

次に、本発明の第 2 実施形態を説明する。

上述した第 1 実施形態では、補正電圧設定装置 40 の測定部 401 は、プレチルト角及びセルギャップの大きさに応じて変化する情報として、表示面 101 に表示される画像の明るさ又はコントラスト比を測定していたが、プレチルト角及びセルギャップの大きさそのものを測定してもよい。

20

【0054】

この場合、測定部 401 は、プレチルト角及びセルギャップを測定すると、測定結果を補正電圧設定部 402 に供給する。補正電圧設定部 402 の補正電圧 LUT 403 は、プレチルト角とセルギャップとの組み合わせの各々に対応して、映像処理回路 30 の補正部 308 での映像信号の補正において参照される補正電圧を予め記憶したテーブルであって、プレチルト角とセルギャップの組み合わせに対応する補正電圧を出力する二次元変換テーブルである。補正電圧 LUT 403 は、測定されたプレチルト角及びセルギャップに対応付けられた補正電圧を、映像処理回路 30 に設定する。補正電圧決定部 306 は、プレチルト角及びセルギャップの測定結果に応じて設定された補正電圧で補正部 308 が映像信号を補正するよう、補正電圧を決定する。この場合も、補正電圧設定装置 40 は、プレチルト角が大きくなる場合、又は液晶素子 120 の透過率が大きくなるセルギャップである場合ほど、補正電圧を高くする。

30

それ以外の構成及び動作は上述した第 1 実施形態と同じである。

【0055】

このように、本実施形態では、プレチルト角及びセルギャップの測定結果を元に補正電圧を決定しているので、プレチルト角及びセルギャップの大きさに応じた補正電圧をより適切に設定することが期待でき、リバースチルトドメインの低減及び表示背反の発生を抑えることの効果がより増すことを期待できる。

40

【0056】

< 第 3 実施形態 >

上述した第 1 実施形態では、補正電圧設定装置 40 は表示面 101 の画像の明るさ及びコントラスト比を測定していたが、決められた電圧印加時の液晶素子 120 の透過率を測定して、補正電圧を決定することも可能である。

補正電圧設定装置 40 は、図 13 に示す V - T 特性の立ち上がり箇所として、例えば 2.0 V 印加時の一点の透過率の測定結果を元に、補正電圧を設定する。

液晶パネル 100 毎にプレチルト角及びセルギャップが異なる場合、V - T 特性の立ち上がり形状は、図 13 に示す液晶パネル 100 のサンプル A 及び B のように、液晶パネル

50

100毎に異なるものとなる。具体的には、セルギャップが表示面101の画像の明るさに大きく依存するし、プレチルト角が表示面101のコントラスト比に大きく依存する。つまり、V-T特性の立ち上がり部に相当する、例えば2.0V印加時の透過率に注目した場合、その値はプレチルト角及びセルギャップの大きさに対応して異なる。サンプルAは、表示面101の明るさが2000lmでコントラスト比が2000:1の場合、図13に示すサンプルAのV-T特性となり、視認可能な補正透過率を与える補正電圧はVAである。また、2.0V印加時の透過率は2.5%である。サンプルBは、表示面101の明るさが1000lmでコントラスト比が1000:1の場合、図13に示すサンプルBのV-T特性となり、視認可能な補正透過率を与える補正電圧はVBである(ただし、 $VA < VB$)。また、2.0V印加時の透過率は1.2%である。従って、2.0V印加時の液晶素子120の透過率を測定し、透過率が2.5%のときは補正電圧をVAとし、透過率が1.2%のときは補正電圧をVBとする。

10

20

30

40

50

【0057】

以上のように、或るプレチルト角及びセルギャップに対する2.0V印加時の液晶素子の透過率の変化と、プレチルト角及びセルギャップに対する補正電圧の変化とは同様の傾向を示す。よって、測定部401が2.0Vという一点の電圧印加時の透過率を測定すれば、補正電圧設定部402はこの透過率の測定結果に基づいて、補正電圧を設定することが可能である。この場合、2.0V印加時の透過率と補正電圧の関係を予め測定しておき、補正電圧LUT403に記述されていればよい。この場合、補正電圧設定装置40は、測定された透過率が高いほど補正電圧を高くするよう、液晶表示装置1に補正電圧を設定する。例えば、図13に示すように、サンプルAよりもサンプルBの方が、2.0V印加時における透過率が高く、視認可能な透過率の下限值も高いので、補正電圧をより高くするように設定可能である。

この実施形態の映像処理回路30によれば、2.0V印加時の一点の透過率の測定結果を元に、補正電圧を決定することが可能となる。なお、ここでは電圧印加を2.0Vとしていたが、これ以外の電圧を採用してもよい。ただし、V-T特性の立ち上がり部付近の電圧であることが好ましい。

【0058】

< 第4実施形態 >

上述した各実施形態では、現フレームの映像信号において境界に隣接するすべての暗画素を補正対象としていたが、この実施形態では、画像の動きを考慮して補正対象の画素を絞り込む点で上述した各実施形態と相違する。画像の動きを考慮する根拠についてまず説明する。

リバースチルトドメインに起因する表示上の不具合の例について説明する。例えば図35に示すように、映像信号Vid-inで示す画像が、白画素を背景として黒画素が連続する黒パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その黒パターンの左端縁部(動きの後縁部)において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、という一種の尾引き現象として顕在化する。

なお、本実施形態のように、液晶パネル100が、映像信号Vid-inの供給速度と等倍速で駆動される場合に、白画素を背景とした黒画素の領域がフレーム毎に2画素以上ずつ移動するとき、後述するように液晶素子の応答時間が、表示画面が更新される時間間隔より短ければ、このような尾引き現象は顕在化しない(又は、視認されにくい)。この理由は、次のように考えられる。すなわち、あるフレームにおいて、白画素と黒画素とが隣接したときに、その白画素でリバースチルトドメインが発生するかもしれないが、画像の動きを考えると、リバースチルトドメインが発生する画素が離散的となるので、視覚的に目立たない、と考えられるからである。

なお、図35において見方を変えると、黒画素を背景として白画素が連続する白パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その白パターンの右端縁部(動きの先端部)において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、ということもできる。

また、図 3 5 においては、説明の便宜上、画像のうち、1 ラインの境界付近を抜き出している。

【 0 0 5 9 】

以上のように、動きを伴う画像である場合、映像信号 Vid-in で示される現フレームの画像において、境界に接する画素であっても、現フレームの 1 つ前である前フレームを含めた動きを考えると、映像信号を補正する必要があるときと、補正する必要がないときとがある。この実施形態では、上記第 1 ~ 3 実施形態のように暗画素の映像信号を補正する構成で、前フレームから現フレームにかけての画像の動きを考慮して、補正対象の暗画素を定めている。以下の説明において、第 1 実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

10

【 0 0 6 0 】

次に、映像処理回路 3 0 の詳細について図 1 4 を参照して説明する。図 1 4 に示すように、映像処理回路 3 0 は、遅延回路 3 0 2、境界検出部 3 0 4、補正電圧決定部 3 0 6、補正部 3 0 8 及び D / A 変換器 3 1 0 を備える。補正電圧決定部 3 0 6 は、上述した第 1 ~ 3 実施形態のいずれかと同等にして補正電圧を決定する。補正部 3 0 8 は、補正電圧決定部 3 0 6 で決定された補正電圧で、上述した第 1 ~ 3 実施形態のいずれかと同じ方法で補正処理を行う。

境界検出部 3 0 4 は、現フレーム境界検出部 3 0 4 1、前フレーム境界検出部 3 0 4 3、保存部 3 0 4 4、適用境界決定部 3 0 4 5 及び判別部 3 0 4 2 を備える。

現フレーム境界検出部 3 0 4 1 は、現フレームの映像信号 Vid-in で示される画像を解析して、階調範囲 a にある暗画素（第 1 画素）と階調範囲 b にある明画素（第 2 画素）とが隣接する部分があるか否かを判別する。そして、現フレーム境界検出部 3 0 4 1 は、隣接する部分があると判別したときに、その隣接部分を境界として検出して、境界の位置情報を出力する。

20

前フレーム境界検出部 3 0 4 3 は、前フレームの映像信号 Vid-in で示される画像を解析して、暗画素と明画素とが隣接する部分を境界として検出する。ここで前フレーム境界検出部 3 0 4 3 が検出する境界についての定義は、現フレーム境界検出部 3 0 4 1 についてのそれと同じである。前フレーム境界検出部 3 0 4 3 は、前フレームの入力映像信号における暗画素と明画素との境界を検出する（第 2 境界検出ステップ）。すなわち、前フレーム境界検出部 3 0 4 3 は、第 2 境界検出部として機能する。

30

保存部 3 0 4 4 は、前フレーム境界検出部 3 0 4 3 によって検出された境界の位置情報を保存して、1 フレーム期間だけ遅延させて出力するものである。

したがって、現フレーム境界検出部 3 0 4 1 で検出される境界は現フレームに係るものであるのに対し、前フレーム境界検出部 3 0 4 3 で検出されて保存部 3 0 4 4 に保存される境界は、前フレームに係るものとなる。

【 0 0 6 1 】

適用境界決定部 3 0 4 5 は、現フレーム境界検出部 3 0 4 1 によって検出された現フレーム画像の境界のうち、保存部 3 0 4 4 に保存された前フレーム画像の境界と同じ部分を除外したものを、適用境界として決定する。すなわち、適用境界は、前フレームから現フレームにかけて変化した境界であり、前フレームでは存在せず、かつ、現フレームでは存在する境界と換言される。

40

【 0 0 6 2 】

判別部 3 0 4 2 は、遅延して出力された映像信号 Vid-d で示す画素が、適用境界決定部 3 0 4 5 で決定された適用境界に接している暗画素であるか否かを判別する。そして、判別部 3 0 4 2 は、その判別結果が「Y e s」である場合には、この暗画素について、出力信号のフラグ Q を「1」として出力する。一方で、判別部 3 0 4 2 は、判別結果が「N o」であれば出力信号のフラグ Q を「0」として出力する。

【 0 0 6 3 】

補正部 3 0 8 は、判別部 3 0 4 2 から供給されるフラグ Q が「1」であるときの暗画素の映像信号 Vid-d を、補正電圧決定部 3 0 6 で決定された補正電圧に応じて、階調レベル

50

の映像信号に補正し、補正した映像信号 Vid-out を出力する。一方、補正部 308 は、判別部 3042 から供給されるフラグ Q が “ 0 ” であるときには、映像信号を補正することなく、映像信号 Vid-d をそのまま映像信号 Vid-out として出力する（補正ステップ）。

【0064】

映像処理回路 30 による補正処理の具体例について説明する。

前フレームの映像信号 Vid-in で示される画像が例えば図 15 (1) に示されるとおりであって、現フレームの映像信号 Vid-in で示される画像が例えば図 15 (2) に示されるとおりである場合、各フレームの映像信号 Vid-in で示される画像における境界は、それぞれ図 15 (3) に示すとおりである。そして、現フレーム境界検出部 3041 のうち、前フレーム境界検出部 3043 により検出される境界により検出される境界と重複しないものが適用境界として、適用境界決定部 3045 で決定される。よって、この実施形態の境界は、図 16 (a) で示されるとおりである。

10

【0065】

ここで、映像信号 Vid-in で示す画像が図 15 (1) から図 15 (2) のように変化した場合の、映像信号 Vid-out を図 16 (b) , (c) に示す。図 16 (b) は、表示面 101 の画像の明るさのレベルが相対的に低いか、コントラスト比が相対的に高い場合の補正処理を例示したものである。図 16 (c) は、表示面 101 の画像の明るさのレベルが相対的に高いか、コントラスト比が相対的に低い場合の補正処理を例示したものである。

補正部 308 は、図 16 (b) , (c) に示すように、前フレームから現フレームに掛けて変化した境界に接する暗画素の印加電圧を指定する映像信号を、補正対象としている。

20

補正対象の画素の決定方法以外については、上述した各実施形態と同様に実施可能である。

以上説明した第 4 実施形態によれば、上述した第 1 ~ 3 実施形態のいずれかの実施形態と共通の作用効果を奏するとともに、リバースチルトドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

【0066】

< 第 5 実施形態 >

上述した各実施形態では、現フレームの映像信号において境界に隣接する暗画素を補正対象としていたが、この実施形態では、液晶分子のチルト方位角及びチルト角を考慮して補正対象の画素をさらに絞り込む点で上記各実施形態と相違する。液晶分子のチルト方位角及びチルト角を考慮する根拠についてまず説明する。

30

上述したように、変化前において液晶分子が不安定な状態にあった画素は、画像の動きによって暗画素と明画素とが隣接することになったときの横電界の影響によって、リバースチルトドメインが発生しやすい状況にあるということが出来る。ただし、液晶分子の初期配向状態を考慮して検討すると、暗画素と明画素との位置関係によってリバースチルトドメインが発生する場合と発生しない場合とがある。

そこで次に、これらの場合をそれぞれ検討する。

【0067】

図 17 (a) は、液晶パネル 100 において互いに縦方向及び横方向に隣接する 2×2 の画素を示す図であり、図 17 (b) は、液晶パネル 100 を、図 17 (a) における p - q 線を含む垂直面で破断したときの簡易断面図である。

40

図 17 に示すように、VA 方式の液晶分子は、画素電極 118 とコモン電極 108 との電位差（液晶素子の印加電圧）がゼロである状態において、チルト角（プレチルト角）が θa で、チルト方位角が θb (= 45 度) で、初期配向しているものとする。ここで、リバースチルトドメインは、上述したように画素電極 118 同士の横電界に起因して発生することから、画素電極 118 が設けられた素子基板 100 a の側における液晶分子の振る舞いが問題となる。このため、液晶分子のチルト方位角及びチルト角については、画素電極 118 (素子基板 100 a) の側を基準にして規定する。

【0068】

50

チルト方位角 θ_b とは、データ線 114 の配列方向である Y 方向に沿った基板垂直面を基準にして、液晶分子の長軸 S_a 及び基板法線 S_v を含む基板垂直面 (p - q 線を含む垂直面) がなす角度とする。なお、チルト方位角 θ_b については、画素電極 118 の側からコモン電極 108 に向けて平面視したときに、画面上方向 (Y 方向の反対方向) から、液晶分子の長軸の一端を始点として他端に向かう方向 (図 17 (a) では右上方向) までも、時計回りで規定した角度とする。

また、同様に画素電極 118 の側から平面視したときに、液晶分子における画素電極側の一端から他端に向かう方向を便宜的にチルト方位の下流側と呼び、反対に他端から一端に向かう方向 (図 17 (a) では左下方向) を便宜的にチルト方位の上流側と呼ぶことにする。

10

【0069】

このような初期配向となる液晶 105 を用いた液晶パネル 100 において、例えば図 18 (a) に示すように、破線で囲まれた 2×2 の 4 画素に着目する。図 18 (a) では、白レベルの画素 (白画素) からなる領域を背景として黒レベルの画素 (黒画素) からなるパターンが右上方向にフレーム毎に 1 画素ずつ移動する場合を示している。

図 19 (a) に示すように、(n - 1) フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、n フレームにおいて、左下の 1 画素だけが白画素に変化するときを想定する。上述したようにノーマリーブラックモードにおいて、画素電極 118 とコモン電極 108 との電位差である印加電圧は、黒画素よりも白画素で大きい。このため、黒から白に変化する左下の画素では、図 19 (b) のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向とは垂直方向 (基板面の水平方向) に傾斜しようとする。

20

【0070】

しかしながら、白画素の画素電極 118 (Wt) と黒画素の画素電極 118 (Bk) との間隙で生じる電位差は、白画素の画素電極 118 (Wt) とコモン電極 108 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 118 とコモン電極 108 との間隙よりも狭い。従って、電界の強度で比較すると、画素電極 118 (Wt) と画素電極 118 (Bk) との間隙で生じる横電界は、画素電極 118 (Wt) とコモン電極 108 との間隙で生じる縦電界よりも強い。

左下の画素は、(n - 1) フレームにおいて液晶分子が不安定な状態の黒画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、白レベルの電圧が画素電極 118 (Wt) に印加されたことによる縦電界よりも、隣接する画素電極 118 (Bk) からの横電界の方が強い。従って、白になろうとしている画素では、図 19 (b) に示すように、黒画素に隣接する側の液晶分子 R_v が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

30

先にリバースチルト状態となった液晶分子 R_v は、縦電界に応じて破線のように基板水平方向に傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、白に変化すべき画素においてリバースチルトが発生する領域は、図 19 (c) に示すように、白に変化すべき画素と黒画素との間隙にとどまらず、その間隙から白に変化すべき画素を浸食する形で広範囲に拡がる。

このように、図 19 から、白に変化しようとする着目画素の周辺が黒画素であった場合、その着目画素に対して黒画素が右上側、右側及び上側で隣接するとき、その着目画素では、リバースチルトが右辺及び上辺に沿った内周領域にて発生する、ということができる。

40

なお、図 19 (a) に示されるパターンの変化は、図 18 (a) に示した例のみならず、黒画素からなるパターンが、図 18 (b) に示すように右方向にフレーム毎に 1 画素ずつ移動する場合や、図 18 (c) に示すように上方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 35 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に右上方向、右方向又は上方向に、1 画素ずつ移動する場合にも発生する。

【0071】

50

次に、液晶パネル 100 において、図 20 (a) に示すように、白画素からなる領域を背景として黒画素からなるパターンが左下方向にフレーム毎に 1 画素ずつ移動する場合に、破線で囲まれた 2×2 の 4 画素に着目する。

すなわち、図 21 (a) に示すように、 $(n - 1)$ フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、 n フレームにおいて、右上の 1 画素だけが白画素に変化するときを想定する。

この変化後においても、黒画素の画素電極 118 (Bk) と白画素の画素電極 118 (Wt) との間隙では、画素電極 118 (Wt) とコモン電極 108 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 21 (b) に示すように、黒画素において白画素に隣接する側の液晶分子 Rv は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となる。しかし、黒画素では縦電界が $(n - 1)$ フレームから変化しないので、他の液晶分子に影響をほとんど与えない。このため、黒画素から変化しない画素においてリバースチルトが発生する領域は、図 21 (c) に示すように、図 19 (c) の例と比較して無視できる程度に狭い。

一方、 2×2 の 4 画素のうち、右上において黒から白に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、右上画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の水平方向に図 21 (b) において破線で示すように正しく傾斜する結果、目的である白画素に変化するので、表示品位の劣化が発生しないことになる。

なお、図 21 (a) に示されるパターンの変化は、図 20 (a) に示した例のみならず、黒画素からなるパターンが、図 20 (b) に示すように左方向にフレーム毎に 1 画素ずつ移動する場合や、図 20 (c) に示すように下方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 35 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に左下方向、左方向又は下方向に、1 画素ずつ移動する場合にも発生する。

【0072】

図 17 から図 21 までの説明から、想定している VA 方式 (ノーマリーブラックモード) の液晶において、ある n フレームに着目したとき、次のような要件を満たす場合に、 n フレームにおいて次の画素でリバースチルトドメインの影響を受ける、ということが出来る。すなわち、

(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる場合であって、かつ、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左下側、左側又は下側に位置する場合に、

(3) n フレームにおいて当該明画素に変化する画素が、1 フレーム前の $(n - 1)$ フレームでは、液晶分子が不安定な状態にあったとき、

n フレームにおいて当該明画素でリバースチルトが発生する、ということになる。

既に理由を説明したが、(2) において、暗画素と明画素とが隣接する部分を示す境界が、前フレームから 1 画素分だけ移動しているときには、より一層リバースチルトドメインの影響を受けやすくなると考えられる。

【0073】

ところで、図 18 では、 2×2 の 4 画素が $(n - 1)$ フレームで黒画素であって、次の n フレームで左下だけが白画素となったときを例示した。しかし、一般的には、 $(n - 1)$ フレーム及び n フレームのみならず、これらフレームを含む前後の複数フレームにわたって同様な動きを伴うのが通例である。このため、図 18 (a) ~ (c) に示すように、 $(n - 1)$ フレームで液晶分子が不安定な状態であった暗画素 (白丸点が付された画素) では、画像パターンの動きから、その左下側、左側又は下側に明画素が隣接している場合

が多いと考えられる。

【0074】

このため、事前に $(n - 1)$ フレームにおいて、映像信号Vid-inで示される画像において暗画素と明画素とが隣接し、且つ、その暗画素が、その明画素に対して右上側、右側又は上側に位置する場合、その暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加する。そうすれば、画像パターンの動きにより n フレームにおいて要件(1)及び要件(2)を満たすことになっても、要件(3)を満たすことはないので、 n フレームにおいてリバースチルトドメインは発生しない、ということになる。

これを前提として、 n フレームから $(n + 1)$ フレームにかけて考察する。 n フレームにおいて、映像信号Vid-inで示される画像において暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して右上側、右側又は上側に位置する場合は、その暗画素に相当する液晶素子の液晶分子が不安定な状態にならないような措置を施してやる。そうすれば、画像パターンが1画素分移動した結果、 $(n + 1)$ フレームにおいて要件(1)及び要件(2)を満たすことになっても、要件(3)を満たすことはない。このため、 n フレームからみて、将来となる $(n + 1)$ フレームにおいてリバースチルトドメインの発生を未然に抑えることができる、ということになる。

このような考えに基づいて、現フレームの映像信号Vid-inを処理して、液晶パネル100でリバースチルトドメインの発生を未然に防ぐための回路が、図22における映像処理回路30である。

【0075】

次に、映像処理回路30の詳細について図22を参照して説明する。図22に示すように、映像処理回路30は、遅延回路302、境界検出部304、補正電圧決定部306、補正部308及びD/A変換器310を備える。補正電圧決定部306は、上述した第1～3実施形態のいずれかと同等にして補正電圧を決定する。補正部308は、補正電圧決定部306で決定された補正電圧で、上述した第1～3実施形態のいずれかと同じ方法で補正処理を行う。

境界検出部304は、第1実施形態の現フレーム境界検出部3041に代えてリスク境界検出部3046を有している。リスク境界検出部3046は、現フレームの映像信号Vid-inで示す画像を解析して、階調範囲aにある暗画素(第1画素)と階調範囲bにある明画素(第2画素)とが垂直又は水平方向で隣接する部分があるか否かを判別する。そして、リスク境界検出部3046は、隣接する部分があると判別したときに、その隣接部分を境界として検出して、境界の位置情報を出力する。リスク境界検出部3046は、暗画素と明画素との境界の一部の境界であって、液晶105のチルト方位で定まるリスク境界を検出する(第1境界検出ステップ)。すなわち、リスク境界検出部3046は、第1境界検出部として機能する。

判別部3042は、遅延して出力された映像信号Vid-dで示す画素が、リスク境界検出部3046で検出された境界に接している暗画素であるか否かを判別する。そして、判別部3042は、その判別結果が「Yes」である場合には、この暗画素について、出力信号のフラグQを「1」として出力する。一方で、判別部3042は、判別結果が「No」であれば出力信号のフラグQを「0」として出力する。

【0076】

補正部308は、判別部3042から供給されるフラグQが“1”であるときの暗画素の映像信号Vid-dを、補正電圧決定部306で決定された補正電圧で補正する。一方、補正部308は、判別部3042から供給されるフラグQが“0”であるときには、映像信号を補正することなく、映像信号Vid-dをそのまま映像信号Vid-outとして出力する(補正ステップ)。

【0077】

ここで、映像信号Vid-inで示す画像が例えば図23(1)に示すように、階調範囲bの白(明)画素を背景として、液晶分子が不安定状態にある黒(暗)画素からなる領域及

10

20

30

40

50

び階調範囲dに属する画素からなる領域が表示される画像である場合、リスク境界検出部3046によって検出されるリスク境界は、境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分であり、図23(2)に示すとおりとなる。

この場合、補正部308は、図24(a),(b)に示すように、抽出されたリスク境界により定まる補正範囲に含まれる一部の暗画素であって、リスク境界に接する暗画素を、補正電圧決定部306で決定された補正電圧に応じて映像信号を補正する。図24(a)は、表示面101の画像の明るさのレベルが相対的に低いか、コントラスト比が相対的に高い場合の補正処理を例示したものであり、図24(b)は、表示面101の画像の明るさのレベルが相対的に高いか、コントラスト比が相対的に低い場合の補正処理を例示したものである。なお、黒画素のある一角において縦横に連続するリスク境界が位置している黒画素は、「リスク境界に接している」と扱う。これは、斜め方向に1画素分画像が移動したときに対処するためである。これに対して、黒画素のある一角において縦又は横のみに断裂したリスク境界が位置する黒画素については、縦横で連続したリスク境界が位置していないので、リスク境界に接していると扱わない。

10

【0078】

以上説明した第5実施形態によれば、液晶105のチルト方位を考慮して検出したリスク境界に基づいて、リバースチルトドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

20

【0079】

<第5実施形態の変形例>

上述した実施形態では、VA方式においてチルト方位角 θb が45度である場合を例にとって説明した。次に、チルト方位角 θb が45度以外の例について説明する。

まず、図25(a)に示すようにチルト方位角 θb が22.5度である例について説明する。この例では、白画素及び周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図25(b)に示すように、左辺及び下辺に沿った内周領域で発生する。なお、この例では、図19に示したチルト方位角 θb が45度である場合の例を180度回転させたときと等価である。

チルト方位角 θb が22.5度である場合には、チルト方位角 θb が45度である場合にリバースチルトドメインが発生する要件(1)~(3)のうち、要件(2)を次のように修正する。すなわち、

30

(2)nフレームにおいて、当該明画素(印加電圧高)が、隣接する暗画素(印加電圧低)に対して、液晶分子におけるチルト方位の上流側に相当する右上側、右側又は上側に位置する場合に、

と修正する。なお、要件(1)及び要件(3)についてはの変更はない。

したがって、チルト方位角 θb が22.5度であれば、nフレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に左下側、左側又は下側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやればよい。

40

このためには、映像処理回路30における補正部308が、現フレーム境界検出部3041で検出された境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分のリスク境界に基づいて映像信号を補正するとよい。

チルト方位角 θb が22.5度である場合、図23(1)で示される画像は、図27(b)に示されるリスク境界に接している黒画素の階調レベルが補正される。

この構成によれば、チルト方位角 θb が22.5度である場合、映像信号Vid-inで規定される画像において黒画素からなる領域が左下方向、左方向又は下方向のいずれかに1画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル100では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、図8(a)

50

）に示す閾値 V_{th1} 以上の電圧の印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化するので、リバースチルトドメインの発生を抑えることが可能となる。

【0080】

次に、図26(a)に示すようにチルト方位角 θ_b が90度である例について説明する。この例では、自画素及び周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図26(b)に示すように、右辺に沿った領域で集中的に発生する。このため、当該自己画素においてリバースチルトドメインは、右辺で発生した幅の分だけ、上辺の右辺寄り及び下辺の右辺寄りにおいても発生する、という見方もできる。

このため、チルト方位角 θ_b が90度である場合には、チルト方位角 θ_b が45度である場合にリバースチルトドメインが発生する要件(1)～(3)のうち、として、要件(2)を次のように修正する。すなわち、

(2) nフレームにおいて、当該明画素(印加電圧高)が、隣接する暗画素(印加電圧低)に対して、液晶分子におけるチルト方位の上流側に相当する左側のみならず、その左側で発生する領域の影響を受ける上側又は下側に位置する場合に、

と修正する。なお、要件(1)及び要件(3)についての変更はない。

したがって、チルト方位角 θ_b が90度であれば、nフレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に右側、下側又は上側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやればよい。

このためには、映像処理回路30における補正部308が、現フレーム境界検出部3041で検出された境界のうち、暗画素が右側に位置し明画素が左側に位置する部分と、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が下側に位置し明画素が上側に位置する部分のリスク境界リスク境界に基づいて映像信号を補正するとよい。

チルト方位角 θ_b が90度である場合、図23(1)で示される画像は、図27(a)に示されるリスク境界に接している黒画素の階調レベルが補正される。

この構成によれば、チルト方位角 θ_b が90度である場合、映像信号Vid-inで規定される画像において黒画素からなる領域が上方向、右上方向、右方向、右下方向又は下方向のいずれかに1画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル100では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、閾値 V_{th1} 以上の電圧の印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化するので、リバースチルトドメインの発生を抑えることが可能となる。

【0081】

<第6実施形態>

次に、本発明の第6実施形態について説明する。

この実施形態では、上記第4実施形態のように前フレームから現フレームにかけての画像の動きを考慮しつつ、第5実施形態のようにリスク境界に接する暗画素を補正対象としている。以下の説明において、各実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

【0082】

次に、映像処理回路30の詳細について図28を参照して説明する。図28に示すように、映像処理回路30は、遅延回路302、境界検出部304、補正電圧決定部306、補正部308及びD/A変換器310を備える。補正電圧決定部306は、上述した第1～3実施形態のいずれかと同等にして補正電圧を決定する。補正部308は補正電圧決定部306で決定された補正電圧に応じて、上述した第1～3実施形態のいずれかと同じ方法で補正処理を行う。

この実施形態では、第4実施形態の適用境界決定部3045の後段にリスク境界検出部3046を設けた点で第4実施形態とは相違する。すなわち、リスク境界検出部3046は、前フレームから現フレームにかけて変化した境界のうちの一部であるリスク境界を検出する。そして、補正部308は、このリスク境界に接する暗画素の映像信号を補正の対

象とする。

【0083】

前フレームの映像信号 Vid-in で示される画像が例えば図 15 (1) に示されるとおりであって、現フレームの映像信号 Vid-in で示される画像が例えば図 15 (2) に示されるとおりである場合、図 15 (3) に示されるとおり、現フレーム境界検出部 3041 により検出される境界のうち、前フレーム境界検出部 3043 により検出される境界と重複しないものが適用境界として、適用境界決定部 3045 により決定される。そして、リスク境界検出部 3046 では、この適用境界の中からリスク境界が検出される。すなわち、図 16 (a) で示されるようにして適用境界決定部 3045 で決定された適用境界のうち、($\theta b = 45$ 度の場合、) 暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とであるリスク境界に相当する部分に隣接する暗画素が補正対象となる。

10

【0084】

この場合、補正部 308 は、図 29 (a), (b), (c) に示すように、リスク境界に接する暗画素を補正対象とする。図 29 (a), (b), (c) は、それぞれ、チルト方位角が 45 度, 90 度, 225 度の場合の補正処理を示し、ここでは、暗画素を階調レベル c11 の映像信号に補正する場合を記載している。

以上説明した第 6 実施形態によれば、リスク境界に基づいてリバースチルトドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

20

【0085】

< 第 7 実施形態 >

次に、本発明の第 7 実施形態について説明する。

以下の説明において、第 6 実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

上述した第 6 実施形態では、画像の動きを考慮して、リスク境界を挟んで互いに隣接する明画素及び暗画素により定まる補正範囲の各画素の映像信号を補正していた。これに対し、この実施形態では、映像処理回路 30 は、現フレームにおいて暗画素と明画素とが隣接する境界を検出し、該検出した境界のうち、前フレームから現フレームにかけて 1 画素分だけ移動したリスク境界に接する画素を補正対象とし、それ以外の画素を補正対象としない。図 35 を用いて既に説明したように、明画素を背景とした暗画素の領域がフレーム毎に 2 画素以上ずつ移動するときに、このような尾引き現象は顕在化しない (又は、視認されにくい)。そこで、映像処理回路 30 がこのような 1 画素分だけ移動したリスク境界の隣接画素を補正対象とし、それ以外の画素を補正対象としない。

30

【0086】

この実施形態では、適用境界決定部 3045 が、現フレーム境界検出部 3041 及び前フレーム境界検出部 3043 による境界の検出結果から、1 画素分だけ移動した境界のみを適用境界として決定し、前フレームから移動していない境界、及び、2 画素以上移動したリスク境界を適用境界として決定しない。映像処理回路 30 のその他の各部が実現する機能は、上述した第 6 実施形態と同じである。この構成により、図 35 に示すように 1 フレームにつき 1 画素分だけ (縦、横、斜めのいずれか) 画像が移動する場合に、補正部 308 は、リバースチルトドメインを抑制するための補正を行い、それ以外の場合はその補正を行わない。

40

これにより、補正部 308 は、リバースチルトドメインがより発生しやすい箇所に更に絞り込んで補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

なお、このように 1 画素分だけ移動した境界に基づいて補正対象の暗画素を特定する構成は、上述の第 4 実施形態の構成にも適用可能である。

【0087】

50

< 変形例 >

(変形例 1)

上述した各実施形態では、液晶表示装置 1 の外部構成の補正電圧設定装置 40 が補正電圧を設定していたが、液晶表示装置 1 が測定部 401 及び補正電圧設定部 402 に相当する構成を有していてもよい。

図 30 は、この変形例の映像処理回路 30 の構成を示すブロック図である。

この場合、液晶表示装置 1 は、例えば、測定部 401 が有するデジタルカメラ等の撮影手段で全面黒状態・全面白状態において液晶パネル 100 の表示面 101 を撮影し、映像処理回路 30 の撮影画像を解析することで、表示面 101 の画像の明るさやコントラスト比を測定する。そして、補正電圧設定部 402 がこの測定結果を基に、補正電圧 LUT 403 を参照して補正電圧を設定する。これ以外の処理は上述した各実施形態と同じでよい。この変形例の構成によれば、また、プレチルト角やセルギャップに経時変化があった場合であっても、液晶表示装置 1 においてその変化に対応した補正電圧を設定することができる。

10

なお、測定部 401 は第 3 実施形態と同様にして透過率を測定したり、第 2 実施形態と同様にしてプレチルト角及びセルギャップを測定したりして、補正電圧設定部 402 が補正電圧を設定してもよい。

【 0088 】

(変形例 2)

上述した実施形態では、液晶 105 に VA 方式を用いた例について説明したが TN 方式としてもよい。この場合においても、補正電圧設定装置 40 は、プレチルト角が大きいことを測定結果が示す場合、又は、液晶素子の透過率が高いセルギャップであることを測定結果が示す場合ほど、境界に接する低電位側の画素の明画素の印加電圧を引き上げるように補正電圧を設定するとよい。

20

ここで、液晶 105 のチルト角を考慮した第 5 ~ 7 実施形態に関連して、TN 方式の液晶 105 について説明する。

図 31 (a) は、液晶パネル 100 における 2×2 の画素を示す図であり、図 31 (b) は、図 31 (a) における p - q 線を含む垂直面で破断したときの簡易断面図である。

これらの図に示すように、TN 方式の液晶分子は、画素電極 118 とコモン電極 108 との電位差がゼロである状態において、チルト角が θ_a であって、チルト方位角が θ_b (= 45 度) で、初期配向しているものとする。TN 方式は、VA 方式とは反対に、基板水平方向に傾斜するので、TN 方式のチルト角 θ_a は、VA 方式の値よりも大きい。

30

【 0089 】

液晶 105 に TN 方式を用いた例では、高コントラスト比などが得られる等の理由により、電圧無印加時において液晶素子 120 が白状態となるノーマリーホワイトモードが用いられる場合が多い。

このため、液晶 105 に TN 方式を用いるとともに、ノーマリーホワイトモードとしたとき、液晶素子 120 の印加電圧と透過率との関係は、図 31 (b) に示されるような V - T 特性で表され、印加電圧が高くなるにつれて透過率が減少する。ただし、液晶素子 120 の印加電圧が閾値 V_{th1} を下回るときに、液晶分子が不安定状態となる点においては、ノーマリーブラックモードと変わりはない。

40

【 0090 】

このような TN 方式のノーマリーホワイトモードにおいて、図 32 (a) に示すように、(n - 1) フレームにおいて 2×2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、n フレームにおいて、右上の 1 画素だけが黒画素に変化するときを想定する。上述したようにノーマリーホワイトモードにおいて、画素電極 118 とコモン電極 108 との電位差は、ノーマリーブラックモードとは反対に白画素よりも黒画素で大きい。このため、白から黒に変化する右上の画素では、図 32 (b) のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向に沿った方向 (基板面の垂直方向) に起立しようとする。

50

しかしながら、白画素の画素電極 1 1 8 (Wt) と黒画素の画素電極 1 1 8 (Bk) との間隙で生じる電位差は、黒画素の画素電極 1 1 8 (Bk) とコモン電極 1 0 8 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 1 1 8 とコモン電極 1 0 8 との間隙よりも狭い。よって、電界の強度で比較すると、画素電極 1 1 8 (Wt) と画素電極 1 1 8 (Bk) との間隙で生じる横電界は、画素電極 1 1 8 (Bk) とコモン電極 1 0 8 との間隙で生じる縦電界よりも強い。

右上の画素は、(n - 1) フレームにおいて液晶分子が不安定な状態の白画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、黒レベルの電圧が画素電極 1 1 8 (Bk) に印加されたことによる縦電界よりも、隣接する画素電極 1 1 8 (Wt) からの横電界の方が強いので、黒になろうとしている画素では、図 3 1 (b) に示すように、白画素に隣接する側の液晶分子 Rv が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 Rv は、縦電界にしたがって破線のように基板水平方向に起立しようとする他の液晶分子の動きに悪影響を与える。このため、黒に変化すべき画素においてリバースチルトが発生する領域は、図 3 2 (c) に示すように、黒に変化すべき画素と白画素との間隙にとどまらず、その間隙から黒に変化すべき画素を浸食する形で広範囲に拡がる。

したがって、図 3 2 に示した内容から、黒に変化しようとする着目画素の周辺が白画素であった場合、当該着目画素に対して白画素が左下側、左側及び下側で隣接するとき、当該着目画素では、リバースチルトが左辺及び下辺に沿った内周領域にて発生することになる。

【0091】

一方、図 3 3 (a) に示すように、(n - 1) フレームにおいて 2 × 2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、n フレームにおいて、左下の 1 画素だけが黒画素に変化するときを想定する。この変化においても、黒画素の画素電極 1 1 8 (Bk) と白画素の画素電極 1 1 8 (Wt) との間隙では、画素電極 1 1 8 (Bk) とコモン電極 1 0 8 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 3 3 (b) に示すように、白画素において黒画素に隣接する側の液晶分子 Rv は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となるが、白画素では縦電界の強度が (n - 1) フレームから変わらないので、他の液晶分子に影響をほとんど与えない。このため、白画素から変化しない画素においてリバースチルトが発生する領域は、図 3 3 (c) に示すように、図 3 2 (c) の例と比較して無視できる程度に狭い。

一方、2 × 2 の 4 画素のうち、左下において白から黒に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、左下画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の垂直方向に図 3 1 (b) において破線に示すように正しく起立する結果、目的である黒画素に変化するので、表示品位の劣化が発生しないことになる。

【0092】

このため、TN 方式においてチルト方位角 θ_b が 45 度であるノーマリーホワイトモードの場合、要件 (1) をそのままに、

(2) n フレームにおいて、当該暗画素 (印加電圧高) が、隣接する明画素 (印加電圧低) に対して右上側、右側又は上側に位置する場合に、

(3) n フレームにおいて当該暗画素に変化する画素は、1 フレーム前の (n - 1) フレームでは、液晶分子が不安定な状態にあったとき

n フレームにおいて当該暗画素でリバースチルトが発生する、ということになる。

したがって、この発生状態を、(n + 1) フレームを基準として考え直した場合、画像の動きによって、(n + 1) フレームにおいて暗画素が上記位置関係を満たすことになっても、変化前の n フレームにおいて、当該画素の液晶分子が不安定な状態にならないよう

な措置を施してやればよい、ということになる。

ノーマリーホワイトモードでは、ノーマリーブラックモードとは反対に、階調レベルが高い（明るい）ほど、液晶素子の印加電圧が低くなる点を考慮すれば、映像処理回路 30 の構成を、次のように変更すればよいことになる。

すなわち、 n フレームにおいて、映像処理回路 30 におけるリスク境界を検出するリスク境界検出部 3046 が、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分と、を抽出して、リスク境界として検出する構成であればよい。補正部 308 がこのリスク境界に基づいて映像信号を補正する画素については、上述の第 5 ～ 7 実施形態で説明したとおりである。

なお、この例では、TN 方式においてチルト方位角 θ_b を 45 度とした例を説明したが、リバースチルトドメインの発生方向が VA 方式と逆になる点を考慮すれば、チルト方位角 θ_b が 45 度以外の角度である場合の措置、そのための構成についても、いままでの説明から容易に類推できるはずである。

【0093】

このように画像パターンの動き方向として水平方向のみを想定すれば、垂直方向や斜め方向についても想定する構成と比較して、構成の簡易化を図ることが可能となる。

なお、ここでは VA 方式であってチルト方位角 θ_b を 45 度とした場合を例にとって説明したが、VA 方式であってチルト方位角 θ_b を 22.5 度とした場合についても同様である。

【0094】

（変形例 3）

上述した各実施形態において、補正対象の暗画素は境界に接するもののみであったが、映像処理回路 30 は、暗画素から当該境界の反対側へ連続する 2 以上の暗画素の印加電圧を指定する映像信号を、補正対象としてもよい。

また、補正部 308 が或る階調レベルの暗画素の映像信号を補正する場合に、表示面 101 のプレチルト角やセルギャップに応じて、少なくとも 2 種類の階調レベルの映像信号（つまり、液晶素子 120 の印加電圧）のいずれかに補正すればよく、その種類の数についてはいくつであってもよい。要するに、補正電圧設定部 402 は、測定部 401 で測定された情報に応じて設定する補正電圧を、当該情報が示すプレチルト角よりも小さいか、又は、当該情報が示すセルギャップよりも液晶素子 120 の透過率が低くなる大きさである場合の補正電圧以上とすればよい。この補正電圧の設定の態様は、補正電圧設定部 402 が、プレチルト角が増大するか、又はセルギャップが液晶素子 120 の透過率が高くなる方向に変化するにつれて補正電圧を連続的に増加させる（例えば、線形増加させる）態様や、プレチルト角がある量だけ増大するごとに、又は、セルギャップが液晶素子 120 の透過率が高くなる方向にある量だけ変化するごとに、決められた分だけ補正電圧を増大させる態様を含む。

また、補正電圧の決定の仕方について、補正電圧設定部 402 は、ルックアップテーブルを参照して補正電圧を設定する構成のほか、測定結果に基づいて演算式を用いて補正電圧を算出し、算出した補正電圧に設定する構成であってもよい。

また、プレチルト角及びセルギャップの大きさの指標となる情報を測定部 401 が測定し、補正部 308 がその測定結果に応じた補正電圧で暗画素の映像信号を補正する構成であれば、測定部 401 の測定する情報は前掲のもの以外であっても、上述の各実施形態と同等の効果を奏する。

【0095】

（変形例 4）

上述した各実施形態において、映像信号 Vid-in は、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしてもよい。映像信号 Vid-in が液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすればよい。

また、各実施形態において、液晶素子 120 は、透過型に限られず、反射型であっても

よい。

また、液晶表示装置 1 は表示面 1 0 1 の全体に対して同一の補正電圧を採用するのではなく、部分毎に異なる補正電圧を

採用してもよい。この場合、測定部 4 0 1 は表示面 1 0 1 に部分毎に測定を行い、補正電圧設定部 4 0 2 がその部分毎の測定結果に基づいて補正電圧を設定すればよい。

また、液晶表示装置 1 は、R (赤)、G (緑)、B (青) の 3 画素で 1 ドットを構成して、カラー表示を行うとしてもよいし、さらに、別の色を追加し、これらの 4 色以上の画素で 1 ドットを構成してもよい。この場合、液晶表示装置 1 は、色毎に異なる補正電圧を決定してもよい。

【 0 0 9 6 】

10

(変形例 5)

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル 1 0 0 をライトバルブとして用いた投射型表示装置 (プロジェクター) について説明する。図 3 4 は、このプロジェクターの構成を示す平面図である。

この図に示すように、プロジェクター 2 1 0 0 の内部には、ハロゲンランプ等の白色光源からなるランプユニット 2 1 0 2 が設けられている。このランプユニット 2 1 0 2 から射出された投射光は、内部に配置された 3 枚のミラー 2 1 0 6 及び 2 枚のダイクロイックミラー 2 1 0 8 によって R (赤) 色、G (緑) 色、B (青) 色の 3 原色に分離されて、各原色に対応するライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B にそれぞれ導かれる。なお、B 色の光は、他の R 色や G 色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ 2 1 2 2、リレーレンズ 2 1 2 3 及び出射レンズ 2 1 2 4 からなるリレーレンズ系 2 1 2 1 を介して導かれる。

20

【 0 0 9 7 】

このプロジェクター 2 1 0 0 では、液晶パネル 1 0 0 (表示面 1 0 1) を含む液晶表示装置が、R 色、G 色、B 色のそれぞれに対応して 3 組設けられる。ライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B の構成は、上述した液晶パネル 1 0 0 と同様である。R 色、G 色、B 色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 がそれぞれ駆動される構成となっている。

ライトバルブ 1 0 0 R、1 0 0 G、1 0 0 B によってそれぞれ変調された光は、ダイクロイックプリズム 2 1 1 2 に 3 方向から入射する。そして、このダイクロイックプリズム 2 1 1 2 において、R 色及び B 色の光は 9 0 度に屈折する一方、G 色の光は直進する。したがって、各原色の画像が合成された後、スクリーン 2 1 2 0 には、投射レンズ 2 1 1 4 によってカラー画像が投射されることとなる。

30

【 0 0 9 8 】

なお、ライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B には、ダイクロイックミラー 2 1 0 8 によって、R 色、G 色、B 色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ 1 0 0 R、1 0 0 B の透過像は、ダイクロイックプリズム 2 1 1 2 により反射した後に投射されるのに対し、ライトバルブ 1 0 0 G の透過像はそのまま投射されるので、ライトバルブ 1 0 0 R、1 0 0 B による水平走査方向は、ライトバルブ 1 0 0 G による水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

40

また、この変形例の投射型表示装置 (プロジェクター) において、スクリーン 2 1 2 0 の投射面を本発明の表示面に対応させることも可能である。この場合、上述した第 1 実施形態のようにして、スクリーン 2 1 2 0 の投射面における画像の明るさ及びコントラスト比の測定結果に基づいて、プレチルト角及びセルギャップの大きさの指標となる情報に応じて補正電圧設定装置 4 0 が補正電圧を設定すればよい。

【 0 0 9 9 】

電子機器としては、図 3 4 を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニター直視型のビデオテープレコーダー、カーナビゲーシ

50

ョン装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

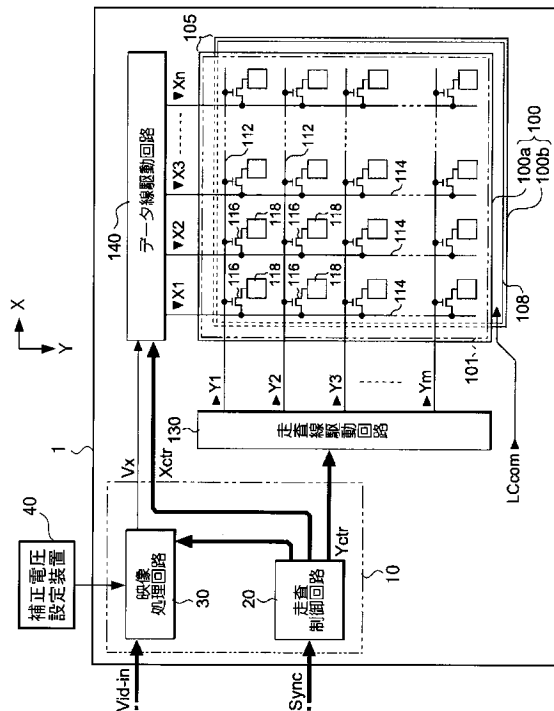
【符号の説明】

【0100】

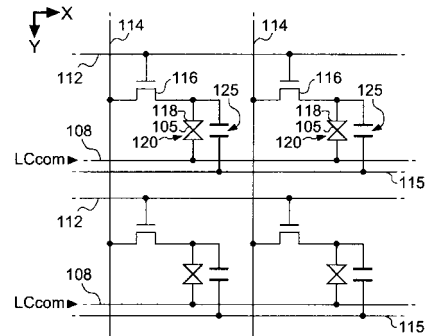
1 ... 液晶表示装置、30 ... 映像処理回路、100 ... 液晶パネル、100a ... 素子基板、100b ... 対向基板、101 ... 表示面、105 ... 液晶、108 ... コモン電極、118 ... 画素電極、120 ... 液晶素子、302 ... 遅延回路、304 ... 境界検出部、3041 ... 現フレーム境界検出部、3042 ... 判別部、3043 ... 前フレーム境界検出部、3044 ... 保存部、3045 ... 適用境界決定部、3046 ... 適用境界決定部、306 ... 補正電圧決定部、308 ... 補正部、310 ... D/A変換器、40 ... 補正電圧設定装置、401 ... 測定部、402 ... 補正電圧設定部、403 ... 補正電圧LUT、2100 ... プロジェクター

10

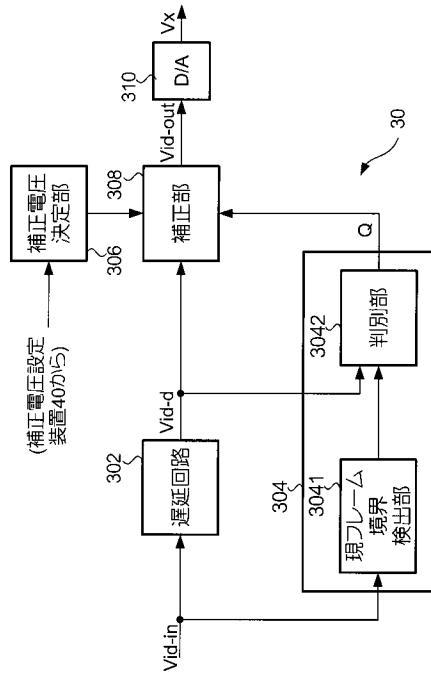
【図1】



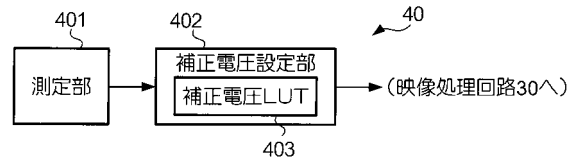
【図2】



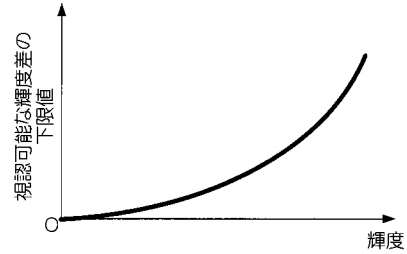
【図 3】



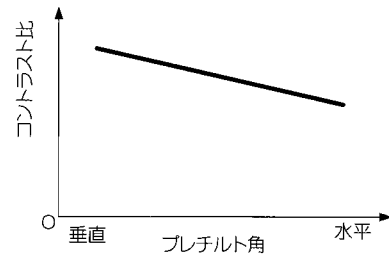
【図 4】



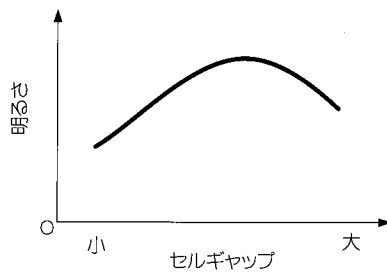
【図 5】



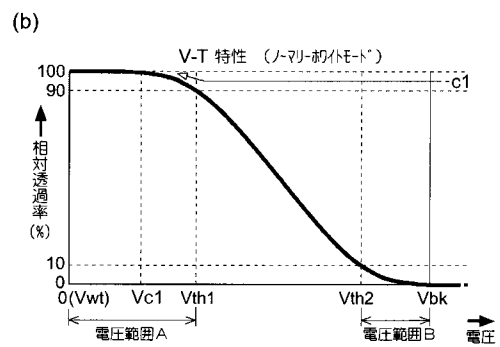
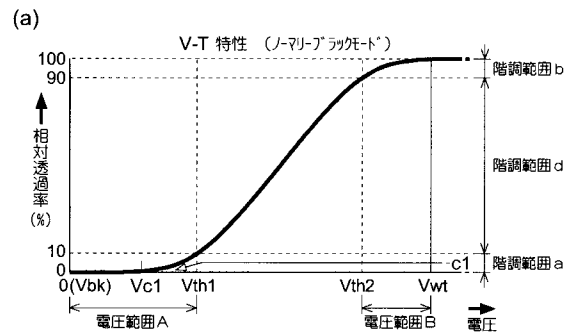
【図 6】



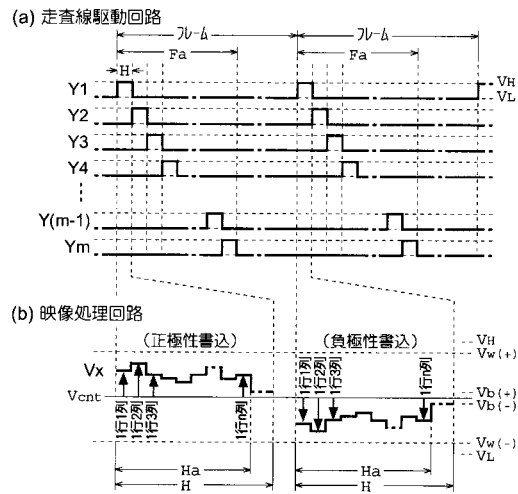
【図 7】



【図 8】

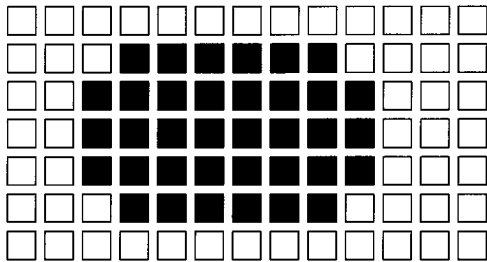


【図 9】

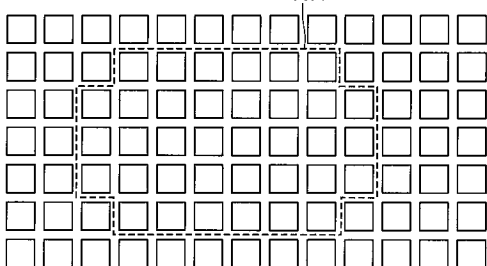


【図 1 1】

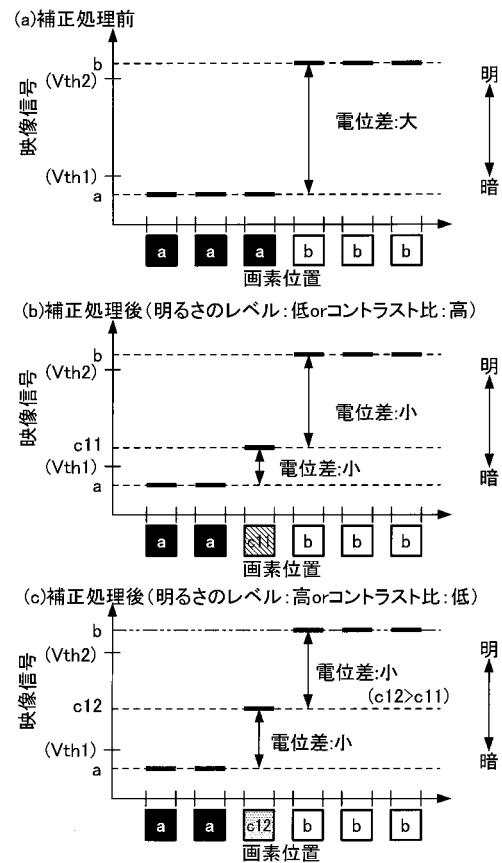
(1)映像信号(現フレーム)



(2)境界検出

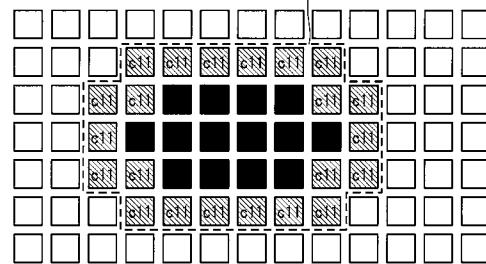


【図 1 0】

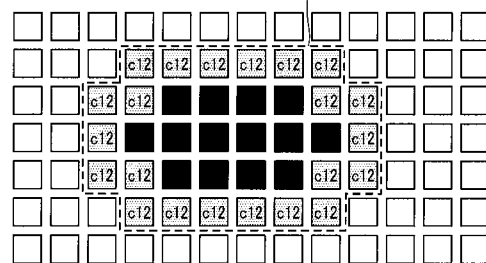


【図 1 2】

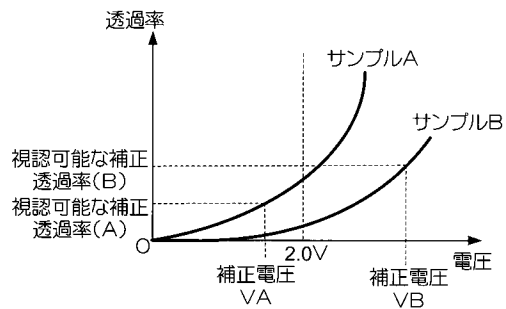
(a)補正処理(明るさのレベル:低orコントラスト比:高)



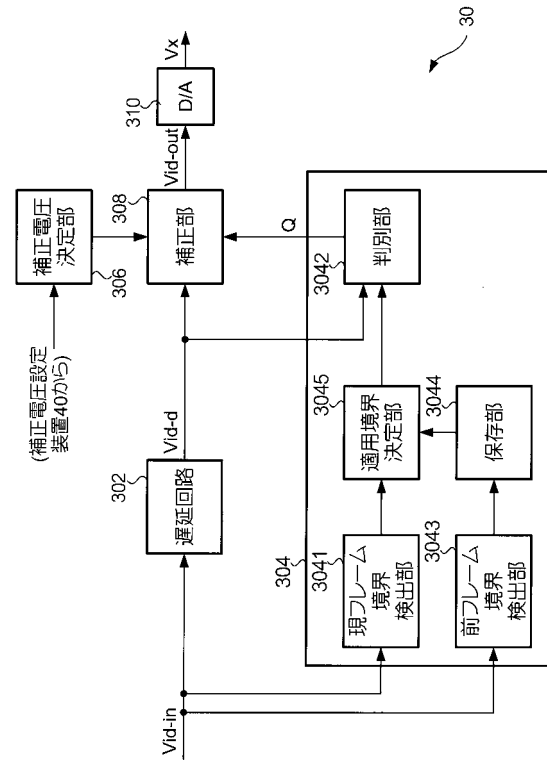
(b)補正処理(明るさのレベル:高orコントラスト比:低)



【図 13】

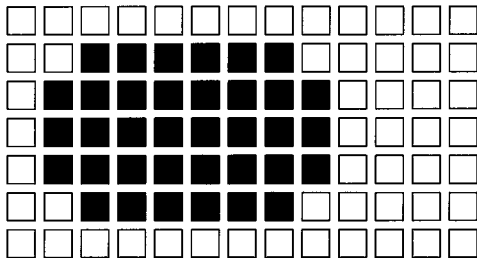


【図 14】

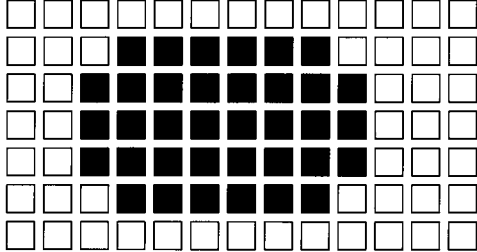
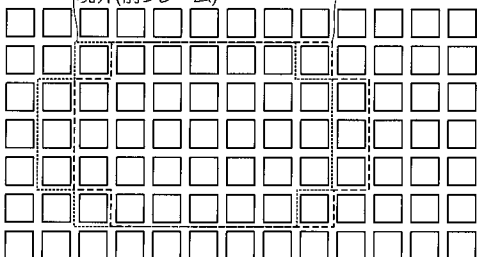


【図 15】

(1)映像信号(前フレーム)

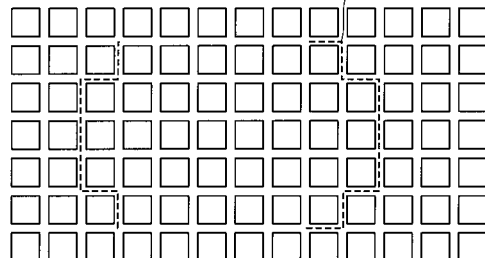


(2)映像信号(現フレーム)

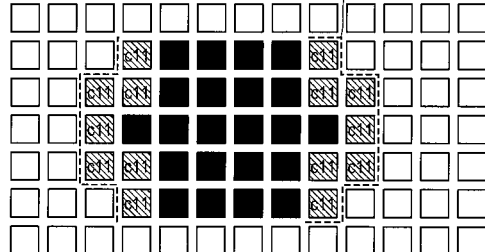
(3)境界比較
境界(前フレーム) 境界(現フレーム)

【図 16】

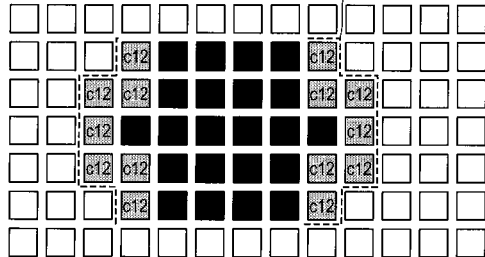
(a)適用境界検出



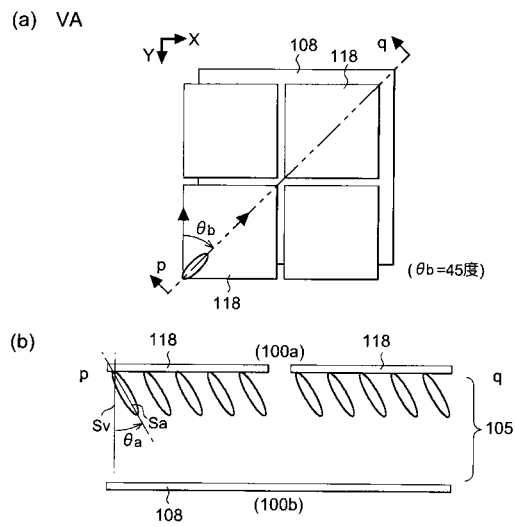
(b)補正処理



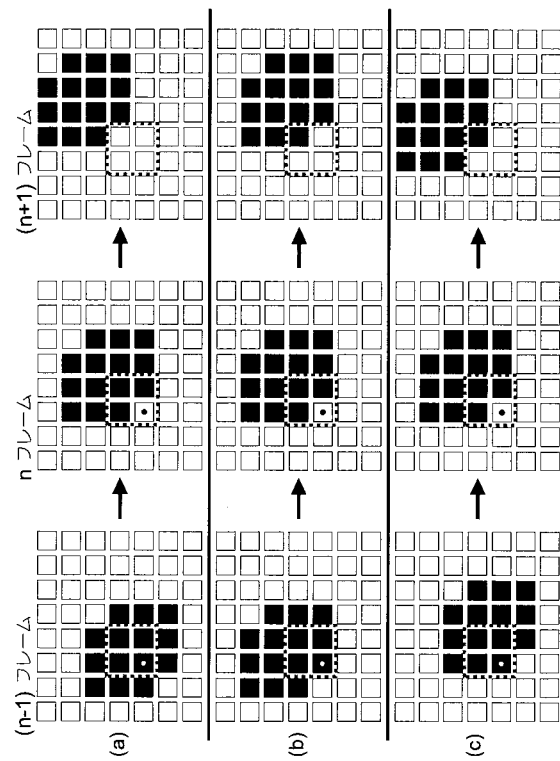
(c)補正処理



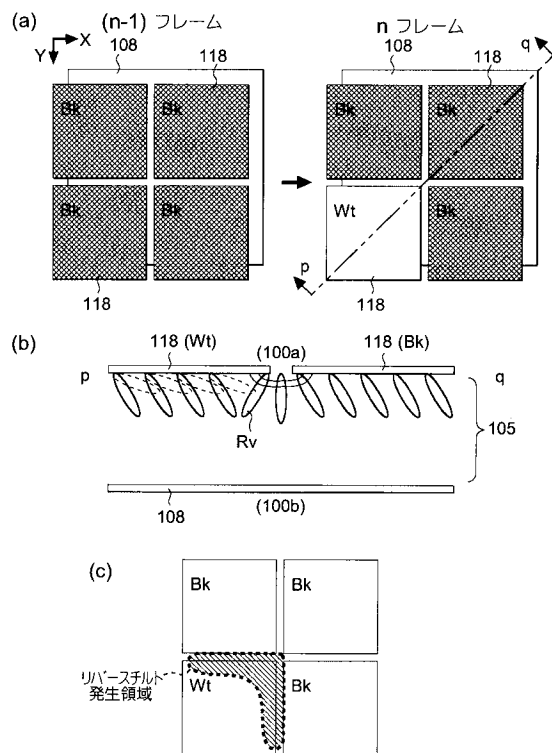
【図 17】



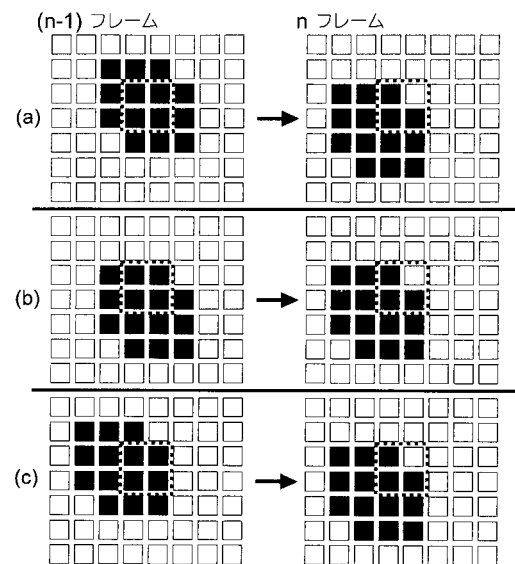
【図 18】



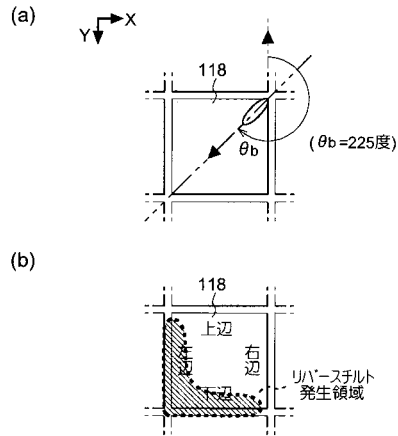
【図 19】



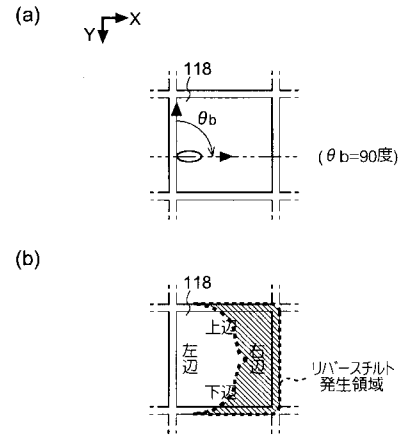
【図 20】



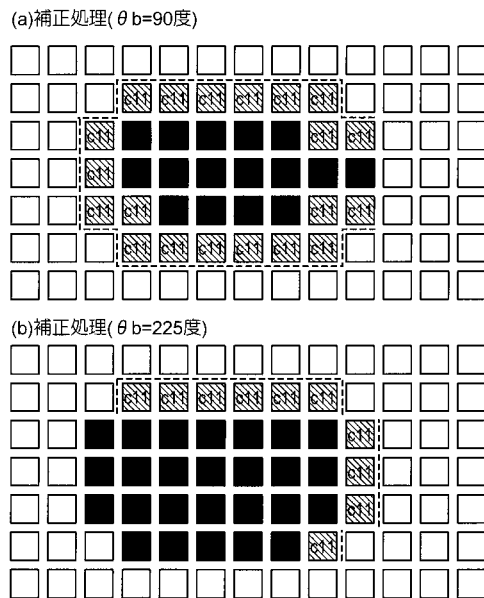
【図 25】



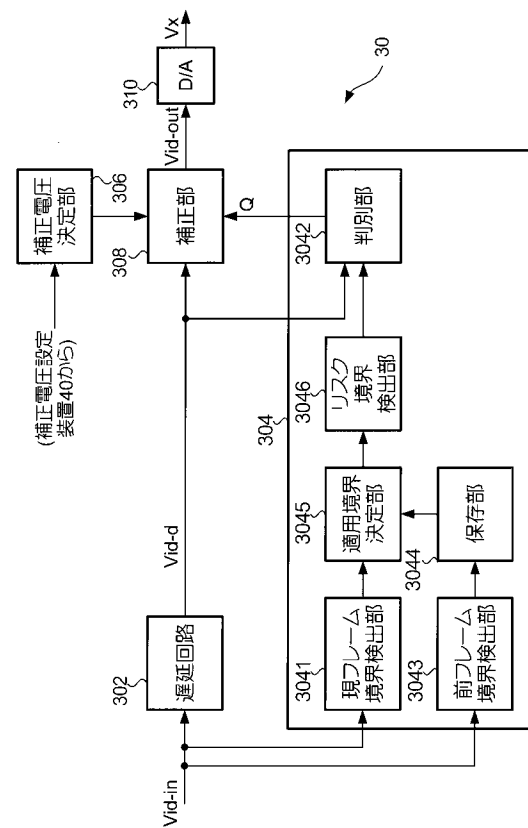
【図 26】



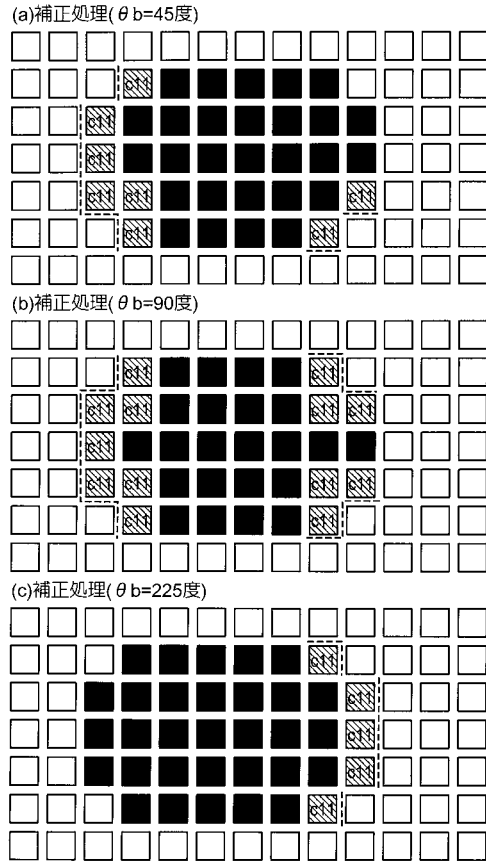
【図 27】



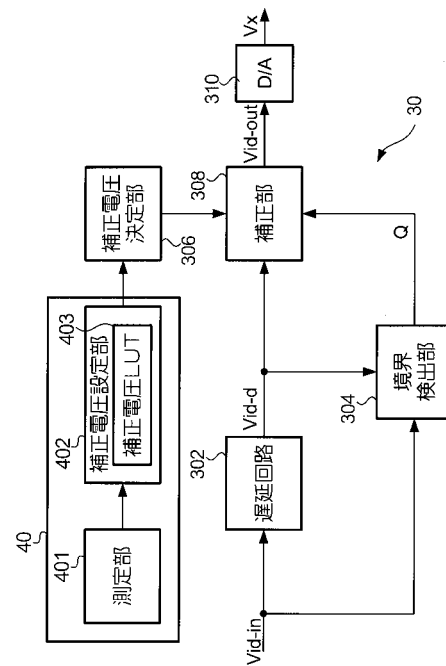
【図 28】



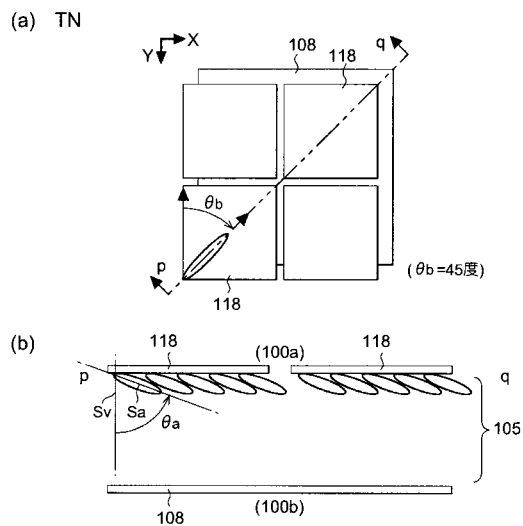
【図 29】



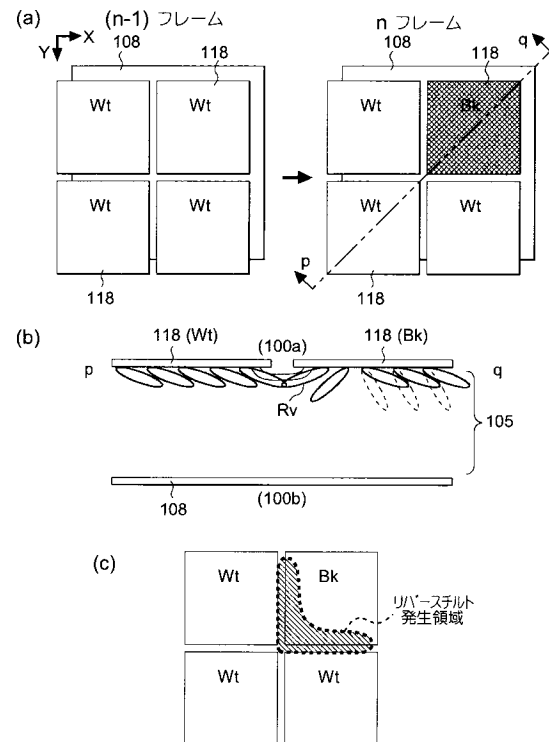
【図 30】



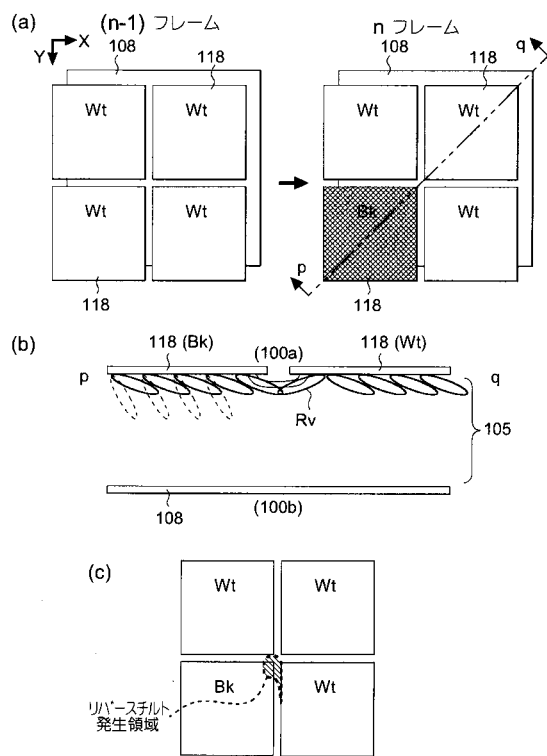
【図 31】



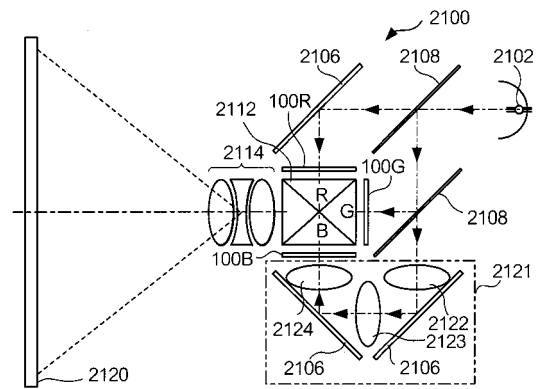
【図 32】



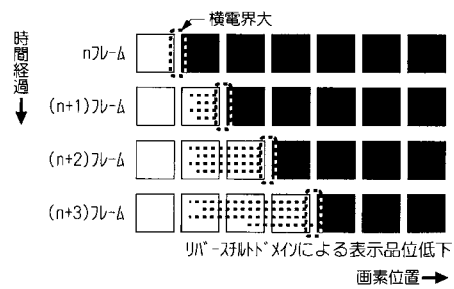
【図 3 3】



【図 3 4】



【図 3 5】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 7 0 N
	G 0 9 G 3/20	6 8 0 C
	G 0 2 F 1/133	5 7 5

F ターム(参考)	5C006	AF44	AF45	AF46	AF53	BB16	BC06	BC12	BC16	FA22
	5C080	AA10	BB05	CC06	DD01	DD05	DD12	EE28	FF07	FF11 JJ01
		JJ02	JJ03	JJ04	JJ05	JJ06				

专利名称(译)	校正电压设定方法，图像处理方法，校正电压设定装置，图像处理电路，液晶显示装置和电子设备		
公开(公告)号	JP2012242798A	公开(公告)日	2012-12-10
申请号	JP2011116127	申请日	2011-05-24
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	北川拓 保坂宏行		
发明人	北川 拓 保坂 宏行		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.641.P G09G3/20.642.E G09G3/20.612.U G09G3/20.642.A G09G3/20.670.N G09G3/20.680.C G02F1/133.575		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZD23 2H193/ZF12 2H193/ZF17 2H193/ZH09 2H193/ZH23 2H193/ZH44 2H193/ZH53 2H193/ZP03 2H193/ZP04 2H193/ZQ06 2H193/ZQ11 2H193/ZR04 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF53 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC16 5C006/FA22 5C080/AA10 5C080/BB05 5C080/CC06 5C080/DD01 5C080/DD05 5C080/DD12 5C080/EE28 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制受横向电场影响的显示质量的下降。解决方案：视频处理电路30包括：边界检测部分，用于检测由输入视频信号指定的施加电压的第一像素之间的边界低于第一电压和第二像素，其中所施加的电压高于高于第一电压的第二电压；校正部分，用于校正视频信号，该视频信号指定施加到接触由边界检测部分检测到的边界的第一像素的电压，或者应用于从上述第一像素到与其相对的一侧串联存在的两个或更多个第一像素。检测到边界，指定设定校正电压的视频信号。此外，校正电压设定装置40，将设定的校正电压设定到视频处理电路30，测量构成液晶元件的预倾角的指标的信息和像素电极与像素电极之间的单元间隙的大小。公共电极根据测量信息设置校正电压，使得对第一像素的校正后施加电压等于或大于第一电压并且低于第二电压。

