

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-226105

(P2012-226105A)

(43) 公開日 平成24年11月15日(2012.11.15)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	

審査請求 未請求 請求項の数 12 O L (全 23 頁)

(21) 出願番号	特願2011-93424 (P2011-93424)	(71) 出願人	302020207
(22) 出願日	平成23年4月19日 (2011. 4. 19)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

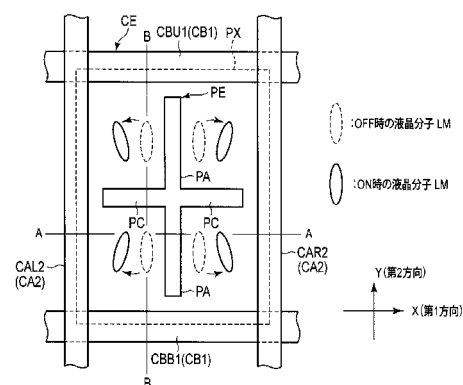
(57) 【要約】

【課題】表示品位の良好な液晶表示装置を提供する。

【解決手段】第1方向に沿って延出した第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間に配置され第1方向に交差する第2方向に沿って延出した主画素電極と、前記第1ゲート配線及び前記第2ゲート配線のそれぞれとの間に絶縁膜を介して対向し第1方向に沿って延出した第1副共通電極と、を備えた第1基板と、前記主画素電極を挟んだ両側に配置され第2方向に沿って延出するとともに前記第1副共通電極と電気的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置。

【選択図】 図6

図6



【特許請求の範囲】

【請求項 1】

第 1 方向に沿って延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間に配置され第 1 方向に交差する第 2 方向に沿って延出した主画素電極と、前記第 1 ゲート配線及び前記第 2 ゲート配線のそれぞれとの間に絶縁膜を介して対向し第 1 方向に沿って延出した第 1 副共通電極と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側に配置され第 2 方向に沿って延出するとともに前記第 1 副共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

10

【請求項 2】

前記第 1 副共通電極のそれぞれは、前記第 1 ゲート配線及び前記第 2 ゲート配線の直上に配置され且つ前記第 1 ゲート配線及び前記第 2 ゲート配線と略同等の幅を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記主画素電極は、前記絶縁膜上に形成され、前記第 1 副共通電極のそれぞれと同一材料によって形成されたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

第 1 方向に沿って延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間に配置され第 1 方向に沿って延出した補助容量線と、前記第 1 ゲート配線、前記第 2 ゲート配線、及び、前記補助容量線を覆う第 1 絶縁膜と、前記第 1 絶縁膜上において第 1 方向に交差する第 2 方向に沿って延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線及び前記第 2 ソース配線を覆う第 2 絶縁膜と、前記第 2 絶縁膜上において前記第 1 ゲート配線と前記第 2 ゲート配線との間で且つ前記第 1 ソース配線と前記第 2 ソース配線との間に配置され第 2 方向に沿って延出した主画素電極と、前記第 2 絶縁膜上において前記第 1 ゲート配線及び前記第 2 ゲート配線のそれぞれと対向し第 1 方向に沿って延出した第 1 副共通電極と、前記第 2 絶縁膜上において前記第 1 ソース配線及び前記第 2 ソース配線のそれぞれと対向し第 2 方向に沿って延出するとともに前記補助容量線の直上で途切れ前記第 1 副共通電極と電氣的に接続された第 1 主共通電極と、を備えた第 1 基板と、

20

30

前記主画素電極を挟んだ両側に配置され第 2 方向に沿って延出するとともに前記第 1 副共通電極及び前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 5】

前記第 1 基板は、さらに、前記第 2 絶縁膜上において前記補助容量線と対向し第 1 方向に沿って延出するとともに前記主画素電極と電氣的に接続され且つ前記第 1 主共通電極から離間している容量部を備えたことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 副共通電極のそれぞれは、前記第 1 ゲート配線及び前記第 2 ゲート配線の直上に配置され且つ前記第 1 ゲート配線及び前記第 2 ゲート配線と略同等の幅を有し、

40

前記第 1 主共通電極のそれぞれは、前記第 1 ソース配線及び前記第 2 ソース配線の直上に配置され且つ前記第 1 ソース配線及び前記第 2 ソース配線と略同等の幅を有することを特徴とする請求項 4 または 5 に記載の液晶表示装置。

【請求項 7】

前記主画素電極は、前記第 1 副共通電極及び前記第 1 主共通電極のそれぞれと同一材料によって形成されたことを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

50

第 2 主共通電極は、第 1 主共通電極と対向するとともに前記補助容量線の直上において途切れることなく第 2 方向に沿って延出したことを特徴とする請求項 4 乃至 7 のいずれか 1 項に記載の液晶表示装置。

【請求項 9】

第 1 方向に沿って延出した第 1 補助容量線及び第 2 補助容量線と、前記第 1 補助容量線と前記第 2 補助容量線との間に配置され第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出した主画素電極と、前記ゲート配線との間に絶縁膜を介して対向し第 1 方向に沿って延出し前記主画素電極と電氣的に接続された副画素電極と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側に配置され第 2 方向に沿って延出した第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 10】

前記副画素電極は、前記ゲート配線の直上に配置され且つ前記ゲート配線と略同等の幅を有することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記主画素電極は、前記絶縁膜上に形成され、前記副画素電極と同一材料によって形成されたことを特徴とする請求項 9 または 10 に記載の液晶表示装置。

【請求項 12】

前記液晶分子の初期配向方向は、第 2 方向に略平行な方向であることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009-192822 号公報

【特許文献 2】特開平 9-160041 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

10

20

30

40

50

本実施形態によれば、

第1方向に沿って延出した第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間に配置され第1方向に交差する第2方向に沿って延出した主画素電極と、前記第1ゲート配線及び前記第2ゲート配線のそれぞれとの間に絶縁膜を介して対向し第1方向に沿って延出した第1副共通電極と、を備えた第1基板と、前記主画素電極を挟んだ両側に配置され第2方向に沿って延出するとともに前記第1副共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【0007】

10

本実施形態によれば、

第1方向に沿って延出した第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間に配置され第1方向に沿って延出した補助容量線と、前記第1ゲート配線、前記第2ゲート配線、及び、前記補助容量線を覆う第1絶縁膜と、前記第1絶縁膜上において第1方向に交差する第2方向に沿って延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線及び前記第2ソース配線を覆う第2絶縁膜と、前記第2絶縁膜上において前記第1ゲート配線と前記第2ゲート配線の間であって且つ前記第1ソース配線と前記第2ソース配線との間に配置され第2方向に沿って延出した主画素電極と、前記第2絶縁膜上において前記第1ゲート配線及び前記第2ゲート配線のそれぞれと対向し第1方向に沿って延出した第1副共通電極と、前記第2絶縁膜上において前記第1ソース配線及び前記第2ソース配線のそれぞれと対向し第2方向に沿って延出するとともに前記補助容量線の直上で途切れ前記第1副共通電極と電氣的に接続された第1主共通電極と、を備えた第1基板と、前記主画素電極を挟んだ両側に配置され第2方向に沿って延出するとともに前記第1副共通電極及び前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

【0008】

本実施形態によれば、

第1方向に沿って延出した第1補助容量線及び第2補助容量線と、前記第1補助容量線と前記第2補助容量線との間に配置され第1方向に沿って延出したゲート配線と、第1方向に交差する第2方向に沿って延出した主画素電極と、前記ゲート配線との間に絶縁膜を介して対向し第1方向に沿って延出し前記主画素電極と電氣的に接続された副画素電極と、を備えた第1基板と、前記主画素電極を挟んだ両側に配置され第2方向に沿って延出した第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

30

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

40

【図3】図3は、スイッチング素子を含む液晶表示パネルの断面を概略的に示す断面図である。

【図4】図4は、本実施形態の第1構成例における液晶表示パネルを構成する対向基板の一画素の構造を概略的に示す平面図である。

【図5】図5は、本実施形態の第1構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図6】図6は、上記構成の液晶表示パネルの動作を説明するための一画素の平面図である。

【図7】図7は、図6に示した液晶表示パネルをA-A線で切断したときの断面図であり、ON時における液晶分子の配向状態を説明するための図である。

50

【図 8】図 8 は、図 6 に示した液晶表示パネルを B-B 線で切断したときの断面図であり、ON 時における液晶分子の配向状態を説明するための図である。

【図 9】図 9 は、本実施形態の第 2 構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図 10】図 10 は、本実施形態の第 3 構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

10

【0011】

図 1 は、本実施形態における液晶表示装置 1 の構成を概略的に示す図である。

【0012】

すなわち、液晶表示装置 1 は、アクティブマトリクスタイプの液晶表示パネル LPN、液晶表示パネル LPN に接続された駆動 IC チップ 2 及びフレキシブル配線基板 3、液晶表示パネル LPN を照明するバックライト 4 などを備えている。

【0013】

液晶表示パネル LPN は、第 1 基板であるアレイ基板 AR と、アレイ基板 AR に対向して配置された第 2 基板である対向基板 CT と、これらのアレイ基板 AR と対向基板 CT との間に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネル LPN は、画像を表示するアクティブエリア ACT を備えている。このアクティブエリア ACT は、 $m \times n$ 個のマトリクス状に配置された複数の画素 PX によって構成されている（但し、 m 及び n は正の整数である）。

20

【0014】

バックライト 4 は、図示した例では、アレイ基板 AR の背面側に配置されている。このようなバックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード（LED）を利用したものや冷陰極管（CCFL）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0015】

図 2 は、図 1 に示した液晶表示パネル LPN の構成及び等価回路を概略的に示す図である。

30

【0016】

液晶表示パネル LPN は、アクティブエリア ACT において、 n 本のゲート配線 G（ $G_1 \sim G_n$ ）、 n 本の補助容量線 C（ $C_1 \sim C_n$ ）、 m 本のソース配線 S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向である X 方向に沿ってそれぞれ延出しているが、必ずしも直線的に延出していなくても良い。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向である Y 方向に沿って交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差する。ソース配線 S は、第 2 方向 Y に沿ってそれぞれ延出しているが、必ずしも直線的に延出していなくても良い。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、それらの一部が屈曲していてもよい。

40

【0017】

各ゲート配線 G は、アクティブエリア ACT の外側に引き出され、ゲートドライバ GD に接続されている。各ソース配線 S は、アクティブエリア ACT の外側に引き出され、ソースドライバ SD に接続されている。これらのゲートドライバ GD 及びソースドライバ SD の少なくとも一部は、例えば、アレイ基板 AR に形成され、コントローラを内蔵した駆動 IC チップ 2 と接続されている。

【0018】

50

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C Eなどを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。

【0019】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E がアレイ基板 A R 及び対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、アレイ基板 A R の主面あるいは対向基板 C T の主面にほぼ平行な横電界（あるいは、基板主面に対してわずかに傾いた斜め電界）である。

【0020】

スイッチング素子 S W は、例えば、n チャネル薄膜トランジスタ（T F T）によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個のスイッチング素子 S W が形成されている。

【0021】

画素電極 P E は、スイッチング素子 S W に電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個の画素電極 P E が形成されている。共通電極 C E は、例えばコモン電位であり、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【0022】

アレイ基板 A R は、アクティブエリア A C T の外側に形成された給電部 V S を備えている。共通電極 C E のうち、アレイ基板 A R に形成された共通電極 C E の一部は、アクティブエリア A C T の外側で給電部 V S と電氣的に接続されている。また、共通電極 C E のうち、対向基板 C T に形成された共通電極 C E の一部は、図示しない導電部材を介して、アレイ基板 A R に形成された給電部 V S と電氣的に接続されている。

【0023】

図3は、スイッチング素子 S W を含む液晶表示パネル L P N の断面を概略的に示す断面図である。なお、ここでは、共通電極の図示を省略し、説明に必要な箇所のみを図示している。

【0024】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。

【0025】

アレイ基板 A R は、例えば、ガラス基板やプラスチック基板などの光透過性を有する第1絶縁基板 10 を用いて形成されている。このアレイ基板 A R は、第1絶縁基板 10 の対向基板 C T に対向する側に、スイッチング素子 S W、画素電極 P E、第1配向膜 A L 1などを備えている。

【0026】

図示した例では、スイッチング素子 S W は、トップゲート型の薄膜トランジスタであるが、ボトムゲート型の薄膜トランジスタであっても良い。また、スイッチング素子 S W の半導体層 S C は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0027】

半導体層 S C は、チャネル領域 S C C を挟んだ両側にそれぞれソース領域 S C S 及びドレイン領域 S C D を有している。なお、第1絶縁基板 10 と半導体層 S C との間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層 S C は、ゲート絶縁膜 11 によって覆われている。また、ゲート絶縁膜 11 は、第1絶縁基板 10 の上にも配置されている。

【0028】

10

20

30

40

50

スイッチング素子SWのゲート電極WGは、ゲート絶縁膜11の上に形成され、半導体層SCのチャネル領域SCCの直上に位置している。また、図示を省略するゲート配線及び補助容量線も、ゲート絶縁膜11の上に形成されている。これらのゲート電極WG、ゲート配線及び補助容量線は、同一材料を用いて同一工程で形成可能である。ゲート電極WGは、ゲート配線と電氣的に接続されている。

【0029】

ゲート電極WG、ゲート配線及び補助容量線は、第1層間絶縁膜12によって覆われている。また、この第1層間絶縁膜12は、ゲート絶縁膜11の上にも配置されている。これらのゲート絶縁膜11及び第1層間絶縁膜12は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

10

【0030】

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第1層間絶縁膜12の上に形成されている。また、図示を省略するソース配線も、第1層間絶縁膜12の上に形成されている。これらのソース電極WS、ドレイン電極WD、及び、ソース配線は、同一材料を用いて同一工程で形成可能である。ソース電極WSは、ソース配線と電氣的に接続されている。

【0031】

ソース電極WSは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのソース領域SCSにコンタクトしている。ドレイン電極WDは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのドレイン領域SCDにコンタクトしている。これらのゲート電極WG、ゲート配線、補助容量線、ソース電極WS、ドレイン電極WD、及び、ソース配線は、例えば、モリブデン、アルミニウム、タングステン、チタンなどの導電材料によって形成されている。

20

【0032】

このような構成のスイッチング素子SWは、第2層間絶縁膜13によって覆われている。つまり、ソース電極WS、ドレイン電極WD、及び、ソース配線は、第2層間絶縁膜13によって覆われている。また、この第2層間絶縁膜13は、第1層間絶縁膜12の上にも配置されている。この第2層間絶縁膜13は、例えば、紫外線硬化型樹脂や熱硬化型樹脂などの各種有機材料によって形成されている。

30

【0033】

画素電極PEは、第2層間絶縁膜13の上に配置されている。この画素電極PEは、第2層間絶縁膜13を貫通するコンタクトホールを介してドレイン電極WDに接続されている。このような画素電極PEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキไซด์(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【0034】

なお、アレイ基板ARは、後述するように、さらに、共通電極の一部として第1副共通電極を備え、さらには第1主共通電極を備えている場合もある。

【0035】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PE及び図示しない共通電極の一部を覆っており、第2層間絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

40

【0036】

一方、対向基板CTは、例えば、ガラス基板やプラスチック基板などの光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20のアレイ基板ARに対向する側に、図示を省略した共通電極のうちの第2主共通電極や、第2配向膜AL2などを備えている。また、この対向基板CTは、図示を省略するが、各画素PXを区画する(あるいは、ソース配線、ゲート配線、補助容量線、スイッチング素子

50

S Wなどの配線部に対向するように配置された) ブラックマトリクスや各画素 P Xに対応して配置されたカラーフィルタ層、ブラックマトリクス及びカラーフィルタ層の表面の凹凸の影響を緩和するオーバーコート層などが配置されても良い。

【0037】

共通電極は、例えば、ITOやIZOなどの光透過性を有する導電材料によって形成されている。

【0038】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、図示しない共通電極の第2主共通電極などを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

10

【0039】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶分子を初期配向させるための配向処理(例えば、ラビング処理や光配向処理)がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向は、例えば、第2方向Yと略平行な方向である。これらの第1配向処理方向及び第2配向処理方向は、ともに平行であって、互いに逆向きの方向あるいは同じ向きの方

【0040】

向である。上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のギャップ、例えば3~7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で図示しないシール材によって貼り合わせられている。

20

【0041】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、図示しない液晶分子を含んでいる。このような液晶層LQは、ポジ型の液晶材料によって構成されている。

30

【0042】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面には、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、第1偏光軸を有する第1偏光板PL1を含んでいる。また、対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面には、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、第2偏光軸を有する第2偏光板PL2を含んでいる。第1偏光板PL1の第1偏光軸と、第2偏光板PL2の第2偏光軸とは、例えば、直交する位置関係にある。一方の偏光板は、例えば、その偏光軸が液晶分子の長軸方向つまり第1配向処理方向あるいは第2配向処理方向と平行(あるいは、第2方向Yと平行)または直交(あるいは、第1方向Xと平行)するように配置されている。これにより、ノーマリーブラックモードを実現している。

40

【0043】

以下に、本実施形態の構成例についてより具体的に説明する。

【0044】

≪第1構成例≫

図4は、本実施形態の第1構成例における液晶表示パネルLPNを構成する対向基板CTの画素PXの構造を概略的に示す平面図である。

【0045】

共通電極CEは、第1方向Xに沿って延出した副共通電極と、第2方向Yに沿って延出

50

した主共通電極と、を有しているが、この第1構成例では、共通電極C Eは、主共通電極として対向基板C Tに備えられた第2主共通電極C A 2、及び、副共通電極として後述するアレイ基板に備えられた第1副共通電極C B 1を有している。

【0046】

すなわち、図示した対向基板C Tは、第2方向Yに沿って直線的に延出した帯状の第2主共通電極C A 2を備えている。図示した例では、対向基板C Tにおいて、共通電極C Eは、第2方向Yに延出したストライプ状に形成されている。また、図示した第2主共通電極C A 2は第1方向Xに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第2主共通電極をC A L 2と称し、図中の右側の第2主共通電極をC A R 2と称する。なお、対向基板C Tは、副共通電極として第2副共通電極を備えていてもよい。

10

【0047】

このような共通電極C Eの第2主共通電極C A 2は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【0048】

図5は、本実施形態の第1構成例における液晶表示パネルL P Nの一画素P Xを対向基板C T側から見たときのアレイ基板A Rの構造を概略的に示す平面図である。なお、一画素P Xにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

20

【0049】

アレイ基板A Rは、第1方向Xに沿って延出したゲート配線G 1及びゲート配線G 2と、ゲート配線G 1とゲート配線G 2との間に配置され第1方向Xに沿って延出した補助容量線C 1と、第2方向Yに沿って延出したソース配線S 1及びソース配線S 2と、画素電極P Eと、共通電極C Eの一部として第1方向Xに沿って直線的に延出した帯状の第1副共通電極C B 1と、を備えている。補助容量線C 1、ゲート配線G 1、及び、ゲート配線G 2は、ゲート絶縁膜1 1の上に形成され、第1層間絶縁膜1 2によって覆われている。ソース配線S 1及びソース配線S 2は、第1層間絶縁膜1 2の上に形成され、第2層間絶縁膜1 3によって覆われている。画素電極P Eは、第2層間絶縁膜1 3の上に形成されている。第1副共通電極C B 1は、例えば、画素電極P Eと同様に、第2層間絶縁膜1 3の上に形成されている。

30

【0050】

図示した例では、画素P Xは、図中の破線で示した領域に相当し、第1方向Xに沿った長さよりも第2方向Yに沿った長さの方が長い長方形状である。また、図示した例では、画素P Xにおいて、ソース配線S 1は左側端部に配置され（厳密には、ソース配線S 1は当該画素P Xとその左側に隣接する画素との境界に跨って配置されている）、ソース配線S 2は右側端部に配置されている（厳密には、ソース配線S 2は当該画素P Xとその右側に隣接する画素との境界に跨って配置されている）。また、画素P Xにおいて、ゲート配線G 1は上側端部に配置され（厳密には、ゲート配線G 1は当該画素P Xとその上側に隣接する画素との境界に跨って配置されている）、ゲート配線G 2は下側端部に配置され（厳密には、ゲート配線G 2は当該画素P Xとその下側に隣接する画素との境界に跨って配置されている）、補助容量線C 1は略画素中央部に配置されている。

40

【0051】

共通電極C Eにおいて、第1副共通電極C B 1が画素電極P Eとともに第2層間絶縁膜1 3の上に形成されている場合には、第1副共通電極C B 1は、画素電極P Eと同一材料（例えば、ITOなど）を用いて同一工程で形成可能である。このとき、第1副共通電極C B 1は、画素電極P Eとは電氣的に絶縁されており、画素電極P Eから離間している。なお、第1副共通電極C B 1と画素電極P Eとの間に他の層間絶縁膜が介在し、第1副共通電極C B 1と画素電極P Eとが異なる層に形成されても良い。この場合、第1副共通電極C B 1は、画素電極P Eとは異なる材料によって形成されても良いし、画素電極P Eと

50

同一材料によって形成されても良い。

【0052】

これらの第1副共通電極CB1は、それぞれアクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板ARに形成された給電部と電氣的に接続され、コモン電位が給電される。つまり、第1副共通電極CB1と上記の第2主共通電極CA2とは電氣的に接続されている。

【0053】

図示した例では、第1副共通電極CB1は第2方向Yに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の上側の第1副共通電極をCBU1と称し、図中の下側の第1副共通電極をCBB1と称する。第1副共通電極CBU1は、画素PXの上側端部に配置され、ゲート配線G1と対向している（あるいは、第1副共通電極CBU1がゲート配線G1の直上に配置されている）。つまり、第1副共通電極CBU1は、当該画素PXとその上側に隣接する画素との境界に跨って配置されている。また、第1副共通電極CBB1は、画素PXの下側端部に配置され、ゲート配線G2と対向している（あるいは、第1副共通電極CBB1がゲート配線G2の直上に配置されている）。つまり、第1副共通電極CBB1は、当該画素PXとその下側に隣接する画素との境界に跨って配置されている。これらの第1副共通電極CBU1とゲート配線G1との間、及び、第1副共通電極CBB1とゲート配線G2との間には、それぞれ第1層間絶縁膜12及び第2層間絶縁膜13が介在している。

【0054】

第1副共通電極CBU1及び第1副共通電極CBB1のそれぞれがアクティブエリア内においてゲート配線G1及びゲート配線G2を覆う場合（つまり、第1副共通電極CBU1がゲート配線G1の直上に配置され、同様に、第1副共通電極CBB1がゲート配線G2の直上に配置された場合）には、第1副共通電極CBU1及び第1副共通電極CBB1の第2方向Yに沿った幅については、ゲート配線G1及びゲート配線G2の第2方向Yに沿った幅と同等以上である。

【0055】

また、図示した例では、破線で示したように、対向基板CTに備えられ共通電極CEを構成する第2主共通電極CAL2は、画素PXの左側端部に配置され、ソース配線S1に対向している（あるいは、第2主共通電極CAL2がソース配線S1の直上に配置されている）。つまり、第2主共通電極CAL2は、当該画素PXとその左側に隣接する画素との境界に跨って配置されている。また、同様に、第2主共通電極CAR2は、画素PXの右側端部に配置され、ソース配線S2に対向している（あるいは、第2主共通電極CAR2がソース配線S2の直上に配置されている）。つまり、第2主共通電極CAR2は、当該画素PXとその右側に隣接する画素との境界に跨って配置されている。

【0056】

画素電極PEは、ソース配線S1とソース配線S2との間に配置されている。また、画素電極PEは、ゲート配線G1とゲート配線G2との間、つまり、第1副共通電極CBU1と第1副共通電極CBB1との間に配置されている。この画素電極PEは、図示を省略したスイッチング素子に電氣的に接続されている。このような画素電極PEは、第2方向Yに沿って直線的に延出した帯状の主画素電極PA、及び、第1方向Xに沿って直線的に延出した帯状の容量部PCを有している。これらの主画素電極PA及び容量部PCは、電氣的に接続されている。図示した例では、主画素電極PA及び容量部PCは、一体的（あるいは連続的）に形成されている。つまり、アレイ基板ARにおいて、画素電極PEは、略十字状に形成されている。

【0057】

主画素電極PAは、隣接するソース配線S1及びソース配線S2のそれぞれの直上の位置よりも画素PXの内側に位置し、ソース配線S1とソース配線S2との間に配置されている。より具体的には、主画素電極PAは、ソース配線S1とソース配線S2との略中間の位置に配置されている。このような主画素電極PAは、画素PXの上側端部付近から下

側端部付近まで延出している。

【0058】

容量部PCは、補助容量線C1の直上に配置されている。容量部PCと補助容量線C1との間には、絶縁膜として、第1層間絶縁膜12及び第2層間絶縁膜13が介在している。換言すると、容量部PCは、隣接するゲート配線G1及びゲート配線G2のそれぞれの直上の位置よりも画素PXの内側に位置し、ゲート配線G1とゲート配線G2との間、あるいは、第1副共通電極CBU1と第1副共通電極CBB1との間に配置されている。より具体的には、容量部PCは、略画素中央部に配置され、ゲート配線G1とゲート配線G2との略中間の位置に配置されている。このような容量部PCは、主画素電極PAと交差しており、主画素電極PAからその両側、つまり、主画素電極PAの左側のソース配線S1及び主画素電極PAの右側のソース配線S2に向かってそれぞれ直線的に延出している。

10

【0059】

このような構成においては、第2主共通電極CA2は、主画素電極PAを挟んだ両側に配置されている。つまり、主画素電極PAと第2主共通電極CA2とは、第1方向Xに沿って交互に配置されている。これらの主画素電極PAと第2主共通電極CA2とは、互いに略平行に配置されている。このとき、X-Y平面内において、第2主共通電極CA2のいずれも主画素電極PAとは重ならない。

【0060】

すなわち、隣接する第2主共通電極CAL2及び第2主共通電極CAR2の間には、1本の主画素電極PAが位置している。換言すると、第2主共通電極CAL2及び第2主共通電極CAR2は、主画素電極PAの直上の位置を挟んだ両側に配置されている。あるいは、主画素電極PAは、第2主共通電極CAL2と第2主共通電極CAR2との間に配置されている。このため、第2主共通電極CAL2、主画素電極PA、及び、第2主共通電極CAR2は、第1方向Xに沿ってこの順に配置されている。第1方向Xに沿った第2主共通電極CAL2と主画素電極PAとの間隔は、第1方向Xに沿った第2主共通電極CAR2と主画素電極PAとの間隔と略同等である。

20

【0061】

また、第1副共通電極CB1は、容量部PCを挟んだ両側に配置されている。つまり、第1副共通電極CB1と容量部PCとは、第2方向Yに沿って交互に配置されている。これらの第1副共通電極CB1と容量部PCとは、互いに略平行に配置されている。このとき、X-Y平面内において、第1副共通電極CB1のいずれも容量部PCとは重ならない。

30

【0062】

すなわち、隣接する第1副共通電極CBU1及び第1副共通電極CBB1の間には、1本の容量部PCが位置している。換言すると、第1副共通電極CBU1及び第1副共通電極CBB1は、容量部PCを挟んだ両側に配置されている。あるいは、容量部PCは、第1副共通電極CBU1と第1副共通電極CBB1との間に配置されている。このため、第1副共通電極CBB1、容量部PC、及び、第1副共通電極CBU1は、第2方向Yに沿ってこの順に配置されている。

40

【0063】

図6は、上記構成の液晶表示パネルLPNの動作を説明するための一画素PXの平面図である。

【0064】

すなわち、液晶層LQに電圧が印加されていない状態つまり画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成されていない無電界時（OFF時）には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向及び第2配向膜AL2の第2配向処理方向を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0065】

50

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、液晶分子LMの厳密な初期配向方向とは、OFF時の液晶分子LMの配向方向をX-Y平面に正射影した方向である。しかしながら、説明を簡略にするために、以下では、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0066】

ここでは、第1配向膜AL1の第1配向処理方向及び第2配向膜AL2の第2配向処理方向は、ともに第2方向Yと略平行な方向である。このようなOFF時においては、液晶分子LMは、図中の破線で示したように、その長軸が第2方向Yと略平行な方向に配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行である。

10

【0067】

第1配向膜AL1の第1配向処理方向及び第2配向膜AL2の第2配向処理方向が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向している（ホモジニアス配向）。また、第1配向膜AL1の第1配向処理方向及び第2配向膜AL2の第2配向処理方向が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部において略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

20

【0068】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

【0069】

一方、画素電極PEと共通電極CEとの間に電位差が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。これにより、液晶分子LMは、図中の実線で示したように、その長軸が電界の向きと略平行となるように基板主面と略平行な平面内で回転する。

30

【0070】

図示した例では、画素電極PEは、その主画素電極PA及び容量部PCにより、一画素PXを概ね4つの領域（開口部）に分割している。すなわち、画素電極PEと第1副共通電極CBU1及び第2主共通電極CAL2との間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、電界に沿って図中の左上を向くように配向する。画素電極PEと第1副共通電極CBU1及び第2主共通電極CAR2との間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、電界に沿って図中の右上を向くように配向する。画素電極PEと第1副共通電極CBB1及び第2主共通電極CAL2との間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、電界に沿って図中の左下を向くように配向する。画素電極PEと第1副共通電極CBB1及び第2主共通電極CAR2との間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、電界に沿って図中の右下を向くように配向する。

40

【0071】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に横電界（あるいは斜め電界）が形成された状態では、液晶分子LMの配向方向が少なくとも4方向に分かれ、それぞれの配向方向でドメインが形成される。つまり、一画素PXには、少なくとも4つのドメインが形成される。

【0072】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液

50

晶層 L Q に入射したバックライト光は、画素電極 P E と共通電極 C E とで区画された 4 つの領域（開口部）をそれぞれ通過した際に、その偏光状態が変化する。このような ON 時においては、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【0073】

図 7 は、図 6 に示した液晶表示パネル L P N を A - A 線で切断したときの断面図であり、ON 時における液晶分子 L M の配向状態を説明するための図である。

【0074】

ここに示した例では、液晶分子 L M は、主として主画素電極 P A と第 2 主共通電極 C A 2 との間での電位差によって形成された電界によって配向制御されている。主画素電極 P A を挟んで左側の領域では、主画素電極 P A と第 2 主共通電極 C A L 2 との間の電界により、液晶分子 L M は、概ね図中の左側を向くように配向している。主画素電極 P A を挟んで右側の領域では、主画素電極 P A と第 2 主共通電極 C A R 2 との間の電界により、液晶分子 L M は、概ね図中の右側を向くように配向している。

【0075】

図 8 は、図 6 に示した液晶表示パネル L P N を B - B 線で切断したときの断面図であり、ON 時における液晶分子 L M の配向状態を説明するための図である。

【0076】

ここに示した例では、液晶分子 L M は、主として容量部 P C と第 1 副共通電極 C B 1 との間での電位差によって形成された電界によって配向制御されているが、もちろん、これらの液晶分子 L M には、上記の主画素電極 P A と第 2 主共通電極 C A 2 との間の電界の他に、主画素電極 P A と第 1 副共通電極 C B 1 との間の電界、容量部 P C と第 2 主共通電極 C A 2 との間の電界も相互に作用している。容量部 P C を挟んで画素の上側の領域では、容量部 P C と第 1 副共通電極 C B U 1 との間の電界により、液晶分子 L M は、概ね図中の上側を向くように配向している。容量部 P C を挟んで画素の下側の領域では、容量部 P C と第 1 副共通電極 C B B 1 との間の電界により、液晶分子 L M は、概ね図中の下側を向くように配向している。

【0077】

このような第 1 構成例によれば、一画素内に少なくとも 4 つのドメインを形成することが可能となるため、少なくとも 4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。したがって、高い透過率の表示を実現することができ、表示品位の良好な液晶表示装置を提供することが可能となる。

【0078】

また、一画素内において、画素電極 P E と共通電極 C E とで区画される少なくとも 4 つの開口部それぞれについて面積を略同一に設定することにより、各領域の透過率が略同等となり、それぞれの開口部を透過した光が互いに光学的に補償し合い、広い視野角範囲に亘って均一な表示を実現することが可能となる。

【0079】

さらに、共通電極 C E の第 1 副共通電極 C B 1 は、ゲート配線と対向するように配置されているため、ゲート配線からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

【0080】

また、主画素電極 P A と第 1 副共通電極 C B 1 との間の領域や、容量部 P C と第 2 主共通電極 C A 2 との間の領域についても、それらの一部が表示に寄与する開口部となるため、透過率の向上に貢献できる。

【0081】

なお、第 1 副共通電極 C B 1 の幅が広いほど、ゲート配線からの電界の遮蔽性能が向上

10

20

30

40

50

するが、第1副共通電極CB1と画素電極PEとの間にも、表示に寄与する開口部が形成されるため、第1副共通電極CB1の幅が広すぎると、開口部の面積が小さくなり、透過率の低減を招く。このため、特に、第1副共通電極CBU1及び第1副共通電極CBB1のそれぞれがゲート配線G1及びゲート配線G2の直上に配置され且つゲート配線G1及びゲート配線G2と略同等の幅を有する構成においては、高い透過率を維持しながら、ゲート配線からの電界の遮蔽性能を向上することが可能となる。

【0082】

また、この第1構成例によれば、第2主共通電極CAL2及び第2主共通電極CAR2は、それぞれソース配線S1及びソース配線S2と対向している。特に、第2主共通電極CAL2及び第2主共通電極CAR2がそれぞれソース配線S1及びソース配線S2の直上に配置されている場合には、第2主共通電極CAL2及び第2主共通電極CAR2がソース配線S1及びソース配線S2よりも主画素電極PA側に配置された場合と比較して、表示に寄与する開口部を拡大することができ、画素PXの透過率を向上することが可能となる。

10

【0083】

また、第2主共通電極CAL2及び第2主共通電極CAR2をそれぞれソース配線S1及びソース配線S2の直上に配置することによって、主画素電極PAと第2主共通電極CAL2及び第2主共通電極CAR2との間の距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。

20

【0084】

なお、ON時には、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、上記のように、画素電極PE及び共通電極CEが光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀などの導電材料を用いて形成しても良い。

【0085】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。

30

【0086】

《第2構成例》

図9は、本実施形態の第2構成例における液晶表示パネルLPNの一画素PXを対向基板CT側から見たときのアレイ基板ARの構造を概略的に示す平面図である。なお、一画素PXにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。また、図示を省略した対向基板の第2主共通電極CA2は、図中に破線で示している。

40

【0087】

第2構成例においては、図4に示した第1構成例の対向基板CTを適用可能である。この第2構成例では、共通電極CEは、主共通電極としてアレイ基板ARに備えられた第1主共通電極CA1及び対向基板CTに備えられた第2主共通電極CA2、及び、副共通電極としてアレイ基板ARに備えられた第1副共通電極CB1を有している。

【0088】

アレイ基板ARは、第1構成例と同様に、ゲート配線G1及びゲート配線G2と、補助容量線C1と、ソース配線S1及びソース配線S2と、画素電極PEと、を備えている。また、アレイ基板ARは、共通電極CEの一部として第1方向Xに沿って直線的に延出し

50

た帯状の第1副共通電極CB1と、第2方向Yに沿って直線的に延出した帯状の第1主共通電極CA1と、を備えている。第1副共通電極CB1及び第1主共通電極CA1は、例えば、画素電極PEと同様に、第2層間絶縁膜13の上に形成されている。

【0089】

共通電極CEにおいて、第1副共通電極CB1及び第1主共通電極CA1が画素電極PEとともに第2層間絶縁膜13の上に形成されている場合には、第1副共通電極CB1及び第1主共通電極CA1は、画素電極PEと同一材料（例えば、ITOなど）を用いて同一工程で形成可能である。このとき、第1副共通電極CB1及び第1主共通電極CA1は、画素電極PEとは電氣的に絶縁されており、画素電極PEから離間している。なお、第1副共通電極CB1及び第1主共通電極CA1と画素電極PEとの間に他の層間絶縁膜が介在し、第1副共通電極CB1及び第1主共通電極CA1と画素電極PEとが異なる層に形成されても良い。この場合、第1副共通電極CB1及び第1主共通電極CA1は、画素電極PEとは異なる材料によって形成されても良いし、画素電極PEと同一材料によって形成されても良い。

【0090】

第1副共通電極CB1（図示した第1副共通電極CBU1及び第1副共通電極CBB1）は、第1構成例と同様に、それぞれアクティブエリア内においてはゲート配線と対向しながら直線的に延出している。また、この第1副共通電極CB1は、アクティブエリアの外側に引き出され、アレイ基板ARに形成された給電部と電氣的に接続され、コモン電位が給電される。つまり、第1副共通電極CB1と上記の第2主共通電極CA2とは電氣的に接続されている。

【0091】

また、第1主共通電極CA1は、それぞれアクティブエリア内においてソース配線と対向しながら直線的に延出している。但し、この第1主共通電極CA1は、補助容量線C1の直上で途切れている。このような第1主共通電極CA1は、第1副共通電極CB1と電氣的に接続されている。図示した例では、第1主共通電極CA1及び第1副共通電極CB1は、一体的（あるいは連続的）に形成されている。また、図示した例では、第1主共通電極CA1は第1方向Xに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第1主共通電極をCAL1と称し、図中の右側の第1主共通電極をCAR1と称する。

【0092】

第1主共通電極CAL1は、画素PXの左側端部に配置され、ソース配線S1と対向している（あるいは、第1主共通電極CAL1がソース配線S1の直上に配置されている）。つまり、第1主共通電極CAL1は、当該画素PXとその左側に隣接する画素との境界に跨って配置されている。但し、この第1主共通電極CAL1は、補助容量線C1と交差するソース配線S1の交差部の上には配置されていない。

【0093】

第1主共通電極CAR1は、画素PXの右側端部に配置され、ソース配線S2と対向している（あるいは、第1主共通電極CAR1がソース配線S2の直上に配置されている）。つまり、第1主共通電極CAR1は、当該画素PXとその右側に隣接する画素との境界に跨って配置されている。但し、この第1主共通電極CAR1は、補助容量線C1と交差するソース配線S2の交差部の上には配置されていない。

【0094】

これらの第1主共通電極CAL1とソース配線S1との間、及び、第1主共通電極CAR1とソース配線S2との間には、それぞれ第2層間絶縁膜13が介在している。

【0095】

第1主共通電極CAL1及び第1主共通電極CAR1のそれぞれがアクティブエリア内においてソース配線S1及びソース配線S2を覆う場合（つまり、第1主共通電極CAL1がソース配線S1の直上に配置され、同様に、第1主共通電極CAR1がソース配線S2の直上に配置された場合）には、第1主共通電極CAL1及び第1主共通電極CAR1

の第1方向Xに沿った幅については、ソース配線S1及びソース配線S2の第1方向Xに沿った幅と同等以上である。

【0096】

また、図示した例では、破線で示したように、対向基板CTに備えられ共通電極CEを構成する第2主共通電極CAL2は、画素PXの左側端部に配置され、第1主共通電極CAL1に対向している（あるいは、第2主共通電極CAL2が第1主共通電極CAL1の直上に配置されている）。また、同様に、第2主共通電極CAR2は、画素PXの右側端部に配置され、第1主共通電極CAR1に対向している（あるいは、第2主共通電極CAR2が第1主共通電極CAR1の直上に配置されている）。もちろん、これらの第2主共通電極CAL2及び第2主共通電極CAR2は、いずれも補助容量線C1の直上で途切れることなく第2方向Yに沿って延出している。

10

【0097】

このような第2構成例によれば、上記の第1構成例と同様の効果が得られる。さらに、共通電極CEの第1主共通電極CA1は、ソース配線と対向するように配置されているため、ソース配線からの不所望な電界を遮蔽することが可能となる。このため、ソース配線から液晶層LQに対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素PXが黒を表示する画素電位に設定されている状態で、当該画素PXに接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素PXの一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。したがって、表示品位のさらに良好な液晶表示装置を提供することができる。

20

【0098】

なお、第1主共通電極CA1の幅が広いほど、ソース配線からの電界の遮蔽性能が向上するが、第1主共通電極CA1と画素電極PEとの間には、主として表示に寄与する開口部が形成されるため、第1主共通電極CA1の幅が広すぎると、開口部の面積が小さくなり、透過率の低減を招く。このため、特に、第1主共通電極CAL1及び第1主共通電極CAR1のそれぞれがソース配線S1及びソース配線S2の直上に配置され且つソース配線S1及びソース配線S2と略同等の幅を有する構成においては、高い透過率を維持しながら、ソース配線からの電界の遮蔽性能を向上することが可能となる。

【0099】

30

また、この第2構成例によれば、第1主共通電極CA1が画素電極PEと同一層上に形成されたとしても、補助容量線C1に対向する容量部PCは、補助容量線C1の直上で途切れた第1主共通電極CA1から離間しているため、画素電極PEと共通電極CEとのショートを抑制することが可能となる。

【0100】

なお、上記の第1構成例及び第2構成例は、補助容量線が画素の上端部及び下端部に配置されており、特に、ドット反転駆動で容量結合駆動を行う容量結合ドット反転駆動（CCDI駆動）を行う構成に好適である。すなわち、容量結合駆動（CC駆動）では、各画素の保持容量Csを通して、補助容量信号を画素電極PEに重畳することで所定の電圧に到達させるため、保持容量Csと画素容量とを略等しくする場合には、信号電圧振幅を略半減できる。CCDI駆動では、隣り合う画素PXの保持容量Csが互いに異なる補助容量線Cに接続され、隣り合う画素PXの保持容量Csに供給される補助容量電圧を互いに異なる極性とする。上述したゲートドライバGD、ソースドライバSD、コントローラを内蔵した駆動ICチップ2などは、このようなCCDI駆動を行うための駆動手段として機能し、アレイ基板ARに備えられている。

40

【0101】

このようなCCDI駆動を適用した構成によれば、消費電力を低減できるとともに表示品位の劣化を抑制することが可能となる。

【0102】

≪第3構成例≫

50

図10は、本実施形態の第3構成例における液晶表示パネルLPNの一画素PXを対向基板CT側から見たときのアレイ基板ARの構造を概略的に示す平面図である。なお、一画素PXにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。また、図示を省略した対向基板の第2主共通電極CA2は、図中に破線で示している。

【0103】

第3構成例においては、図4に示した第1構成例の対向基板CTを適用可能である。この第3構成例では、共通電極CEは、主共通電極として対向基板CTに備えられた第2主共通電極CA2を有している。

【0104】

アレイ基板ARは、第1方向Xに沿って延出した補助容量線C1及び補助容量線C2と、補助容量線C1と補助容量線C2との間に配置され第1方向Xに沿って延出したゲート配線G1と、第2方向Yに沿って延出したソース配線S1及びソース配線S2と、画素電極PEと、を備えている。

【0105】

図示した例では、画素PXにおいて、ソース配線S1は左側端部に配置され（厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置されている）、ソース配線S2は右側端部に配置されている（厳密には、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている）。また、画素PXにおいて、補助容量線C1は上側端部に配置され、ゲート配線G1は略画素中央部に配置されている。

【0106】

画素電極PEは、ソース配線S1とソース配線S2との間に配置されている。この画素電極PEは、図示を省略したスイッチング素子に電氣的に接続されている。このような画素電極PEは、第2方向Yに沿って直線的に延出した帯状の主画素電極PA、第1方向Xに沿って直線的に延出した帯状の副画素電極PB、及び、第1方向Xに沿って直線的に延出した帯状の容量部PCを有している。これらの主画素電極PA、副画素電極PB、及び、容量部PCは、電氣的に接続されている。図示した例では、主画素電極PA、副画素電極PB、及び、容量部PCは、一体的（あるいは連続的）に形成されている。つまり、主画素電極PA、副画素電極PB、及び、容量部PCは、第2層間絶縁膜13上に形成され、これらは同一材料を用いて同一工程で形成可能である。

【0107】

主画素電極PAは、隣接するソース配線S1及びソース配線S2のそれぞれの直上の位置よりも画素PXの内側に位置し、ソース配線S1とソース配線S2との間に配置されている。より具体的には、主画素電極PAは、ソース配線S1とソース配線S2との略中間の位置に配置されている。このような主画素電極PAは、画素PXの上側端部付近から下側端部付近まで延出している。

【0108】

副画素電極PBは、ゲート配線G1と対向している（あるいは、副画素電極PBがゲート配線G1の直上に配置されている）。副画素電極PBとゲート配線G1との間には、絶縁膜として、第1層間絶縁膜12及び第2層間絶縁膜13が介在している。換言すると、副画素電極PBは、隣接する補助容量線C1及び補助容量線C2のそれぞれの直上の位置よりも画素PXの内側に位置し、補助容量線C1と補助容量線C2との間に配置されている。より具体的には、副画素電極PBは、略画素中央部に配置され、補助容量線C1と補助容量線C2との略中間の位置に配置されている。このような副画素電極PBは、主画素電極PAと交差しており、主画素電極PAからその両側、つまり、主画素電極PAの左側のソース配線S1及び主画素電極PAの右側のソース配線S2に向かってそれぞれ直線的に延出している。

【0109】

副画素電極PBが各画素PXにおいてゲート配線G1を覆う場合（つまり、副画素電極

10

20

30

40

50

P Bがゲート配線G 1の直上に配置された場合)には、副画素電極P Bの第2方向Yに沿った幅については、ゲート配線G 1の第2方向Yに沿った幅と同等以上である。

【0110】

容量部P Cは、補助容量線C 1の直上に配置されている。容量部P Cと補助容量線C 1との間には、絶縁膜として、第1層間絶縁膜1 2及び第2層間絶縁膜1 3が介在している。より具体的には、容量部P Cは、画素P Xの上側端部に配置されている。このような容量部P Cは、主画素電極P Aの端部と繋がっており、主画素電極P Aからその両側、つまり、主画素電極P Aの左側のソース配線S 1及び主画素電極P Aの右側のソース配線S 2に向かってそれぞれ直線的に延出している。

【0111】

10

このような構成においては、第2主共通電極C A 2は、主画素電極P Aを挟んだ両側に配置されている。つまり、主画素電極P Aと第2主共通電極C A 2とは、第1方向Xに沿って交互に配置されている。これらの主画素電極P Aと第2主共通電極C A 2とは、互いに略平行に配置されている。このとき、X-Y平面内において、第2主共通電極C A 2のいずれも主画素電極P Aとは重ならない。

【0112】

すなわち、隣接する第2主共通電極C A L 2及び第2主共通電極C A R 2の間には、1本の主画素電極P Aが位置している。換言すると、第2主共通電極C A L 2及び第2主共通電極C A R 2は、主画素電極P Aの直上の位置を挟んだ両側に配置されている。あるいは、主画素電極P Aは、第2主共通電極C A L 2と第2主共通電極C A R 2との間に配置されている。このため、第2主共通電極C A L 2、主画素電極P A、及び、第2主共通電極C A R 2は、第1方向Xに沿ってこの順に配置されている。第1方向Xに沿った第2主共通電極C A L 2と主画素電極P Aとの間隔は、第1方向Xに沿った第2主共通電極C A R 2と主画素電極P Aとの間隔と略同等である。

20

【0113】

このような第3構成例によれば、上記の第1構成例と同様の効果が得られる。さらに、画素電極P Eの副画素電極P Bは、ゲート配線と対向するように配置されているため、ゲート配線からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線から液晶層L Qに対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

30

【0114】

なお、副画素電極P Bの幅が広いほど、ゲート配線からの電界の遮蔽性能が向上するが、副画素電極P Bの幅が広すぎると、開口部の面積が小さくなり、透過率の低減を招く。このため、特に、副画素電極P Bがゲート配線G 1の直上に配置され且つゲート配線G 1と略同等の幅を有する構成においては、高い透過率を維持しながら、ゲート配線からの電界の遮蔽性能を向上することが可能となる。

【0115】

また、アレイ基板A Rには、画素電極P Eと電気的な絶縁が必要となる共通電極は一切配置されていない。このため、保持容量の確保やゲート配線からの電界の遮蔽などの各種目的に応じた画素電極P Eのレイアウトの自由度を向上することが可能となる。

40

【0116】

なお、この第3構成例は、ゲート配線が画素の上端部及び下端部に配置され、補助容量線が画素の中央部に配置されており、特に、容量結合駆動(C C駆動)を行う構成に好適である。すなわち、容量結合駆動(C C駆動)では、各画素の保持容量C sを通して、補助容量信号を画素電極P Eに重畳することで所定の電圧に到達させるため、保持容量C sと画素容量とを略等しくする場合には、信号電圧振幅を略半減できる。上述したゲートドライバG D、ソースドライバS D、コントローラを内蔵した駆動I Cチップ2などは、このようなC C駆動を行うための駆動手段として機能し、アレイ基板A Rに備えられている

50

。

【0117】

このようなCC駆動を適用した構成によれば、消費電力を低減できるとともに表示品位の劣化を抑制することが可能となる。

【0118】

次に、本実施形態の効果について検証した。

【0119】

図4乃至図8に示したような第1構成例、及び、図9に示したような第3構成例にそれぞれ対応する液晶表示パネルLPNを用意し、一画素あたりの透過率を測定した。なお、第1構成例と第3構成例とでは、画素電極PEの形状及び共通電極CEの形状が異なる以外は、電極幅や電極間距離、画素ピッチ、セルギャップ、液晶材料、配向膜材料、配向処理方向などすべて同一条件とした。第3構成例に対応する液晶表示パネルの透過率を1としたとき、第1構成例に対応する液晶表示パネルの透過率は1.1であった。

10

【0120】

以上説明したように、本実施形態によれば、表示品位の良好な液晶表示装置を提供することが可能となる。

【0121】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

【0122】

LPN…液晶表示パネル

AR…アレイ基板 CT…対向基板 LQ…液晶層

PE…画素電極 PA…主画素電極 PB…副画素電極 PC…容量部

CE…共通電極

CA…主共通電極 (CA1…第1主共通電極 CA2…第2主共通電極)

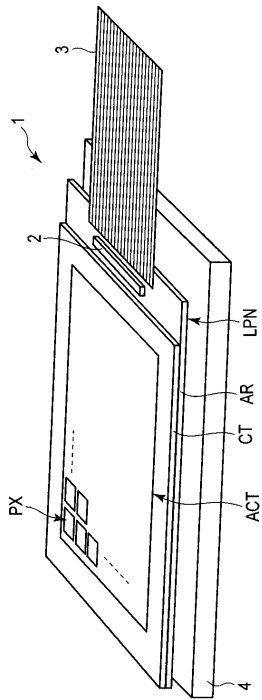
CB…副共通電極 (CB1…第1副共通電極)

S…ソース配線 G…ゲート配線 C…補助容量線

30

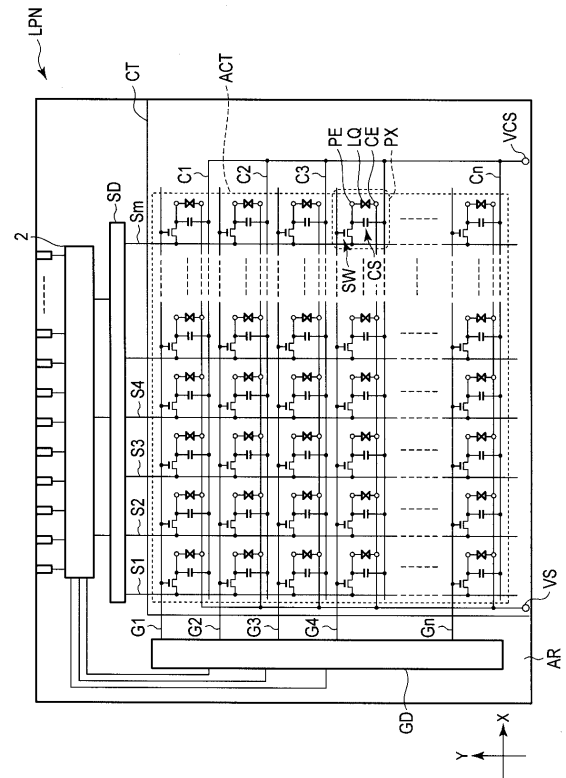
【図 1】

図 1



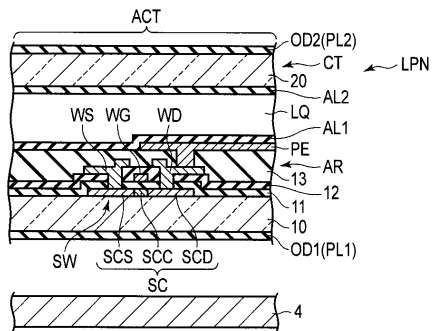
【図 2】

図 2



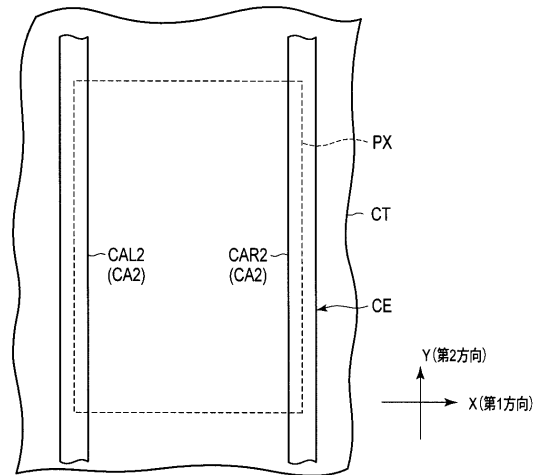
【図 3】

図 3



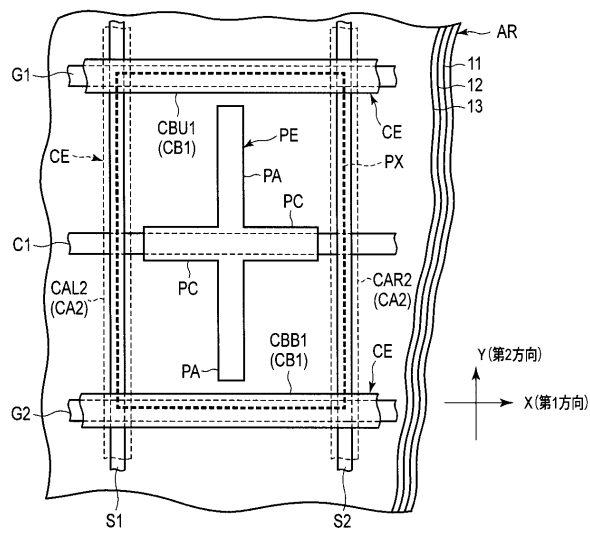
【図 4】

図 4



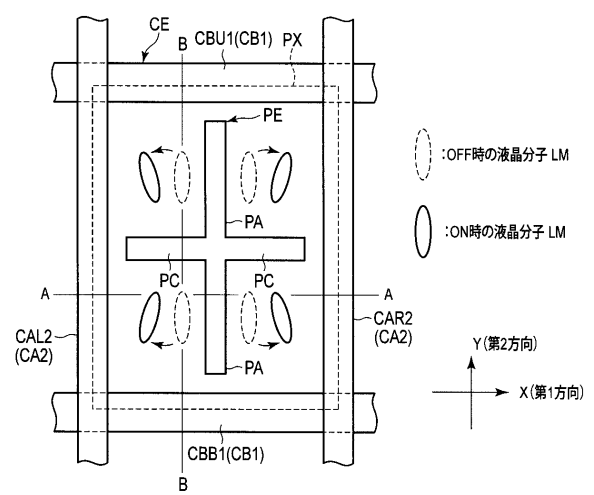
【図 5】

図 5



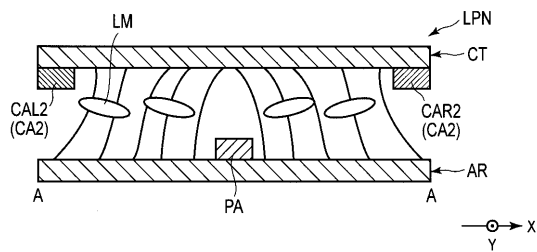
【図 6】

図 6



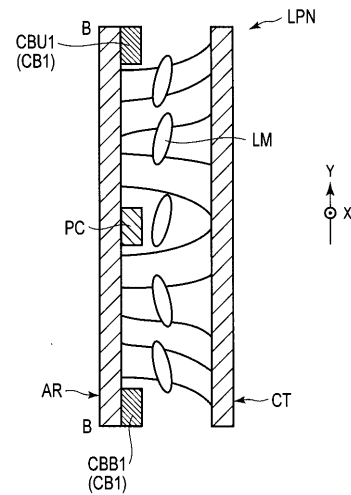
【図 7】

図 7



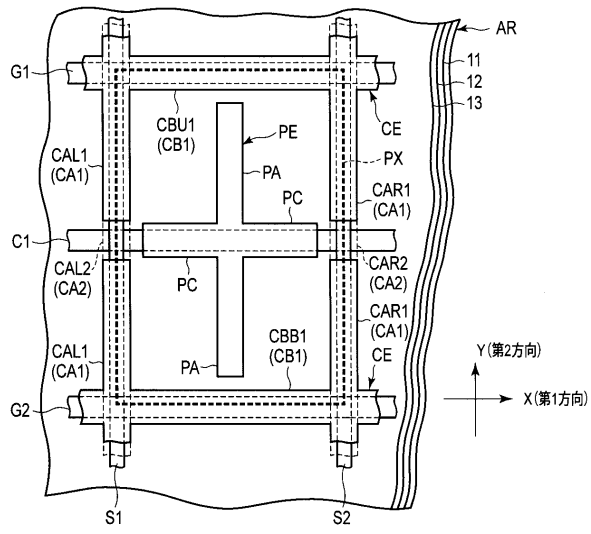
【図 8】

図 8



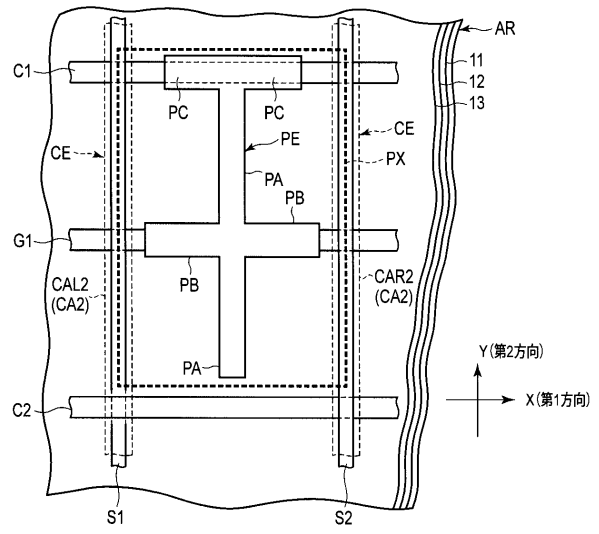
【図 9】

図 9



【図 10】

図 10



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 船越 浩史
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- Fターム(参考) 2H092 GA13 JA25 JA46 JB05 JB64 JB69 NA01 QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012226105A	公开(公告)日	2012-11-15
申请号	JP2011093424	申请日	2011-04-19
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	船越浩史 廣澤仁		
发明人	船越 浩史 廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/133345 G02F1/1337 G02F1/134363 G02F1/136213 G02F1/136227 G02F1/136277 G02F1/1368 G02F2001/134381		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/JA25 2H092/JA46 2H092/JB05 2H092/JB64 2H092/JB69 2H092/NA01 2H092/QA06 2H192/AA24 2H192/BA13 2H192/BA22 2H192/BA32 2H192/BB01 2H192/BB33 2H192/BB55 2H192/BC31 2H192/CB02 2H192/CC26 2H192/DA02 2H192/DA12 2H192/FB22 2H192/GA03 2H192/GD61 2H192/JA03		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5530971B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有良好的显示质量的液晶显示装置。沿着第一方向延伸的第一栅极线和第二栅极线，以及布置在第一栅极线和第二栅极线之间并且与第一方向相交的第二方向 在每个第一栅极布线和第二栅极布线之间，在绝缘膜的作用下彼此面对的主像素电极和沿着彼此相对的第一方向延伸的第一子公共电极。第二主公共电极，其布置在主像素电极的两侧并沿第二方向延伸，并且电连接至第一子公共电极。2.一种液晶显示装置，包括：第二基板；以及液晶层，所述液晶层包含保持在所述第一基板和所述第二基板之间的液晶分子。[选择图]图6

