

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-137684

(P2012-137684A)

(43) 公開日 平成24年7月19日(2012.7.19)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号	特願2010-291226 (P2010-291226)	(71) 出願人	302020207
(22) 出願日	平成22年12月27日 (2010.12.27)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

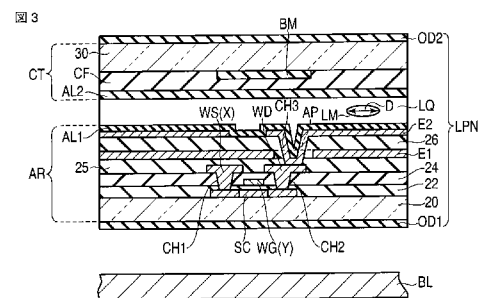
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】視野角特性に優れ、表示品位の良好な横電界方式の液晶表示装置を提供する。

【解決手段】第1基板ARと、第2基板CTと、第1基板ARと第2基板CTとの間に保持された液晶層LQと、マトリクス状に配置された画素からなる表示エリアとを備え、第1基板ARは、各画素に配置されたトップゲート型のスイッチング素子と、スイッチング素子を覆う第1絶縁膜25と、第1絶縁膜25の上において複数の前記画素にわたって配置された第1電極E1と、第1電極E1を覆う第2絶縁膜26と、第2絶縁膜26の上において各画素に配置され、スイッチング素子に接続され、第1電極E1と対向するスリットが形成された第2電極E2とを備えた液晶表示装置。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

第 1 基板と、第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、マトリクス状に配置された画素からなる表示エリアと、を備え、

前記第 1 基板は、

各画素に配置されたトップゲート型のスイッチング素子と、

前記スイッチング素子を覆う第 1 絶縁膜と、

前記第 1 絶縁膜の上において複数の前記画素にわたって配置された第 1 電極と、

前記第 1 電極を覆う第 2 絶縁膜と、

前記第 2 絶縁膜の上において各画素に配置され、前記スイッチング素子に接続され、前記第 1 電極と対向するスリットが形成された第 2 電極と、を備えた液晶表示装置。

10

【請求項 2】

前記第 2 絶縁膜の膜厚は、500nm 以下である請求項 1 記載の液晶表示装置。

【請求項 3】

前記スイッチング素子は、ポリシリコンにより形成された半導体層を備える請求項 1 記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

20

【背景技術】**【0002】**

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、各種分野に適用されている。このような液晶表示装置は、一对の基板間に液晶層を保持した構成であり、画素電極と共通電極との間の電界によって液晶層を通過する光に対する変調率を制御し、画像を表示するものである。

【0003】

このような液晶表示装置において、広視野角化の観点から、横電界（フリンジ電界も含む）を利用した構造が特に注目されている。

【0004】

30

In-Plane Switching（IPS）モードや、Fringe Field Switching（FFS）モードなどの横電界方式の液晶表示装置は、アレイ基板に形成された画素電極と共通電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングするように構成されている。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開 2010 - 66396 号公報

【発明の概要】**【発明が解決しようとする課題】**

40

【0006】

この発明は、視野角特性に優れ、表示品位の良好な横電界方式の液晶表示装置を提供することを目的とする。

【課題を解決するための手段】**【0007】**

実施形態による液晶表示装置は、第 1 基板と、第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、マトリクス状に配置された画素からなる表示エリアと、を備え、前記第 1 基板は、各画素に配置されたトップゲート型のスイッチング素子と、前記スイッチング素子を覆う第 1 絶縁膜と、前記第 1 絶縁膜の上において複数の前記画素にわたって配置された第 1 電極と、前記第 1 電極を覆う第 2 絶縁膜と、前記第 2 絶縁膜の上

50

において各画素に配置され、前記スイッチング素子に接続され、前記第 1 電極と対向するスリットが形成された第 2 電極と、を備える。

【図面の簡単な説明】

【0008】

【図 1】実施形態の液晶表示装置の一構成例を説明するための図である。

【図 2】図 1 に示す液晶表示装置の表示画素の一構成例を説明するための図である。

【図 3】図 2 に示す表示画素の画素スイッチの一構成例を説明するための断面図である。

【図 4】比較例の画素スイッチの一構成例を説明するための図である。

【図 5】焼き付きの発生状況を測定した結果の一例を示す図である。

【発明を実施するための形態】

10

【0009】

以下、この発明の一実施形態に係る液晶表示装置について図面を参照して説明する。ここでは、一方の基板に第 1 電極及び第 2 電極を備え、これらの間に形成される横電界（基板の主面にほぼ平行な電界）を主に利用して液晶分子をスイッチングする液晶モードとして、FFSモードの液晶表示装置を例に説明する。

【0010】

本実施形態に係る液晶表示装置は、アクティブマトリクスタイプの液晶表示装置であって、液晶表示パネルLPNを備えている。この液晶表示パネルLPNは、アレイ基板（第 1 基板）ARと、アレイ基板ARに対向して配置された対向基板（第 2 基板）CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。

20

【0011】

液晶表示パネルLPNは、画像を表示する表示エリア（アクティブエリア）DSPを備えている。この表示エリアDSPは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数）。

【0012】

アレイ基板ARは、ガラス板や石英板などの光透過性を有する絶縁基板20を用いて形成されている。すなわち、このアレイ基板ARは、表示エリアDSPにおいて、絶縁基板20の上に、各画素PXの行方向Hに沿ってそれぞれ延出した n 本のゲート線Y（ $Y_1 \sim Y_n$ ）、各画素PXの列方向Vに沿ってそれぞれ延出した m 本のソース線X（ $X_1 \sim X_m$ ）、各画素PXにおいてゲート線Yとソース線Xとの交差部を含む領域に配置された $m \times n$ 個のスイッチング素子W、表示エリアDSPの全体にわたって配置された第 1 電極E1、各画素PXに配置された第 2 電極E2などを備えている。

30

【0013】

ゲート線Yは、ゲート絶縁膜22を介してソース線Xに交差している。このようなゲート線Y及びソース線Xは、例えばモリブデン、アルミニウム、タンゲステン、チタンなどの導電材料によって形成されている。

【0014】

スイッチング素子Wは、例えば、薄膜トランジスタ（TFT）によって構成されている。スイッチング素子Wの半導体層は、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能であり、ここではポリシリコンによって形成されている。

40

【0015】

スイッチング素子Wの半導体層SCは、絶縁基板20上に配置されている。半導体層SCはゲート絶縁膜22に覆われ、ゲート絶縁膜22を介して、スイッチング素子Wのゲート電極WGと対向するように配置されている。このゲート絶縁膜22は、例えば窒化シリコン（SiN）、酸化シリコン（SiO₂）、あるいはTEOSなどの無機系材料によって形成されている。

【0016】

スイッチング素子Wのゲート電極WGは、ゲート線Yに電氣的に接続されている（あるいはゲート絶縁膜22上においてゲート線Yと一体的に形成されている）。ゲート線Y及びゲート電極WGは、同一材料を用いて同一工程で形成可能である。

50

【 0 0 1 7 】

ゲート電極WG形成後にイオンドーピングを行うことにより、半導体層SCのうちゲート電極WG直下を除いた部分が活性化されて高導電状態となり、薄膜トランジスタのソース電極WSおよびドレイン電極WDとの電氣的に接続される。

【 0 0 1 8 】

ゲート線Y及びゲート電極WGは、層間絶縁膜24によって覆われている。層間絶縁膜24は、窒化シリコン(SiN)や酸化シリコン(SiO)などによって形成され、その膜厚は200nm~700nm程度である。

【 0 0 1 9 】

スイッチング素子Wのソース電極WSは、層間絶縁膜24の上に配置されている。ソース電極WSは、ソース線Xに電氣的に接続される(あるいはソース線Xと一体的に形成される)とともに、ゲート絶縁膜22および層間絶縁膜24に設けられたコンタクトホールCH1において半導体層SCにコンタクトしている。

10

【 0 0 2 0 】

スイッチング素子Wのドレイン電極WDは、コンタクトホールCH3において第2電極E2に電氣的に接続されるとともに、ゲート絶縁膜22および層間絶縁膜24に設けられたコンタクトホールCH2においてソース電極WSから離れて半導体層SCにコンタクトしている。半導体層SCにおいて、ソース電極WSにコンタクトした領域とドレイン電極WDにコンタクトした領域との間は、チャンネルCHNとして機能する。

【 0 0 2 1 】

20

ソース線X、ソース電極WS及びドレイン電極WDは、同一材料を用いて同一工程で形成可能である。ソース線X、ソース電極WS及びドレイン電極WDは、第1絶縁膜25によって覆われている。この第1絶縁膜25は、パッシベーション膜として機能し、例えば窒化シリコン(SiN)などの無機系材料によって形成されている。

【 0 0 2 2 】

このように、本実施形態においては、スイッチング素子Wとして、ゲート電極WGが半導体層SCよりも上側(液晶層LQ側)にあり、半導体層SCのチャンネルCHNが下側(絶縁基板20側)にある構造のトップゲート型の薄膜トランジスタを用いている。

【 0 0 2 3 】

第1電極E1は、第1絶縁膜24の上において表示エリア全体にわたって配置されている。すなわち、第1電極E1は、各画素PXに対応して配置されるとともに画素PX間にも配置された概ねベタ状であり、ゲート線Y及びソース線Xを覆うように配置されている。このような第1電極E1は、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されている。

30

【 0 0 2 4 】

図2及び図3に示した実施形態においては、第1電極E1は、概ねスイッチング素子Wも覆うように配置されているが、第2電極E2とスイッチング素子Wのドレイン電極WDとが電氣的に接続する領域には開口部APが形成されている。

【 0 0 2 5 】

40

第1電極E1は第2絶縁膜26によって覆われている。第2絶縁膜26は、第1絶縁膜24と同様に、パッシベーション膜として機能し、例えば窒化シリコン(SiN)などの無機系材料によって形成されている。

【 0 0 2 6 】

第2電極E2は、第2絶縁膜26の上において各画素PXに配置されている。すなわち、各第2電極E2は、第2絶縁膜26を介して第1電極E1と対向している。第2電極E2は、各画素PXにおいて画素形状に対応した島状、例えば、四角形の面状に形成されている。

【 0 0 2 7 】

また、第2電極E2には、第1電極E1と対向する複数のスリットSLが形成されてい

50

る。スリットＳＬは、例えば概ね長方形形状あるいは長円形状に形成されている。図２に示した例では、このスリットＳＬは、その長軸Ｌが行方向Ｈ及び列方向Ｖと非平行となるように形成されている。このような複数のスリットＳＬは、列方向Ｖに並んでいる。

【００２８】

図２及び図３に示した実施の形態においては、第２電極Ｅ２は、第１絶縁膜２４及び第２絶縁膜２６を貫通するコンタクトホールＣＨ３及び第１電極Ｅ１の開口部ＡＰを介してスイッチング素子Ｗのドレイン電極ＷＤにコンタクトしている。第２電極Ｅ２は、第１電極Ｅ１と同様に、例えばＩＴＯやＩＺＯなどの光透過性を有する導電材料によって形成されている。第２電極Ｅ２は、第１配向膜ＡＬ１によって覆われている。この第１配向膜ＡＬ１は、例えばポリイミドによって形成されている。

10

【００２９】

各ゲート線Ｙは、表示エリア外に引き出され、コントローラＣＮＴによって制御されるゲートドライバＹＤに接続されている。各ソース線Ｘは、表示エリア外に引き出され、コントローラＣＮＴによって制御されるソースドライバＸＤに接続されている。第１電極Ｅ１には、コントローラＣＮＴなどから供給されたコモン電圧ＶＣＯＭが印加されている。

【００３０】

ゲートドライバＹＤは、コントローラＣＮＴによる制御に基づいてｎ本のゲート線Ｙに順次走査信号（駆動信号）を供給する。また、ソースドライバＸＤは、コントローラＣＮＴによる制御に基づいて各行のスイッチング素子Ｗが走査信号によってオンするタイミングでｍ本のソース線Ｘにそれぞれ映像信号（駆動信号）を供給する。各行の第２電極Ｅ２は、第１電極Ｅ１の電位に対して、対応するスイッチング素子Ｗを介して供給される映像信号に応じた画素電位にそれぞれ設定される。

20

【００３１】

一方、対向基板ＣＴは、ガラス板や石英板などの光透過性を有する絶縁基板３０を用いて形成されている。特に、カラー表示タイプの液晶表示装置においては、図３に示したように、対向基板ＣＴは、絶縁基板３０の内面（すなわち液晶層ＬＱに対向する側）に、各画素ＰＸを区画するブラックマトリクス３２、ブラックマトリクス３２によって囲まれた各画素ＰＸに配置されたカラーフィルタ層３４などを備えている。また、対向基板ＣＴは、さらに、カラーフィルタ層３４の表面の凹凸を平坦化するように比較的厚い膜厚で配置されたオーバーコート層などを備えて構成してもよい。

30

【００３２】

ブラックマトリクス３２は、絶縁基板３０上において、アレイ基板ＡＲに設けられたゲート線Ｙやソース線Ｘ、さらにはスイッチング素子Ｗなどの配線部に対向するように配置されている。このブラックマトリクス３２は、例えば黒色に着色された着色樹脂によって形成されている。

【００３３】

カラーフィルタ層３４は、絶縁基板３０上に配置され、互いに異なる複数の色、例えば赤色、青色、緑色といった３原色にそれぞれ着色された着色樹脂によって形成されている。赤色着色樹脂、青色着色樹脂、及び緑色着色樹脂は、それぞれ赤色画素、青色画素、及び緑色画素に対応して配置されている。

40

【００３４】

このようなカラーフィルタ層３４は、第２配向膜ＡＬ２によって覆われている。この第２配向膜ＡＬ２は、たとえばポリイミドによって形成されている。

【００３５】

上述したようなアレイ基板ＡＲと対向基板ＣＴとは、それぞれの第１配向膜ＡＬ１及び第２配向膜ＡＬ２が対向するように配置されている。このとき、アレイ基板ＡＲと対向基板ＣＴとの間には、図示しないスペーサ（例えば、樹脂材料によって一方の基板と一体的に形成された柱状スペーサ）が配置され、これにより、所定のギャップが形成される。アレイ基板ＡＲと対向基板ＣＴとは、所定のギャップが形成された状態でシール材によって貼り合わせられている。

50

【 0 0 3 6 】

液晶層 L Q は、これらのアレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間に形成されたギャップに封入された液晶分子 L M を含む誘電率異方性が正の液晶組成物によって構成されている。

【 0 0 3 7 】

第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 は、液晶層 L Q に含まれる液晶分子 L M の配向を規制するようにラビング処理されている。液晶分子 L M は、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 による規制力によってホモジニアス配向されている。第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 のラビング方向 S は、スリット S L の長軸 L に対して非平行且つ非直角の方向である。

10

【 0 0 3 8 】

透過型の液晶表示パネル L P N を備えた液晶表示装置は、さらに、液晶表示パネル L P N に対してアレイ基板 A R 側に配置された照明ユニットすなわちバックライトユニット B L を備えている。バックライトユニット B L は制御回路 C N T により動作を制御され、アレイ基板 A R 側から液晶表示パネル L P N を照明する。このようなバックライトユニット B L としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 3 9 】

また、この液晶表示装置は、液晶表示パネル L P N の一方の外面 (すなわちアレイ基板 A R の液晶層 L Q と接する面とは反対の面) に設けられた光学素子 O D 1 を備え、また、液晶表示パネル L P N の他方の外面 (すなわち対向基板 C T の液晶層 L Q と接する面とは反対の面) に設けられた光学素子 O D 2 を備えている。

20

【 0 0 4 0 】

これらの光学素子 O D 1 及び O D 2 は、それぞれ偏光板を含み、例えば第 1 電極 E 1 と第 2 電極 E 2 との間に電位差が形成されていない (つまり、第 1 電極 E 1 と第 2 電極 E 2 との間に電界が形成されていない) 無電界時において、液晶表示パネル L P N の透過率が最低となる (つまり、黒色画面を表示する) ノーマリーブラックモードを実現している。

【 0 0 4 1 】

すなわち、このような液晶表示装置においては、無電界時には、液晶分子 L M は、その長軸 D が第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 のラビング方向 S と平行な方位を向くように配向されている。このような状態では、バックライトユニット B L からのバックライト光は、光学素子 O D 1 を透過した後、液晶表示パネル L P N を透過し、光学素子 O D 2 に吸収される (黒色画面表示) 。

30

【 0 0 4 2 】

第 1 電極 E 1 と第 2 電極 E 2 との間に電位差が形成された場合 (つまり、第 2 電極 E 2 に第 1 電極 E 1 とは異なる電位の電圧が印加された電圧印加時) には、第 1 電極 E 1 と第 2 電極 E 2 との間に横電界 (フリンジ電界) が形成される。この横電界は、スリット S L を介してその長軸 L に対して直交する方位に形成される。

【 0 0 4 3 】

このとき、液晶分子 L M の配向状態は、その長軸 D がラビング方向 S から横電界に平行な方向を向くように変化する。このように、液晶分子 L M の長軸 D の方位がラビング方向 S から変化すると、液晶層 L Q を透過する光に対する変調率が変化する。このため、バックライトユニット B L から出射され液晶表示パネル L P N を透過したバックライト光の一部は、第 2 光学素子 O D 2 を透過する (白色画面表示) 。このようにして選択的にバックライト光を液晶表示パネル L P N で選択的に透過し、画像を表示する。

40

【 0 0 4 4 】

上述した本実施の形態における液晶表示パネル L P N の構造は、第 1 電極 E 1 を挟んで上側 (すなわち対向基板側) が画素 P X を構成する液晶駆動部、下側 (すなわちバックライト側) がスイッチング素子 W 、ゲート線 Y 、ソース線 X などの駆動制御部あるいは配線

50

部というように、完全に電氣的に分離（シールド）されている。

【0045】

このような構造によれば、ゲート線 Y やソース線 X に駆動信号が供給されても、その影響（寄生容量によるカップリング等）が液晶駆動部に及ぶことが無く、カップリングによるクロストーク等を抑制することが可能であり、高品質な画像を得ることができる。

【0046】

上記のように、本実施形態では、スイッチング素子 W としてトップゲート型の薄膜トランジスタを採用している。これは、ボトムゲート型の薄膜トランジスタ構造、すなわちスイッチング素子 W のゲート電極 W G が半導体層 S C より下側（絶縁基板 20 側）にある構造（図 4 に示す）の薄膜トランジスタを採用した場合の解析に基づいている。以下、本願発明者らの解析について述べる。

10

【0047】

本願発明者らは、図 4 に示すようなボトムゲート型の薄膜トランジスタをスイッチング素子 W として備える液晶表示装置を試作した。

ボトムゲート型のスイッチング素子 W の半導体層は、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能であり、ここではアモルファスシリコンによって形成されている。

【0048】

また、スイッチング素子 W のゲート電極 W G は、ゲート線 Y に電氣的に接続されている（あるいは絶縁基板 20 の上においてゲート線 Y と一体的に形成されている）。ゲート線 Y 及びゲート電極 W G は、同一材料を用いて同一工程で形成可能である。このようなゲート線 Y 及びゲート電極 W G は、ゲート絶縁膜 22 によって覆われている。このゲート絶縁膜 22 は、例えば窒化シリコン（SiN）などの無機系材料によって形成されている。

20

【0049】

ソース線 X は、ゲート絶縁膜 22 の上に配置されている。また、スイッチング素子 W の半導体層 S C は、ゲート絶縁膜 22 の上においてゲート電極 W G と対向するように配置されている。

【0050】

スイッチング素子 W のソース電極 W S 及びドレイン電極 W D は、ゲート絶縁膜 22 の上に配置されている。ソース電極 W S は、ソース線 X に電氣的に接続される（あるいはソース線 X と一体的に形成される）とともに、半導体層 S C にコンタクトしている。ドレイン電極 W D は、第 2 電極 E 2 に電氣的に接続されるとともに、ソース電極 W S から離れて半導体層 S C にコンタクトしている。半導体層 S C において、ソース電極 W S にコンタクトした領域とドレイン電極 W D にコンタクトした領域との間は、チャネル C H N として機能する。

30

【0051】

ソース線 X、ソース電極 W S 及びドレイン電極 W D は、同一材料を用いて同一工程で形成可能である。このような半導体層 S C、ソース線 X、ソース電極 W S 及びドレイン電極 W D は、第 1 絶縁膜 25 によって覆われている。

【0052】

このように、試作した液晶表示装置では、スイッチング素子 W として、ゲート電極 W G が下側（絶縁基板 20 側）にあり、チャネル（半導体層 S C でソース・ドレイン間の電流が流れる部分）が上側（液晶層 L Q 側）にある構造のボトムゲート型の薄膜トランジスタを適用している。

40

【0053】

上記のようなボトムゲート型の薄膜トランジスタを備える液晶表示装置を実際に駆動してみたところ、コモンシールド電極（第 1 電極 E 1）による焼き付き改善効果は得られず、むしろ顕著な焼き付きが観察された。

【0054】

発明者らは、解析の結果、ゲート線 Y の選択時にコモンシールド電極（第 1 電極 E 1）

50

の電位によって半導体層SCのチャネルCHNでのキャリア発生が妨げられ、薄膜トランジスタの閾値 V_T が正側にシフトし、薄膜トランジスタの充電能力が著しく低下するためであることを見出した。

【0055】

第1電極E1および第2電極E2により液晶層LQには1フレーム期間毎に反転する正極性又は負極性の電圧が印加されるが、このうち特に正極性側において薄膜トランジスタの充電能力が低下する。これは、正極性側はソース（信号）電位に対して薄膜トランジスタのオン電位（ソース・ドレイン間が導通する電位）が低く、閾値 V_T が正側にシフトしたときのオン電流（ソース・ドレイン間が導通に流れる電流）の低下が著しいためである。このため、液晶層LQに保持される電圧の正負平均（直流成分）は、負側にシフトすることになり、液晶層LQに不要な直流電圧が印加されて、焼き付きが顕著になったと考えられる。

10

【0056】

発明者らは上記の解析結果に基づいて、薄膜トランジスタのゲート電極WGと半導体層SCのチャネルCHNとの上下関係を入れ替えて、チャネルCHNを下側（絶縁基板20側）に配置することによりコモンシールド電極（第1電極E1）からチャネルCHNへの余分な電界の発生を抑えることができ、その結果、焼き付きを改善できるのではないかと考察した。

【0057】

上記考察を確認するため、発明者らは、実際に図3に示すようなトップゲート型にレイアウトした薄膜トランジスタを採用したFFSモード液晶表示装置を試作した。その結果、トップゲート型の薄膜トランジスタを採用した液晶表示装置では確かに焼き付きは殆ど観測されなかった。これにより、トップゲート型薄膜トランジスタを用いることが焼き付き対策として有効であることが確認された。

20

【0058】

さらに発明者らは、コモンシールド電極（第1電極E1）と薄膜トランジスタとの間にある第1絶縁膜25の膜厚依存性についても調べた。具体的には、第1絶縁膜25の膜厚を300～700nmの範囲で変化させ、図3に示すトップゲート型の薄膜トランジスタを備えたFFSモード液晶表示装置と、図4に示すボトムゲート型の薄膜トランジスタを備えたFFSモード液晶表示装置とをそれぞれ試作し、焼き付きの評価を行った。

30

【0059】

図5に、評価結果の一例を示す。図5に示すように、ボトムゲート型の薄膜トランジスタを備える液晶表示装置においては、第1絶縁膜25の膜厚を薄くするに従って焼き付きが顕著になっていくことが明らかになった。具体的には、第1絶縁膜25の膜厚が600nmのときには、市松模様等の固定パターンを12時間連続で表示させた場合にごく薄い焼き付きが視認され（図5の「○」）、第1絶縁膜25の膜厚が500nm以下では、固定パターンを1時間表示させた場合に顕著な焼き付きが視認された（図5の「×」）。

【0060】

これは窒化シリコン（SiN）等により形成された第1絶縁膜25の膜厚が薄いほどチャネルCHNがコモンシールド電極（第1電極E1）電位の影響を受けやすくなるためと考えられる。一方、トップゲート型の薄膜トランジスタを備える液晶表示装置においては、第1絶縁膜25の膜厚によらず、市松模様等の固定パターンを12時間連続で表示させた場合でも焼き付きはまったく視認されなかった（図5の「」）。

40

【0061】

この評価結果からも、トップゲート型の薄膜トランジスタを採用することが焼き付きを回避することに効果的であることが確認された。すなわち、第1絶縁膜25の膜厚が500nm以下のときにトップゲート型の薄膜トランジスタをスイッチング素子Wとして採用することによる焼き付き改善効果が特に顕著に得られることがわかった。

【0062】

以上のように、トップゲート型薄膜トランジスタを採用した液晶表示装置では、第1絶

50

縁膜 25 が薄くても焼き付きの無い良好な画質が得られた。これにより、第 1 絶縁膜 25 の成膜時間を短縮することができ、製造時間の削減、材料使用量の低減によるコスト削減などの効果が得られる。

【0063】

なお、第 1 絶縁膜 25 の材質は窒化シリコン (SiN) に限定されるわけではなく、例えば酸化シリコン (SiO) や有機絶縁体薄膜 (HRC など) などであっても勿論かまわない。

【0064】

上記のように、本実施形態によれば、視野角特性に優れ、表示品位の良好な横電界方式の液晶表示装置を提供することができる。特に、第 1 絶縁膜 25 の膜厚が 500 nm 以下

10

【0065】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0066】

LPN ... 液晶表示パネル、AR ... アレイ基板、CT ... 対向基板、LQ ... 液晶層、DSP ... 表示エリア、PX ... 画素、W ... スイッチング素子、E1 ... 第 1 電極、E2 ... 第 2 電極、SC ... 半導体層、WG ... ゲート電極、WS ... ソース電極、WD ... ドレイン電極、CHN ... チャンネル、AP ... 開口部、SL ... スリット、CNT ... コントローラ、YD ... ゲートドライバ、XD ... ソースドライバ、20 ... 絶縁基板、22 ... ゲート絶縁膜、24 ... 層間絶縁膜、25 ... 第 1 絶縁膜、26 ... 第 2 絶縁膜、30 ... 絶縁基板。

20

フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 田中 幸生
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
(72)発明者 日向野 敏行
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
(72)発明者 中尾 健次
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
Fターム(参考) 2H092 GA14 JA25 JA26 JA46 JB05 JB16 JB56 KA04 KB25 NA01
NA22 QA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012137684A	公开(公告)日	2012-07-19
申请号	JP2010291226	申请日	2010-12-27
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	田中幸生 日向野敏行 中尾健次		
发明人	田中 幸生 日向野 敏行 中尾 健次		
IPC分类号	G02F1/1368 G02F1/1343		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB16 2H092/JB56 2H092/KA04 2H092/KB25 2H092/NA01 2H092/NA22 2H092/QA09 2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB02 2H192/CB34 2H192/CC04 2H192/EA22 2H192/EA43 2H192/EA74 2H192/JA33		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有优异的视角特性和良好的显示质量的水平电场型液晶显示装置。提供第一基板AR，第二基板CT，保持在第一基板AR与第二基板CT之间的液晶层LQ以及由以矩阵状排列的像素组成的显示区域。第一基板AR包括布置在每个像素中的顶栅型开关元件，覆盖该开关元件的第一绝缘膜25以及布置在第一绝缘膜25上的多个像素上方的第一绝缘膜25。形成一个电极E1，覆盖第一电极E1并布置在第二绝缘膜26上的每个像素上的第二绝缘膜26，该第二绝缘膜26连接至开关元件，并且面对第一电极E1形成狭缝。一种液晶显示装置，包括第二电极E2。[选择图]图3

