

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-88542

(P2012-88542A)

(43) 公開日 平成24年5月10日(2012.5.10)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H090
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/133 (2006.01)	G02F 1/133 525	2H193
G02F 1/1337 (2006.01)	G02F 1/1337 505	5C006
G09G 3/36 (2006.01)	G09G 3/36	5C080
審査請求 有 請求項の数 10 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2010-235368 (P2010-235368)
 (22) 出願日 平成22年10月20日 (2010.10.20)

(71) 出願人 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置

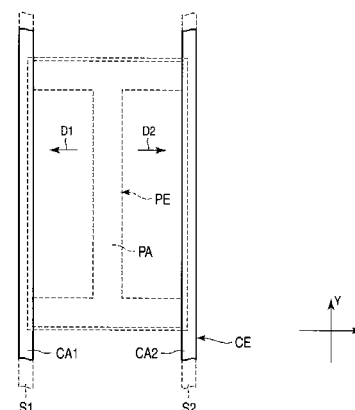
(57) 【要約】

【課題】表示品位の良好な液晶表示装置を提供することを目的とする。

【解決手段】 第1方向に沿って延在したゲート配線と、第1方向に直交する第2方向に沿ってそれぞれ延在した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との略中間に位置し第2方向に沿って延在した帯状の第1主電極及び前記第1ソース配線と前記第2ソース配線との間の前記ゲート配線を覆い第1方向に沿って延在した帯状の第1副電極を含む画素電極と、を備えた第1基板と、前記第1ソース配線及び前記第2ソース配線の直上に配置され第2方向に沿って延在した帯状の第2主電極を含む対向電極と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置。

【選択図】 図4

図 4



【特許請求の範囲】**【請求項 1】**

第 1 方向に沿って延在したゲート配線と、第 1 方向に直交する第 2 方向に沿ってそれぞれ延在した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との略中間に位置し第 2 方向に沿って延在した帯状の第 1 主電極及び前記第 1 ソース配線と前記第 2 ソース配線との間の前記ゲート配線を覆い第 1 方向に沿って延在した帯状の第 1 副電極を含む画素電極と、を備えた第 1 基板と、

前記第 1 ソース配線及び前記第 2 ソース配線の直上に配置され第 2 方向に沿って延在した帯状の第 2 主電極を含む対向電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

10

【請求項 2】

前記ゲート配線及び前記第 1 副電極は画素の一端部に配置され、

ライン反転駆動またはドット反転駆動が適用されたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

第 1 方向に沿って延在したゲート配線と、第 1 方向に直交する第 2 方向に沿ってそれぞれ延在した第 1 ソース配線及び第 2 ソース配線と、第 1 方向に沿って延在した帯状の第 1 主電極及び前記第 1 ソース配線と前記第 2 ソース配線との間の前記ゲート配線を覆い第 1 方向に沿って延在した帯状の第 1 副電極を含む画素電極と、を備えた第 1 基板と、

20

前記第 1 主電極と前記第 1 副電極との略中間に位置し第 1 方向に沿って延在した帯状の第 2 主電極を含む対向電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 4】

さらに、前記第 1 基板は、画素の一端部に配置され前記画素電極と電氣的に接続されるとともに第 1 方向に沿って延在した帯状の端部電極を備え、

ライン反転駆動またはドット反転駆動が適用されたことを特徴とする請求項 3 に記載の液晶表示装置。

30

【請求項 5】

前記ゲート配線及び前記第 1 副電極は、画素の略中央に配置されたことを特徴とする請求項 3 または 4 に記載の液晶表示装置。

【請求項 6】

第 1 方向に沿って延在したゲート配線と、第 1 方向に直交する第 2 方向に沿ってそれぞれ延在した第 1 ソース配線及び第 2 ソース配線と、第 1 方向及び第 2 方向に対して交差する斜め方向に沿って延在した帯状の第 1 主電極及び前記第 1 ソース配線と前記第 2 ソース配線との間の前記ゲート配線を覆い第 1 方向に沿って延在した帯状の第 1 副電極を含む画素電極と、を備えた第 1 基板と、

前記第 1 主電極と平行な斜め方向に沿って延在した帯状の第 2 主電極及び前記第 1 副電極の直上に配置され第 1 方向に沿って延在した第 2 副電極を含む対向電極と、を備えた第 2 基板と、

40

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 7】

前記ゲート配線、前記第 1 副電極、及び、前記第 2 副電極は、画素の略中央に配置されたことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

さらに、前記第 1 基板は、画素の他端部に配置され第 1 方向に沿って延在した補助容量線と、前記第 1 補助容量線の直上に配置され且つ前記画素電極と電氣的に接続された容量部と、を備えたことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の液晶表示装置。

50

【請求項 9】

前記第 1 主電極と前記第 2 主電極との間に表示に寄与する透過部を形成することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

さらに、前記第 1 基板は前記画素電極を覆うとともに第 1 ラビング方向にラビング処理された第 1 配向膜を備え、前記第 2 基板は前記対向電極を覆うとともに第 1 ラビング方向と平行且つ逆向きの第 2 ラビング方向にラビング処理された第 2 配向膜を備え、

前記第 1 ラビング方向及び前記第 2 ラビング方向は、前記第 1 主電極及び前記第 2 主電極と斜めに交差する方向であることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

20

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

30

【特許文献 1】特開 2009 - 192822 号公報

【特許文献 2】特開平 9 - 160041 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第 1 方向に沿って延在したゲート配線と、第 1 方向に直交する第 2 方向に沿ってそれぞれ延在した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との略中間に位置し第 2 方向に沿って延在した帯状の第 1 主電極及び前記第 1 ソース配線と前記第 2 ソース配線との間の前記ゲート配線を覆い第 1 方向に沿って延在した帯状の第 1 副電極を含む画素電極と、を備えた第 1 基板と、

40

前記第 1 ソース配線及び前記第 2 ソース配線の直上に配置され第 2 方向に沿って延在した帯状の第 2 主電極を含む対向電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置が提供される。

【0007】

本実施形態によれば、

50

第 1 方向に沿って延在したゲート配線と、第 1 方向に直交する第 2 方向に沿ってそれぞれ延在した第 1 ソース配線及び第 2 ソース配線と、第 1 方向に沿って延在した帯状の第 1 主電極及び前記第 1 ソース配線と前記第 2 ソース配線との間の前記ゲート配線を覆い第 1 方向に沿って延在した帯状の第 1 副電極を含む画素電極と、を備えた第 1 基板と、

前記第 1 主電極と前記第 1 副電極との略中間に位置し第 1 方向に沿って延在した帯状の第 2 主電極を含む対向電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置が提供される。

【0008】

本実施形態によれば、

第 1 方向に沿って延在したゲート配線と、第 1 方向に直交する第 2 方向に沿ってそれぞれ延在した第 1 ソース配線及び第 2 ソース配線と、第 1 方向及び第 2 方向に対して交差する斜め方向に沿って延在した帯状の第 1 主電極及び前記第 1 ソース配線と前記第 2 ソース配線との間の前記ゲート配線を覆い第 1 方向に沿って延在した帯状の第 1 副電極を含む画素電極と、を備えた第 1 基板と、

前記第 1 主電極と平行な斜め方向に沿って延在した帯状の第 2 主電極及び前記第 1 副電極の直上に配置され第 1 方向に沿って延在した第 2 副電極を含む対向電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0009】

【図 1】図 1 は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【図 2】図 2 は、図 1 に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図 3】図 3 は、図 2 に示した液晶表示パネルの画素を対向基板の側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図 4】図 4 は、図 2 に示した液晶表示パネルの対向基板における画素の構造を概略的に示す平面図である。

【図 5】図 5 は、図 2 に示した液晶表示パネルの断面構造を概略的に示す図である。

【図 6】図 6 は、第 2 構成例における液晶表示パネルの画素を対向基板の側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図 7】図 7 は、第 2 構成例における液晶表示パネルの対向基板における画素の構造を概略的に示す平面図である。

【図 8】図 8 は、第 3 構成例における液晶表示パネルの画素を対向基板の側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図 9】図 9 は、第 3 構成例における液晶表示パネルの対向基板における画素の構造を概略的に示す平面図である。

【図 10】図 10 は、本実施形態の変形例における液晶表示パネルの画素を対向基板の側から見たときのアレイ基板の構造を概略的に示す平面図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図 1 は、本実施形態における液晶表示装置の構成を模式的に示す図である。

【0012】

すなわち、液晶表示装置 1 は、アクティブマトリクスタイプの液晶表示パネル L P N、液晶表示パネル L P N に接続された駆動 I C チップ 2 及びフレキシブル配線基板 3、液晶

10

20

30

40

50

表示パネル L P N を照明するバックライト 4 などを備えている。

【 0 0 1 3 】

液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

【 0 0 1 4 】

バックライト 4 は、図示した例では、アレイ基板 A R の背面側に配置されている。このようなバックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード（L E D）を利用したものや冷陰極管（C C F L）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

10

【 0 0 1 5 】

図 2 は、図 1 に示した液晶表示パネル L P N の構成及び等価回路を概略的に示す図である。

【 0 0 1 6 】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G（ $G_1 \sim G_n$ ）、 n 本の補助容量線 C（ $C_1 \sim C_n$ ）、 m 本のソース配線 S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線 G 及び補助容量線 C は、第 1 方向 X に沿ってそれぞれ延在している。また、ゲート配線 G 及び補助容量線 C は、第 1 方向 X に直交する第 2 方向 Y に沿って交互に並列配置されている。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差する第 2 方向 Y に沿ってそれぞれ延在している。また、ソース配線 S は、第 1 方向 X に沿って並列配置されている。つまり、ゲート配線 G 及び補助容量線 C と、ソース配線 S とは、略直交している。

20

【 0 0 1 7 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

30

【 0 0 1 8 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、対向電極 C Eなどを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。

【 0 0 1 9 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で対向電極 C E が対向基板 C T に形成された構成であり、これらの画素電極 P E と対向電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と対向電極 C E との間に形成される電界は、アレイ基板 A R の主面あるいは対向基板 C T の主面にほぼ平行な横電界（あるいは、基板主面に対してわずかに傾いた斜め電界）である。

40

【 0 0 2 0 】

スイッチング素子 S W は、例えば、 n チャネル薄膜トランジスタ（T F T）によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個のスイッチング素子 S W が形成されている。

【 0 0 2 1 】

画素電極 P E は、スイッチング素子 S W に電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個の画素電極 P E が形成されている。対向電極 C E は、例えばコモン電位であり、液晶層 L Q を介して複数の画素電極 P E に対して共通に配置されている。こ

50

の対向電極 C E は、図示しない導電部材を介して、アレイ基板 A R に形成された給電部 V S と電氣的に接続されている。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【 0 0 2 2 】

以下に、本実施形態の第1構成例について説明する。

【 0 0 2 3 】

図 3 は、図 2 に示した液晶表示パネル L P N の画素 P X を対向基板 C T の側から見たときのアレイ基板 A R の構造を概略的に示す平面図である。

【 0 0 2 4 】

ゲート配線 G 1、補助容量線 C 1 及び C 2 は、それぞれ第 1 方向 X に沿って延在している。ソース配線 S 1 及び S 2 は、画素電極 P E を挟む両側に位置し、それぞれ第 2 方向 Y に沿って延在している。ゲート配線 G 1 は、補助容量線 C 1 と補助容量線 C 2 との間に位置し、補助容量線 C 2 に近接している。

【 0 0 2 5 】

図示した例では、画素 P X は、図中の破線で示したように、補助容量線 C 1 及びゲート配線 G 1 とソース配線 S 1 及び S 2 とが成すマス目の領域に相当し、第 1 方向 X に沿った長さよりも第 2 方向 Y に沿った長さの方が長い長方形形状である。ゲート配線 G 1 は画素 P X の一端部に配置され、補助容量線 C 1 は画素 P X の他端部に配置されている。ソース配線 S 1 と画素電極 P E との間、及び、ソース配線 S 2 と画素電極 P E との間には、略長方形形状の開口部が形成される。

【 0 0 2 6 】

画素電極 P E は、図示を省略したスイッチング素子に電氣的に接続されている。この画素電極 P E は、第 1 主電極 P A、第 1 副電極 P B、及び、容量部 P C を含んでいる。なお、図示した例では、一画素 P X に配置された画素電極 P E のみが図示されているが、図示を省略した他の画素についても同一形状の画素電極が配置されている。

【 0 0 2 7 】

すなわち、第 1 主電極 P A は、第 2 方向 Y に沿って直線的に延在した帯状に形成されている。この第 1 主電極 P A は、ソース配線 S 1 とソース配線 S 2 との間の略中間に位置している。また、この第 1 主電極 P A は、補助容量線 C 1 からゲート配線 G 1 まで延在している。

【 0 0 2 8 】

第 1 副電極 P B は、第 1 方向 X に沿って直線的に延在した帯状に形成されている。この第 1 副電極 P B は、画素 P X の一端部に配置され、ソース配線 S 1 とソース配線 S 2 との間のゲート配線 G 1 を覆っている。また、この第 1 副電極 P B は、第 1 主電極 P A の一端部に接続されている。

【 0 0 2 9 】

図示した例では、第 1 副電極 P B の端部は、それぞれソース配線 S 1 のエッジ上及びソース配線 S 2 のエッジ上に位置しているが、それぞれソース配線 S 1 及びソース配線 S 2 の上まで延在していても良い。つまり、第 1 副電極 P B の第 1 方向 X に沿った長さは、ソース配線 S 1 とソース配線 S 2 との間のゲート配線 G 1 の第 1 方向 X に沿った長さと同等以上である。また、第 1 副電極 P B の第 2 方向 Y に沿った幅は、ゲート配線 G 1 の第 2 方向 Y に沿った幅と同等以上である。つまり、ソース配線 S 1 とソース配線 S 2 との間において、ゲート配線 G 1 は、第 1 副電極 P B から露出していない。

【 0 0 3 0 】

容量部 P C は、第 1 方向 X に沿って直線的に延在した帯状に形成されている。この容量部 P C は、画素 P X の他端部に配置され、補助容量線 C 1 の直上に配置されている。また、この容量部 P C は、第 1 主電極 P A の他端部に電氣的に接続されている。なお、この容量部 P C は、図示したように、画素電極 P E の一部（つまり、第 1 主電極 P A などと同一材料により一体的に形成されている）であっても良いが、画素電極 P E に電氣的に接続された他の部材、例えば、スイッチング素子の半導体層やソース配線と同一部材によって形

10

20

30

40

50

成されても良い。このような容量部 P C の第 1 方向 X に沿った長さは、ソース配線 S 1 とソース配線 S 2 との間の補助容量線 C 1 の第 1 方向 X に沿った長さと同様以下である。

【 0 0 3 1 】

この容量部 P C は、補助容量線 C 1 の上方に延在した図示しないスイッチング素子のドレイン電極と電氣的に接続されている。これにより、画素電極 P E は、スイッチング素子 S W と電氣的に接続される。また、画素電極 P E と補助容量線 C 1 との間に保持容量 C s が形成される。

【 0 0 3 2 】

なお、図中の R B 1 は、アレイ基板 A R の表面に配置された第 1 配向膜の第 1 ラビング方向を示し、また、図中の R B 2 は、図示しない対向基板の表面に配置された第 2 配向膜の第 2 ラビング方向を示している。これらの第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 は、互いに平行且つ逆向きである。また、これらの第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 は、第 2 方向 Y に対して数 ° 程度わずかに傾いた方向であり、例えば、第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 と第 2 方向 Y とのなす角度は 7 ° である。

10

【 0 0 3 3 】

図 4 は、図 2 に示した液晶表示パネル L P N の対向基板 C T における画素 P X の構造を概略的に示す平面図である。

【 0 0 3 4 】

対向電極 C E は、第 2 主電極 C A 1 及び C A 2 を含んでいる。これらの第 2 主電極 C A 1 及び C A 2 は、第 2 方向 Y に沿って直線的に延在した帯状に形成されている。第 2 主電極 C A 1 は、ソース配線 S 1 の直上に配置されている。第 2 主電極 C A 2 は、ソース配線 S 2 の直上に配置されている。図示したように、これらのソース配線 S 1 の直上の第 2 主電極 C A 1 及びソース配線 S 2 の直上の第 2 主電極 C A 2 と、画素電極 P E の第 1 主電極 P A とは、重なることはなく、第 1 方向 X に沿って一定の間隔を置いて交互に並んでいる。つまり、第 1 主電極 P A と第 2 主電極 C A 1 及び C A 2 との第 1 方向 X に沿った間隔は、略一定である。画素 P X のうち、主として表示に寄与する透過部は、第 1 主電極 P A と第 2 主電極 C A 1 及び C A 2 との間にそれぞれ形成される。

20

【 0 0 3 5 】

図 5 は、図 2 に示した液晶表示パネル L P N の断面構造を概略的に示す図である。なお、図 5 の (a) はスイッチング素子 S W を含む断面図であり、図 5 の (b) は画素電極 P E の第 1 主電極 P A を含む第 1 方向 X に沿った断面図であり、図 5 の (c) は画素電極 P E の第 1 副電極 P B を含む第 1 方向 X に沿った断面図である。

30

【 0 0 3 6 】

すなわち、アレイ基板 A R は、ガラス基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 の内面 (すなわち、対向基板 C T に対向する面) にスイッチング素子 S W を備えている。ここに示したスイッチング素子 S W は、トップゲート型の薄膜トランジスタである。

【 0 0 3 7 】

スイッチング素子 S W は、半導体層 S C を備えている。この半導体層 S C は、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能であり、ここではポリシリコンによって形成されている。スイッチング素子 S W の半導体層 S C は、第 1 絶縁基板 1 0 の上に形成されている。半導体層 S C は、チャネル領域 S C C を挟んだ両側にそれぞれソース領域 S C S 及びドレイン領域 S C D を有している。なお、第 1 絶縁基板 1 0 と半導体層 S C との間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層 S C は、ゲート絶縁膜 1 1 によって覆われている。また、ゲート絶縁膜 1 1 は、第 1 絶縁基板 1 0 の上にも配置されている。

40

【 0 0 3 8 】

ゲート電極 W G は、ゲート絶縁膜 1 1 の上に形成され、半導体層 S C のチャネル領域 S C C の上方に位置している。ゲート配線 G 1 も、ゲート絶縁膜 1 1 の上に形成されている

50

。ゲート電極WGは、ゲート配線G1と電氣的に接続されている。なお、このゲート電極WGは、ゲート配線G1の一部であってもよい。

【0039】

これらのゲート電極WG及びゲート配線G1は、図示しない補助容量線C1などとともに同一材料を用いて同一工程で形成可能である。ゲート電極WG及びゲート配線G1は、第1層間絶縁膜12によって覆われている。また、この第1層間絶縁膜12は、ゲート絶縁膜11の上にも配置されている。

【0040】

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第1層間絶縁膜12の上に形成されている。ソース電極WSは、ソース配線S1の一部であっても良い。また、この図においては、第1層間絶縁膜12の上に形成されたソース配線S2も図示されている。これらのソース電極WS、ドレイン電極WD、ソース配線S1及びS2は、同一材料を用いて同一工程で形成可能である。

10

【0041】

ソース電極WSは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのソース領域SCSにコンタクトしている。ドレイン電極WDは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのドレイン領域SCDにコンタクトしている。これらのゲート電極WG、ソース電極WS、及び、ドレイン電極WDは、例えば、モリブデン、アルミニウム、タンゲステン、チタンなどの導電材料によって形成されている。

20

【0042】

このような構成のスイッチング素子SWは、第2層間絶縁膜13によって覆われている。つまり、ソース電極WS、ドレイン電極WD、ソース配線S1及びS2は、第2層間絶縁膜13によって覆われている。また、この第2層間絶縁膜13は、第1層間絶縁膜12の上にも配置されている。

【0043】

画素電極PEは、第2層間絶縁膜13の上に形成されている。この画素電極PEは、第2層間絶縁膜13を貫通するコンタクトホールを介してドレイン電極WDに接続されている。このような画素電極PEは、光透過性を有する導電材料、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジンク・オキサイド(IZO)などによって形成されている。

30

【0044】

画素電極PEの第1主電極PAは、第2層間絶縁膜13上において、ソース配線S1の直上の位置p1とソース配線S2の直上の位置p2との略中間に位置している。画素電極PEの第1副電極PBは、第2層間絶縁膜13上において、位置p1から位置p2にわたりゲート配線G1の直上に位置している。

【0045】

画素電極PEは、第1配向膜14によって覆われている。この第1配向膜14は、第2層間絶縁膜13の上にも配置され、アレイ基板ARの液晶層LQに接する面に設けられている。この第1配向膜14は、水平配向性を示す材料によって形成されており、上述したような第1ラビング方向RB1にラビング処理されている。

40

【0046】

一方、対向基板CTは、ガラス基板などの光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20の内面(すなわち、アレイ基板ARに対向する面)に、カラーフィルタ層21、対向電極CEなどを備えている。

【0047】

カラーフィルタ層21は、第2絶縁基板20の上に形成されている。このカラーフィルタ層21は、互いに異なる複数の色、例えば赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。詳述しないが、赤色に着色された樹脂材料は赤色画素に対応して配置され、同様に、青色に着色された樹脂材料は青色画素に対応し

50

て配置され、緑色に着色された樹脂材料は緑色画素に対応して配置されている。

【0048】

対向電極 C E は、カラーフィルタ層 2 1 の上に形成されている。この対向電極 C E は、画素電極 P E との間に横電界を形成するように配置された第 2 主電極 C A 1 及び C A 2 を含んでいる。第 2 主電極 C A 1 及び C A 2 は、それぞれソース配線 S 1 及びソース配線 S 2 の直上に位置している。このような対向電極 C E は、画素電極 P E と同様に、I T O や I Z O などの光透過性を有する導電材料によって形成されている。

【0049】

対向電極 C E の表面は、第 2 配向膜 2 2 によって覆われている。この第 2 配向膜 2 2 は、カラーフィルタ層 2 1 の上にも配置され、対向基板 C T の液晶層 L Q に接する面に設けられている。この第 2 配向膜 2 2 は、第 1 配向膜 1 4 と同様に水平配向性を示す材料によって形成されており、上述したような第 2 ラビング方向 R B 2 にラビング処理されている。

10

【0050】

なお、この対向基板 C T において、カラーフィルタ層 2 1 と対向電極 C E 及び第 2 配向膜 2 2 との間には、カラーフィルタ層 2 1 の表面の凹凸を平坦化するオーバーコート層が配置されていても良い。

【0051】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 1 4 及び第 2 配向膜 2 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 1 4 と対向基板 C T の第 2 配向膜 2 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のギャップ、例えば 3 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で図示しないシール材によって貼り合わせられている。液晶層 L Q は、上述したセルギャップに封入されている。すなわち、液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に保持されたボジ型の液晶材料によって構成されている。

20

【0052】

液晶表示パネル L P N の一方の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面には、第 1 偏光板 P L 1 が接着剤などにより貼付されている。また、液晶表示パネル L P N の他方の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面には、第 2 偏光板 P L 2 が接着剤などにより貼付されている。

30

【0053】

本実施形態においては、第 1 偏光板 P L 1 の吸収軸と、第 2 偏光板 P L 2 の吸収軸とが直交する位置関係にあり、ノーマリーブラックモードを実現している。

【0054】

すなわち、画素電極 P E と対向電極 C E との間に電位差が形成されていない無電界時には、液晶層 L Q の液晶分子は、第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 に平行な方向に配向している。この状態では、バックライト 4 からのバックライト光が第 2 偏光板 P L 2 を透過しないため、画素 P X において黒が表示される。

【0055】

40

一方、画素電極 P E と対向電極 C E との間に電位差が形成された状態では、液晶分子は、その長軸が電界の向きと略平行となるように配向する。例えば、第 1 主電極 P A と第 2 主電極 C A 1 及び C A 2 との間に横電界が形成された状態では、液晶分子は、この電界に沿って配向する。このため、第 1 主電極 P A と第 2 主電極 C A 1 及び C A 2 との間に形成された透過部では、バックライト 4 からのバックライトが透過し、画素 P X において白が表示される。このときの各透過部における液晶分子の主な配向方向は、図 4 中の矢印 D 1 または矢印 D 2 で示した第 1 方向 X に略平行な方向である。つまり、各画素 P X において、画素電極 P E と対向電極 C E との間に電界が形成された状態では、2 分割配向されている。

【0056】

50

なお、このとき、第1主電極PA付近及び第2主電極CA1及びCA2付近では、横電界がほとんど形成されない（あるいは、液晶分子を駆動するのに十分な電界が形成されない）ため、液晶分子は、無電界時と同様に、第1ラビング方向RB1及び第2ラビング方向RB2からほとんど動かない。このため、第1主電極PA及び第2主電極CA1及びCA2は、光透過性の導電材料によって形成されているが、これらの領域ではバックライト光が透過せず、表示に寄与しない（黒）。

【0057】

また、第1副電極PBと第2主電極CA1及びCA2との間には電界が形成されるが、第1副電極PBの両端部付近と第2主電極CA1及びCA2との間に縦電界が形成されるため、液晶分子は、立ち上がるように配向する。また、第2副電極PBの中央部付近では、液晶分子を駆動するのに十分な横電界が形成されない。このため、第1副電極PB付近の領域では、バックライト光が透過せず、表示に寄与しない。

10

【0058】

本実施形態の第1構成例によれば、ゲート配線G1の直上には、第1副電極PBが配置されているため、ゲート配線G1からの電界が第2副電極PBによって遮蔽される。このため、ゲート配線G1から液晶層LQに対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、表示品位の良好な液晶表示装置を提供することができる。

【0059】

本実施形態において、ライン反転駆動またはドット反転駆動が適用された場合には、対向電極CEの電位に対して図3に示した一画素PXの画素電極PEに印加される電圧の極性と、この画素PXの第2方向Yに隣接する画素の画素電極に印加される電圧の極性とは互いに逆極性となる（つまり、隣接する行間で液晶駆動電圧の極性が反転している）。

20

【0060】

このとき、第2方向Yに隣接する画素間において、一方の液晶駆動電圧が正極性であって、他方の液晶駆動電圧が負極性である場合、これらの画素間に強い横電界が形成される。例えば、対向電極CEの電位を0Vとし、一方の画素の画素電極に印加される電圧が+5Vであり、他方の画素の画素電極に印加される電圧が-5Vである場合、これらの画素電極間の電位差によって強い横電界が形成される。このような横電界の方位は、第2方向Yに沿っており、本来、画素PX内の液晶分子を駆動するのに必要な第1主電極PAと第2主電極CA1及びCA2との間の横電界の方位（第1方向X）とは異なる。このような不所望な横電界の影響により、画素間の境界付近の液晶分子の一部は表示に寄与しない方位に配向し（暗線の発生）、透過率の低下を招く恐れがある。

30

【0061】

本実施形態の第1構成例では、第1副電極PBが画素PXの一端部つまり第2方向Yに隣接する画素間の境界付近に配置されている。この第1副電極PBと第2主電極CA1及びCA2との間に形成される電界は、第2方向Yに隣接する画素間での不所望な電界の発生を抑制する。このため、画素間の境界付近においても、第1副電極PB上では上述した通り表示に寄与しないものの、第1副電極PBの周辺領域では、第2方向Yに隣接する画素間での電界の影響を受けず、表示に寄与するため、暗線の発生を抑制することができる。したがって、画素電極PEが第1副電極PBを有していない場合と比較して、透過率を向上することが可能となる。

40

【0062】

なお、画素電極PEと対向電極CEとの間に電位差が形成された状態であっても、第1主電極PAや第2主電極CA1及びCA2に重なる領域の液晶分子は、表示に寄与する方位に配向しない場合が多い。このため、画素電極PE及び対向電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀などの導電材料を用いて形成しても良い。

【0063】

また、第2主電極CA1及びCA2は、それぞれソース配線S1及びソース配線S2の

50

上方（つまりソース配線 S 1 及び S 2 と向かい合う位置）に配置されている。ソース配線 S は、元々遮光性の導電材料によって形成されているため、第 2 主電極 C A 1 及び C A 2 に重なる領域の液晶分子が表示に寄与しない方位に配向したとしても、画素 P X の透過率にはほとんど影響を与えない。むしろ、第 2 主電極 C A 1 及び C A 2 がソース配線 S 1 及びソース配線 S 2 よりも第 1 主電極 P A 側に配置された場合と比較すると、画素 P X の透過率は向上する。

【 0 0 6 4 】

また、第 2 主電極 C A 1 及び C A 2 をソース配線 S 1 及びソース配線 S 2 の上方に配置することによって、第 1 主電極 P A と第 2 主電極 C A 1 及び C A 2 との間の距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である IPS モード等の利点である広視野角化も維持される。

10

【 0 0 6 5 】

なお、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、第 1 主電極 P A を挟んだ両側の第 2 主電極 C A 1 及び C A 2 との距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に影響を及ぼさない。

【 0 0 6 6 】

次に、本実施形態の第 2 構成例について説明する。この第 2 構成例は、第 1 構成例と比較して、画素電極 P E 及び対向電極 C E の形状が異なる点で相違している。なお、この第 2 構成例において、第 1 構成例と同一の構成については同一の参照符号を付して詳細な説明を省略する。

20

【 0 0 6 7 】

図 6 は、第 2 構成例における液晶表示パネル L P N の画素 P X を対向基板 C T の側から見たときのアレイ基板 A R の構造を概略的に示す平面図である。

【 0 0 6 8 】

ゲート配線 G 1 及び補助容量線 C 1 は、それぞれ第 1 方向 X に沿って延在している。ソース配線 S 1 及び S 2 は、それぞれ第 2 方向 Y に沿って延在している。図示した例では、ゲート配線 G 1 は画素 P X の略中央に配置され、補助容量線 C 1 は画素 P X の他端部に配置されている。

【 0 0 6 9 】

画素電極 P E は、櫛歯電極として、第 1 主電極 P A 1 及び P A 2、第 1 副電極 P B、容量部 P C、及び、端部電極 P D を含んでいる。なお、図示した例では、第 1 主電極は 2 本であるが、1 本であっても良いし、3 本以上であっても良く、画素電極 P E の形状は図示した例に限らない。

30

【 0 0 7 0 】

容量部 P C、第 1 主電極 P A 1、第 1 副電極 P B、第 1 主電極 P A 2、及び、端部電極 P D は、この順に第 2 方向 Y に沿って略等間隔に並んでおり、また、互いに略平行である。これらの第 1 主電極 P A 1 及び P A 2、第 1 副電極 P B、容量部 P C、及び、端部電極 P D は、一体的に形成されており、図示した例のように、例えば、ソース配線 S 2 の上で互いに電氣的に接続されている。

40

【 0 0 7 1 】

以下に、各櫛歯電極についてより具体的に説明する。

【 0 0 7 2 】

すなわち、第 1 主電極 P A 1 及び P A 2 は、それぞれ第 1 方向 X に沿って直線的に延在した帯状に形成されている。これらの第 1 主電極 P A 1 及び P A 2 は、ソース配線 S 1 とソース配線 S 2 との間に亘って延在している。第 1 主電極 P A 1 は、第 1 副電極 P B と容量部 P C との間の略中間に位置している。第 2 主電極 P A 2 は、第 1 副電極 P B と端部電極 P D との間の略中間に位置している。

【 0 0 7 3 】

第 1 副電極 P B は、第 1 方向 X に沿って直線的に延在した帯状に形成されている。この

50

第1副電極PBは、画素PXの略中央部に配置され、第1主電極PA1と第1主電極PA2との間の略中間に位置している。この第1副電極PBは、ソース配線S1とソース配線S2との間のゲート配線G1を覆っている。

【0074】

このような第1副電極PBの第1方向Xに沿った長さは、ソース配線S1とソース配線S2との間のゲート配線G1の第1方向Xに沿った長さと同様以上である。また、第1副電極PBの第2方向Yに沿った幅は、ゲート配線G1の第2方向Yに沿った幅と同様以上である。このため、ソース配線S1とソース配線S2との間において、ゲート配線G1は、第1副電極PBから露出していない。

【0075】

容量部PCは、第1方向Xに沿って直線的に延在した帯状に形成されている。この容量部PCは、画素PXの他端部に配置され、補助容量線C1の直上に配置されている。端部電極PDは、第1方向Xに沿って直線的に延在した帯状に形成されている。この端部電極PDは、画素PXの一端部に配置されている。

【0076】

なお、第1配向膜の第1ラビング方向RB1及び第2配向膜の第2ラビング方向RB2は、第1構成例と同様に、互いに平行且つ逆向きである。これらの第1ラビング方向RB1及び第2ラビング方向RB2は、第1方向Xに対して数°程度わずかに傾いた方向であり、例えば、第1ラビング方向RB1及び第2ラビング方向RB2と第1方向Xとのなす角度は7°である。

【0077】

図7は、第2構成例における液晶表示パネルLPNの対向基板CTにおける画素PXの構造を概略的に示す平面図である。

【0078】

対向電極CEは、複数の第2主電極CA1乃至CA4を含んでいる。なお、図示した例では、第2主電極の本数は4本であるが、画素電極PEの形状に合わせて適宜変更可能である。これらの第2主電極CA1乃至CA4は、第2方向Yに沿って略等間隔に並んでおり、また、互いに略平行である。

【0079】

このような第2主電極CA1乃至CA4は、第1方向Xに沿って直線的に延在した帯状に形成されている。つまり、第2主電極CA1乃至CA4は、画素電極PEの各櫛歯電極（すなわち、第1主電極PA1及びPA2、第1副電極PB、容量部PC、及び、端部電極PD）と略平行である。また、これらの第2主電極CA1乃至CA4は、画素電極PEの各櫛歯電極と重なることはなく、第2方向Yに沿って各櫛歯電極と略一定の間隔を置いて交互に並んでいる。

【0080】

すなわち、第2主電極CA1は、容量部PCと第1主電極PA1との間の略中間の位置している。第2主電極CA2は、第1主電極PA1と第1副電極PBとの間の略中間の位置している。第2主電極CA3は、第1副電極PBと第1主電極PA2との間の略中間の位置している。第2主電極CA4は、第1主電極PA2と端部電極PDとの間の略中間の位置している。

【0081】

このような画素PXのうち、主として表示に寄与する透過部は、画素電極PEの各櫛歯電極と第2主電極CA1乃至CA4との間に形成される。画素電極PEと対向電極CEとの間に電界が形成された状態では、各透過部における液晶分子の主な配向方向は、図中の矢印D1または矢印D2で示した第2方向Yに略平行な方向である。つまり、各画素PXにおいて、2分割配向されている。

【0082】

本実施形態の第2構成例によれば、第1構成例と同様に、ゲート配線G1の直上には、第1副電極PBが配置されているため、ゲート配線G1からの電界が第2副電極PBによ

10

20

30

40

50

って遮蔽される。このため、ゲート配線 G 1 から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、表示品位の良好な液晶表示装置を提供することができる。

【0083】

また、この第2構成例において、ライン反転駆動またはドット反転駆動が適用された場合でも、端部電極 P D が画素 P X の一端部つまり第2方向 Y に隣接する画素間の境界付近に配置されている。この端部電極 P D と第2主電極 C A 4 との間に形成される電界は、第2方向 Y に隣接する画素間での不所望な電界の発生を抑制する。このため、画素間の境界付近においても、第2方向 Y に隣接する画素間での電界の影響を受けず、暗線の発生を抑制することができる。したがって、画素電極 P E が端部電極 P D を有していない場合と比較して、透過率を向上することが可能となる。

10

【0084】

次に、本実施形態の第3構成例について説明する。この第3構成例は、第1構成例及び第2構成例と比較して、画素電極 P E 及び対向電極 C E の形状が異なる点で相違している。なお、この第3構成例において、第1構成例と同一の構成については同一の参照符号を付して詳細な説明を省略する。

【0085】

図8は、第3構成例における液晶表示パネル L P N の画素 P X を対向基板 C T の側から見たときのアレイ基板 A R の構造を概略的に示す平面図である。

【0086】

20

ゲート配線 G 1 及び補助容量線 C 1 は、それぞれ第1方向 X に沿って延在している。ソース配線 S 1 及び S 2 は、それぞれ第2方向 Y に沿って延在している。図示した例では、ゲート配線 G 1 は画素 P X の略中央に配置され、補助容量線 C 1 は画素 P X の他端部に配置されている。

【0087】

画素電極 P E は、第1主電極 P A 1 乃至 P A 6、第1副電極 P B、及び、容量部 P C を含んでいる。なお、図示した例では、第1主電極の本数は6本であるが、この例に限らない。これらの第1主電極 P A 1 乃至 P A 6、第1副電極 P B、及び、容量部 P C は、一体的に形成されており、図示した例のように、例えば、ソース配線 S 1 の上で互いに電氣的に接続されている。

30

【0088】

第1主電極 P A 1 乃至 P A 6 は、それぞれ第1方向 X 及び第2方向 Y に対して交差する斜め方向に沿って直線的に延在した帯状に形成されている。第1主電極 P A 1 乃至 P A 3 は、第1副電極 P B と容量部 P C との間における画素 P X の上側半分に配置され、略等間隔に並んでおり、互いに略平行である。第1主電極 P A 4 乃至 P A 5 は、画素 P X の下側半分に配置され、略等間隔に並んでおり、互いに略平行である。

【0089】

これらの第1主電極 P A 1 乃至 P A 3 が延在する方向と、第1主電極 P A 4 乃至 P A 5 が延在する方向とは平行ではない。また、第1主電極 P A 1 乃至 P A 3 のそれぞれは、画素 P X の略中央に配置された第1副電極 P B を挟んで、第1主電極 P A 4 乃至 P A 5 のそれぞれと略線対称である。

40

【0090】

第1副電極 P B は、第1方向 X に沿って直線的に延在した帯状に形成されている。この第1副電極 P B は、画素 P X の略中央部に配置され、ソース配線 S 1 とソース配線 S 2 との間のゲート配線 G 1 を覆っている。このような第1副電極 P B の第1方向 X に沿った長さは、ソース配線 S 1 とソース配線 S 2 との間のゲート配線 G 1 の第1方向 X に沿った長さと同様以上である。また、第1副電極 P B の第2方向 Y に沿った幅は、ゲート配線 G 1 の第2方向 Y に沿った幅と同様以上である。このため、ソース配線 S 1 とソース配線 S 2 との間において、ゲート配線 G 1 は、第1副電極 P B から露出していない。

【0091】

50

容量部 P C は、第 1 方向 X に沿って直線的に延在した帯状に形成されている。この容量部 P C は、画素 P X の他端部に配置され、補助容量線 C 1 の直上に配置されている。

【 0 0 9 2 】

なお、第 1 配向膜の第 1 ラビング方向 R B 1 及び第 2 配向膜の第 2 ラビング方向 R B 2 は、第 1 構成例と同様に、互いに平行且つ逆向きである。これらの第 1 ラビング方向 R B 1 及び第 2 ラビング方向 R B 2 は、第 1 方向と略平行な方向である。

【 0 0 9 3 】

図 9 は、第 3 構成例における液晶表示パネル L P N の対向基板 C T における画素 P X の構造を概略的に示す平面図である。

【 0 0 9 4 】

対向電極 C E は、複数の第 2 主電極 C A 1 乃至 C A 4、及び、第 1 副電極 C B を含んでいる。なお、図示した例では、第 2 主電極の本数は 4 本であるが、画素電極 P E の形状に合わせて適宜変更可能である。これらの第 2 主電極 C A 1 乃至 C A 4、及び、第 2 副電極 C B は、一体的に形成されており、互いに電氣的に接続されている。

【 0 0 9 5 】

これらの第 2 主電極 C A 1 乃至 C A 4 は、それぞれ第 1 方向 X 及び第 2 方向 Y に対して交差する斜め方向に沿って直線的に延在した帯状に形成されている。第 2 主電極 C A 1 及び C A 2 が延在する方向と、第 2 主電極 C A 3 及び C A 4 が延在する方向とは平行ではない。また、第 2 主電極 C A 1 及び C A 2 のそれぞれは、画素 P X の略中央に配置された第 2 副電極 C B を挟んで、第 2 主電極 C A 3 及び C A 4 のそれぞれと略線対称である。

【 0 0 9 6 】

第 2 主電極 C A 1 及び C A 2 は、画素 P X の上側半分に配置され、略等間隔に並んでおり、互いに略平行である。また、これらの第 2 主電極 C A 1 及び C A 2 は、第 1 主電極 P A 1 乃至 P A 3 と略平行である。また、これらの第 2 主電極 C A 1 及び C A 2 は、第 1 主電極 P A 1 乃至 P A 3 と重なることはなく、略一定の間隔を置いて交互に並んでいる。すなわち、第 2 主電極 C A 1 は、第 1 主電極 P A 1 と第 1 主電極 P A 2 との間の略中間の位置している。第 2 主電極 C A 2 は、第 1 主電極 P A 2 と第 1 主電極 P A 3 との間の略中間の位置している。

【 0 0 9 7 】

第 2 主電極 C A 3 及び C A 4 は、画素 P X の下側半分に配置され、略等間隔に並んでおり、互いに略平行である。また、これらの第 2 主電極 C A 3 及び C A 4 は、第 1 主電極 P A 4 乃至 P A 6 と略平行である。また、これらの第 2 主電極 C A 3 及び C A 4 は、第 1 主電極 P A 4 乃至 P A 6 と重なることはなく、略一定の間隔を置いて交互に並んでいる。すなわち、第 2 主電極 C A 3 は、第 1 主電極 P A 4 と第 1 主電極 P A 5 との間の略中間の位置している。第 2 主電極 C A 4 は、第 1 主電極 P A 5 と第 1 主電極 P A 6 との間の略中間の位置している。

【 0 0 9 8 】

第 2 副電極 C B は、第 1 方向 X に沿って直線的に延在した帯状に形成されている。この第 2 副電極 C B は、画素 P X の略中央部に配置され、第 1 副電極 P B の直上に延在している。

【 0 0 9 9 】

このような画素 P X のうち、主として表示に寄与する透過部は、画素電極 P E の第 1 主電極 P A 1 乃至 P A 6 と第 2 主電極 C A 1 乃至 C A 4 との間に形成される。画素電極 P E と対向電極 C E との間に電界が形成された状態では、各透過部における液晶分子の主な配向方向は、図中の矢印 D 1 乃至 D 4 のいずれかで示した方向である。つまり、各画素 P X において、4 分割配向されている。

【 0 1 0 0 】

本実施形態の第 3 構成例によれば、第 1 構成例と同様に、ゲート配線 G 1 の直上には、第 1 副電極 P B が配置されているため、ゲート配線 G 1 からの電界が第 2 副電極 P B によって遮蔽される。このため、ゲート配線 G 1 から液晶層 L Q に対して不所望なバイアスが

10

20

30

40

50

印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、表示品位の良好な液晶表示装置を提供することができる。

【0101】

また、この第3構成例によれば、1画素PXにおいては、液晶分子の配向方向が異なる4つの領域が形成され、しかも、各領域の占める割合が略同等である。このため、それぞれの領域が光学的に補償し合い、広い視野角範囲に亘って均一な表示を実現することが可能となる。

【0102】

また、この第3構成例によれば、画素電極PEの第1副電極PBと、対向電極CEの第2副電極CBとが平行に且つ液晶層LQを介して重なるように配置されているため、画素電極PEと対向電極CEとの間に電位差が形成された際には、これらの間に縦電界が形成される。このような縦電界は、画素PXの上側半分と下側半分とを仕切り、液晶分子を基板に対して略垂直に配向させる。

10

【0103】

このような縦電界の作用により、画素PXの上側半分において矢印D1または矢印D2の方向に液晶分子を配向させた状態を保持できるとともに、画素PXの下側半分において矢印D3または矢印D4の方向に液晶分子を配向させた状態を保持することが可能となる。このため、1画素PXにおいて、液晶分子の配向が異なる4つの領域のそれぞれの占める割合も略同等に維持することが可能となる。これにより、液晶表示パネルLPNに対して押圧するような応力が加わったとしても、1画素PX内において液晶分子の配向乱れの発生が抑制でき、瞬時に元の配向状態に復帰することが可能となる。

20

【0104】

以下に、実施例1及び2と、比較例1及び2についてそれぞれ説明する。

【0105】

実施例1

この実施例1に係る画素PXの構造は、上記の第1構成例に相当する。

【0106】

すなわち、アレイ基板ARに形成された画素電極PEは、隣接する2本のソース配線S1とソース配線S2との間の中央部に形成した第1主電極PA1と、第1主電極PAの一端部に形成した第1副電極PBと、第1主電極PAの他端部に形成した容量部PCと、を有している。第1主電極PAの第1方向Xに沿った幅を10 μ mとした。

30

【0107】

対向基板CTに形成された対向電極CEは、第1主電極PAと平行かつソース配線S1及びソース配線S2の直上に形成した第2主電極CAを有している。第2主電極CAの第1方向Xに沿った幅を10 μ mとした。

【0108】

アレイ基板ARの表面には第1配向膜14を形成した。また、対向基板CTの表面には第1配向膜22を形成した。これらの第1配向膜14及び第2配向膜22は、水平配向性を有する材料を70nmの厚さで塗布した後に、ラビング処理することによって形成した。第1配向膜14の第1ラビング方向RB1及び第2配向膜22の第2ラビング方向RB2は、第1方向Xを0°方位とし、第2方向Yを90°方位としたとき、83°方位に設定した。

40

【0109】

アレイ基板ARと対向基板CTとの間のセルギャップを4.0 μ mとし、アレイ基板ARと対向基板CTとを貼り合わせた。このとき、第1主電極PAと第2主電極CAとの間隔は10 μ mに設定した。これらのアレイ基板ARと対向基板CTとの間には、メルク社製ポジ型液晶材料を注入して画素ピッチ40 μ mの液晶表示パネルLPNを作製した。

【0110】

比較例1

この比較例1は、実施例1の構成から画素電極PEの第1副電極PBを省略した構成に

50

相当する。それ以外については、上記した実施例 1 と同様にして液晶表示パネル L P N を作製した。

【 0 1 1 1 】

上記した実施例 1 及び比較例 1 のそれぞれの液晶表示パネル L P N について、画素電極 P E と対向電極 C E との間に同一の電位差を与えたときの透過率を測定した。比較例 1 の液晶表示パネル L P N で得られた透過率を 1 としたとき、実施例 1 の液晶表示パネル L P N で得られた透過率は 1 . 3 であった。このような比較実験により、実施例 1 の構成によれば、高透過率化を実現できることが確認された。

【 0 1 1 2 】

実施例 2

10

この実施例 2 に係る画素 P X の構造は、上記の第 3 構成例に相当する。

【 0 1 1 3 】

すなわち、アレイ基板 A R に形成された画素電極 P E は、斜め方向に沿って形成した 6 本の第 1 主電極 P A 1 乃至 P A 6 と、第 1 方向 X に沿って形成した第 1 副電極 P B 及び容量部 P C と、を有している。

【 0 1 1 4 】

対向基板 C T に形成された対向電極 C E は、第 1 主電極 P A と平行な方向に沿って形成した 4 本の第 2 主電極 C A 1 乃至 C A 4 と、第 1 方向 X に沿って形成した第 2 副電極 C B と、を有している。

【 0 1 1 5 】

20

アレイ基板 A R の表面には第 1 配向膜 1 4 を形成した。また、対向基板 C T の表面には第 1 配向膜 2 2 を形成した。これらの第 1 配向膜 1 4 及び第 2 配向膜 2 2 は、水平配向性を有する材料を 70 nm の厚さで塗布した後に、ラビング処理することによって形成した。第 1 配向膜 1 4 の第 1 ラビング方向 R B 1 及び第 2 配向膜 2 2 の第 2 ラビング方向 R B 2 は、第 1 方向 X を 0 ° 方位とし、第 2 方向 Y を 90 ° 方位としたとき、0 ° 方位に設定した。

【 0 1 1 6 】

アレイ基板 A R と対向基板 C T との間のセルギャップを 4 . 0 μ m とし、アレイ基板 A R と対向基板 C T とを貼り合わせた。このとき、第 1 主電極 P A と第 2 主電極 C A との間隔は 10 μ m に設定した。これらのアレイ基板 A R と対向基板 C T との間には、メルク社製ボジ型液晶材料を注入して画素ピッチ 40 μ m の液晶表示パネル L P N を作製した。

30

【 0 1 1 7 】

比較例 2

この比較例 2 は、実施例 2 の構成から対向電極 C E の第 2 副電極 C B を省略した構成に相当する。それ以外については、上記した実施例 2 と同様にして液晶表示パネル L P N を作製した。

【 0 1 1 8 】

上記した実施例 2 及び比較例 2 のそれぞれの液晶表示パネル L P N について、画素電極 P E と対向電極 C E との間に同一の電位差を与えたときの液晶分子の配向強度を測定した。ここで、配向強度とは、液晶表示パネル L P N に一定の応力を加えた後、所定時間が経過してから液晶表示パネル L P N を観察したときに応力の痕跡が視認される視角で定義する。

40

【 0 1 1 9 】

つまり、液晶表示パネル L P N に応力を加えると、画素 P X において液晶分子の配向乱れが発生し、時間の経過に伴って元の配向状態に復元する場合もあるし、配向乱れが発生した状態で保持されてしまう場合もある。画素 P X において比較的小規模な配向乱れが残っている場合、あるいは、元の配向状態に復元した場合には、液晶表示パネル L P N を観察したとき、液晶表示パネル L P N の法線方向から次第に視角を拡大しても、応力の痕跡が視認されることはない。しかしながら、画素 P X 内で比較的大規模な配向乱れが残っている場合には、液晶表示パネル L P N を観察したとき、液晶表示パネル L P N の法線方向

50

からわずかに視角を拡大しただけで、配向乱れが応力の痕跡として視認されてしまう。このように、応力の痕跡が視認される視角が大きいほど、配向強度が高い（つまり、元の配向状態に復元する復元力あるいは配向安定性が高い）こと示し、逆に、応力の痕跡が視認される視角が小さいほど、配向強度が低いことを示す。

【 0 1 2 0 】

この実験では、比較例 2 では法線に対して約 20° の視角で応力の痕跡が視認されたのに対して、実施例 2 では法線から視角を約 90° まで拡大しても応力の痕跡は視認されず、配向強度が高いことが確認された。

【 0 1 2 1 】

以上説明したように、本実施形態によれば、透過率及び配向強度を向上することが可能であり、表示品位の良好な液晶表示装置を提供することができる。

10

【 0 1 2 2 】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【 0 1 2 3 】

例えば、第 1 構成例において、第 1 副電極 P B 及びゲート配線 G 1 は、画素 P X の一端部に配置された例について説明したが、ライン反転駆動またはドット反転駆動以外の駆動方法が適用される場合については、これらの第 1 副電極 P B 及びゲート配線 G 1 が必ずしも画素 P X の一端部に配置されていなくても良い。例えば、図 10 に示した例のように、第 1 副電極 P B 及びゲート配線 G 1 は、画素 P X の一端部よりも中央部寄りに配置されても良い。この場合、第 1 副電極 P B は、第 1 主電極 P A と十字に交差する。このような構成であっても、第 1 副電極 P B は、ゲート配線 G 1 を覆うように配置されているため、第 1 構成例と同様の効果が得られる。

20

【符号の説明】

【 0 1 2 4 】

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

30

P E ... 画素電極

P A ... 第 1 主電極 P B ... 第 1 副電極 P C ... 容量部 P D ... 端部電極

C E ... 対向電極

C A ... 第 2 主電極 C B ... 第 2 副電極

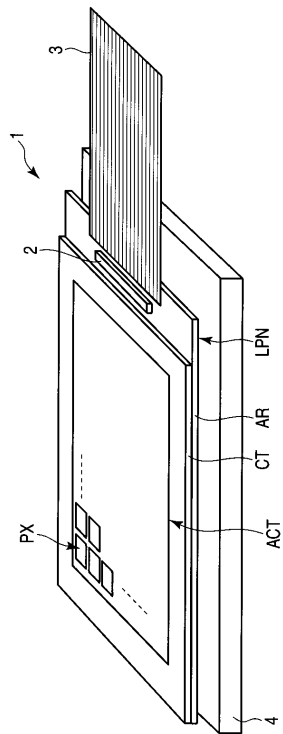
S ... ソース配線

G ... ゲート配線

C ... 補助容量線

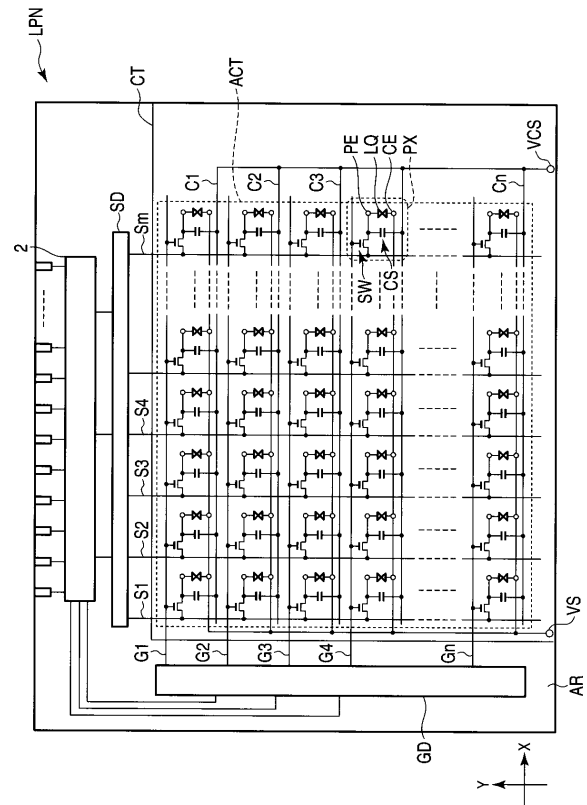
【図 1】

図 1



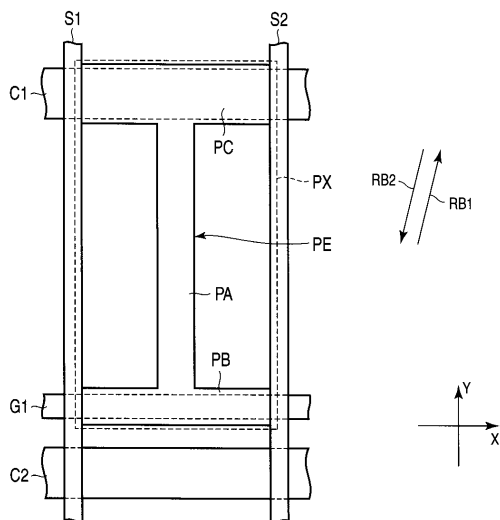
【図 2】

図 2



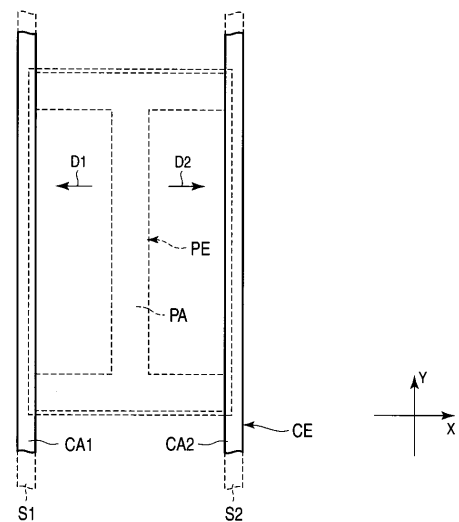
【図 3】

図 3

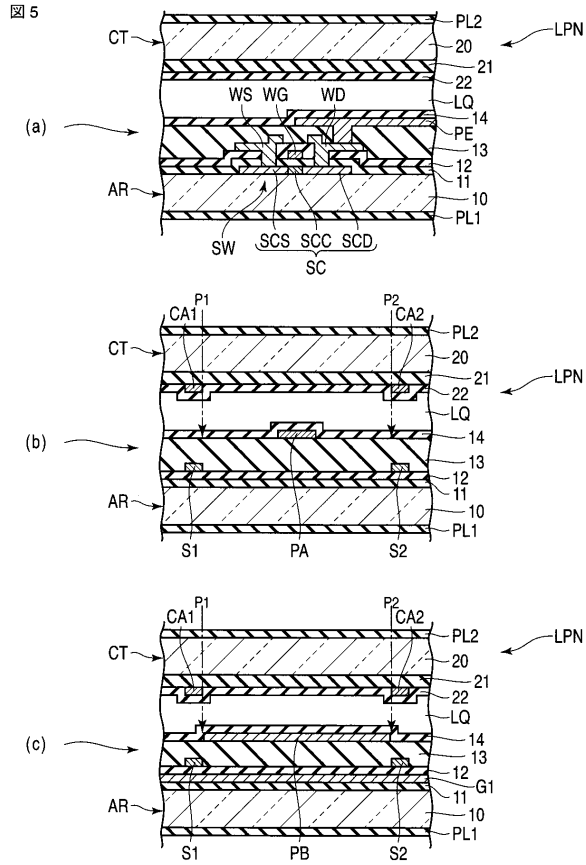


【図 4】

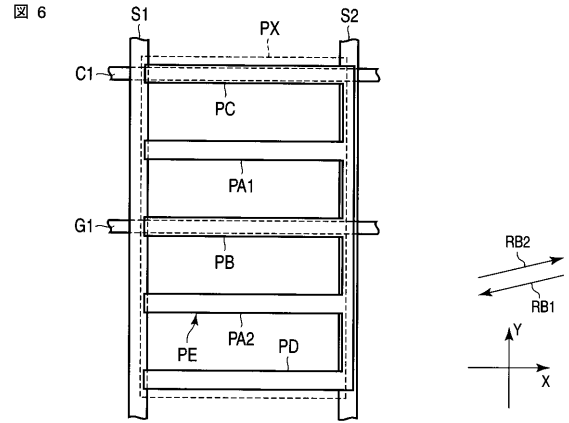
図 4



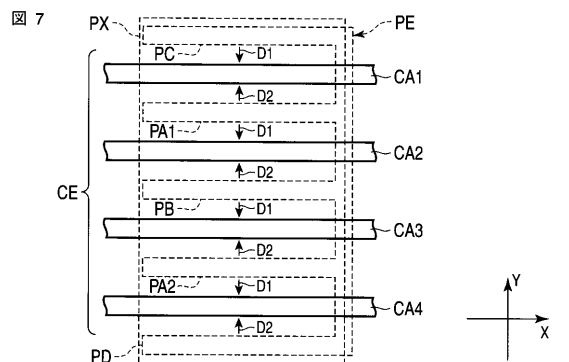
【図 5】



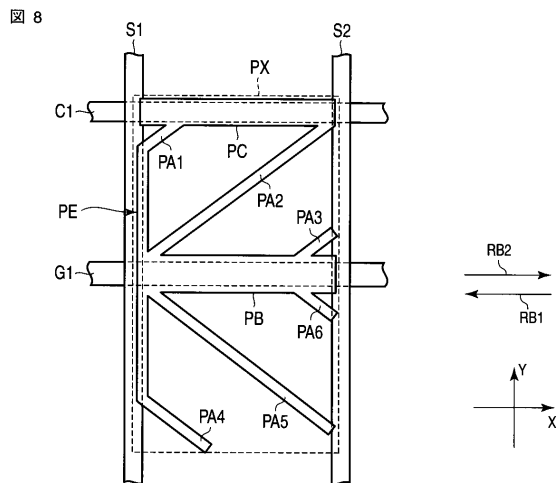
【図 6】



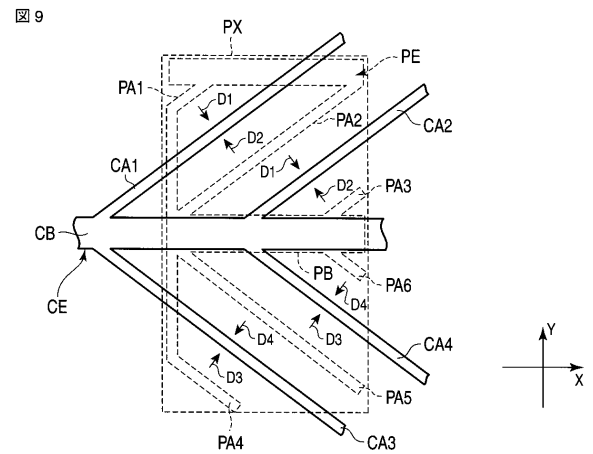
【図 7】



【図 8】

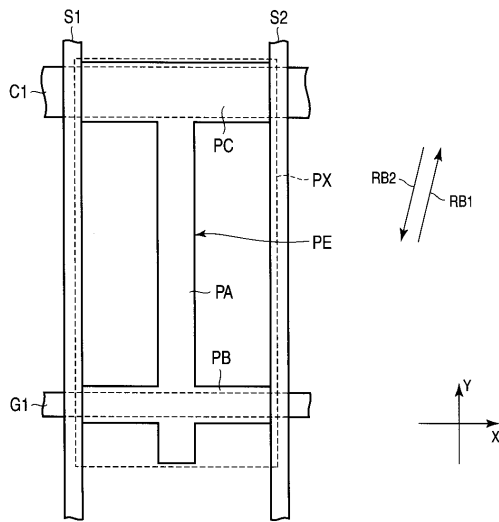


【図 9】



【図 10】

図 10



フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
G 0 9 G 3/20 (2006.01) G 0 9 G 3/20 6 2 1 B

(74)代理人 100084618
 弁理士 村松 貞男
 (74)代理人 100103034
 弁理士 野河 信久
 (74)代理人 100119976
 弁理士 幸長 保次郎
 (74)代理人 100153051
 弁理士 河野 直樹
 (74)代理人 100140176
 弁理士 砂川 克
 (74)代理人 100101812
 弁理士 勝村 紘
 (74)代理人 100124394
 弁理士 佐藤 立志
 (74)代理人 100112807
 弁理士 岡田 貴志
 (74)代理人 100111073
 弁理士 堀内 美保子
 (74)代理人 100134290
 弁理士 竹内 将訓
 (74)代理人 100127144
 弁理士 市原 卓三
 (74)代理人 100141933
 弁理士 山下 元
 (72)発明者 廣澤 仁
 埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
 (72)発明者 武田 有広
 埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
 (72)発明者 福岡 暢子
 埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
 (72)発明者 森田 祐介
 埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
 (72)発明者 大師 和也
 埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
 F ターム(参考) 2H090 HA14 HA16 KA05 KA07 LA04 LA15 MA02 MA07 MA15 MA16
 MB01
 2H092 GA13 GA14 JA25 JB05 JB64 JB69 NA01 PA02 PA06 PA08
 QA07 QA09
 2H193 ZA04 ZA07 ZC02 ZC12 ZP03 ZP04 ZQ16
 5C006 AA22 AC27 BB16
 5C080 AA10 BB05 CC03 DD01 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012088542A	公开(公告)日	2012-05-10
申请号	JP2010235368	申请日	2010-10-20
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	廣澤仁 武田有広 福岡暢子 森田祐介 大師和也		
发明人	廣澤 仁 武田 有広 福岡 暢子 森田 祐介 大師 和也		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/133 G02F1/1337 G09G3/36 G09G3/20		
CPC分类号	G02F1/134309 G02F1/13306 G02F1/133514 G02F1/133528 G02F1/133784 G02F1/13439 G02F1/136286 G02F1/1368 G02F2001/133302 G02F2001/133738 G02F2001/134318 G02F2001/134345 G02F2001/134381 G02F2201/123 G02F2202/28		
FI分类号	G02F1/1343 G02F1/1368 G02F1/133.525 G02F1/1337.505 G09G3/36 G09G3/20.621.B		
F-TERM分类号	2H090/HA14 2H090/HA16 2H090/KA05 2H090/KA07 2H090/LA04 2H090/LA15 2H090/MA02 2H090/MA07 2H090/MA15 2H090/MA16 2H090/MB01 2H092/GA13 2H092/GA14 2H092/JA25 2H092/JB05 2H092/JB64 2H092/JB69 2H092/NA01 2H092/PA02 2H092/PA06 2H092/PA08 2H092/QA07 2H092/QA09 2H193/ZA04 2H193/ZA07 2H193/ZC02 2H193/ZC12 2H193/ZP03 2H193/ZP04 2H193/ZQ16 5C006/AA22 5C006/AC27 5C006/BB16 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/JJ06 2H192/AA24 2H192/BA32 2H192/BB01 2H192/BB32 2H192/BB53 2H192/BC31 2H192/CB02 2H192/CC04 2H192/DA12 2H192/DA43 2H192/JA33 2H290/AA04 2H290/BA04 2H290/BB44 2H290/BB85 2H290/BB87 2H290/BF13 2H290/CA42 2H290/CA51		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP5380416B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种具有良好显示质量的液晶显示装置。沿着第一方向延伸的栅极布线，沿着与第一方向正交的第二方向延伸的第一源极布线和第二源极布线以及第一源极布线。带状的第一主电极，其大致位于第二源极线的中间并且沿着第二方向延伸；第一线，其覆盖第一源极线和第二源极线之间的栅极线 第一基板，其具有像素电极，该像素电极包括沿着该方向延伸并沿着第二方向布置并且布置在第一源极布线和第二源极布线的正上方的带状的第一子电极。对电极，包括存在的带状的第二主电极和保持在第一基板与第二基板之间的液晶层。液晶显示装置。[选择图]图4

