

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-185963

(P2011-185963A)

(43) 公開日 平成23年9月22日(2011.9.22)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 575	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 624B	
	G02F 1/133 525	
審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2010-47703 (P2010-47703)
 (22) 出願日 平成22年3月4日 (2010.3.4)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100075959
 弁理士 小林 保
 (71) 出願人 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100075959
 弁理士 小林 保
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 長三 幸弘
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

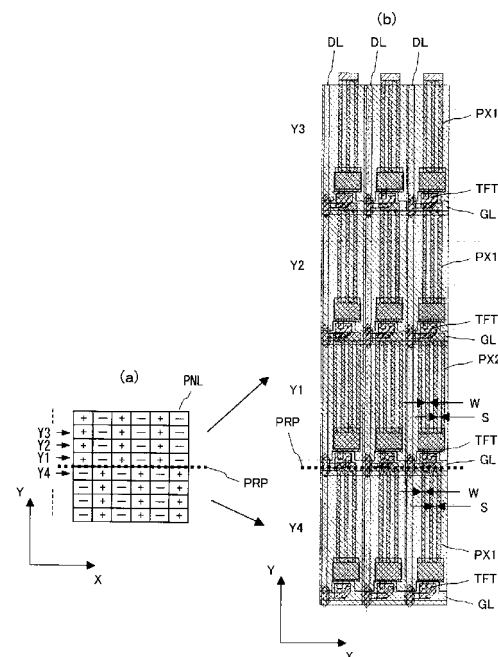
(57) 【要約】

【課題】階調電圧の極性をN ($N \geq 2$) ライン毎に反転させるライン反転駆動において、表示品質の低下を防止することが可能な液晶表示装置を提供することである。

【解決手段】

第1方向に延在し第2方向に並設されるドレイン線と、前記第2方向に延在し前記第1方向に並設されるゲート線と、画素の領域内に形成される画素電極と、前記画素電極に対向する共通電極とを有する液晶表示装置であって、前記第1方向に隣接されるN ($N \geq 2$) ライン目の画素毎に、各画素に出力する階調電圧の極性を反転させた映像信号が供給され、前記第1方向に隣接される画素の中で、前記階調電圧の極性の反転させた直後の映像信号の供給される少なくとも1ライン分の画素が有する第1画素電極と、前記第1画素電極と電極面積が異なる第2画素電極とを備え、前記第1画素電極の面積は、前記第2画素電極の面積よりも大きく形成される液晶表示装置である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 方向に延在し第 2 方向に並設されるドレイン線と、前記第 2 方向に延在し前記第 1 方向に並設されるゲート線と、前記ドレイン線と前記ゲート線とに囲まれる画素の領域内に形成される画素電極と、少なくとも前記画素毎に前記画素電極に対向して形成される平面状の共通電極とを有する液晶表示装置であって、

前記第 2 方向に隣接される画素毎に、各画素に出力する階調電圧の極性を反転させた映像信号が供給されると共に、前記第 1 方向に隣接される N ($N \geq 2$) ライン目の画素毎に、各画素に出力する階調電圧の極性を反転させた映像信号が供給され、

前記第 1 方向に隣接される画素の中で、前記階調電圧の極性の反転させた直後の映像信号の供給される少なくとも 1 ライン分の画素が有する第 1 画素電極と、前記第 1 画素電極と電極面積が異なる第 2 画素電極とを備え、

前記第 1 画素電極の面積は、前記第 2 画素電極の面積よりも大きく形成されることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 画素電極及び第 2 画素電極は、それぞれの画素の領域内において前記共通電極の上層に形成される容量絶縁膜を介し、前記共通電極に重畳して形成される線状電極であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 画素電極及び前記第 2 画素電極は、複数の線状電極と端部が開口されないスリットとからなることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 画素電極の線状電極は、前記第 2 画素電極の線状電極よりも電極数が多いことを特徴とする請求項 2 又は 3 に記載の液晶表示装置。

【請求項 5】

前記第 1 画素電極の線状電極は、前記第 2 画素電極の線状電極よりも電極幅が大きいことを特徴とする請求項 2 乃至 4 の内の何れかに記載の液晶表示装置。

【請求項 6】

第 1 画素電極の線状電極は、前記第 2 画素電極の線状電極よりも当該線状電極間の間隔が大きいことを特徴とする請求項 2 乃至 5 の内の何れかに記載の液晶表示装置。

【請求項 7】

前記第 1 画素電極の線状電極は、少なくとも第 1 の電極幅を有する第 1 線状電極と、第 2 の電極幅を有する第 2 線状電極とを備えることを特徴とする請求項 2 乃至 6 の内の何れかに記載の液晶表示装置。

【請求項 8】

前記第 1 画素電極の線状電極は、少なくとも第 1 の電極間隔で配置される線状電極と、第 2 の電極間隔で配置される線状電極とを備えることを特徴とする請求項 2 乃至 7 の内の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、画素に印加する階調電圧を 2 本以上の複数ライン毎に極性反転駆動する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、映像信号駆動回路（ドレインドライバ）から供給される階調電圧（映像信号、ドレイン信号）を、配線（引き出し線）を介し表示領域内の各映像信号線（ドレイン線）に供給している。このドレイン線に供給された映像信号は、薄膜トランジスタを介して各画素の保持容量に供給され、映像信号に応じた画像表示がなされる。このとき、各配線及びドレイン線は、ドライバ IC からの経路によって寄生負荷をもつこととなる。

この寄生負荷の大きさは、配線距離、配線幅及び配線材料の物性値に大きく依存する。また、従来の液晶表示装置では、物性値の異なる配線材料を用いて多層化し、狭額縁化を行っている。映像信号駆動回路から出力された映像信号は、寄生負荷の影響を受け、負荷が大きい程立ち上り及び立ち下りの波形に歪みが生じたいわゆるなまった状態で薄膜トランジスタに供給される。薄膜トランジスタは、構造上、ゲートパルス（走査信号）の立ち上がり及び立ち下りにおいて書き込み不足が発生し、画素に書き込まれる電圧を映像信号電圧よりも低下させる。この書き込み不足に伴う電圧低下（電圧変動）は、配線及びドレイン線の寄生負荷が大きくなり映像信号の立ち上りがなまってくる程、書き込み電圧が不足し大きくなる。

【0003】

10

一方、液晶表示装置の液晶を交流電圧駆動するために、共通電極（コモン電極）に印加される共通電圧を基準とし、各画素の電極（画素電極）に印加する映像信号を画素毎に交互に極性を反転させるドット反転駆動方法がある。このドット反転駆動方法では、画素毎に映像信号の極性を反転させる必要があるために、配線及びドレイン線の寄生負荷が大きくなった場合、全ての画素で書き込み不足が生じ、表示品質が低下してしまうことが懸念される。

【0004】

この問題を解決する方法として、画素電極に印加する映像信号を N （ $N \geq 2$ ）ライン毎に交互に反転させる N ライン反転駆動方法があるが、この N ライン反転駆動方法においても極性を反転させた直後のラインの画素では次のラインの画素よりも書き込み不足が発生してしまい、この書き込み不足に伴う電圧低下により生じるスジ状のムラやフリッカ等が生じ表示品質が大幅に低下してしまうことが懸念される。この問題を解決する方法として、例えば特許文献1に記載の技術がある。特許文献1に記載の技術では、極性を反転させた直後のラインの画素に対して映像信号を出力する期間が、次のラインの画素に対して映像信号を出力する期間よりも長くする構成としている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-207760号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

携帯電話小型携帯機器に搭載される中小型の液晶表示装置では、限られた筐体サイズ内での表示領域の大型化や高画質化への市場要求がますます強くなっている。このために、ドレイン線の長さや1本のドレイン線に接続される薄膜トランジスタ数は増大すると共に、ドレイン線と映像信号駆動回路とを接続する配線の配線長及び配線数も増大することが想定される。その結果、映像信号駆動回路から遠い遠端部分の画素では、配線やドレイン線の寄生負荷が大幅に増加してしまうことが懸念されている。特に、配線やドレイン線の寄生負荷が大幅に増加した場合、特許文献1に記載の技術では、映像信号駆動回路の駆動能力すなわち出力電圧供給能力を大幅に向上させる必要があり、映像信号駆動回路での消費電力が増加してしまう等の映像信号駆動回路での負担が大幅に増加してしまうことが懸念される。

40

【0007】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、階調電圧の極性を N （ $N \geq 2$ ）ライン毎に反転させるライン反転駆動において、表示品質の低下を防止することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

前記課題を解決すべく、第1方向に延在し第2方向に並設されるドレイン線と、前記第2方向に延在し前記第1方向に並設されるゲート線と、前記ドレイン線と前記ゲート線

50

とに囲まれる画素の領域内に形成される画素電極と、少なくとも前記画素毎に前記画素電極に対向して形成される平面状の共通電極とを有する液晶表示装置であって、前記第2方向に隣接される画素毎に、各画素に出力する階調電圧の極性を反転させた映像信号が供給されると共に、前記第1方向に隣接されるN ($N \geq 2$) ライン目の画素毎に、各画素に出力する階調電圧の極性を反転させた映像信号が供給され、前記第1方向に隣接される画素の中で、前記階調電圧の極性の反転させた直後の映像信号の供給される少なくとも1ライン分の画素が有する第1画素電極と、前記第1画素電極と電極面積が異なる第2画素電極とを備え、前記第1画素電極の面積は、前記第2画素電極の面積よりも大きく形成される液晶表示装置である。

【発明の効果】

10

【0009】

本発明によれば、階調電圧の極性をN ($N \geq 2$) ライン毎に反転させるライン反転駆動の液晶表示装置であっても、表示品質の低下を防止できる。

【0010】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【図面の簡単な説明】

【0011】

【図1】本発明の実施形態1の液晶表示装置の全体構成を説明するための図である。

【図2】本発明の実施形態1の液晶表示装置における画素の駆動方式と画素の構成との関係を説明するための図である。

20

【図3】図3は液晶表示装置の画素に歪みのない映像信号が入力された場合の電圧低下を説明するための図である。

【図4】液晶表示装置の画素に歪みの生じた映像信号が入力された場合の電圧低下を説明するための図である。

【図5】ドット反転駆動時における画素の極性を説明するための図である。

【図6】2ラインドット反転駆動時における画素の極性を説明するための図である。

【図7】4ラインドット反転駆動時における画素の極性を説明するための図である。

【図8】本発明の実施形態2の液晶表示装置における画素電極の詳細構成を説明するための図である。

【図9】本発明の実施形態3の液晶表示装置における画素電極の詳細構成を説明するための図である。

30

【図10】本発明の実施形態4の液晶表示装置における画素電極の詳細構成を説明するための図である。

【図11】本発明の実施形態4の液晶表示装置における他の画素電極の詳細構成を説明するための図である。

【発明を実施するための形態】

【0012】

以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。

【0013】

40

〈実施形態1〉

〈全体構成〉

図1は本発明の実施形態1の液晶表示装置の全体構成を説明するための図であり、以下、図1に基づいて、実施形態1の液晶表示装置の全体構成を説明する。ただし、図中に示すX、Y、ZはそれぞれX軸、Y軸、Z軸を示す。また、以下の説明では、IPS方式の液晶表示装置に本願発明を適用した場合について説明するが、VA方式の液晶表示装置にも適用可能である。

【0014】

図1に示すように、実施形態1の液晶表示装置は、画素電極等が形成される第1基板SUB1と、カラーフィルタやブラックマトリクスが形成され、第1基板SUB1に対向し

50

て配置される第2基板SUB2と、第1基板SUB1と第2基板SUB2とで挟持される図示しない液晶層とで構成される液晶表示パネルPNLを有し、この液晶表示パネルPNLの光源となる図示しないバックライトユニットとを組み合わせることにより、液晶表示装置が構成されている。第1基板SUB1と第2基板SUB2との固定及び液晶の封止は、第2基板の周辺部に環状に塗布されたシール材SLで固定され、液晶も封止される構成となっている。なお、以下の説明では、液晶表示パネルPNLの説明においても、液晶表示装置と記す。

【0015】

第1基板SUB1及び第2基板SUB2としては、例えば周知のガラス基板が用いられるのが一般的であるが、ガラス基板に限定されることはなく、石英ガラスやプラスチック（樹脂）のような他の絶縁性基板であってもよい。例えば、石英ガラスを用いれば、プロセス温度を高くできるため、後述する薄膜トランジスタTFTのゲート絶縁膜を緻密化できるので、信頼性を向上することができる。一方、プラスチック（樹脂）基板を用いる場合には、軽量で、耐衝撃性に優れた液晶表示装置を提供できる。

【0016】

また、実施形態1の液晶表示装置では、液晶が封入された領域の内に表示画素（以下、画素と略記する）の形成される領域が表示領域ARとなる。従って、液晶が封入されている領域内であっても、画素が形成されておらず表示に係わらない領域は表示領域ARとはならない。

【0017】

実施形態1の液晶表示装置では第1基板SUB1の液晶側の面であって表示領域AR内には、図1中X方向に延在しY方向に並設される走査線（ゲート線）GLが形成されている。また、図1中Y方向に延在しX方向に並設される映像信号線（ドレイン線）DLが形成されている。

【0018】

ドレイン線DLとゲート線GLとで囲まれる矩形状の領域は画素が形成される領域を構成し、これにより、各画素は表示領域AR内においてマトリックス状に配置されている。各画素は、例えば図1中丸印Aの部分において、その拡大図A'に示すように、ゲート線GLからの走査信号によってオンされる薄膜トランジスタTFTと、このオンされた薄膜トランジスタTFTを介してドレイン線DLからの映像信号が供給される画素電極PXと、コモン線CLに接続され映像信号の電位に対して基準となる電位を有する共通信号が供給される共通電極CTとを備えている。なお、拡大図A'に示す共通電極CTの構成では、画素毎に独立して形成される共通電極CTにコモン線CLを介して共通信号を入力する構成としたが、これに限定されることはなく、X方向に隣接配置される画素の共通電極CTが直接に接続されるように共通電極CTを形成し、X方向の左右（第1基板SUB1の端部）の一端から、又は両側からコモン線CLを介して共通信号を入力する構成でもよい。

【0019】

各ドレイン線DL及び各ゲート線GLはその端部においてシール材SLを越えてそれぞれ延在され、駆動回路DRに接続される。該駆動回路は半導体チップで形成されており、第2基板SUB2よりも大きい第1基板SUB1の液晶面側に搭載されている。ただし、実施形態1の液晶表示装置では、駆動回路DRを半導体チップで形成し第1基板SUB1に搭載する構成としているが、映像信号を出力する映像信号駆動回路と走査信号を出力する走査信号駆動回路との何れか一方又はその両方の駆動回路をフレキシブルプリント基板FPCにテープキャリア方式やCOF（Chip On Film）方式で搭載し、第1基板SUB1に接続させる構成であってもよい。

【0020】

また、実施形態1の駆動回路DRはドレイン線DLに階調電圧を映像信号として出力する際、X方向に対しては、隣り合うすなわち隣接する画素の極性が反転した階調電圧を映像信号として出力する。一方、Y方向に対しては、駆動回路DRは、N（ただし、Nは2

10

20

30

40

50

以上の自然数である。)画素毎すなわちNライン毎に画素の極性が反転した階調電圧を映像信号として出力する。さらには、駆動回路DRはゲート線GLに走査信号を出力する際、図1中の左下側のゲート線GLから右上側のゲート線GL、すなわち液晶表示パネルPNLの下側のゲート線GLから上側のゲート線GLに対して順次走査信号を出力することにより、液晶表示パネルPNLの下側から上側方向に走査を行う。なお、液晶表示パネルPNLの走査線の駆動方向はこれに限定されることはなく、上側から下側に向かって走査線を駆動する構成であってもよい。

【0021】

〈画素の概略構成〉

図2は本発明の実施形態1の液晶表示装置における画素の駆動方式と画素の構成との関係を説明するための図であり、特に、図2(a)は実施形態1の液晶表示装置における画素の駆動方式を説明するための図であり、図2(b)は実施形態1の液晶表示装置における画素の詳細構成を説明するための図である。ただし、図2(a)に示す「+」は画素電極に印加される映像信号(階調電圧)が共通電極に印加される電圧以上となるプラス極性の画素を示し、「-」は画素電極に印加される映像信号が共通電極に印加される電圧以下となるマイナス極性の画素を示す。

【0022】

なお、実施形態1の液晶表示装置は、画素電極の構成を除く他の構成は従来の画素構成と同様の構成となるので、以下の説明では、画素電極の構成について詳細に説明する。また、以下の説明では、N=4ライン毎に画素の電極が反転した映像信号が印加される場合について説明するが、Nは2以上の任意の自然数でよい。また、画素電極PX1及び画素電極PX2は、画素電極PXを形成する線状電極数すなわちスリット数が異なるのみで、その構成は同じである。従って、以下の説明では、画素電極PX1及び画素電極PX2の説明においても、適宜、画素電極PXと記す。

【0023】

図2(b)に示すように、実施形態1の液晶表示装置では、第1基板上にY方向に延在しX方向に並設される複数のドレイン線DLが形成されると共に、X方向に延在しY方向に並設される複数のゲート線GLが形成されている。このゲート線GLとドレイン線DLとで囲まれる領域が画素の領域となっている。このような構成とすることにより、実施形態1の液晶表示装置では、画素をマトリクス状に形成する構成となっている。また、実施形態1の液晶表示装置では、第1基板SUB1の液晶側の面(対向面)には、例えば、ITO(Indium-Tin-Oxide)の透明導電材料からなる平面状の図示しない共通電極が形成されている。この共通電極は、第1基板の辺部において図示しないコモン線に重畳されて形成され、これによりコモン線と電氣的に接続されている。なお、実施形態1では、ゲート線GL及びドレイン線DLは金属薄膜で形成されるが、これに限定されない。

【0024】

また、実施形態1の液晶表示装置では、画素毎に当該画素領域の図中下部に薄膜トランジスタTFTが形成されており、Y方向に伸張されるドレイン線DLの一部において、薄膜トランジスタTFT側に延在する延在部を介して、該ドレイン線が薄膜トランジスタTFTのドレイン電極に接続されている。また、実施形態1の薄膜トランジスタTFTはゲート線GLの上層に重畳されて半導体層が形成される構成となっており、ゲート線GLが薄膜トランジスタTFTのゲート電極としたいわゆる逆スタガ構造のMIS(Metal Insulator Semiconductor)構造となる。なお、MIS構造のトランジスタは、そのバイアスの印加によってドレイン電極とソース電極が入れ替わるように駆動するが、本明細書中においては、便宜上、ドレイン線DLと接続される側をドレイン電極、画素電極PXと接続される側をソース電極と称する。

【0025】

また、第1基板の表面である液晶面側には、薄膜トランジスタTFTを被う絶縁膜からなる図示しない保護膜が形成され、薄膜トランジスタTFTと液晶との直接の接触を回避させると共に、薄膜トランジスタTFTの形成に伴う第1基板の表面を平坦化させる。さ

10

20

30

40

50

らには、この保護膜の上部表面に共通電極が形成され、その上層に容量素子の誘電体膜として機能する容量絶縁膜が形成され、該容量絶縁膜を介してその上層に画素電極 P X が形成され、各画素の保持容量が形成されている。このとき、容量絶縁膜及び保護膜には、パッド部に至るコンタクトホールが形成され、該コンタクトホールを介して画素電極 P X と薄膜トランジスタ T F T のソース電極とが電氣的に接続されている。

【0026】

〈画素の詳細構成〉

図 2 (a) に示すように、実施形態 1 の液晶表示装置では、液晶表示パネルの図中の下側から上側に Y 方向に沿って順次書き換えを行う構成となっている。よって、例えば X 1 で示す画素列の場合には、下側からマイナス極性の画素が 4 ライン (画素) 分並んだ後に、境界線 P R P で示すラインからプラス極性の画素が 4 ライン分並ぶこととなる。このとき、X 方向に対しては、画素毎に映像信号の極性を反転させる構成となっている。従って、X 1 で示す画素列の場合には、下側からプラス極性の画素が 4 ライン (画素) 分並んだ後に、マイナス極性の画素が 4 ライン分並ぶこととなる。この図 2 (a) では、Y 4 で示す X 方向の 1 行分の画素の書き換えが終了した後に、Y 1 で示す X 方向の 1 行分の画素の書き換えがなされることとなる。このとき、実施形態 1 の液晶表示装置では、4 ラインドット反転駆動方式で液晶表示パネルが駆動されるので、Y 1 で示す 1 行分の書き換えの際には、極性が反転された映像信号が X 方向の各画素に供給され、当該画素行の書き換えが行われる。以降、Y 2 及び Y 3 で示す各画素行の書き換えが順次行われることにより、図 2 (a) に示す極性となる。他の画素についても、前述した配列と同様に、Y 方向に対しては 4 ライン毎すなわち 4 画素毎に極性が反転された映像信号が供給されると共に、X 方向に対しては画素毎に極性が反転された映像信号が供給される。

【0027】

このとき、実施形態 1 の液晶表示装置では、図 2 (b) に示すように、前のラインと同一の極性の映像信号、すなわち極性が反転された直後の映像信号が入力されない Y 4 で示す X 方向の 1 行分の画素に対応する画素電極 P X は、電極幅が W、電極間隔が S の 3 本の線状電極を用いて画素電極 P X 1 が形成される。これに対して、極性が反転された直後の映像信号が入力される Y 1 で示す X 方向の 1 行分の画素に対応する画素電極 P X は、電極幅が W、電極間隔が S の 4 本の線状電極を用いて画素電極 P X 2 が形成される。また、極性が反転された直後でない映像信号が入力される Y 2、Y 3 で示す X 方向の 1 行分の画素に対応する画素電極 P X は、Y 4 で示す X 方向の 1 行分の画素に対応する画素電極 P X 1 と同様に、電極幅が W、電極間隔が S の 3 本の線状電極で形成される画素電極 P X 1 となる。

【0028】

このように、実施形態 1 の液晶表示装置では、同じゲート線 G L に薄膜トランジスタ T F T のゲート電極が接続される画素すなわち X 方向に配列される 1 行分の画素は、同一の電極構造の画素電極 P X を有する構成となっている。このとき、画素の駆動において、極性が反転された直後の映像信号が入力される 1 行分の画素が有する画素電極 P X 2 は、4 本の線状電極により形成されている。一方、極性が反転された直後の映像信号が入力されない画素が有する画素電極 P X 1 は、3 本の線状電極により形成されている。このように、実施形態 1 の液晶表示装置では、前段のラインと同じ極性の映像信号が入力される第 1 ~ 3 のラインの画素に対応する画素電極 P X 1 は、当該画素電極 P X 1 を形成する線状電極を 3 本で構成している。これに対して、前段のラインと異なる極性の映像信号が入力される第 4 のラインの画素に対応する画素電極 P X 2 は、当該画素電極 P X 2 を形成する線状電極を 4 本で構成している。このような構成とすることにより、実施形態 1 の液晶表示装置では、極性が反転された直後の映像信号が入力されるラインの画素電極 P X 2 の面積が、極性が反転された直後でない映像信号が入力されるラインの画素電極 P X 1 の面積よりも大きな面積とする。その結果、極性が反転された直後の映像信号が入力されるラインの画素における共通電極と画素電極とで形成される保持容量を、他のラインの画素における保持容量よりも大きくでき、極性が反転された直後の映像信号が入力されるラインの画

素における電圧低下と、その他の画素における電圧低下との差を減少させ、映像信号の極性を4ライン毎に反転させるライン反転駆動においても、スジ状のムラやフリッカ等の発生を防止し、表示品質の低下を防止することを可能とする。

【0029】

〈効果の説明〉

図3は液晶表示装置の画素に歪みのない映像信号が入力された場合における画素電極電圧の電圧低下を説明するための図であり、図4は液晶表示装置の画素に歪みの生じた映像信号が入力された場合における画素電極電圧の電圧低下を説明するための図である。

【0030】

図3に示すように、時刻 t_1 において走査信号（ゲート信号） V_g が入力されると共に、歪みのない映像信号 V_d が入力される場合には、時刻 t_1 ～時刻 t_2 の走査信号のハイ期間すなわち薄膜トランジスタのon期間に、保持容量には映像信号 V_d で予め設定された所望の画素電圧が書き込まれることとなる。従って、時刻 t_2 において、走査信号 V_g のハイ期間が終了し、薄膜トランジスタがoffされた期間においては、フィードスルー電圧分の電圧低下後の電圧 V_1 と次のフレーム期間での走査信号入力時の時刻 t_3 での電圧 V_2 との差が、歪みのない走査信号 V_d が入力された場合の電圧低下分 V_{drop} （以下、 V_{drop1} と記す）となる。

【0031】

一方、図4に示すように、時刻 t_5 において走査信号（ゲート信号） V_g が入力されると共に、歪みの生じたいわゆるなまった映像信号 V_d が入力される場合には、時刻 t_5 ～時刻 t_6 の走査信号のハイ期間すなわち薄膜トランジスタのon期間に、保持容量には映像信号 V_d による画素電圧の書き込みが行われるが、書き込み不足となる。すなわち、時刻5の映像信号 V_d の立ち上がりがなまることによって、時刻 t_6 において薄膜トランジスタがoffされた場合、フィードスルー電圧分の電圧低下分と、次のフレーム期間で画素電圧の書き込みが行われる時刻 t_7 までの電圧低下分との合計である $V_3 - V_4$ が、なまった映像信号 V_d が入力された場合の電圧低下分 V_{drop} （以下、 V_{drop2} と記す）となる。

【0032】

従って、映像信号 V_d の立ち上がり又は立ち下がりエッジに歪みが生じたいわゆるなまった状態では、液晶の駆動に伴う電圧低下分に加えてフィードスルー電圧分も低下してしまうので、その電圧低下分 V_{drop2} は V_{drop1} よりも大きくなる。

【0033】

この場合、図5に示すように、Y方向に画素毎に極性が反転するドット反転駆動の場合には、すべての画素において図4に示す電圧低下 V_{drop2} が生じることとなるので、書き込み不足に伴う電圧低下により生じるスジ状のムラ等の発生は防止できるが、電圧低下分 V_{drop2} が大きいので、全体の表示品質が低下する。また、Y方向及びX方向共に画素毎に極性を反転させる構成となっているので、消費電極が大きくなってしまう。

【0034】

一方、図6に示すように、2ライン毎に画素に印加する映像信号の極性を反転させる2ラインドット反転駆動の場合には、Y方向の画素毎に図3に示す電圧低下 V_{drop1} と、図4に示す電圧低下 V_{drop2} との画素が隣接されることとなる。その結果、境界線PRPの位置にスジ状のムラが発生してしまうこととなる。同様に、図7に示す4ラインドット反転駆動の場合には、境界線PRPの位置にスジ状のムラが発生してしまうこととなる。しかしながら、ドット反転駆動に比較して極性を反転させる画素数（ライン数）を減少させることができるので、消費電極を小さくできる。特に、前のラインと同一の極性となるライン数が多いほど消費電力が小さくできるので、2ラインドット反転駆動よりも4ラインドット反転駆動の方が消費電極を低減できる。

【0035】

本願発明の液晶表示装置では、極性が反転された直後の映像信号が入力される画素の線状電極の本数を、他の画素の線状電極の本数よりも多くする構成となっている。その結果

10

20

30

40

50

、線状電極数が多い画素は、他の画素よりも保持容量を大きく形成できる。

【0036】

ここで、薄膜トランジスタのゲート・ソース間容量を C_{gs} 、液晶容量を C_{lc} 、保持容量を C_{stg} 、ゲート信号（走査信号）の振幅幅を ΔV とした場合、液晶画素における電圧低下分 V_{drop} は、 $V_{drop} = \Delta V_g \times C_{gs} / (C_{gs} + C_{lc} + C_{stg})$ で表わされる。従って、本願発明の液晶表示装置では、映像信号の波形歪みに伴う波形なまりによって生じる電圧低下分 V_{drop} の増加分、すなわち $V_{drop2} - V_{drop1}$ を保持容量の増加分で抑えることが可能となり、その結果、映像信号の極性を複数ライン毎に反転させた場合であっても、境界線 PRP の位置にスジ状のムラやフリッカ等が発生してしまうことを防止でき、画像品質の低下を抑制することが可能となる。

10

【0037】

なお、本実施形態1の液晶表示装置では、4ライン毎に極性の反転された直後の映像信号が入力される全ての画素の画素電極 $PX2$ を他の画素電極 $PX1$ よりも線状電極数を多く形成する構成としたが、これに限定されることはない。例えば、駆動回路（映像信号駆動回路）の出力から遠い領域の画素の中で、極性の反転された直後の映像信号が入力される画素電極のみを、他の画素電極 $PX1$ よりも線状電極の多い画素電極 $PX2$ とした構成であってもよい。

【0038】

〈実施形態2〉

図8は本発明の実施形態2の液晶表示装置における画素電極の詳細構成を説明するための図である。ただし、実施形態2の液晶表示装置は、画素電極 $PX3$ の構成を除く他の構成は実施形態1と同様となるので、以下の説明では、画素電極 $PX3$ の構成について詳細に説明する。

20

【0039】

図8から明らかなように、実施形態2の液晶表示装置では、画素電極 $PX3$ を構成する線状電極は電極幅が $W1$ （ただし、 $W1 > W$ ）、電極間隔が S 、電極数は3本である。すなわち、実施形態2の液晶表示装置では、Y方向に配列される画素の中で、電極数は変更しないで、境界線 PRP の図中上方に位置する $Y1$ で示す極性の反転された直後の映像信号が入力される画素の画素電極 $PX3$ と、他の $Y2 \sim Y4$ で示す行（ライン）の画素電極 $PX1$ とを異なる構成としている。特に、実施形態2においては、画素電極 $PX1$ と画素電極 $PX3$ とにおいて、線状電極の間隔すなわちスリット幅は S で同一である。一方、画素電極 $PX1$ における線状電極幅は W であり、画素電極 $PX3$ の線状電極幅は画素電極 $PX1$ の線状電極幅 W よりも大きい電極幅 $W1$ である。このような構成とすることにより、画素電極 $PX1$ を備える画素よりも画素電極 $PX3$ を備える画素における保持容量を大きくする構成としている。

30

【0040】

従って、実施形態2の液晶表示装置においても、実施形態1と同様の効果を得ることが可能となる。このとき、実施形態2の液晶表示装置では、画素電極 $PX3$ を構成する線状電極の電極幅 $W1$ を変更させる構成となっているので、共通電極と画素電極とによって形成される保持容量の変化度合いを細かく調整することが可能となるという格別の効果を得ることができる。

40

【0041】

その結果、例えば、同一の液晶表示パネル内において、極性の反転された直後の映像信号が入力される画素であっても、駆動回路から遠端に配置される画素と中心部分に配置される画素とでは画素電極 $PX3$ を形成する線状電極幅を異なる電極幅とすることにより、保持容量に保持される保持電荷の詳細な調整すなわち電圧低下の詳細な調整を行うことができる。

【0042】

〈実施形態3〉

図9は本発明の実施形態3の液晶表示装置における画素電極の詳細構成を説明するため

50

の図である。ただし、実施形態 3 の液晶表示装置は、画素電極 P X 4 の構成を除く他の構成は実施形態 1 と同様となるので、以下の説明では、画素電極 P X 4 の構成について詳細に説明する。

【0043】

図 9 から明らかなように、実施形態 3 の液晶表示装置では、画素電極 P X 4 を構成する線状電極は電極幅が W、電極間隔が S 1（ただし、 $S 1 > S$ ）、電極数が 3 本である。すなわち、実施形態 3 の液晶表示装置においても、電極数は変更しないで、Y 方向に配列される画素の内で、境界線 P R P の図中上方に位置する Y 1 で示す極性の反転された直後の映像信号が入力される画素の画素電極 P X 4 と、他の Y 2 ~ Y 4 で示す行（ライン）の画素電極 P X 1 とを異なる構成としている。特に、実施形態 3 においては、画素電極 P X 1 と画素電極 P X 3 とにおいて、線状電極の幅は W で同一である。一方、画素電極 P X 1 における線状電極間隔すなわちスリット幅は S であり、画素電極 P X 4 の線状電極間隔すなわちスリット幅は画素電極 P X 1 の線状電極間隔 S よりも大きい電極間隔 S 1 である。このような構成とすることにより、画素電極 P X 1 を備える画素よりも画素電極 P X 4 を備える画素における保持容量を大きくする構成としている。

10

【0044】

従って、実施形態 3 の液晶表示装置においても、実施形態 1 と同様の効果を得ることが可能となる。このとき、実施形態 3 の液晶表示装置では、画素電極 P X 4 を構成する線状電極の電極間隔 S 1 を変更させる構成となっているので、実施形態 2 と同様に、共通電極と画素電極とによって形成される保持容量の変化度合いを細かく調整することが可能となるという格別の効果を得ることができる。

20

【0045】

その結果、例えば、同一の液晶表示パネル内において、極性の反転された直後の映像信号が入力される画素であっても、駆動回路から遠端に配置される画素と中心部分に配置される画素とでは画素電極 P X 4 を形成する線状電極間隔を異なる電極間隔とすることにより、保持容量に保持される保持電荷の詳細な調整すなわち電圧低下の詳細な調整を行うことができる。

【0046】

なお、実施形態 2、3 の液晶表示装置では、画素電極 P X 3、P X 4 を形成する線状電極の電極幅又は電極間隔の何れか一方を変更する構成としたが、これに限定されることはなく、線状電極の電極幅及び電極間隔の両方を変更する構成であってもよい。

30

【0047】

〈実施形態 4〉

図 10 は本発明の実施形態 4 の液晶表示装置における画素電極の詳細構成を説明するための図である。ただし、実施形態 4 の液晶表示装置は、画素電極 P X 5 の構成を除く他の構成は実施形態 1 と同様となるので、以下の説明では、画素電極 P X 5 の構成について詳細に説明する。

【0048】

図 10 から明らかなように、実施形態 4 の液晶表示装置では、画素電極 P X 5 を構成する線状電極は、電極幅が W 2、W 3（ただし、 $W 2 > W 3$ ）、電極間隔が S、電極本数が 4 本である。すなわち、実施形態 4 の液晶表示装置では、Y 方向に配列される画素の内で、境界線 P R P の図中上方に位置する Y 1 で示す極性の反転された直後の映像信号が入力される画素の画素電極 P X 3 と、他の Y 2 ~ Y 4 で示す行（ライン）の画素電極 P X 1 とを異なる構成としている。特に、実施形態 4 においては、画素電極 P X 1 と画素電極 P X 5 とにおいて、線状電極の間隔すなわちスリット幅は S で同一である。一方、画素電極 P X 1 における線状電極数は 4 本とすると共に、異なる電極幅 W 2、W 3 の線状電極により、画素電極 P X 5 を形成している。このとき、図 10 に示す実施形態 4 の画素電極 P X 5 では、電極幅 W 3 よりも大きい電極幅 W 2 の線状電極をドレイン線 D L に近い側に配置し、電極幅 W 2 の線状電極で電極幅 W 3 の線状電極を挟むように配置している。このような構成とすることにより、画素電極 P X 1 を備える画素よりも画素電極 P X 5 を備える画素

40

50

における保持容量を大きくする構成としている。

【0049】

従って、実施形態4の液晶表示装置においても、実施形態1と同様の効果を得ることが可能となる。このとき、実施形態4の液晶表示装置においても、画素電極PX5を構成する線状電極の電極幅W2、W3を変更させる構成となっているので、実施形態2と同様に、共通電極と画素電極とによって形成される保持容量の変化度合いを細かく調整することができるという格別の効果を得ることができる。

【0050】

その結果、例えば、同一の液晶表示パネル内において、極性の反転された直後の映像信号が入力される画素であっても、駆動回路から遠端に配置される画素と中心部分に配置される画素とでは画素電極PX4を形成する線状電極間隔を異なる電極間隔とすることにより、保持容量に保持される保持電荷の詳細な調整すなわち電圧低下の詳細な調整を行うことができる。

【0051】

ただし、異なる電極幅W2、W3の線状電極の配置はこれに限定されることはなく、図11に示すように、電極幅W2よりも小さい電極幅W3の線状電極をドレイン線DLに近い側に配置し、電極幅W3の線状電極で電極幅W2の線状電極を挟むように配置する構成であってもよい。このような構成とすることにより、画素電極PX1を備える画素よりも画素電極PX6を備える画素における保持容量を大きくする構成としている。

【0052】

なお、実施形態4の液晶表示装置では、画素電極PX5、PX6を形成する線状電極の電極間隔は間隔Sで一定の構成としたが、これに限定されることはなく、線状電極の電極間隔も変更可能である。

【0053】

また、実施形態4においても、電極数を他の画素電極と同数の3本として、3本の内の1本の線状電極幅をW2とすると共に、他の2本の線状電極幅をW3とする、又はその逆とする構成であってもよい。

【0054】

なお、本発明の実施形態1～4の液晶表示装置では、画素電極を構成する線状電極が3本と4本の場合について説明したが、これに限定されることはなく、他の画素の形状や大きさに応じて適宜変更可能である。

【0055】

以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

【符号の説明】

【0056】

P N L …… 液晶表示パネル、A R …… 表示領域、S U B 1 …… 第1基板
S U B 2 …… 第2基板、D L …… ドレイン線、G L …… ゲート線、C L …… コモン線
T F T …… 薄膜トランジスタ、C T …… 共通電極、S L …… シール材、D R …… 駆動回路
F P C …… フレキシブルプリント基板、P X、P X 1～6 …… 画素電極
P R P …… 境界線、V g …… 走査信号、V d …… 映像信号（階調電圧）
V l c (t) …… 画素電極電圧

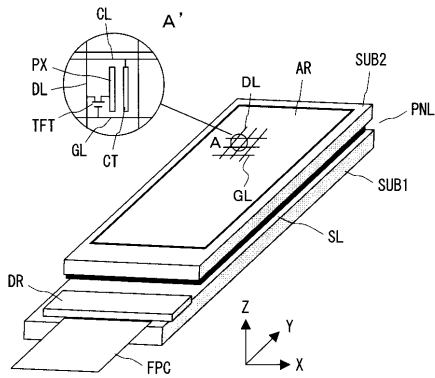
10

20

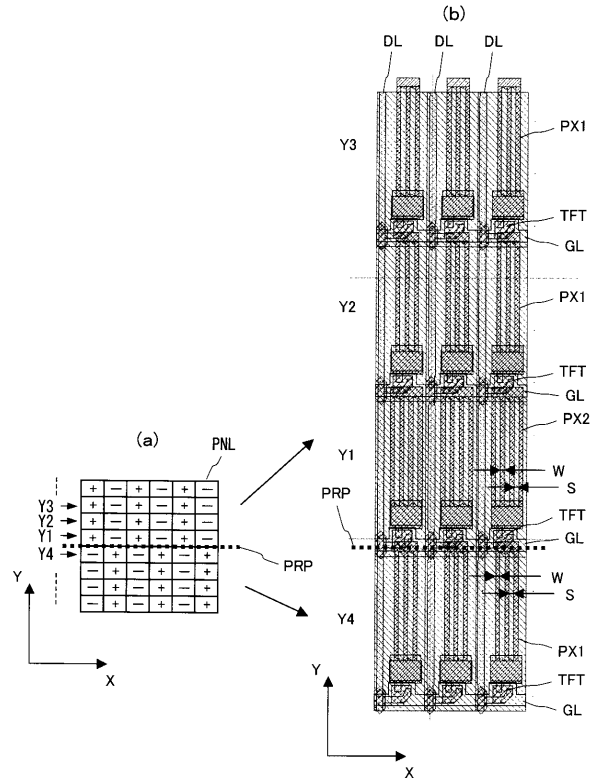
30

40

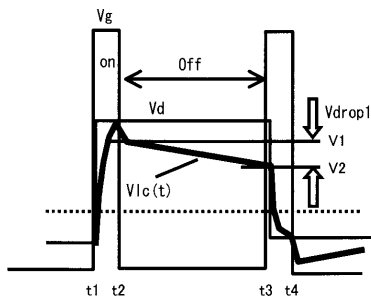
【図 1】



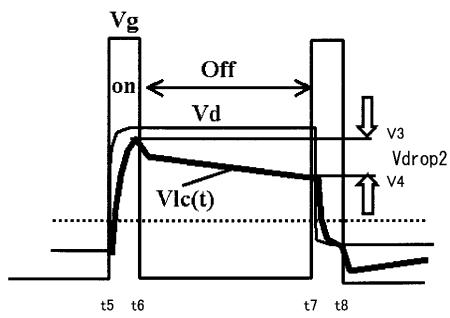
【図 2】



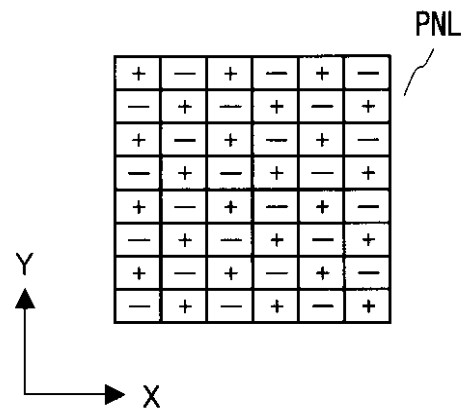
【図 3】



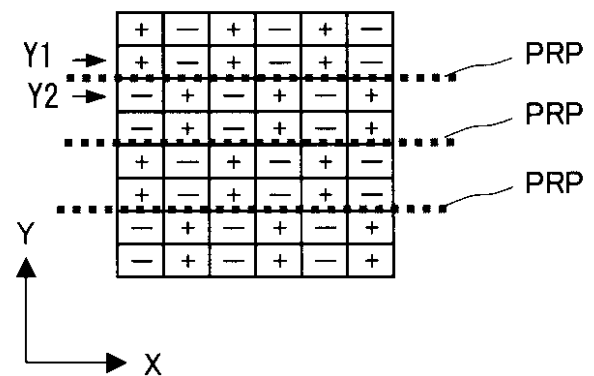
【図 4】



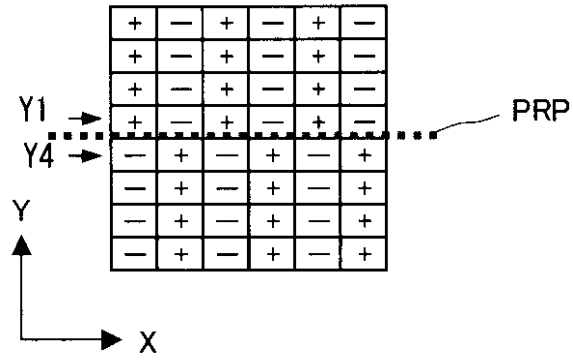
【図 5】



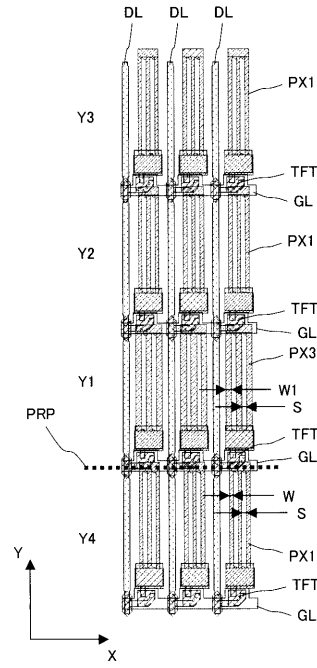
【図 6】



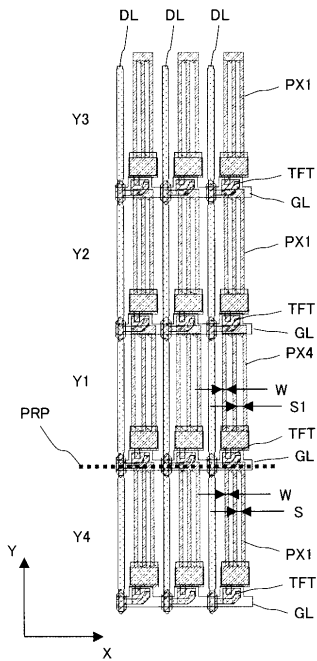
【図 7】



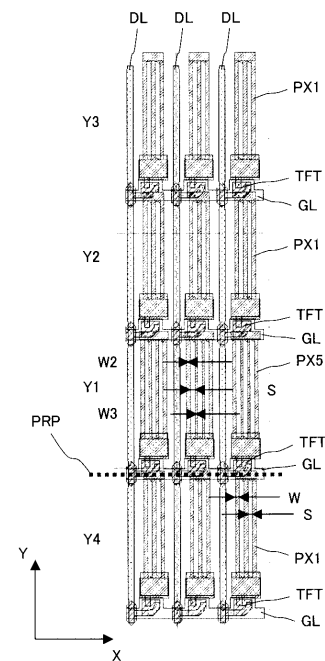
【図 8】



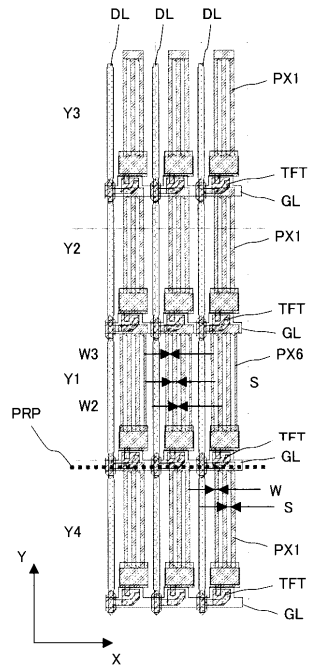
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/133 5 5 0

Fターム(参考) 2H193 ZA04 ZC05 ZC24 ZD23 ZF42 ZF43 ZQ16

5C006 AC09 AC27 BB16 BC06 FA22 FA23

5C080 AA10 BB05 DD05 DD06 DD10 JJ02 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2011185963A	公开(公告)日	2011-09-22
申请号	JP2010047703	申请日	2010-03-04
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
[标]发明人	長三幸弘		
发明人	長三 幸弘		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/36 G09G5/10		
FI分类号	G02F1/133.575 G09G3/36 G09G3/20.621.B G09G3/20.624.B G02F1/133.525 G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC05 2H193/ZC24 2H193/ZD23 2H193/ZF42 2H193/ZF43 2H193/ZQ16 5C006/AC09 5C006/AC27 5C006/BB16 5C006/BC06 5C006/FA22 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD10 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H193/ZC13 2H193/ZC14		
代理人(译)	小林 保		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在每N ($N \geq 2$) 行反转灰度电压的极性的线反转驱动中防止显示质量下降的液晶显示装置。[解决方案] 在第一方向上延伸并在第二方向上平行排列的漏极线，在第二方向上延伸并在第一方向上平行排列的栅极线以及在像素区域中形成的像素电极 一种液晶显示装置，其具有与像素电极相对的公共电极，并且对于在第一方向上相邻的第N ($N \geq 2$) 行上的每个像素，向每个像素输出灰度电压。提供具有反转的极性的视频信号，并且在第一方向上彼此相邻的像素中，提供至少一条线的像素，在该至少一条线上，紧接在灰度电压的极性之后提供视频信号的像素。在具有第一像素电极和具有与第一像素电极不同的电极面积的第二像素电极的液晶显示装置中，第一像素电极的面积大于第二像素电极的面积。有。[选择图]图2

