

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2011-175137
(P2011-175137A)

(43) 公開日 平成23年9月8日(2011.9.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G02F 1/133 575	5C080
	G09G 3/20 641C	
	G09G 3/20 612U	
審査請求 未請求 請求項の数 14 O L (全 36 頁) 最終頁に続く		

(21) 出願番号	特願2010-39795 (P2010-39795)	(71) 出願人	000002369
(22) 出願日	平成22年2月25日 (2010.2.25)		セイコーエプソン株式会社
			東京都新宿区西新宿 2 丁目 4 番 1 号
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	保坂 宏行
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		(72) 発明者	飯坂 英仁
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		最終頁に続く	

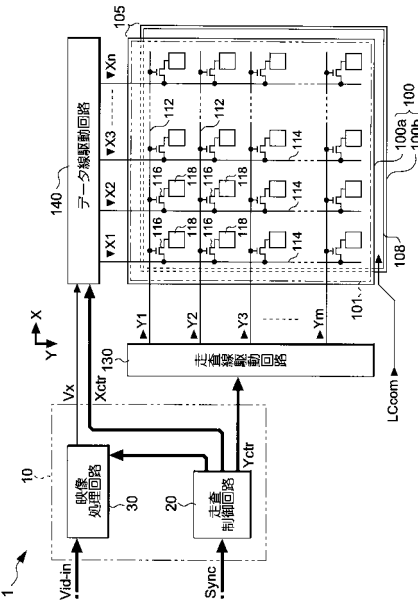
(54) 【発明の名称】映像処理回路、映像処理方法、液晶表示装置および電子機器

(57) 【要約】

【課題】横電界の影響による表示品位の低下を抑える。

【解決手段】映像処理回路 30 は、ノーマリーブラックモードにおいて、映像信号 Vid-i n で指定される階調レベルの印加電圧が閾値 V th1 を下回るような暗画素と、閾値 V th2 以上であるような明画素との境界の一部であって、液晶分子のチルト方位で定まるリスク境界を検出する。また、暗画素と明画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出し、検出された現フレームの境界において、検出された前フレームの境界と同じ部分を除外した適用境界を決定する。当該暗画素のうち、適用境界に隣接し、且つ、リスク境界によって 2 辺が囲まれた暗画素への印加電圧が電圧 V c を下回る場合に、当該暗画素への印加電圧を、映像信号で指定される階調レベルに対応する印加電圧から、当該電圧 V c に置換する。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、

前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定する特定部と、

前記特定部で特定された第 1 画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第 1 画素について、入力された映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 3 電圧に置換する置換部と、

を備えることを特徴とする映像処理回路。

【請求項 2】

前記置換部は、前記特定部で特定された第 1 画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第 1 画素から前記適用境界と反対側へ連続する 1 以上の予め定められた個数の前記第 1 画素に対応する液晶素子への印加電圧を予め定められた第 3 電圧に置換することを特徴とする請求項 1 に記載の映像処理回路。

【請求項 3】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、

前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定する特定部と、

前記特定部で特定された第 1 画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第 2 画素について、入力された映像信号で指定される印加電圧が前記第 2 電圧よりも大きい場合、当該第 2 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 4 電圧に置換する置換部と、

を備えることを特徴とする映像処理回路。

【請求項 4】

前記置換部は、前記特定部で特定された第 1 画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第 2 画素から前記適用境界と反対側へ連続する 1 以上の予め定められた個数の前記第 2 画素に対応する液晶素子への印加電圧を予め定められた第 4 電圧に置換することを特徴とする請求項 3 に記載の映像処理回路。

【請求項 5】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、

前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定する特定部と、

前記特定部で特定された第 1 画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第 1 画素について、入力された映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 3 電圧に置換し、

前記特定部で特定された第 1 画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第 2 画素について、入力された映像信号で指定される印加電圧が前記第 2 電圧よりも大きい場合、当該第 2 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 4 電圧に置換する置換部と、

を備えることを特徴とする映像処理回路。

【請求項 6】

前記置換部は、前記特定部で特定された第 1 画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第 1 画素から前記適用境界と反対側へ連続する 1 以上の予め定められた個数の前記第 1 画素に対応する液晶素子への印加電圧を予め定められた第 3 電圧に置換し、前記特定部で特定された第 1 画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第 2 画素から前記適用境界と反対側へ連続する 1 以上の予め定められた個数の前記第 2 画素に対応する液晶素子への印加電圧を予め定められた第 4 電圧に置換することを特徴とする請求項 5 に記載の映像処理回路。

【請求項 7】

前記チルト方位は、前記画素電極の側から前記コモン電極に向かって平面視したときに、前記画素電極側における液晶分子の長軸の一端から、前記液晶分子の他端に向かう方向である

ことを特徴とする請求項 1、3、5 のいずれかに記載の映像処理回路。

【請求項 8】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出し、

前記検出された現フレームの境界において、前記検出された前フレームの境界と同じ部分を除外した適用境界を決定し、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出し、

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定し、

前記特定した第 1 画素のうち、前記決定された適用境界に隣接する第 1 画素について、入力された映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 3 電圧に置換すること

を特徴とする映像処理方法。

【請求項 9】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出し、

前記検出された現フレームの境界において、前記検出された前フレームの境界と同じ部分を除外した適用境界を決定し、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出し、

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定し、

前記特定した第 1 画素に隣接し、且つ、前記決定された適用境界に隣接する第 2 画素について、入力された映像信号で指定される印加電圧が前記第 2 電圧よりも大きい場合、当該第 2 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 4 電圧に置換すること

を特徴とする映像処理方法。

【請求項 10】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出し、

前記検出された現フレームの境界において、前記検出された前フレームの境界と同じ部分を除外した適用境界を決定し、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出し、

10

20

30

40

50

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定し、

前記特定した第 1 画素のうち、前記決定された適用境界に隣接する第 1 画素について、入力された映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 3 電圧に置換し、

前記特定した第 1 画素に隣接し、且つ、前記決定された適用境界に隣接する第 2 画素について、入力された映像信号で指定される印加電圧が前記第 2 電圧よりも大きい場合、当該第 2 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 4 電圧に置換すること

10

を特徴とする映像処理方法。

【請求項 1 1】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルと、

画素毎に前記液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを、有し、前記映像処理回路は、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、

20

前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定する特定部と、

前記特定部で特定された第 1 画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第 1 画素について、入力された映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第 3 電圧に置換する置換部と、

30

を備えることを特徴とする液晶表示装置。

【請求項 1 2】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルと、

画素毎に前記液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを、有し、

40

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、

前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、

入力された映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界に隣接する第 1 画素のうち、前記リスク境界によって少なくとも 2 辺が囲まれた第 1 画素を特定する特定部と、

50

前記特定部で特定された第1画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第2画素について、入力された映像信号で指定される印加電圧が前記第2電圧よりも大きい場合、当該第2画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第4電圧に置換する置換部と、

を備えることを特徴とする液晶表示装置。

【請求項13】

複数の画素の各々に対応して画素電極が設けられた第1基板と、コモン電極が設けられた第2基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルと、

画素毎に前記液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを、有し、

入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、

前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、

入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界に隣接する第1画素のうち、前記リスク境界によって少なくとも2辺が囲まれた第1画素を特定する特定部と、

前記特定部で特定された第1画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第1画素について、入力された映像信号で指定される印加電圧が前記第1電圧よりも低い第3電圧を下回る場合、当該第1画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第3電圧に置換し、

前記特定部で特定された第1画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第2画素について、入力された映像信号で指定される印加電圧が前記第2電圧よりも大きい場合、当該第2画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第4電圧に置換する置換部と、

を備えることを特徴とする液晶表示装置。

【請求項14】

請求項11乃至請求項13のいずれかに記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一对の基板のうち、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板においてコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。このような構成において、画素電極とコモン電極との間に、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち基板面に対して垂直方向（縦方向）の成分だけが、表示制御に寄与する、ということが出来る。

【0003】

ところで、小型化、高精細化のために液晶パネルの画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えばVA（Vertical Alignment）方式やTN（Twisted Nematic）方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献1参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献2参照）などが提案されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平6-34965号公報（図1）

【特許文献2】特開2009-69608号公報（図2）

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用できないという欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示される画像の明るさが設定値に一律に制限されてしまう、という欠点もある。

20

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る映像処理回路にあっては、複数の画素の各々に対応して画素電極が設けられた第1基板と、コモン電極が設けられた第2基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、前記リスク境界に隣接する第1画素のうち、前記リスク境界によって少なくとも2辺が囲まれた第1画素を特定する特定部と、前記特定部で特定された第1画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第1画素について、入力された映像信号で指定される印加電圧が前記第1電圧よりも低い第3電圧を下回る場合、当該第1画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第3電圧に置換する置換部と、を備えることを特徴とする。

30

40

なお、前記置換部は、前記特定部で特定された第1画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第1画素から前記適用境界と反対側へ連続する1以上の予め定められた個数の前記第1画素に対応する液晶素子への印加電圧を予め定められた第3電圧に置換する構成としてもよい。

50

【0007】

また、本発明に係る映像処理回路にあっては、複数の画素の各々に対応して画素電極が設けられた第1基板と、コモン電極が設けられた第2基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、前記リスク境界に隣接する第1画素のうち、前記リスク境界によって少なくとも2辺が囲まれた第1画素を特定する特定部と、前記特定部で特定された第1画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第2画素について、入力された映像信号で指定される印加電圧が前記第2電圧よりも大きい場合、当該第2画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第4電圧に置換する置換部と、を備える構成としてもよい。

10

20

なお、この構成にあっては、前記置換部は、前記特定部で特定された第1画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第2画素から前記適用境界と反対側へ連続する1以上の予め定められた個数の前記第2画素に対応する液晶素子への印加電圧を予め定められた第4電圧に置換する構成としてもよい。

【0008】

また、本発明に係る映像処理回路にあっては、複数の画素の各々に対応して画素電極が設けられた第1基板と、コモン電極が設けられた第2基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を供給するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび現フレームより一つ前の前フレームでそれぞれ検出する境界検出部と、前記境界検出部で検出された現フレームの境界において、前記境界検出部で検出された前フレームの境界と同じ部分を除外した適用境界を決定する適用境界決定部と、入力された映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、前記リスク境界に隣接する第1画素のうち、前記リスク境界によって少なくとも2辺が囲まれた第1画素を特定する特定部と、前記特定部で特定された第1画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第1画素について、入力された映像信号で指定される印加電圧が前記第1電圧よりも低い第3電圧を下回る場合、当該第1画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第3電圧に置換し、前記特定部で特定された第1画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第2画素について、入力された映像信号で指定される印加電圧が前記第2電圧よりも大きい場合、当該第2画素に対応する液晶素子への印加電圧を、前記入力された映像信号で指定される印加電圧から予め定められた第4電圧に置換する置換部と、を備える構成としてもよい。

30

40

なお、この構成にあっては、前記置換部は、前記特定部で特定された第1画素のうち、前記適用境界決定部によって決定された適用境界に隣接する第1画素から前記適用境界と

50

反対側へ連続する 1 以上の予め定められた個数の前記第 1 画素に対応する液晶素子への印加電圧を予め定められた第 3 電圧に置換し、前記特定部で特定された第 1 画素に隣接し、且つ、前記適用境界決定部によって決定された適用境界に隣接する第 2 画素から前記適用境界と反対側へ連続する 1 以上の予め定められた個数の前記第 2 画素に対応する液晶素子への印加電圧を予め定められた第 4 電圧に置換する構成としてもよい。

【0009】

これらの本発明によれば、液晶パネルの構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

また、本発明によれば、画像を解析して前フレームから動きのあった画素のうち、リスク境界に接する画素について印加電圧が補正されるので、リスク境界に接する暗画素を一律に置換する構成と比較して、印加電圧を補正する画素を少なく抑えることができる。

【0010】

なお、本発明は、映像処理回路のほか、映像処理方法、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【0011】

【図 1】実施形態に係る映像処理回路を適用した液晶表示装置を示す図。

【図 2】同液晶表示装置における液晶素子の等価回路を示す図。

【図 3】同映像処理回路の構成を示す図。

【図 4】同液晶表示装置における表示特性を示す図。

【図 5】同液晶表示装置における表示動作を示す図。

【図 6】映像処理回路によるリバースチルトの抑制を示す図。

【図 7】液晶パネルにおいて V A 方式としたときの初期配向の説明図。

【図 8】液晶パネルにおける画像の動きを説明するための図。

【図 9】液晶パネルにおいて発生するリバースチルトの説明図。

【図 10】液晶パネルにおける画像の動きを説明するための図。

【図 11】液晶パネルにおいて発生するリバースチルトの説明図。

【図 12】液晶パネルにおいて発生するリバースチルトの説明図。

【図 13】映像処理回路における処理を示す図。

【図 14】映像処理回路における処理を示す図。

【図 15】チルト方位角（0 度）としたときの処理配向の説明図。

【図 16】チルト方位角（0 度）で発生するリバースチルトの説明図。

【図 17】チルト方位角（0 度）で発生するリバースチルトの説明図。

【図 18】チルト方位角（0 度）における置換処理を示す図。

【図 19】チルト方位角（225 度）としたときの処理配向の説明図。

【図 20】チルト方位角（225 度）における置換処理を示す図。

【図 21】映像処理回路における他の置換処理（その 1）を示す図。

【図 22】映像処理回路における他の置換処理（その 2）を示す図。

【図 23】映像処理回路における他の置換処理（その 3）を示す図。

【図 24】液晶パネルにおいて T N 方式としたときの初期配向の説明図。

【図 25】液晶パネルにおいて発生するリバースチルトの説明図。

【図 26】液晶パネルにおいて発生するリバースチルトの説明図。

【図 27】液晶パネルにおいて発生するリバースチルトの説明図。

【図 28】液晶表示装置を適用したプロジェクターを示す図。

【発明を実施するための形態】

【0012】

<実施形態>

以下、本発明の実施形態について図面を参照して説明する。図 1 は、実施形態に係る映像処理回路を適用した液晶表示装置の全体構成を示すブロック図である。

この図に示されるように、液晶表示装置 1 は、制御回路 10 と、液晶パネル 100 と、走査線駆動回路 130 と、データ線駆動回路 140 とを有する。このうち、制御回路 10 には、映像信号 Vid-in が、上位装置から同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）にしたがった走査の順番で供給される。なお、映像信号 Vid-in は、画素の階調レベルを指定するが、後述するように階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといっ

【0013】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とにより構成される。このうち、走査制御回路 20 は、各種の制御信号を生成して、同期信号 Sync に同期して各部を制御する。映像処理回路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力するものである。

【0014】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成となっている。

素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、かつ、各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、本実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、・・・、(m-1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、・・・、(n-1)、n 列目という呼び方をする場合がある。

【0015】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。

一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって電圧 LCcom が印加される。

なお、図 1 において、素子基板 100a の対向面は対向基板に向いている側である。このため、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるので、それぞれ実線で示している。

【0016】

図 2 は、液晶パネル 100 の等価回路を示した図である。液晶パネル 100 は、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成となる。

また、図 1 では記載を省略したが、実際には図 2 に示されるように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。この補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

このような構成において、走査線 112 が H レベルになると、当該走査線にゲート電極が接続された TFT 116 がオン状態になり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に、階調に応じた電圧のデータ信号を供給すると、当該データ信号は、オン状態になった TFT 116 を

10

20

30

40

50

介して画素電極 118 に印加される。走査線 112 が L レベルになると、TF T 116 はオフ状態になるが、画素電極に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 およびコモン電極 108 の間によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。

液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。なお、本実施形態において、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

10

【0017】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Yctr にしたがって、1、2、3、・・・、m 行目の走査線 112 に、走査信号 Y1、Y2、Y3、・・・、Ym を供給する。詳細には、走査線駆動回路 130 は、図 5 の (a) に示されるように、走査線 112 をフレームにわたって 1、2、3、・・・、(m-1)、m 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧 V_H (H レベル) とし、それ以外の走査線への走査信号を非選択電圧 V_L (L レベル) とする。

なお、フレームとは、映像信号 Vid-in が 1 コマ分供給される周期をいい、同期信号 Sync に含まれる垂直走査信号の周波数が 60 Hz であれば、その逆数である 16.7 ミリ秒である。本実施形態では、フレームにわたって 1、2、3、・・・、m 行目の走査線 112 が順番に選択されるので、液晶パネル 100 は、映像信号 Vid-in と等倍速で駆動される。このため、本実施形態では、液晶パネル 100 に 1 コマ分の画像を表示させるのに要する期間は、フレームと一致する。

20

【0018】

データ線駆動回路 140 は、映像処理回路 30 から供給されるデータ信号 Vx を、走査制御回路 20 による制御信号 Xctr にしたがって 1 ~ n 列目のデータ線 114 にデータ信号 X1 ~ Xn としてサンプリングする。

なお、本説明において電圧については、液晶素子 120 の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子 120 の印加電圧は、コモン電極 108 の電圧 LCcom と画素電極 118 との電位差であり、他の電圧と区別する必要があるからである。また、直流成分の印加による液晶 105 の劣化を防止するために、液晶素子 120 については交流駆動が実行される。詳細には、画素電極 118 には、振幅中心である電圧 Vcnt に対して高位側の正極性電圧と低位側の負極性電圧とにフレーム毎に交互に切り替えられながら印加される。このような交流駆動において、本実施形態では、同一フレーム内において各液晶素子 120 の書き込み極性をすべての同一とする面反転方式としている。なお、コモン電極 108 に印加される電圧 LCcom は、ここでは電圧 Vcnt とほぼ同電圧と考えてよい。

30

【0019】

本実施形態において、液晶素子 120 の印加電圧 (V) と透過率 (T) との関係は、液晶 105 を VA 方式のノーマリーブラックモードとしているので、図 4 の (a) に示されるような V (電圧) - T (透過率) 特性で表される。液晶素子 120 を、映像信号 Vid-in で指定された階調レベルに応じた透過率とさせるには、当該階調レベルに応じた電圧を、該液晶素子に印加すれば良いはずである。

40

しかしながら、液晶素子 120 の印加電圧を、映像信号 Vid-in で指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生してしまう場合がある。

【0020】

この不具合は、例えば図 6 (a) に示されるように、映像信号 Vid-in で示される画像が、白画素を背景として、黒画素が連続する黒パターンが右方向に移動する場合に、その黒パターンの左端縁部 (動きの後縁部) において黒画素から白画素に変化すべき画素がリ

50

リバースチルトドメインの発生によって白画素にならない、という一種の尾引き現象として表れる。

なお、図6(a)のにおいて見方を変えると、黒画素を背景として白画素が連続する白パターンが右方向に移動する場合に、その白パターンの右端縁部(動きの先端部)において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、ということもできる。

また、同図においては、説明の便宜上、画像のうち、1部分のみを抜き出している。

【0021】

リバースチルトドメインに起因する表示上の不具合は、液晶素子120において挟持された液晶分子が不安定な状態から、画像の動きによって印加電圧に応じた配向状態へと変化するとき、横電界の影響によって液晶分子の配向が乱れて、以後、印加電圧に応じた配向状態になりにくくなるのが原因の1つとして考えられている。

ここで、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルの(または黒レベルに近い)暗画素と、白レベルの(または白レベルに近い)明画素と、が隣接する場合である。

このうち、暗画素については、印加電圧がノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって電圧 V_{th1} (第1電圧)を下回る電圧範囲Aにある液晶素子120の画素をいうことにする。また、便宜的に、液晶素子の印加電圧が電圧範囲Aにある液晶素子の透過率範囲(階調範囲)を「a」とする。

次に、明画素については、印加電圧が電圧 V_{th2} (第2電圧)以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲Bにある液晶素子120とする。便宜的に、液晶素子の印加電圧が電圧範囲Bにある液晶素子の透過率範囲(階調範囲)を「b」とする。

なお、ノーマリーブラックモードにおいて、電圧 V_{th1} は、液晶素子の相対透過率を10%とさせる光学的閾値電圧であり、電圧 V_{th2} は、液晶素子の相対透過率を90%とさせる光学的飽和電圧と考えてよい場合がある。

【0022】

一方、液晶分子が不安定な状態であるときとは、液晶素子の印加電圧が V_c (第3電圧)を下回るときである。液晶素子の印加電圧が V_c を下回るときでは、その印加電圧による縦電界の規制力が配向膜による規制力と比較して弱いので、液晶分子の配向状態は、わずかな外的要因によって乱れやすい。また、その後、印加電圧が V_c 以上になったときに、当該印加電圧に応じて液晶分子が傾斜しようとしても、応答に時間がかかりやすいためである。逆にいえば、印加電圧が V_c 以上であれば、液晶分子が印加電圧に応じて傾斜し始める(透過率が変化し始める)ので、液晶分子の配向状態は安定状態にある、ということができる。換言すれば、電圧 V_c は、透過率で規定した電圧 V_{th1} よりも低い関係にある。

【0023】

このように考えた場合に、変化前において液晶分子が不安定な状態にあった画素は、画像の動きによって暗画素と明画素とが隣接することになったときの横電界の影響によってリバースチルトドメインが発生しやすい状況にあるということができる。ただし、液晶分子の初期配向状態を考慮して検討すると、暗画素と明画素との位置関係によってリバースチルトドメインが発生する場合と発生しない場合とがある。

そこで次に、これらの場合をそれぞれ検討する。

【0024】

図7(a)は、液晶パネル100において互いに縦および横方向に隣接する 2×2 の画素を示す図であり、図7(b)は、液晶パネル100を、図7(a)におけるp-q線を含む垂直面で破断したときの簡易断面図であり、特に液晶分子の状態を示す図である。

これらの図に示されるように、VA方式の液晶分子は、画素電極118とコモン電極108との電位差(液晶素子の印加電圧)がゼロである状態において、チルト角が θ_a で、

10

20

30

40

50

チルト方位角が θb ($= 45$ 度) で、初期配向しているものとする。

ここで、リバースチルトドメインは、上述したように画素電極 118 同士の横電界に起因して発生することから、画素電極 118 が設けられた素子基板 100a の側における液晶分子の振る舞いが問題となる。このため、液晶分子のチルト方位角およびチルト角については、画素電極 118 (素子基板 100a) の側を基準にして規定する。

詳細には、チルト角 θa とは、図 7 (b) に示されるように、基板法線 Sv を基準にして、液晶分子の長軸 Sa のうち、画素電極 118 側の一端を基準点としてコモン電極 108 側の他端が傾斜したときに、液晶分子の長軸 Sa がなす角度とする。一方、チルト方位角 θb とは、データ線 114 の配列方向である Y 方向に沿った基板垂直面を基準にして、液晶分子の長軸 Sa および基板法線 Sv を含む基板垂直面 (p-q 線を含む垂直面) がなす角度とする。なお、チルト方位角 θb については、画素電極 118 の側からコモン電極 108 に向けて平面視したときに、画面上方向 (Y 方向の反対方向) から、液晶分子の長軸の一端を始点として他端に向かう方向 (図 7 (a) では右上方向) までを、時計回りで規定した角度とする。

また、同様に画素電極 118 の側から平面視したときに、液晶分子における画素電極側の一端から他端に向かう方向 (図 7 (a) では右上方向) を便宜的にチルト方位の下流側と呼び、反対に他端から一端に向かう方向 (図 7 (a) では左下方向) を便宜的にチルト方位の上流側と呼ぶことにする。

【0025】

このような初期配向となる液晶 105 を用いた液晶パネル 100 において、例えば図 8 (a) に示されるように、破線で囲まれた 2×2 の 4 画素に着目する。図 8 (a) では、白レベルの画素 (白画素) からなる領域を背景として黒レベルの画素 (黒画素) からなるパターンが右上方向にフレーム毎に 1 画素ずつ移動する場合を示している。この場合、図 9 (a) に示されるように、(n-1) フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、n フレームにおいて、左下の 1 画素だけが白画素に変化する。

上述したようにノーマリーブラックモードにおいて、画素電極 118 とコモン電極 108 との電位差である印加電圧は、黒画素よりも白画素で大きい。このため、黒から白に変化する左下の画素では、図 9 (b) において、液晶分子が実線で示される状態から破線で示される状態に、電界方向とは垂直方向 (基板面の水平方向) に傾斜しようとする。

しかしながら、白画素の画素電極 118 (Wt) と黒画素の画素電極 118 (Bk) との間隙で生じる電位差は、白画素の画素電極 118 (Wt) とコモン電極 108 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 118 とコモン電極 108 との間隙よりも狭い。従って、電界の強度で比較すると、画素電極 118 (Wt) と画素電極 118 (Bk) との間隙で生じる横電界は、画素電極 118 (Wt) とコモン電極 108 との間隙で生じる縦電界よりも強い。

左下の画素は、(n-1) フレームにおいて液晶分子が不安定な状態の黒画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、白レベルの電圧が画素電極 118 (Wt) に印加されたことによる縦電界よりも、隣接する画素電極 118 (Bk) からの横電界の方が強い。従って、白になろうとしている画素では、図 9 (b) に示されるように、黒画素に隣接する側の液晶分子 Rv が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 Rv は、縦電界に応じて破線のように基板水平方向に傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、白に変化すべき画素においてリバースチルトが発生する領域は、図 9 (c) に示されるように、白に変化すべき画素と黒画素との間隙にとどまらず、その間隙から白に変化すべき画素を浸食する形で広範囲に拡がる。

なお、図 9 (a) に示されるパターンの変化は、図 8 (a) に示した例のみならず、黒画素からなるパターンが、図 8 (b) に示されるように右方向にフレーム毎に 1 画素ずつ移動する場合や、図 8 (c) に示されるように上方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 6 (a) の説明において見方を変えた場合のように、黒

10

20

30

40

50

画素からなる領域を背景として白画素からなるパターンがフレーム毎に右上方向、右方向または上方向に、1画素ずつ移動する場合にも発生する。

【0026】

次に、液晶パネル100において、図10(a)に示されるように、白画素からなる領域を背景として黒画素からなるパターンが左下方向にフレーム毎に1画素ずつ移動する場合に、破線で囲まれた 2×2 の4画素に着目する。この場合、図11(a)に示されるように、 $(n-1)$ フレームにおいて 2×2 の4画素がすべて黒画素の状態から、 n フレームにおいて、右上の1画素だけが白画素に変化する。

この変化後においても、黒画素の画素電極118(Bk)と白画素の画素電極118(Wt)との間隙では、画素電極118(Wt)とコモン電極108との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図11(b)に示されるように、黒画素において白画素に隣接する側の液晶分子Rvは、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となる。しかし、黒画素では縦電界が $(n-1)$ フレームから変化しないので、他の液晶分子に影響をほとんど与えない。このため、黒画素から変化しない画素においてリバースチルトが発生する領域は、図11(c)に示されるように、図9(c)の例と比較して無視できる程度に狭い。

一方、 2×2 の4画素のうち、右上において黒から白に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、右上画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の水平方向に図11(b)において破線で示されるように正しく傾斜する結果、目的である白画素に変化するので、表示品位の劣化が発生しにくいことになる。

なお、図11(a)に示されるパターンの変化は、図10(a)に示した例のみならず、黒画素からなるパターンが、図10(b)に示されるように左方向にフレーム毎に1画素ずつ移動する場合や、図10(c)に示されるように下方向にフレーム毎に1画素ずつ移動する場合などでも発生する。

【0027】

図7から図11までの状況を一旦まとめてみると、VA方式(ノーマリーブラックモード)においてチルト方位角 θ_b を45度とした場合に、ある n フレームに着目したとき、次のような要件をすべて満たす場合に、 n フレームにおいてリバースチルトドメインが発生しやすい、ということができる。

すなわち、

(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる場合であって、かつ、

(2) n フレームにおいて、当該明画素(印加電圧高)が、暗画素(印加電圧低)に対して、液晶分子におけるチルト方位の上流側に相当する左下側、左側または下側に位置する場合に、

(3) n フレームにおいて当該明画素に変化する画素が、1フレーム前の $(n-1)$ フレームで液晶分子が不安定な状態にあったとき、

当該明画素においてリバースチルトが発生しやすい、ということになる。

換言すれば、 n フレームにおいて要件(1)および要件(2)の位置関係を満たす明画素でリバースチルトドメインが発生する条件とは、要件(3)の、1フレーム前の $(n-1)$ フレームでは、液晶分子が不安定な状態にあった、ということになる。

【0028】

なお、上記要件(1)については、映像信号Vid-inで示される画像のうち、暗画素と明画素とが隣接する境界を検出することに実質的に等しい。また、要件(2)については、検出した境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分と、を抽出することに等しい。なお、検出した

境界のうち、抽出した部分を、後述するように「リスク境界」と呼ぶことにする。

【0029】

ところで、図8では、 2×2 の4画素が $(n-1)$ フレームで黒画素であって、次の n フレームで左下だけが白画素となったときを例示した。しかし、一般的には、 $(n-1)$ フレームおよび n フレームのみならず、これらフレームを含む前後の複数フレームにわたって同様な動きを伴うのが通例である。このため、リバースチルトドメインが発生する場合、図8(a)～(c)に示されるように、 $(n-1)$ フレームで液晶分子が不安定な状態であった暗画素（白丸点が付された画素）では、画像パターンの動きから、その暗画素の左下側、左側または下側に明画素が隣接している場合が多いと考えられる。

【0030】

このため、事前に $(n-1)$ フレームにおいて、映像信号Vid-inで示される画像において暗画素と明画素とが隣接し、且つ、当該暗画素が、当該明画素に対して右上側、右側または上側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加すれば、画像パターンの動きにより n フレームにおいて要件(1)および要件(2)を満たすことになっても、要件(3)を満たすことはないの

で、 n フレームにおいてリバースチルトの発生を抑えることができそうではある。
これを、時間基準を1フレーム分だけ戻して、リスク境界を用いた表現にし直すと、 n フレームにおいて、映像信号Vid-inで示される画像で暗画素と明画素とが隣接する境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とをリスク境界として検出し、当該リスク境界に接する暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加すれば、次の $(n+1)$ フレームにおいて要件(1)および要件(2)を満たすことになっても、要件(3)を満たすことはない、ということになる。このため、将来の $(n+1)$ フレームにおいてリバースチルトの発生を未然に抑えることができそうではある。

しかしながら、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加する、ということは、要するに、映像信号Vid-inに基づかない画像が表示される表示背反が発生することにほかならない。したがって、このような表示背反となる画素をできるだけ少なくする、という観点から、上記要件(1)～(3)について再検討することにする。

【0031】

図12(a)に示されるように、 2×2 の4画素が $(n-1)$ フレームにおいて例えば全て黒画素(Bk)である場合に、 n フレームにおいて左下画素だけ白画素(Wt)に変化するとき、当該白画素においてリバースチルトが発生するのは、図9を用いて説明した通りである。このときのリバースチルトは、図9(c)または図12(a)の n フレームで示されるように当該白画素における上辺側および右辺側で発生する。これは、左下の白画素では、上側に位置する黒画素と、右上側に位置する黒画素と、右側に位置する黒画素とで、それぞれ強い横電界が発生するためである。

次の $(n+1)$ フレームにおいて、黒パターンの移動によって右下画素（該画素のさらに右側には白画素が隣接）が白画素に変化すると、当該右下画素でも、同様にリバースチルトが上辺側および右辺側に発生して、すでに左下画素の上辺側で発生していたリバースチルト領域と連結する。これによりリバースチルト発生領域が複数画素にわたって連続する結果、視覚的に目立つことになる。

【0032】

次に、図12(b)に示されるように、 n フレームにおいて 2×2 の4画素のうち、左下画素および左上画素が白画素に変化する場合、すなわち、左半分の1列が白画素に変化する場合について考察する。この場合、 n フレームにおいて白画素に変化する左下画素（注目画素）では、リバースチルトが、図12(b)の n フレームで示されるように、右上隅辺および右辺側に発生し、上辺側では発生しにくい。これは、注目画素では、右上側に位置する黒画素と、右側に位置する黒画素とで、それぞれ強い横電界が発生するものの、上側に位置する明画素とでは、横電界がほとんど発生しないためである。

また、注目画素の右辺側でリバースチルトは発生するものの、上辺で横電界が生じていないなどの理由に、2辺（上辺および右辺）で横電界が生じた図12（a）の例と比較して、リバースチルト発生領域のうち、水平方向の幅も狭くなる。

【0033】

次の $(n+1)$ フレームにおいて 2×2 の4画素のうち、黒パターンの右方向の移動によって右下画素および右上画素が白画素になっても、水平方向（X方向）に延在するリバースチルトが上辺側に存在しないので、リバースチルトの発生領域が連結されず、離散的となり、視覚的に目立つことはない。

なお、ここでは n フレームにおいて 2×2 の4画素のうち、左下画素および左上画素が明画素に変化する場合について考察したが、左下画素および右下画素が明画素に変化する場合、すなわち、下半分の1行が白画素に変化する場合でも同様である。

【0034】

このように、 n フレームにおいて要件（1）および要件（2）の位置関係を満たす白（明）画素が、要件（3）を満たす場合であっても、リバースチルトは発生するものの、その影響が視覚的に目立たないときがある。この点を考慮して、上記要件（2）を次の（2a）のように修正する。

すなわち、

（2a） n フレームにおいて、当該明画素（印加電圧高）が、その上側、右上側および右側に位置する暗画素（印加電圧低）によって囲まれた場合に、すなわち、当該明画素の上辺側および右辺側がリスク境界によって囲まれた場合に、

【0035】

このため、要件（1）、（2a）、（3）を考慮しつつ、時間基準を1フレーム分だけ戻し、リスク境界を用いた表現したときに、次のようにすれば、リバースチルトの発生を抑えることができる、ということになる。

すなわち、 n フレームにおいて、映像信号Vid-inで示される画像において暗画素と明画素とが隣接する境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とをリスク境界として検出する。

そして、リスク境界に接する暗画素のうち、 n フレームにおいて暗画素から明画素に状態が変化した画素に隣接し、リスク境界によって2辺（左辺および下辺）が囲まれた暗画素の液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加すれば、将来の $(n+1)$ フレームにおいて、リバースチルトの発生を未然に抑えることができる、ということになる。

つまり、本発明は、現フレームの補正に際し、リスク境界に加えて、前のフレームの状態を考慮してリバースチルトドメインの発生を抑制するものである。

【0036】

次に、 n フレームにおいて、映像信号Vid-inで示される画像において暗画素と明画素とが隣接する場合であって、当該暗画素が当該明画素に対して上記位置関係にある場合に、当該暗画素において液晶分子が不安定な状態にならないようにするには、どうすれば良いのか、という点について検討する。上述したように、液晶分子が不安定な状態にあるときは、液晶素子の印加電圧が V_c を下回るときである。このため、上記位置関係を満たす暗画素につき、映像信号Vid-inで指定される液晶素子の印加電圧が V_c を下回るのであれば、これを強制的に、 V_c 以上の電圧に置換して印加すれば良いことになる。

では、置換する電圧としては、どのような値が好ましいのか、という点を検討する。映像信号Vid-inで指定される印加電圧が V_c を下回る場合に、 V_c 以上の電圧に置換して液晶素子に印加したとき、液晶分子をより安定な状態にさせる、または、リバースチルトドメインの発生をより確実に抑える、という点を優先すれば、高い電圧である方が好ましい。しかしながら、ノーマリーブラックモードでは、液晶素子の印加電圧を高くするにつれて、透過率が高くなる。もともとの映像信号Vid-inで指定される階調レベルは、暗画素すなわち低い方の透過率であるため、置換電圧を高くすることは、映像信号Vid-inに基

づかない、明るい画素が表示されることにつながる。

一方、 V_c 以上に置換した電圧を液晶素子に印加したときに、その置換による透過率の変化が知覚されないようにする、という点を優先すれば、下限である電圧 V_c が好ましい、ということになる。

このように置換電圧として、どのような値とすべきかについては、何を優先させるのかによって決定すべきである。本実施形態では、置換による透過率の変化が知覚されないようにする、という点を優先して、置換電圧として電圧 V_c を採用することにするが、上述した点を優先させるのであれば、電圧 V_c である必要はない。

なお、 V_A 方式における液晶分子は、液晶素子の印加電圧がゼロのときに基板面に対して垂直方向に最も近い状態になるが、電圧 V_c は、液晶分子に初期傾斜角を与える程度の電圧であり、この電圧の印加から液晶分子が傾斜し始める。

液晶分子が安定状態となる電圧 V_c は、一般的には、液晶パネルにおける様々なパラメータが絡んで一概には決まらない。ただし、本実施形態のように、画素電極118と共通電極108との間隙（セルギャップ）よりも、画素電極118同士の間隙が狭い、という液晶パネルにあっては、おおよそ1.5ボルトとなる。

したがって、置換電圧としては、1.5ボルトが下限となるので、この電圧以上であれば良い、ということになる。逆にいえば、液晶素子の印加電圧が1.5ボルトを下回るのであれば、液晶分子が不安定な状態となる。

【0037】

このような考えに基づいて、映像信号Vid-inを処理して、液晶パネル100でリバーシブルトドメインの発生を未然に防ぐための回路が、図1における映像処理回路30である。そこで次に、映像処理回路30について詳細に説明する。

【0038】

図3は、映像処理回路30の構成を示すブロック図である。

この図に示されるように、映像処理回路30は、補正部300、境界検出部302、保存部306、適用境界決定部308、リスク境界検出部321、特定部322、遅延回路312およびD/A変換器316を有する。

このうち、遅延回路312は、上位装置から供給される映像信号Vid-inを蓄積し、所定時間経過後に読み出して映像信号Vid-dとして出力するものであり、FIFO（Fast In Fast Out：先入れ先出し）メモリーや多段のラッチ回路などにより構成される。なお、遅延回路312における蓄積および読出は、走査制御回路20によって制御される。

【0039】

境界検出部302は、本実施形態においては、映像信号Vid-inで示される画像を解析して、階調範囲aにある画素と階調範囲bにある画素とが隣接する境界を検出し、その境界を示す境界情報を出力する。

なお、ここでいう境界とは、あくまでも階調範囲aにある画素と階調範囲bにある画素とが隣接する部分をいう。このため、例えば階調範囲aにある画素と階調範囲cにある画素とが隣接する部分や、階調範囲bにある画素と階調範囲cにある画素とが隣接する部分については、境界として扱わない。また、映像信号Vid-in（Vid-d）は、表示すべき画像であるので、映像信号Vid-in（Vid-d）が示す画像のフレームを、現フレームと呼ぶ場合がある。

【0040】

一方、保存部306は、境界検出部302によって出力された境界の情報を保存するとともに、保存した境界の情報を1フレーム経過後に出力するものである。したがって、保存部306からは、境界検出部302から出力される現フレームの境界の情報よりも1フレーム前の境界の情報が出力される構成となっている。なお、保存部306における情報の保存および出力は、走査制御回路20によって制御される。

適用境界決定部308は、境界検出部302によって検出された現フレームの境界のうち、保存部306に保存された前フレームの境界と同じ部分を除外したものを、適用境界として決定するものである。

10

20

30

40

50

【0041】

リスク境界検出部321は、映像信号Vid-inで示される画像を解析し、第1検出および第2検出を行う。詳細には、リスク境界検出部321は、階調範囲aにある画素と階調範囲bにある画素とが垂直または水平方向で隣接する境界を検出する第1検出、および、検出した境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とをリスク境界として検出する第2検出を、それぞれ実行する。

特定部322は、リスク境界検出部321によって出力されたリスク境界に接する暗画素のうち、リスク境界によって左辺および下辺の2辺が囲まれた暗画素を特定する。

【0042】

補正部300は、判別部310とセレクター314とを有する。

このうち、判別部310は、遅延回路312によって遅延された映像信号Vid-dで示される画素の階調レベルが階調範囲aに属し、当該画素が、適用境界決定部308で決定された適用境界に接しており、且つ、当該画素が、特定部322で特定された画素であるか否かを判別する。

ここで、判別部310は、その判別結果が「Yes」である場合、セレクター314へ供給するフラグQの値を例えば「1」とし、その判別結果が「No」であればフラグQの値を「0」とする。

【0043】

なお、リスク境界検出部321は、複数行の映像信号を蓄積してからでないと、表示すべき画像における垂直または水平方向にわたって境界を検出することができないので、上位装置からの映像信号Vid-inの供給タイミングを調整する意味で、遅延回路302が設けられている。このため、上位装置から供給される映像信号Vid-inのタイミングと、遅延回路302から供給される映像信号Vid-dのタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明する。

また、リスク境界検出部321における映像信号Vid-inの蓄積等は、走査制御回路20によって制御される。

【0044】

セレクター312は、判別部314から供給されるフラグQの値が「1」である場合に、映像信号Vid-dで指定される階調レベルが「c1」よりも暗いレベルを指定していれば、階調レベル「c1」の映像信号に置換して、映像信号Vid-outとして出力するものである。

なお、セレクター312は、フラグQの値が「0」であるときには、階調レベルを置換することなく、映像信号Vid-dをそのまま映像信号Vid-outとして出力する。

【0045】

D/A変換器316は、デジタルデータである映像信号Vid-outを、アナログのデータ信号Vxに変換する。なお上述したように、本実施形態では、面反転方式としているので、データ信号Vxの極性は、液晶パネル100で1コマ分の書き替え毎に切り替えられる。

【0046】

この映像処理回路30によれば、映像信号Vid-dで示される画素が、階調レベルが「c1」よりも暗いレベルであり、適用境界に接しており、且つ、リスク境界によって2辺が囲まれた暗画素であれば、フラグQの値が「1」になり、当該映像信号Vid-dで示される暗画素の階調レベルは「c1」に置換された上で、映像信号Vid-outとして出力される。

一方、映像信号Vid-dで示される画素が、適用境界に接していない場合、リスク境界に接している暗画素でない場合、リスク境界に接している場合であってもリスク境界に1辺のみ接している暗画素である場合、または、その階調レベルが「c1」以上の明るいレベルを指定している場合、のいずれかであれば、本実施形態ではフラグQの値が「0」となるので、階調レベルが補正されることなく、映像信号Vid-dが、映像信号Vid-outとして

10

20

30

40

50

出力される。

【0047】

次に、液晶表示装置1の表示動作について説明すると、上位装置からは、映像信号Vid-inが、フレームにわたって1行1列～1行n列、2行1列～2行n列、3行1列～3行n列、・・・、m行1列～m行n列の画素の順番で、供給される。映像処理回路30は、映像信号Vid-inを遅延・置換等の処理をして映像信号Vid-outとして出力する。

ここで、1行1列～1行n列の映像信号Vid-outが出力される水平有効走査期間(Ha)でみたときに、処理された映像信号Vidは、D/A変換器316によって、図5の(b)で示されるように正極性または負極性のデータ信号Vxに、ここでは例えば正極性に変換される。このデータ信号Vxは、データ線駆動回路140によって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングされる。

10

【0048】

一方、1行1列～1行n列の映像信号Vid-outが出力される水平走査期間では、走査制御回路20が走査線駆動回路130に対し走査信号Y1だけをHレベルとなるように制御する。走査信号Y1がHレベルであれば、1行目のTF T116がオン状態になるので、データ線114にサンプリングされたデータ信号は、オン状態にあるTF T116を介して画素電極118に印加される。これにより、1行1列～1行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

続いて、2行1列～2行n列の映像信号Vid-inは、同様に映像処理回路30によって処理されて、映像信号Vid-outとして出力されるとともに、D/A変換器316によって正極性のデータ信号に変換された上で、データ線駆動回路140によって1～n列目のデータ線114にサンプリングされる。

20

2行1列～2行n列の映像信号Vid-outが出力される水平走査期間では、走査線駆動回路130によって走査信号Y2だけがHレベルとなるので、データ線114にサンプリングされたデータ信号は、オン状態にある2行目のTF T116を介して画素電極118に印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が3、4、・・・、m行目に対して実行され、これにより、各液晶素子に、映像信号Vid-outで指定された階調レベルに応じた電圧が書き込まれて、映像信号Vid-inで規定される透過像が作成されることとなる。

30

次のフレームでは、データ信号の極性反転によって映像信号Vid-outが負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0049】

図5の(b)は、映像処理回路30から、水平走査期間(H)にわたって1行1列～1行n列の映像信号Vid-outが出力されたときのデータ信号Vxの一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号Vxは、正極性であれば、振幅中心電圧Vcntに対し、映像処理回路30によって処理された階調レベルが明るくなるにつれて高位側の電圧(図において↑で示す)になり、負極性であれば、電圧Vcntに対し、階調レベルが明るくなるにつれて低位側の電圧(図において↓で示す)になる。

40

詳細には、データ信号Vxの電圧は、正極性であれば、白に相当する電圧Vw(+)から黒に相当する電圧Vb(+)までの範囲で、一方、負極性であれば、白に相当する電圧Vw(-)から黒に相当する電圧Vb(-)までの範囲で、それぞれ基準電圧Vcntから階調に応じた分だけ偏位させた電圧となる。

電圧Vw(+)および電圧Vw(-)は、電圧Vcntを中心に互いに対称の関係にある。電圧Vb(+)およびVb(-)についても電圧Vcntを中心に互いに対称の関係にある。

なお、図5の(b)は、データ信号Vxの電圧波形を示すものであって、液晶素子120に印加される電圧(画素電極118とコモン電極108との電位差)とは異なる。また、図5の(b)におけるデータ信号の電圧の縦スケールは、(a)における走査信号等の電圧波形と比較して拡大してある。

50

【0050】

続いて、図3に示した映像処理回路30による補正処理の具体例について、映像信号Vid-inで示される画像（の一部）が例えば図13（1）に示されるように、階調範囲bの白（明）画素を背景として、液晶分子が不安定状態にある黒（暗）画素のパターンを表示する画像である場合を例にして説明する。

【0051】

現フレームに対し1フレーム前の映像信号で示される画像が例えば図13の（1）に示される通りであって、現フレームの映像信号Vid-inで示される画像が例えば図13の（2）に示される通りである場合、境界検出部302により検出されて保存部306に保存された前フレーム画像の境界と、境界検出部302により検出された現フレーム画像の境界とは、それぞれ図13の（3）に示される通りとなる。したがって、適用境界決定部308によって決定される適用境界は、図14の（4）で示される通りとなる。

10

【0052】

また、映像信号Vid-inで示される現フレームの画像が図13（2）に示されるとおりである場合、リスク境界検出部321によって検出されるリスク境界は、図14（5）に示される通りとなる。

すなわち、暗画素と明画素とが隣接する境界（図示省略）のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とがリスク境界となる。

特定部322は、リスク境界に接する暗画素のうち、リスク境界によって2辺（左辺および下辺）が囲まれた暗画素を特定する。図13（2）の例でいえば、2辺が囲まれた暗画素は、図14（5）において白丸を付した3画素である。

20

【0053】

図14（5）で白丸が付されている暗画素のうち、階調レベルが階調範囲aに属し、図14（4）の適用境界に接しており、且つ、リスク境界に2辺が囲まれた暗（黒）画素については、判別部310における判別結果が「Yes」となり、階調レベルがセレクター312によって階調レベル「c1」に置換されるので、処理後の画像は、図14（6）に示される通りとなる。

なお、階調レベルが階調範囲aに属し、リスク境界に接している暗画素であっても、適用境界に接していない画素（図14（5）において、上から3行目で右から5列目にある画素）については、判別部310における判別結果が「No」となり、階調レベルがセレクター312によって置換されないこととなる。

30

【0054】

このため、映像信号Vid-inで示される画像が、例えば、図13（1）と図13（2）で示したように、黒画素のパターンの左側部分が白画素を背景として右方向へ1画素分移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル100では、液晶分子が不安定な状態から白画素へと直接的に変化せず、図6（b）に示されるように、一旦、階調レベル「c1」に相当する電圧Vcの印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化する。このため、リバースチルトドメインの発生を抑えることができる。なお、特に図示しないが、黒パターンが右上方向または上方向に移動する場合でも同様である。

40

また、リスク境界に接していても、前フレームから状態が変化した画素に接していない黒画素、即ち、リスク境界に接していても適用境界に接していない黒画素については、階調レベルがセレクター312によって階調レベル「c1」に置換されないのので、映像信号Vid-inに基づかない表示が発生する部分は、リスク境界に接する暗画素を一律に置換する構成と比較して、少なく抑えることができる。

さらには、リバースチルトが発生しやすい領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。

また、本実施形態では、設定値以上の映像信号を一律にクリップしないので、使用しない電圧範囲を設けることによってコントラスト比に悪影響を与えることもない。

50

また、液晶パネル100の構造に変更等を加える必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0055】

＜チルト方位角の他の例＞

上述した実施形態では、VA方式のノーマリーブラックモードにおいてチルト方位角 θ_b が45度である場合を説明した。次に、チルト方位角 θ_b が45度以外の例について説明する。

【0056】

＜チルト方位角：0度＞

まず、図15(a)に示されるように、チルト方位角 θ_b が0度である場合について説明する。この場合に、注目画素およびその周辺画素のすべてが、液晶分子が不安定な状態から注目画素だけ明画素(Wt)に変化するとき、当該注目画素においてリバースチルトは、図15(c)に示されるように、当該明画素の上辺側、右辺側および左辺側で発生する。

【0057】

当該明画素の上辺側は、液晶分子におけるチルト方位の下流側であるので、上側の黒画素に隣接する側の液晶分子が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて、上側の暗画素とで生じる横電界によってリバースチルト状態となる。

当該明画素の右上隅では、右上側の黒画素と隣接することによって、図15(a)においてRU方向の横電界が生じる。チルト方位角 θ_b が0度である場合に、液晶パネル100を、図15(a)におけるp-q線を含む垂直面で破断したとき、液晶分子が変化する直前の状態は、図15(b)に示されるように図7(a)の場合に類似する。このため、当該明画素の右上隅でもリバースチルトドメインが発生することになる。

当該明画素の右辺側では、右側の黒画素と隣接することによって、図15(a)において水平方向(X方向)の横電界が生じる。水平方向は、印加電圧に応じて液晶分子が傾斜しようとする方向と直交するが、当該横電界によって時間的に先んじてリバースチルト状態となった液晶分子は、縦電界にしたがって傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、当該明画素の右辺側でも、リバースチルトドメインが発生する。

【0058】

当該明画素の左上隅では、左上側の黒画素と隣接することによって、図15(a)においてLU方向の横電界が生じる。このため、液晶パネル100を、図15(a)におけるr-s線を含む垂直面で破断したとき、液晶分子が変化する直前の状態は、図15(b)に示されるように図7(a)の場合に類似するので、当該明画素の左上隅でも右隅と同様に、リバースチルトドメインが発生することになる。

また、当該明画素の左辺側では、左側の黒画素と隣接することによって、水平方向(X方向)の横電界が生じる。このため、当該明画素の左辺側でも、右辺側と同様にリバースチルトドメインが発生する。

なお、当該明画素の下辺側は、液晶分子におけるチルト方位の上流側であるので、下側の黒画素に隣接する側の液晶分子は、縦電界にしたがって傾斜しようとする他の液晶分子の動きを阻害しない。このため、当該明画素の下辺側では、リバースチルトドメインがほとんど発生しない。

【0059】

このため、VA方式のノーマリーブラックモードにおいてチルト方位角 θ_b が0度であることを考慮した場合、リバースチルトドメインは、nフレームにおいて、明画素に対し、暗画素が上側、右側または左側に位置するときに、当該明画素において発生する可能性があると考えられる。

そこで次に、表示背反となる画素をできるだけ少なくする、という観点で検討する。

【0060】

まず、図16に示されるように黒パターンの移動によって、3×3の9画素が変化する

10

20

30

40

50

場合を想定するとともに、中心の画素に着目する。この例では、注目画素が、 $(n-1)$ フレームにおいて液晶分子の不安定状態から、 n フレームにおいて明画素 (Wt) に変化するとともに、上側、右上側および右側に暗画素 (Bk) が隣接する場合である。この場合、 n フレームにおいて注目画素では、上辺側および右辺側では横電界によってリバースチルトドメインが発生するが、左側が明画素であり、横電界が生じないので、左辺側ではリバースチルトドメインが発生しない。

このため、図 16 の例では、 n フレームの黒パターンが、次のフレームにおいて上方向に 1 画素分移動したときに、右辺側で垂直方向に延在したリバースチルト発生領域と連結し、また、次のフレームにおいて右方向に 1 画素分移動したときに、上辺側で水平方向に延在したリバースチルト発生領域と連結し、これによりリバースチルト発生領域が複数画素にわたって連続する結果、視覚的に目立つことになる。

ところで、図 16 の例において、注目画素でのリバースチルト発生状況は、図 12 (a) で示したチルト方位角 θ_b が 45 度である例に類似している。このため、注目画素において上側が明画素であると、上辺側でリバースチルトドメインが発生せず、同様に、右側が明画素であると、右辺側でリバースチルトドメインが発生しない。

したがって、チルト方位角 θ_b が 0 度である場合においても、液晶分子の不安定状態から明画素 (Wt) に変化するときには、横電界が生じる 2 辺 (上辺および右辺) で囲まれておらず、どちらか 1 辺であれば、リバースチルトの発生領域が連結されず、離散的となって、視覚的に目立つことはないと考えられる。

【0061】

次に、図 17 に示されるように、黒パターンの移動によって 3×3 の 9 画素が変化する場合を想定する。この場合、中心の注目画素が、 $(n-1)$ フレームにおいて液晶分子の不安定状態から、 n フレームにおいて明画素 (Wt) に変化するとともに、上側、左上側および左側に暗画素 (Bk) が隣接するので、 n フレームにおいて注目画素では、上辺側および左辺側では横電界によってリバースチルトドメインが発生するが、右辺側ではリバースチルトドメインが発生しない。したがって、図 17 の例では、 n フレームの黒パターンが、次のフレームにおいて上方向に 1 画素分移動したときに、左辺側で垂直方向に延在したリバースチルト発生領域と連結し、また、次のフレームにおいて左方向に 1 画素分移動したときに、上辺側で水平方向に延在したリバースチルト発生領域と連結し、これによりリバースチルト発生領域が複数画素にわたって連続する結果、視覚的に目立つことになる。

ところで、図 17 の例においても同様に、注目画素が液晶分子の不安定状態から明画素 (Wt) に変化するときには、横電界が生じる 2 辺 (上辺および左辺) で囲まれておらず、どちらか 1 辺であれば、リバースチルトの発生領域が連結されず、離散的となって、視覚的に目立つことはないと考えられる。

【0062】

したがって、チルト方位角 θ_b が 0 度である場合、次のような処理をすれば良いことになる。すなわち、 n フレームにおいて、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接する境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分と、をリスク境界として検出し、リスク境界に接する暗画素のうち、リスク境界によって少なくとも 2 辺 (左辺および下辺、または、右辺および下辺) 以上が囲まれた暗画素の液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加する処理をすれば良いことになる。これによって、将来の $(n+1)$ フレームにおいてリバースチルトの発生を未然に抑えることができるからである。

【0063】

このためには、上述した実施形態において、次のようにすれば良い。すなわち、リスク境界検出部 321 が、第 1 検出において検出した境界のうち、第 2 検出において、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とに加えて、暗画素が左側に位置し明画素が右側に位置する部分についてもリ

スク境界として検出し、さらに、特定部 3 2 2 が、リスク境界に接する暗画素のうち、リスク境界によって 2 辺以上が囲まれた暗画素を特定する構成とすれば良い。

【0064】

図 1 8 は、図 1 3 と同じパターンについて、V A 方式のノーマリーブラックモードにおいてチルト方位角 θb が 0 度である場合における映像処理回路 3 0 による処理の具体例を示す図である。補正部 3 0 0 は、図 1 3 (1) と図 1 3 (2) の画像から、図 1 8 (4) の適用境界を決定し、一方、リスク境界検出部 3 2 1 で、リスク境界を検出する。

検出されるリスク境界は、図 1 4 の場合と比較すると、暗画素が左側に位置し明画素が右側に位置する部分についても、リスク境界として検出される点、および、このリスク境界によって下辺および右辺が囲まれた暗画素も、階調レベルの置換対象となる点異なる。

10

なお、図 1 8 の例では、漏れているが、リスク境界によって、下辺、左辺および右辺の 3 辺が囲まれた暗画素も、階調レベルの置換対象となる。

チルト方位角 θb が 0 度である場合、映像信号 Vid-in で規定される画像において黒画素からなる黒パターンが下方向を除く、いずれかの方向に 1 画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル 1 0 0 では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、階調レベル「c1」に相当する電圧 V_c の印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化するので、リバースチルトドメインの発生を抑えることが可能となる。

なお、黒パターンが下方向に 1 画素だけ移動してもリバースチルトドメインが発生しにくいのは、上述した通りである。

20

【0065】

<チルト方位角：225度>

次に、図 1 9 (a) に示されるように、チルト方位角 θb が 225 度である場合について説明する。なお、この例では、図 9 に示したチルト方位角 θb が 45 度である場合の例を 180 度回転させたときと等価であるので、リバースチルトの発生領域も、図 1 9 (b) に示されるように、画素の中心に上下左右の反転させた関係となる。

このため、チルト方位角 θb が 225 度である場合、次のような処理をすれば良いことになる。すなわち、n フレームにおいて、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接する境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分とをリスク境界として検出し、リスク境界に接する暗画素のうち、リスク境界によって 2 辺（上辺および右辺）が囲まれた暗画素の液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加する処理をすれば良いことになる。これによって、将来の (n+1) フレームにおいてリバースチルトの発生を未然に抑えることができるからである。

30

【0066】

このためには、上述した実施形態において、次のようにすれば良い。すなわち、リスク境界検出部 3 2 1 が、第 1 検出において検出した境界のうち、第 2 検出において、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分とをリスク境界として検出し、リスク境界に接する暗画素のうち、特定部 3 2 2 が、リスク境界に接する暗画素のうち、リスク境界によって上記 2 辺が囲まれた暗画素を特定する構成とすれば良い。

40

【0067】

図 2 0 は、V A 方式のノーマリーブラックモードにおいてチルト方位角 θb が 225 度である場合における映像処理回路 3 0 による処理の具体例を示す図である。補正部 3 0 0 は、図 1 3 (1) と図 1 3 (2) の画像から、図 2 0 (4) の適用境界を決定し、一方、リスク境界検出部 3 2 1 で、リスク境界を検出する。図 1 4 の場合と比較すると、リスク境界が異なる点、および、リスク境界によって上辺および右辺が囲まれた暗画素が、階調レベルの置換対象となる点異なる。なお、効果については、実施形態と同様である。

【0068】

50

<置換対象とする画素>

上述した実施形態では、置換対象とした暗画素が、階調レベル「c1」よりも暗い階調が指定されていた場合に、階調レベル「c1」に置換する構成とした。これは、ノーマリーブラックモードにおいて、液晶素子の印加電圧が低いために液晶分子が不安定状態となるのは、暗画素のためである。

一方、リバースチルトドメインの発生を抑えるためには、リスク境界を挟む暗画素および明画素で生じる横電界を小さくすることだけでも効果的である場合がある。

ここで、暗画素および明画素で生じる横電界を小さくするには、実施形態以外では、ノーマリーブラックモードにおいて明画素を暗くする方向に補正する処理、および、暗画素を補正し、かつ、明画素を暗くする方向に補正する処理が考えられる。

そこで、この処理のそれぞれについて、V A方式のノーマリーブラックモードにおいてチルト方位角 θ_b が45度である場合を例にとって説明する。

【0069】

<その1：高圧側画素の補正>

まず、リスク境界を挟む暗画素および明画素のうち、明画素、すなわち液晶素子の印加電圧が高い方の画素（高圧側画素）を補正する場合について説明する。

この場合、判別部314は、映像信号Vid-dで示される画素が特定部322で特定された暗画素に対し左側、下側に位置する明画素であるか否かを判別して、その判別結果が「Yes」である場合にフラグQの値を「1」とし、その判別結果が「No」であれば「0」とすれば良い。また、この判別において、映像信号Vid-dで示される画素が特定部322で特定された暗画素に対し左下側に位置する明画素である場合にも、フラグQの値を「1」としても良いし、特定部322で特定された暗画素の階調レベルが「c1」よりも暗い場合を判別の要件に加重してもよい。

さらに、セレクトー312において、フラグQの値が「1」である場合に、映像信号Vid-dで指定される階調レベルを、予め定められた分だけ暗くしたレベル「c2」の映像信号に置換する構成とすれば良い。

【0070】

図21は、リスク境界に接する高圧側画素の階調レベルを置換する場合の処理の具体例を示す図である。補正部300は、図13(1)と図13(2)の画像から、図21(4)の適用境界を決定し、一方、リスク境界検出部321で、リスク境界を検出する。図14の場合と比較すると、置換対象となる画素が、リスク境界によって上辺および右辺が囲まれた暗画素（白丸）に対して、下側および左側に位置する明画素となる点、および、当該明画素の階調レベルが、より暗い階調レベル「c2」に置換される点が異なる。このような処理によっても、発生する横電界が小さくなるように変更されるので、リバースチルトドメインの発生を抑制することが可能となる。

なお、図21の例では、リスク境界によって2辺が囲まれた暗画素に対し左下側に位置する明画素（×印）についても、階調レベル「c2」に置換しても良い。

【0071】

<その2：高圧側画素を含めた双方補正>

続いて、階調レベル「c1」よりも暗いレベルの暗画素を補正し、かつ、明画素を暗くする方向に補正する場合について説明する。補正部300は、図13(1)と図13(2)の画像から、図22(4)の適用境界を決定し、一方、リスク境界検出部321で、リスク境界を検出する。

補正部300において画素を置換する処理の処理結果は、上述した実施形態と高圧側補正とを2つ併用した処理となる。このため、処理の具体例についても、図22(6)に示されるように、図14(6)と図21(6)とを合わせた内容となる。

このような処理によっても、発生する横電界が小さくなるように変更されるので、リバースチルトドメインの発生を抑制することが可能となる。

特に本例では、暗画素および明画素との双方の階調レベルが補正されるので、元の映像信号Vid-inで示される暗画素と明画素との境界が、そのまま補正された画像の輪郭とし

10

20

30

40

50

て視認される。このため、本例では、元の映像信号 Vid-in で示される画像の輪郭情報を、補正によって失われることを防止することも可能となる。

なお、暗画素および明画素との双方の階調レベルを補正する場合、図 2 3 (6) に示したように、暗画素側でリスク境界から離れる側へ複数画素を補正し、明画素側でリスク境界から離れる側へ複数画素を補正してもよい。また、暗画素側でリスク境界から離れる側へ複数画素を補正する場合には、明画素側の補正を行わないようにしてもよい。

【0072】

<TN方式>

上述した実施形態では、液晶 105 に VA 方式を用いた例について説明した。そこで次に、液晶 105 に TN 方式とした例について説明する。

図 2 4 (a) は、液晶パネル 100 における 2×2 の画素を示す図であり、図 2 4 (b) は、図 2 4 (a) における p-q 線を含む垂直面で破断したときの簡易断面図である。

これらの図に示されるように、TN 方式の液晶分子は、画素電極 118 とコモン電極 108 との電位差がゼロである状態において、チルト角が θ_a であって、チルト方位角が θ_b ($=45$ 度) で、初期配向しているものとする。TN 方式は、VA 方式とは反対に、基板水平方向に傾斜するので、TN 方式のチルト角 θ_a は、VA 方式の値よりも大きい。

【0073】

液晶 105 に TN 方式を用いた例では、高コントラスト比などが得られる等の理由により、電圧無印加時において液晶素子 120 が白状態となるノーマリーホワイトモードが用いられる場合が多い。

このため、液晶 105 に TN 方式を用いるとともに、ノーマリーホワイトモードとしたとき、液晶素子 120 の印加電圧と透過率との関係は、図 4 (b) に示されるような V-T 特性で表され、印加電圧が高くなるにつれて透過率が減少する。ただし、液晶素子 120 の印加電圧が電圧 V_c を下回るときに、液晶分子が不安定状態となる点においては、ノーマリーブラックモードと変わりはない。

【0074】

このような TN 方式のノーマリーホワイトモードにおいて、図 2 5 (a) に示されるように、 $(n-1)$ フレームにおいて 2×2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、 n フレームにおいて、右上の 1 画素だけが黒画素に変化するときを想定する。上述したようにノーマリーホワイトモードにおいて、画素電極 118 とコモン電極 108 との電位差は、ノーマリーブラックモードとは反対に白画素よりも黒画素で大きい。このため、白から黒に変化する右上の画素では、図 2 5 (b) のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向に沿った方向 (基板面の垂直方向) に起立しようとする。

しかしながら、白画素の画素電極 118 (Wt) と黒画素の画素電極 118 (Bk) との間隙で生じる電位差は、黒画素の画素電極 118 (Bk) とコモン電極 108 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 118 とコモン電極 108 との間隙よりも狭い。よって、電界の強度で比較すると、画素電極 118 (Wt) と画素電極 118 (Bk) との間隙で生じる横電界は、画素電極 118 (Bk) とコモン電極 108 との間隙で生じる縦電界よりも強い。

右上の画素は、 $(n-1)$ フレームにおいて液晶分子が不安定な状態の白画素であったため、液晶分子が縦電界の強度に応じて起立するまでに時間がかかる。一方、黒レベルの電圧が画素電極 118 (Bk) に印加されたことによる縦電界よりも、隣接する画素電極 118 (Wt) からの横電界の方が強いので、黒になろうとしている画素では、図 2 5 (b) に示されるように、白画素に隣接する側の液晶分子 R_v が、縦電界にしたがって起立しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 R_v は、縦電界にしたがって破線のように基板水平方向に起立しようとする他の液晶分子の動きに悪影響を与える。このため、黒に変化すべき画素においてリバースチルトが発生する領域は、図 2 5 (c) に示されるように、黒に変化すべき画素と白画素との間隙にとどまらず、その間隙から黒に変化すべき画素

10

20

30

40

50

を浸食する形で広範囲に拡がる。

したがって、黒に変化しようとする着目画素の周辺が白画素であった場合、当該着目画素に対して白画素が左下側、左側および下側で隣接するとき、当該着目画素では、リバースチルトドメインが左辺側および下辺側で発生することになる。

【0075】

一方、図26(a)に示されるように、 $(n-1)$ フレームにおいて 2×2 の4画素がすべて液晶分子の不安定な白画素の状態から、 n フレームにおいて、左下の1画素だけが黒画素に変化するときを想定する。この変化においても、黒画素の画素電極118(Bk)と白画素の画素電極118(Wt)との間隙では、画素電極118(Bk)とコモン電極108との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図26(b)に示されるように、白画素において黒画素に隣接する側の液晶分子Rvは、縦電界にしたがって起立しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となるが、白画素では縦電界の強度が $(n-1)$ フレームから変わらないので、他の液晶分子に影響をほとんど与えない。このため、白画素から変化しない画素においてリバースチルトが発生する領域は、図26(c)に示されるように、図25(c)の例と比較して無視できる程度に狭い。

また、 2×2 の4画素のうち、左下において白から黒に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、左下画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の垂直方向に図26(b)において破線で示されるように正しく起立する結果、目的である黒画素に変化するので、表示品位の劣化が発生しないことになる。

【0076】

結局、TN方式のノーマリーホワイトモードにおいてチルト方位角 θ_b が45度である場合、リバースチルトドメインは、電圧に対する白黒の関係(V-T特性)が逆転することを除けば、VA方式のノーマリーブラックモードにおいてチルト方位角 θ_b が22.5度である場合(図19および図20参照)と類似する。

このため、TN方式においてチルト方位角 θ_b が45度である場合、表示背反となる画素をできるだけ少なくする、という観点で検討しても、図27に示される内容やVA方式の類推から、次のように導くことができる。

すなわち、TN方式のノーマリーホワイトモードにおいてチルト方位角 θ_b が45度である場合、 n フレームにおいて、映像信号Vid-inで示される画像において明画素(低圧側画素)と暗画素(高圧側画素)とが隣接する境界のうち、明画素が上側に位置し暗画素が下側に位置する部分と、明画素が右側に位置し暗画素が左側に位置する部分と、をリスク境界として検出し、リスク境界に接する明画素のうち、リスク境界によって2辺(上辺および右辺)が囲まれた明画素の液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加する処理をすれば良い。

なお、この例では、TN方式のノーマリーホワイトモードにおいてチルト方位角 θ_b を45度とした例を説明したが、リバースチルトドメインの発生方向がVA方式と逆になる点やV-T特性が異なる点を考慮すれば、チルト方位角 θ_b が45度以外である場合の措置、そのための構成についても、いままでの説明から容易に類推できるはずである。

【0077】

上述した説明において、映像信号Vid-inは、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしても良い。映像信号Vid-inが液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすれば良い。

また、液晶素子120は、透過型に限られず、反射型であっても良い。

さらに、画素については、白から黒までの濃淡を表現するものであったが、例えばR(赤)、G(緑)、B(青)のカラーフィルターでそれぞれ着色した3画素によって、1つのドットのカラーを表現する構成としても良い。なお、次に説明するプロジェクターは、

3つの液晶パネルによって生成した原色画像を合成してカラー画像とするものである。

【0078】

<電子機器>

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル100をライトバルブとして用いたプロジェクターについて説明する。図28は、このプロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター2100の内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR（赤）色、G（緑）色、B（青）色の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

10

【0079】

このプロジェクター2100では、液晶パネル100を含む液晶表示装置が、R色、G色、B色のそれぞれに対応して3組設けられる。ライトバルブ100R、100Gおよび100Bの構成は、上述した液晶パネル100と同様である。R色、G色、B色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ100R、100Gおよび100Bがそれぞれ駆動される構成となっている。

20

ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各原色の画像が合成された後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0080】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルターを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロイックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方向は、ライトバルブ100Gによる水平走査方向と逆向きにして、水平方向の左右を反転させた像を表示する構成となっている。

30

【0081】

液晶パネル100をライトバルブに用いる例としては、図28を参照して説明したプロジェクターの他にも、リヤ・プロジェクション型のテレビジョンが挙げられる。また、液晶パネル100については、ミラーレスのレンズ交換式のデジタルカメラや、ビデオカメラなどにおける電子ビューファインダー（EVF）にも適用可能である。

このほかにも、適用可能な電子機器として、ヘッドマウントディスプレイや、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

40

【符号の説明】

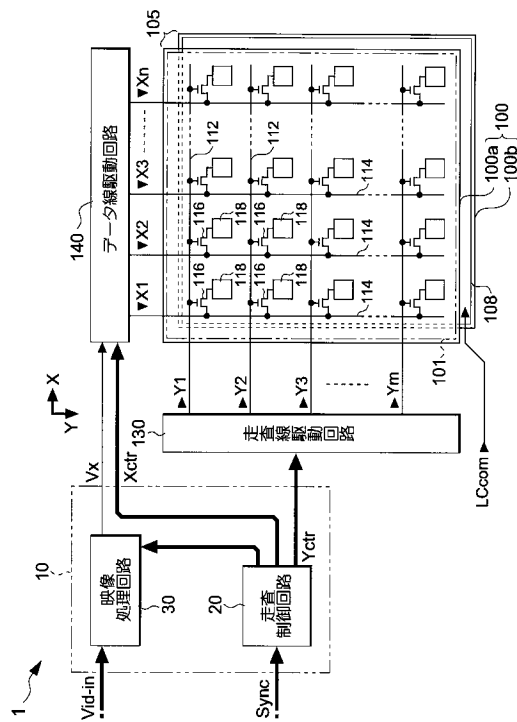
【0082】

1・・・液晶表示装置、30・・・映像処理回路、100・・・液晶パネル、100a・・・素子基板、100b・・・対向基板、105・・・液晶、108・・・コモン電極、118・・・画素電極、120・・・液晶素子、300・・・補正部、302・・・境界検出部、308・・・適用境界決定部、310・・・判別部、314・・・セレクター、

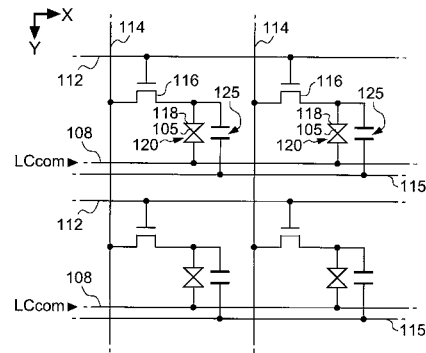
50

3 1 6 . . . D/A変換器、3 2 1 . . . リスク境界検出部、3 2 2 . . . 特定部、2 1
0 0 . . . プロジェクター

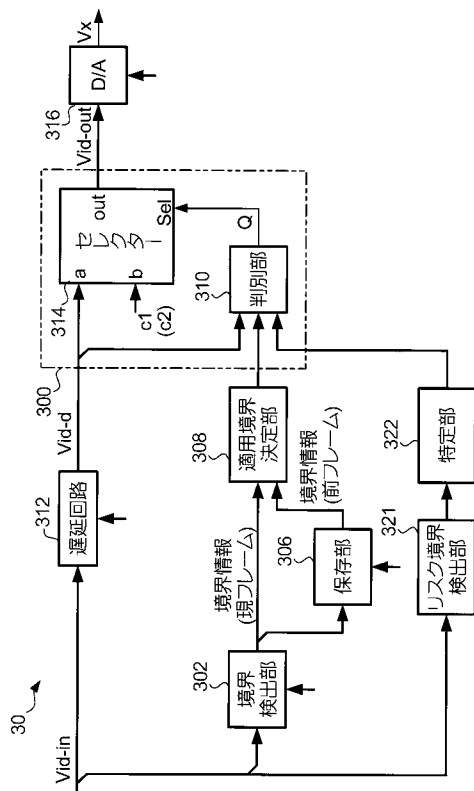
【図 1】



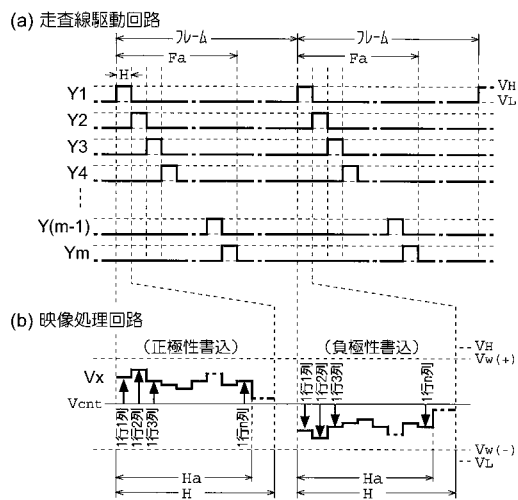
【図 2】



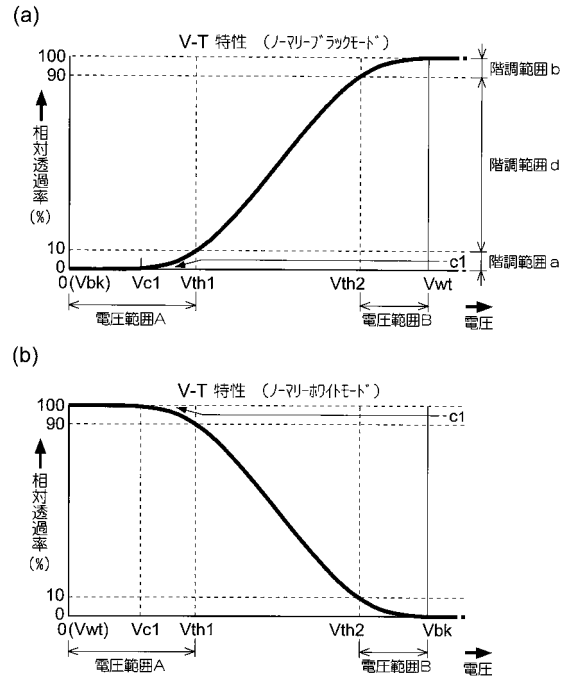
【 図 3 】



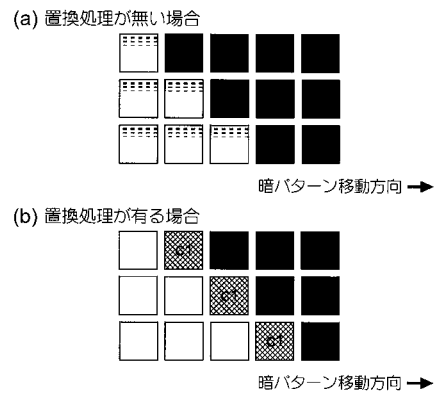
【図 5】



【図 4】

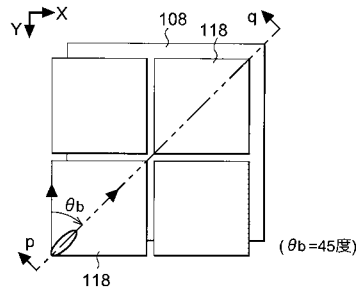


【図 6】

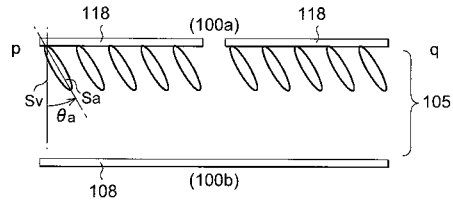


【図 7】

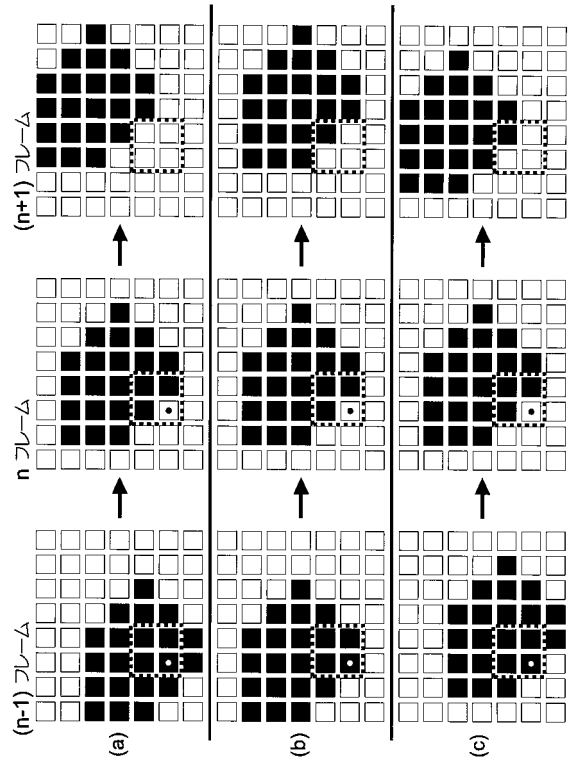
(a) VA



(b)

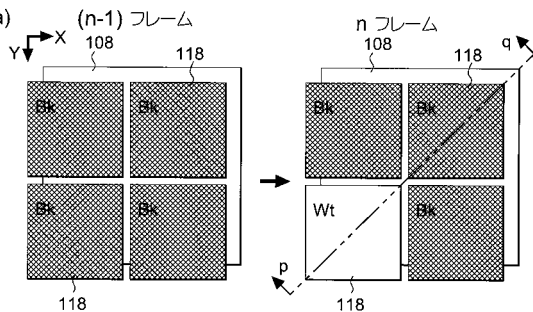


【図 8】

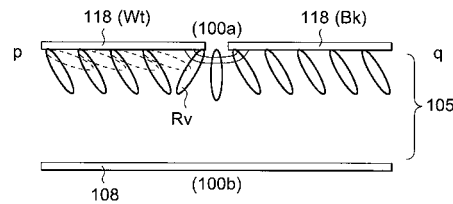


【図 9】

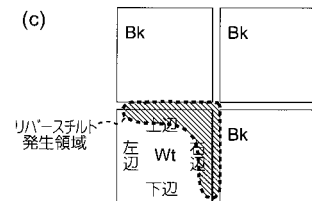
(a)



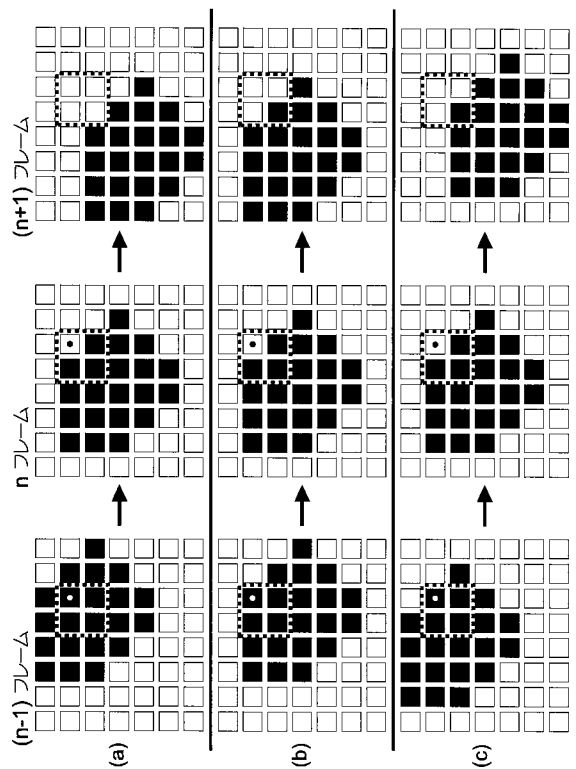
(b)



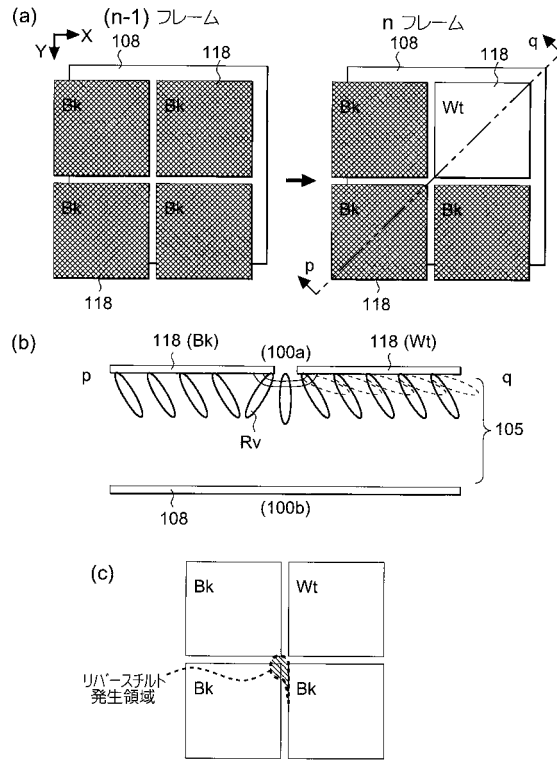
(c)



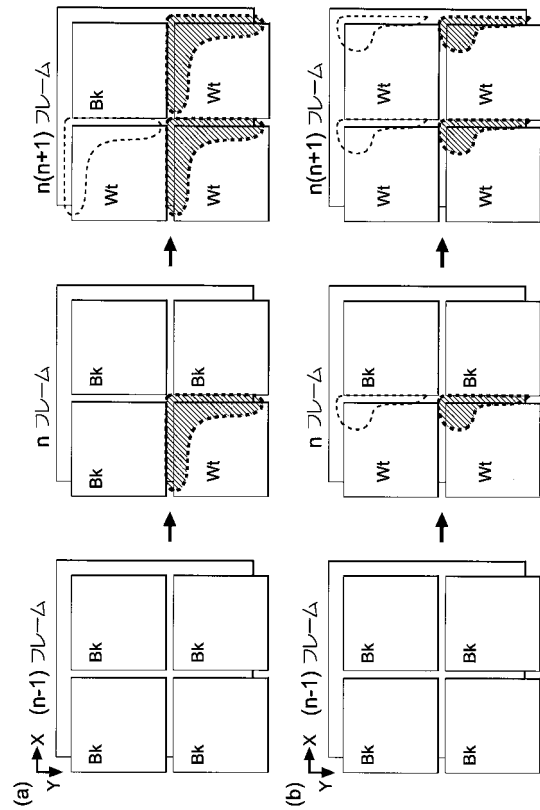
【図 10】



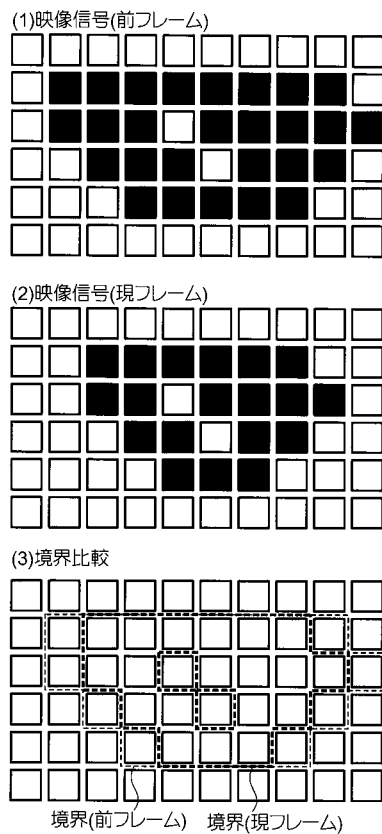
【図 1 1】



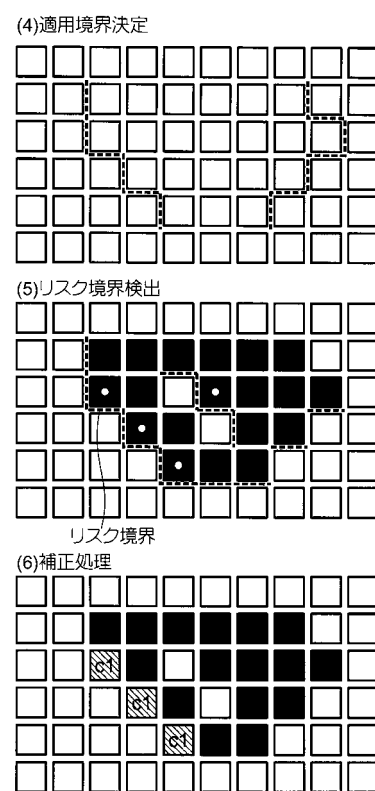
【図 1 2】



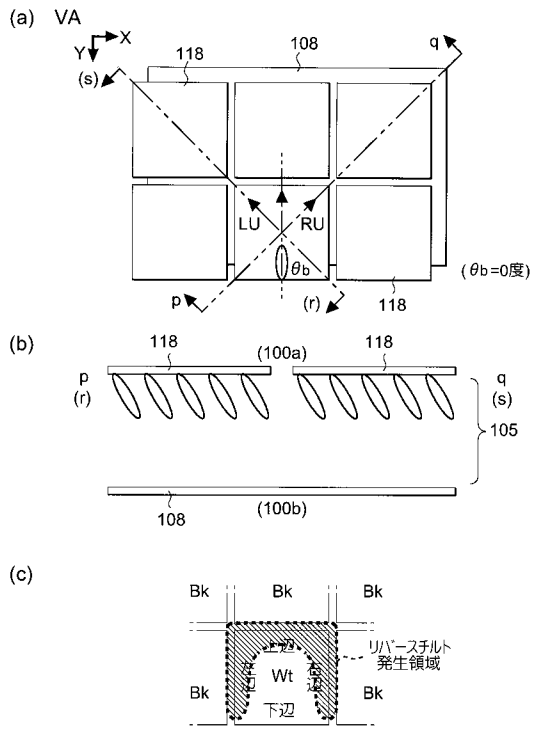
【図 1 3】



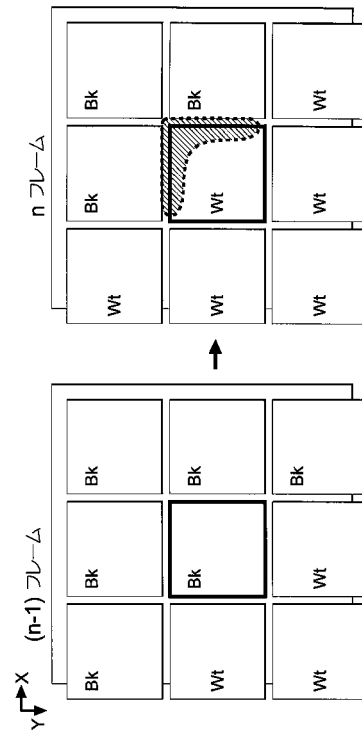
【図 1 4】



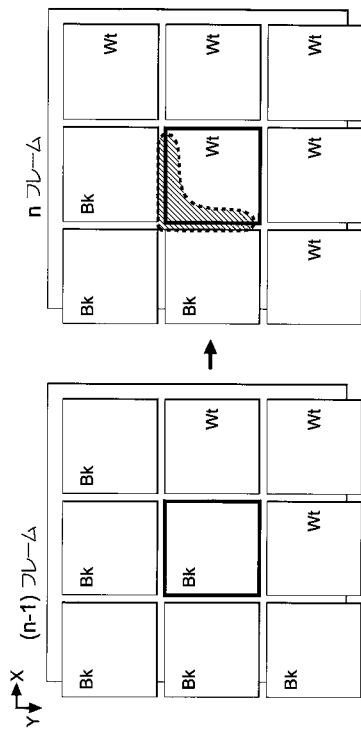
【図 15】



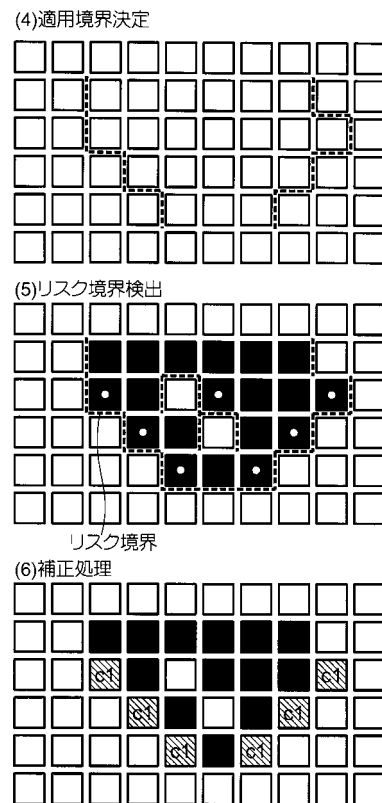
【図 16】



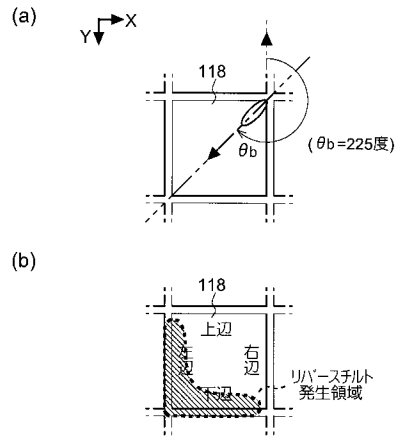
【図 17】



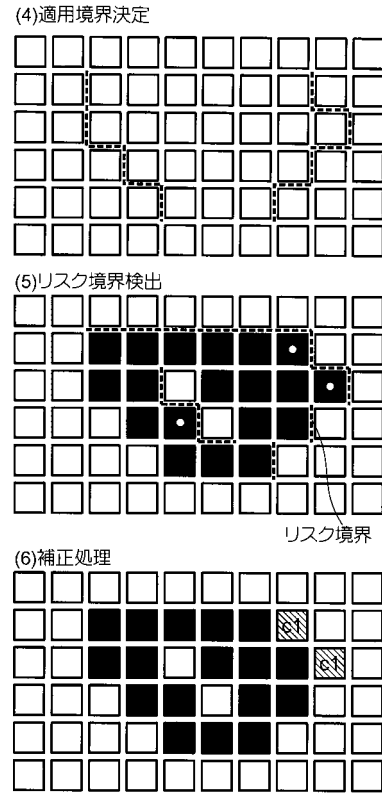
【図 18】



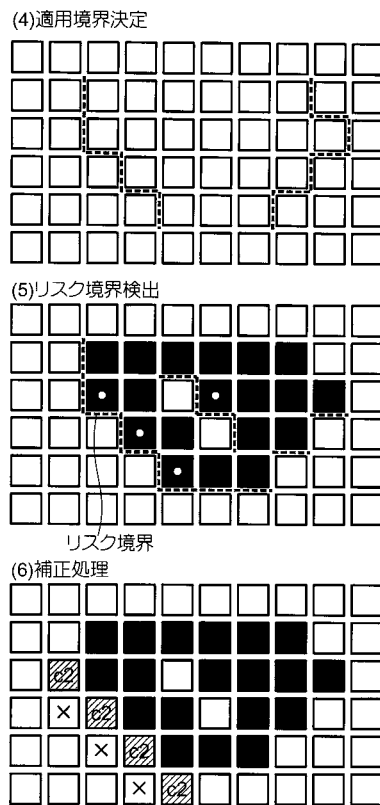
【図 19】



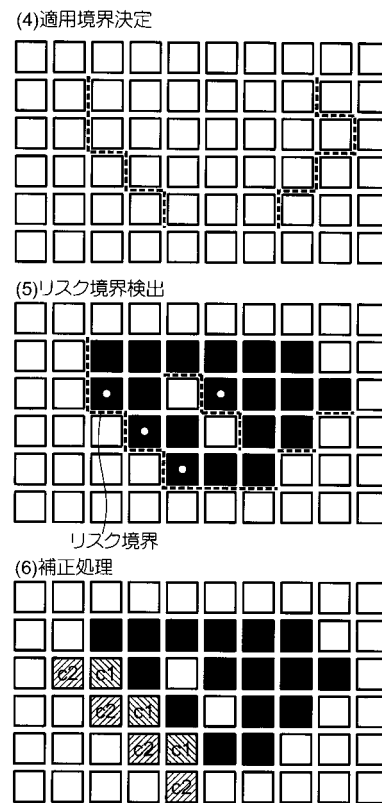
【図 20】



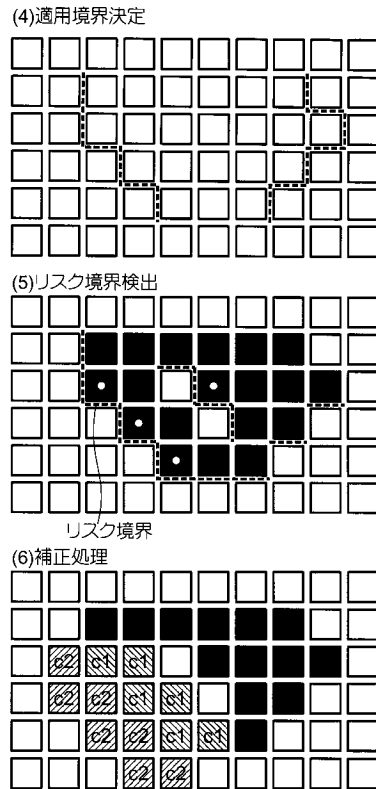
【図 21】



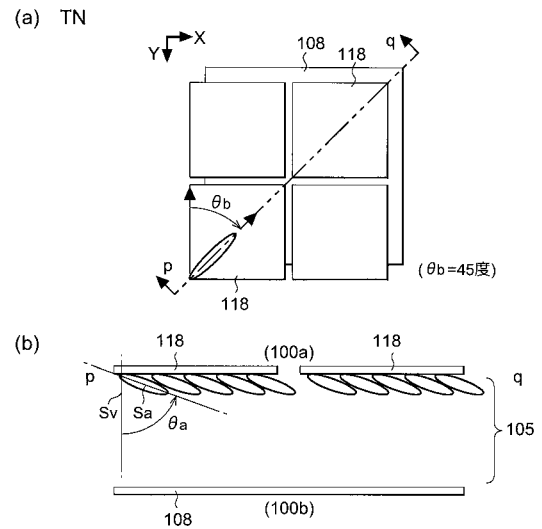
【図 22】



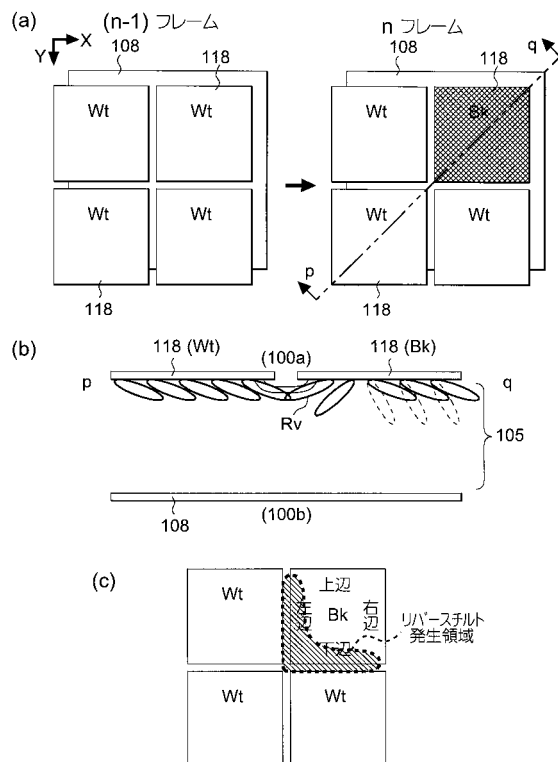
【図 2 3】



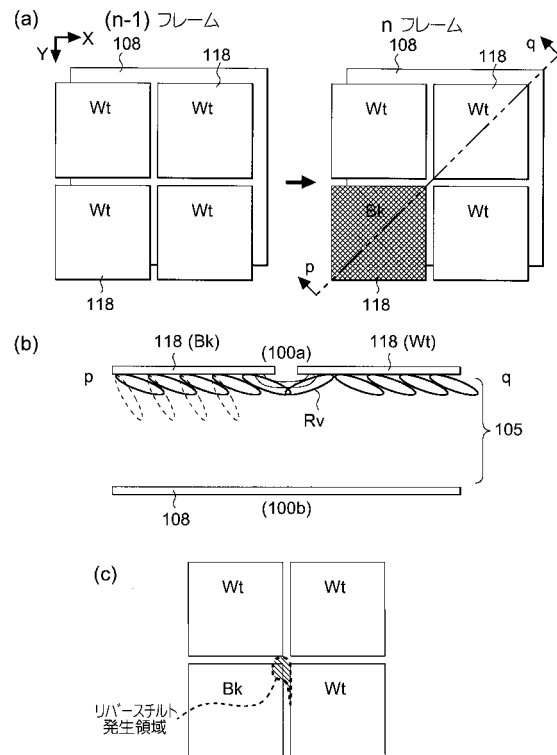
【図 2 4】



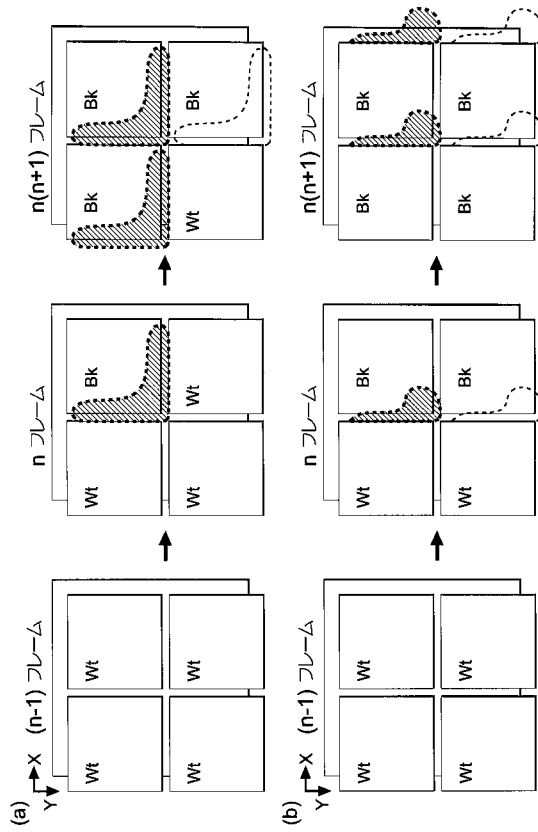
【図 2 5】



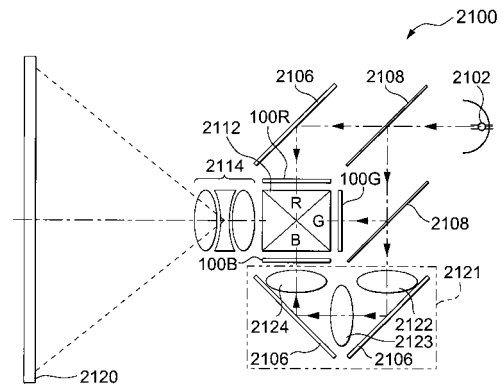
【図 2 6】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 1 P
 G 0 9 G 3/20 6 5 0 M
 G 0 9 G 3/20 6 7 0 A
 G 0 9 G 3/20 6 4 2 E
 G 0 9 G 3/20 6 6 0 V

F ターム(参考) 2H193 ZA04 ZD21 ZF03 ZF16 ZF21 ZF31 ZF59 ZQ06 ZQ11
 5C006 AA16 AA22 AC28 AF03 AF04 AF14 AF19 AF44 AF45 AF46
 AF51 AF53 AF57 AF82 AF84 BA19 BB16 BB28 BC13 BF02
 BF04 BF07 BF09 BF24 EC11 FA18 FA22 FA24 FA25 FA29
 FA54
 5C080 AA10 BB05 CC03 DD02 DD03 DD05 DD06 DD09 EE19 EE28
 EE29 FF11 GG13 GG15 GG17 JJ01 JJ02 JJ03 JJ06 KK07
 KK20 KK23 KK43

专利名称(译)	视频处理电路，视频处理方法，液晶显示装置和电子设备		
公开(公告)号	JP2011175137A	公开(公告)日	2011-09-08
申请号	JP2010039795	申请日	2010-02-25
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	保坂宏行 飯坂英仁		
发明人	保坂 宏行 飯坂 英仁		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3611 G09G2310/0235 G09G2320/0209 G09G2320/0271 G09G2340/16		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.641.C G09G3/20.612.U G09G3/20.641.P G09G3/20.650.M G09G3/20.670.A G09G3/20.642.E G09G3/20.660.V		
F-TERM分类号	2H193/ZA04 2H193/ZD21 2H193/ZF03 2H193/ZF16 2H193/ZF21 2H193/ZF31 2H193/ZF59 2H193/ZQ06 2H193/ZQ11 5C006/AA16 5C006/AA22 5C006/AC28 5C006/AF03 5C006/AF04 5C006/AF14 5C006/AF19 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF57 5C006/AF82 5C006/AF84 5C006/BA19 5C006/BB16 5C006/BB28 5C006/BC13 5C006/BF02 5C006/BF04 5C006/BF07 5C006/BF09 5C006/BF24 5C006/EC11 5C006/FA18 5C006/FA22 5C006/FA24 5C006/FA25 5C006/FA29 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD03 5C080/DD05 5C080/DD06 5C080/DD09 5C080/EE19 5C080/EE28 5C080/EE29 5C080/FF11 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK07 5C080/KK20 5C080/KK23 5C080/KK43		
代理人(译)	须泽 修 宫坂和彦		
其他公开文献	JP5381804B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于横向电场的影响导致的显示质量下降。解决方案：视频处理电路30以常黑模式检测作为暗像素之间的边界的一部分的风险边界，其中由视频信号Vid-in指定的灰度级的施加电压低于阈值Vth1施加电压为阈值Vth2或更大的亮像素和亮像素由液晶分子的倾斜方位确定。其中，暗像素和亮像素之间的边界分别在当前帧和前帧之前检测到一帧，并且在当前帧的检测到的边界上，应用边界，其中相同的部分如同确定去除前一帧的检测边界。当对暗像素中与应用边界相邻并且具有被风险边界围绕的两个边缘的暗像素的施加电压低于电压Vc时，向对应的施加电压替换施加到暗像素的电压。由视频信号指定的具有电压Vc的灰度级。Ž

