

(11)特許出願公開番号

特開2011-33846

(P2011-33846A)

(43) 公開日 平成23年2月17日(2011.2.17)

(51) Int.Cl.

F 1

テーマコード (参考)

G02F 1/1368 (2006.01)

G O 2 F 1/1368

2H092

G02F 1/133 (2006.01)

G02 F 1/133 550

2 H 1 9 3

審査請求 未請求 請求項の数 10 O L (全 36 頁)

(21) 出願番号 特願2009-180228 (P2009-180228)

(22) 出願日 平成21年8月1日 (2009.8.1)

(71) 出願人 508375398

ビデオコン グローバル リミテッド
Videocon Global Lim
ited

ブリティッシュ ヴァージン アイランド、
トートラ、ロード タウン、インターナシ
ヨナル トラスト ビルディング、ピー、
オー、ボックス 659

International Trust
Building, P. O. Box
659, Road Town, Ta
rtola, British Virg
in Island

(74) 代理人 100106699

弁理士 渡部 弘道

[最終頁に続く](#)

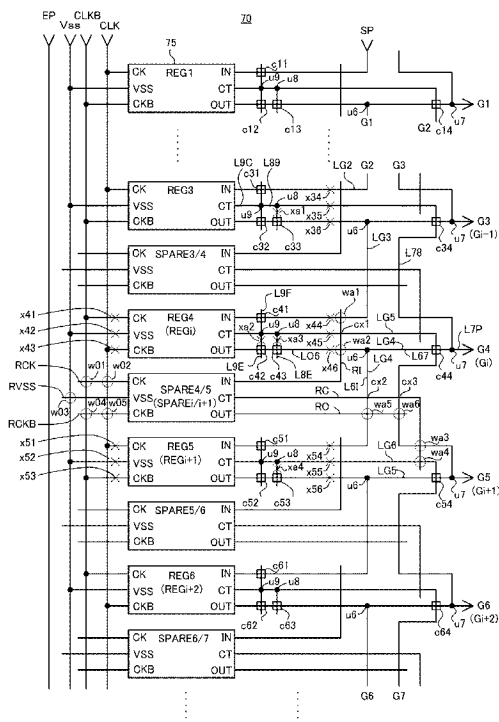
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】 (修正有)

【課題】ゲートドライバ一体型の液晶表示装置においてゲートドライバを構成するレジスタの不良をリペアする場合に、ゲート信号が供給される配線の交差容量がリペア前後で変わらないようにする。

【解決手段】スペアレジスタを備え、該スペアレジスタに接続されたリペア配線とゲート配線 L G 4 とが交差するとともに、ゲート配線 L G 4 は他のゲート配線 L G 5 と交差をして冗長交差容量を生じさせてなる冗長枝配線 L 9 E, L 8 E を備える。不良レジスタをリペアするときは不良レジスタ及び冗長交差容量を切り離すとともにゲート配線とリペア配線とを接続するリペアを行うことにより、不良レジスタに代わりスペアレジスタを用いたゲートドライバを構成するとともにゲート信号が供給される配線がもつ交差容量の値がリペアの前後で同じとなるようにするリペア工程を含む。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

画素部とゲートドライバとが一体に形成された基板を備え画像を表示するアクティブマトリックス型の液晶表示装置の製造方法であって、

該画素部を行単位で選択するゲート信号を発生するレジスタと、該レジスタに隣接して配設され該レジスタと同一の構成を備えフローティング状態にあるスペアレジスタと、該スペアレジスタのみに接続されたりペア配線と、該リペア配線と第 2 の交差をしてなる主配線と該主配線から分岐し他のゲート配線と第 1 の交差をして冗長交差容量を生じさせてなる冗長枝配線とを備えるとともに該ゲート信号を順次発生する複数段シフトレジスタが構成されるように該レジスタに接続され該ゲート信号が供給されるゲート配線とをそれぞれ複数備える該ゲートドライバを形成する第 1 工程と、

該レジスタが不良レジスタである場合に該不良レジスタ及び該冗長交差容量を切り離すとともに該ゲート配線と該リペア配線とを該第 2 の交差において接続するリペアを行うことにより、該不良レジスタに代わり該スペアレジスタを用いた該ゲートドライバを構成するとともに該ゲート信号が供給される配線がもつ交差容量の値が該リペアの前後で同じとなるようにする第 2 工程と

を含むことを特徴とする液晶表示装置の製造方法。

【請求項 2】

前記第 2 工程前の前記ゲート配線及び前記リペア配線は、前記スペアレジスタであって、前段ゲート信号を発生する前段レジスタと当段ゲート信号を発生する当段レジスタとの間に設けられた前段スペアレジスタ、又は該当段レジスタと次段ゲート信号を発生する次段レジスタとの間に設けられた当段スペアレジスタのいずれをも前記リペアに使用可能のように配設されてなることを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【請求項 3】

前記第 2 工程前の前記レジスタは、前段ゲート信号と次段ゲート信号とを入力して当段ゲート信号を出力するように構成されてなり、

該前段ゲート信号が供給される前段ゲート配線が接続され前段レジスタに近い側に設けられた入力端子と、該当段ゲート信号を供給する当段ゲート配線が接続され次段レジスタに近い側に設けられた出力端子と、該次段ゲート信号が供給される次段ゲート配線が接続され該入力端子と該出力端子との間に設けられた制御端子とをそれぞれ備えてなることを特徴とする請求項 2 記載の液晶表示装置の製造方法。

【請求項 4】

前記第 2 工程前の前記スペアレジスタは、前段ゲート信号と次段ゲート信号とを入力して当段ゲート信号を出力することができるよう構成されてなるとともに、入力端子、出力端子及び制御端子を前記レジスタが備える端子配列と同一の配列をもって備えてなり、

該スペアレジスタであって当段レジスタと次段レジスタとの間に配設されている当段スペアレジスタの前記リペア配線は、該入力端子に接続された入力用リペア配線と、該制御端子に接続された制御用リペア配線と、該出力端子に接続された出力用リペア配線とを含んで構成されてなることを特徴とする請求項 3 記載の液晶表示装置の製造方法。

【請求項 5】

前記スペアレジスタであって当段レジスタと次段レジスタとの間に配設されている当段スペアレジスタの前記リペア配線のうち、前記入力用リペア配線は少なくとも前段ゲート配線及び当段ゲート配線にそれぞれ交差し、前記制御用リペア配線は少なくとも次段ゲート配線及び該次段レジスタの次の段のレジスタである次次段レジスタの次次段ゲート配線にそれぞれ交差し、前記出力用リペア配線は少なくとも該当段ゲート配線及び該次段ゲート配線にそれぞれ交差ししてなることを特徴とする請求項 4 記載の液晶表示装置の製造方法。

【請求項 6】

前記第 2 工程前の当段ゲート配線から分岐した当段ゲート配線の前記冗長枝配線は、前段ゲート配線との交差によって前記冗長交差容量を構成する第 1 冗長枝配線と、前段レジスタの入力端子に接続されるゲート配線である前前段ゲート配線との交差によって他の前記

10

20

30

40

50

冗長交差容量を構成する第 2 冗長枝配線とを含み、それぞれの該冗長枝配線は前記主配線から分岐してなることを特徴とする請求項 5 記載の液晶表示装置の製造方法。

【請求項 7】

前記第 2 工程前の当該ゲート配線の前記主配線は、

当該レジスタの出力端子から延びて、次段ゲート配線の 2 本の前記第 1 冗長枝配線とそれぞれ交差をなし、該当該レジスタの切り離し箇所を経て、当該スペアレジスタの当該入力用リペア配線と交差をなして第 1 分岐点に至り、該第 1 分岐点から該次段ゲート配線と交差をして第 2 分岐点に至り、該第 2 分岐点から前記画素部に接続され、

該第 1 分岐点から、該当該スペアレジスタの当該制御用リペア配線と交差し、該当該スペアレジスタの当該出力用リペア配線と交差をなし、次段レジスタと次次段レジスタとの間にある次段スペアレジスタから延びた次段入力用リペア配線と交差し、次次段ゲート配線の前記第 2 冗長枝配線と交差をなして該次段レジスタの入力端子に接続され、

該第 2 分岐点から、前段レジスタと該当該レジスタとの間にある前段スペアレジスタの前段制御用リペア配線との交差をし、該前段スペアレジスタの前段出力用リペア配線との交差をし、該前段スペアレジスタの該前段制御用リペア配線との 2 回目の交差をし、前段ゲート配線と交差をなし、前前段レジスタと該前段レジスタとの間にある前前段スペアレジスタの前前段制御用リペア配線と交差し、該前段スペアレジスタの前段入力用リペア配線と交差し、該当該ゲート配線の前記第 1 冗長枝配線との第 3 分岐点を経て、該当該ゲート配線の他の前記第 1 冗長枝配線及び該当該ゲート配線の前記第 2 冗長枝配線との第 4 分岐点を経て、該前段レジスタの制御端子に接続されてなることを特徴とする請求項 6 記載の液晶表示装置の製造方法。

【請求項 8】

当該レジスタが不良レジスタの場合に、該当該レジスタと次段レジスタとの間にあるスペアレジスタである当該スペアレジスタを用いて前記リペアをするときは、

前記第 2 工程の該不良レジスタの前記切り離しをするリペアは、不良レジスタである当該レジスタの入力端子へ延びた前段ゲート配線が該当該スペアレジスタの当該入力用リペア配線となす交差と該前段ゲート配線が次段ゲート配線の第 2 冗長枝配線となす交差との間で該前段ゲート配線を切断し、該当該レジスタの制御端子へ延びた該次段ゲート配線が該当該入力用リペア配線となす交差と該次段ゲート配線の前記第 1 冗長枝配線との第 3 分岐点との間で該次段ゲート配線を切断し、該当該レジスタの出力端子から延びた当該ゲート配線が該当該入力用リペア配線となす交差と該当該ゲート配線が該次段ゲート配線の前記第 1 冗長枝配線となす交差との間で該当該ゲート配線を切断する工程を含み、

該第 2 工程の前記接続をするリペアは、該前段ゲート配線と該当該入力用リペア配線との交差、該当該ゲート配線と当該出力用リペア配線との交差、及び該次段ゲート配線と当該制御用リペア配線との交差のそれぞれにおいて接続をする工程を含み、

該第 2 工程の前記冗長交差容量の前記切り離しをするリペアは、該当該ゲート配線の前記第 1 冗長枝配線の 1 本及び次次段ゲート配線の前記第 1 冗長枝配線の 1 本をそれぞれ切断する工程を含むことを特徴とする請求項 7 記載の液晶表示装置の製造方法。

【請求項 9】

当該レジスタが不良レジスタの場合に、前段レジスタと該当該レジスタとの間にある前段スペアレジスタを用いて前記リペアをするときは、

前記第 2 工程の該不良レジスタの前記切り離しをするリペアは、不良レジスタである当該レジスタの入力端子へ延びた前段ゲート配線が該当該レジスタと次段レジスタとの間にある当該スペアレジスタの当該入力用リペア配線となす交差と該前段ゲート配線が次段ゲート配線の前記第 2 冗長枝配線となす交差との間で該前段ゲート配線を切断し、該当該レジスタの制御端子へ延びた該次段ゲート配線が該当該入力用リペア配線となす交差と該次段ゲート配線の前記第 1 冗長枝配線との第 3 分岐点との間で該次段ゲート配線を切断し、該当該レジスタの出力端子から延びる当該ゲート配線が該当該入力用リペア配線となす交差と該当該ゲート配線が該次段ゲート配線の前記第 1 冗長枝配線となす交差との間で該当該ゲート配線を切断する工程を含み、

該第 2 工程の前記接続をするリペアは、該前段ゲート配線と該前段スペアレジスタの前段入力用リペア配線との交差、該当段ゲート配線と該前段スペアレジスタの前段出力用リペア配線との交差、及び該次段ゲート配線と該前段スペアレジスタの前段制御用リペア配線との交差のそれぞれにおいて接続する工程を含み、

該第 2 工程の前記冗長交差容量の前記切り離しをするリペアは、該当段ゲート配線の 2 本の前記第 1 冗長枝配線及び該前段ゲート配線の 1 本の前記第 1 冗長枝配線を切断する工程を含むことを特徴とする請求項 7 記載の液晶表示装置の製造方法。

【請求項 10】

複数のレジスタを備え画素部を行単位で選択するゲート信号を順次発生する複数段シフトレジスタを含むゲートドライバと該画素部とが一体に形成された基板を備え画像を表示するアクティブマトリックス型の液晶表示装置であって、

該ゲートドライバは、該レジスタに隣接して配設され該レジスタと同一の構成を備えるスペアレジスタと、該レジスタに接続され該ゲート信号を供給するゲート配線であって他のゲート配線と交差をして冗長交差容量を生じさせる冗長枝配線が分岐されてなるゲート配線と、該スペアレジスタに接続され該ゲート配線及び該他のゲート配線と交差をするリペア配線とを含んでなり、

該ゲート配線及び該他のゲート配線と該リペア配線とを接続するとともに不良レジスタ及び該冗長交差容量を切り離すリペアが行われることにより、該不良レジスタに代えて該スペアレジスタが該ゲートドライバを構成してなるとともに該ゲート信号が供給される配線にかかる交差容量が該リペア前後で同じとなるように構成されてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその製造方法に関し、特に、リペア可能なゲートドライバ一体型の液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

現在、アクティブマトリックス型の液晶表示装置が表示装置として広く利用されている。このような液晶表示装置は、セル・アレイ基板と対向基板との間に液晶を挟持した液晶パネルを含み、セル・アレイ基板の表示領域にはマトリックス状に配置された複数の画素部が設けられ、各画素部には薄膜トランジスタ及びこれに接続され液晶を駆動する画素電極等が設けられている。そして、セル・アレイ基板の表示領域の周辺には、画素部にゲート信号（走査信号）を供給するゲートドライバ（走査線駆動装置）及び画像信号に応じた表示データを供給するデータドライバ（データ線駆動装置）が配設される。

【0003】

そして、このようなドライバは、従来、別個独立した IC や LSI によって構成されていたが、近年、ゲートドライバについては、画素部の薄膜トランジスタと同様に、ゲートドライバも薄膜トランジスタを用いてセル・アレイ基板に内蔵させて一体のものとして形成する GOA（Gate Driver On Array）と呼ばれる技術が進んでいる。この GOA によれば、ゲートドライバを構成する薄膜トランジスタをセル・アレイ基板上に直接に作りこむことができるため、いわゆるドライバ IC 等の IC チップ（半導体集積装置）を用いた TAB（Tape Automated Bonding）や COG（Chip On Glass）等の実装方式に比べて、液晶表示装置の実装コストを著しく低減させることができる（特許文献 1）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2000 - 275669 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 5 】

しかしながら、G O Aのように、ゲートドライバがセル・アレイ基板に内蔵され一体化されている場合には、ゲートドライバが製造不良等により正常に動作しないときの対応が困難である。即ち、従来のように、ドライバICのような別個独立した半導体集積装置をゲートドライバ部品として用い、互いに分離されたセル・アレイ基板とドライバICとを一体のものとして実装するような場合には、例えば、表示不良等の原因がドライバICに起因するものであれば不良ドライバICをセル・アレイ基板から取り外したうえで別の正常なドライバICを実装すればよい。しかし、ゲートドライバがセル・アレイ基板に内蔵され一体のものとして形成されているようなG O Aの場合には、不良のゲートドライバをセル・アレイ基板から取り外すことは困難であり、そのため、何らかの方法により不良ゲートドライバをリペアする必要があるが生じる。

10

【 0 0 0 6 】

特に、ゲートドライバの回路構成が画素部の構成よりも複雑化し大画面化する今日では、不良ゲートドライバが生じてても完全にリペアすることが製品歩留まりの向上と低コスト化のために重要なものとなってきた。ゲートドライバは、一般に、ゲート線（走査線）の数に相当する複数のレジスタから構成される複数段シフトレジスタを含み、G O Aの場合には、このようなレジスタは多数の薄膜トランジスタから構成され、しかも画素部の薄膜トランジスタと同時に形成される。従って、セル・アレイ基板の製造工程の変動によって、各レジスタを含むゲートドライバから出力されるゲート信号の波形や出力タイミングが正常でなかったり、又は、ゲート信号のハイレベル（以下、「Hレベル」という）の電圧やローレベル（以下、「Lレベル」という）の電圧に異常が生じたりすることがある。従って、どのレジスタ（段）に不良が生じてもしリペアできることが望ましく、また、薄膜トランジスタ単位のリペアは困難であり信頼性上の問題があるため、レジスタ単位でリペアできることが望ましい。

20

【 0 0 0 7 】

一般に、リペアは、配線を切断する場合にはレーザー光を切断箇所照射することによって行われ、また、本来の配線とリペア用の配線であるリペア配線との間を接続して導通をとる場合には、両配線が交差するように又は平面視で重なり合うようにあらかじめリペア配線を設けておき、交差する部分にレーザー光を照射して両者を溶着させることにより行われる。しかしながら、このようなリペア配線はあらかじめリペア接続すべき場所にまで配線を形成しておくものであるため、本来の配線のレイアウトやリペア配線のレイアウトにもよるが、本来の配線とリペア接続をする必要がないのに交差してしまうといった不要な交差の発生を回避しがたい。そして、リペア前ではリペア配線がフローティング状態になっている限り交差容量が生ずることはなく、また、リペア後であってもリペア接続によって接続されてしまう交差部には交差容量は生じないため問題は少ないが、リペア後にはリペア配線にも電圧が印加されるため、本来の配線と交差するが接続はされない交差においては本来の配線とリペア配線の間には新たな交差容量が生じうる。

30

【 0 0 0 8 】

そのため、ゲート信号を供給するゲート配線においても個々のゲート配線にかかる交差容量がリペア前とリペア後では異なることになり、ゲート信号の波形が変化したりG O A内のシフトレジスタの動作の信頼性に問題が生じたりする。また、リペアがなされることによりゲート信号が供給される配線や交差の様相が変化するため、リペアによる配線の切断や接続に直接関係したゲート配線だけでなく、リペアと直接関係していない他のゲート配線についてもリペア前後で交差容量が異なってしまうことがある。

40

【 0 0 0 9 】

本発明は、以上の点に鑑みてなされたものであり、ゲートドライバに不良が生じた場合にリペアすることができる液晶表示装置を提供することを目的とする。また、本発明は、リペア前後においてゲート信号が供給される配線の交差容量が変わらないような配線レイアウトを備える液晶表示装置を提供することを目的とする。さらに、本発明は、かかるリペアをすることにより、信頼性の高い液晶表示装置を提供することを目的とする。なお、

50

本発明において、配線の交差容量が変わらないとは、配線の交差容量の容量値が変わらないことをいうものとする。

【課題を解決するための手段】

【0010】

本発明にかかる液晶表示装置の製造方法は、画素部とゲートドライバとが一体に形成された基板を備え画像を表示するアクティブマトリックス型の液晶表示装置の製造方法であって、該画素部を行単位で選択するゲート信号を発生するレジスタと、該レジスタに隣接して配設され該レジスタと同一の構成を備えフローティング状態にあるスペアレジスタと、該スペアレジスタのみに接続されたリペア配線と、該リペア配線と第2の交差をしてなる主配線と該主配線から分岐し他のゲート配線と第1の交差をして冗長交差容量を生じさせる冗長枝配線とを備えるとともに該ゲート信号を順次発生する複数段シフトレジスタが構成されるように該レジスタに接続され該ゲート信号が供給されるゲート配線とをそれぞれ複数備える該ゲートドライバを形成する第1工程と、該レジスタが不良レジスタである場合に該不良レジスタ及び該冗長交差容量を切り離すとともに該ゲート配線と該リペア配線とを該第2の交差において接続するリペアを行うことにより、該不良レジスタに代わり該スペアレジスタを用いた該ゲートドライバを構成するとともに該ゲート信号が供給される配線がもつ交差容量の値が該リペアの前後で同じとなるようにする第2工程とを含むことを特徴とする。

10

【0011】

かかる構成をとることにより、不良レジスタを切り離すとともにリペア配線によってスペアレジスタを接続することができるため、ゲートドライバのリペアをレジスタ単位ですることができる。しかも、ゲート信号が供給される配線がもつ交差容量の総容量値をリペア前後で同じとすることができる。一般に、複数段シフトレジスタを構成する場合にはゲート配線は他のレジスタに接続された他のゲート配線と交差をなし、また、リペアを可能とする場合にはスペアレジスタやリペア配線を設けておく必要があるゲート配線はリペア配線との間にも多数の交差を生じさせる。そして、リペア前においては、ゲート信号が供給されているゲート配線同士の交差に交差容量が生ずる。

20

【0012】

また、リペア配線との接続をするリペアを行うことによりリペア後のリペア配線にもゲート信号が供給されることになるため、リペア配線との交差に新たな交差容量が生ずることになり、ゲート信号が供給される配線の交差容量はリペア前に比べて増加する。しかし、本発明にかかるゲート配線は他のゲート配線と交差して所定の量の冗長な交差容量をあらかじめ生じるような冗長枝配線を備えているため、本発明によれば、第2工程において、冗長枝配線を切断することにより、又は不良レジスタの切り離しの際にこのような不良レジスタにかかる冗長枝配線をも一括して切り離されるようにゲート配線を切断することにより、かかる増加した交差容量と同じ容量値の冗長交差容量を切り離すと同時に消滅させることができる。

30

【0013】

そのため、ゲート信号が供給される配線の交差容量はリペア前後で変わらない。しかも、リペアによる配線の切断や接続に直接関係したゲート配線だけでなく、リペアと直接関係しないゲート配線の交差容量も変わらない。そのため、ゲート信号の波形が変化したりGOA内のシフトレジスタの動作の信頼性に問題が生じたりするということはない。従って、本発明によれば、ゲートドライバに不良が生じた場合にリペアすることができる液晶表示装置を提供することができるだけでなく、リペア前後においてゲート信号が供給される配線の交差容量が変わらないような配線レイアウトを備える液晶表示装置を提供することができる。さらに、本発明は、かかるリペアをすることにより、信頼性の高い液晶表示装置を提供することができる。

40

【0014】

本発明にかかる液晶表示装置の製造方法は、前記第2工程前の前記ゲート配線及び前記リペア配線は、前記スペアレジスタであって、前段ゲート信号を発生する前段レジスタと

50

【 0 0 1 5 】

【 0 0 1 6 】

【 0 0 1 7 】

【 0 0 1 8 】

【 0 0 1 9 】

本発明にかかる液晶表示装置の製造方法は、前記第 2 工程前の当該ゲート配線の前記主配線は、当該レジスタの出力端子から延びて、次段ゲート配線の 2 本の前記第 1 冗長枝配線とそれぞれ交差をなし、該当該レジスタの切り離し箇所を経て、当該スペアレジスタの当該入力用リペア配線と交差をなして第 1 分岐点に至り、該第 1 分岐点から該次段ゲート配線と交差をして第 2 分岐点に至り、該第 2 分岐点から前記画素部に接続され、該第 1 分岐点から、該当該スペアレジスタの当該制御用リペア配線と交差し、該当該スペアレジスタの当該出力用リペア配線と交差をなし、次段レジスタと次次段レジスタとの間にある次

段スペアレジスタから延びた次段入力用リペア配線と交差し、次次段ゲート配線の前記第2冗長枝配線と交差をなして該次段レジスタの入力端子に接続され、該第2分岐点から、前段レジスタと該当段レジスタとの間にある前段スペアレジスタの前段制御用リペア配線との交差をし、該前段スペアレジスタの前段出力用リペア配線との交差をし、該前段スペアレジスタの該前段制御用リペア配線との2回目の交差をし、前段ゲート配線と交差をなし、前前段レジスタと該前段レジスタとの間にある前前段スペアレジスタの前前段制御用リペア配線と交差し、該前段スペアレジスタの前段入力用リペア配線と交差し、該当段ゲート配線の前記第1冗長枝配線との第3分岐点を経て、該当段ゲート配線の他の前記第1冗長枝配線及び該当段ゲート配線の前記第2冗長枝配線との第4分岐点を経て、該前段レジスタの制御端子に接続されてなることを特徴とする。かかる構成をとることにより、G
O Aとして機能するシフトレジスタをリペア前においてはレジスタを用いて構成することができ、リペア後においてはスペアレジスタを用いて同機能をもつシフトレジスタを構成できるとともに、ゲート信号が供給される配線の交差容量をリペア前後で同じにすることができる。

10

【0020】

本発明にかかる液晶表示装置の製造方法は、当段レジスタが不良レジスタの場合に、該当段レジスタと次段レジスタとの間にあるスペアレジスタである当段スペアレジスタを用いて前記リペアをするときは、前記第2工程の該不良レジスタの前記切り離しをするリペアは、不良レジスタである該当段レジスタの入力端子へ延びた前段ゲート配線が該当段スペアレジスタの当段入力用リペア配線となす交差と該前段ゲート配線が次段ゲート配線の第2冗長枝配線となす交差との間で該前段ゲート配線を切断し、該当段レジスタの制御端子へ延びた該次段ゲート配線が該当段入力用リペア配線となす交差と該次段ゲート配線の前記第1冗長枝配線との第3分岐点との間で該次段ゲート配線を切断し、該当段レジスタの出力端子から延びた当段ゲート配線が該当段入力用リペア配線となす交差と該当段ゲート配線が該次段ゲート配線の前記第1冗長枝配線となす交差との間で該当段ゲート配線を切断する工程を含み、該第2工程の前記接続をするリペアは、該前段ゲート配線と該当段入力用リペア配線との交差、該当段ゲート配線と当段出力用リペア配線との交差、及び該次段ゲート配線と当段制御用リペア配線との交差のそれぞれにおいて接続をする工程を含み、該第2工程の前記冗長交差容量の前記切り離しをするリペアは、該当段ゲート配線の前記第1冗長枝配線の1本及び次次段ゲート配線の前記第1冗長枝配線の1本をそれぞれ切断する工程を含むことを特徴とする。かかる構成をとることにより、当段レジスタが不良レジスタの場合に、当段レジスタと次段レジスタとの間にある当段スペアレジスタを用いてリペアをすることができる。また、ゲート信号が供給される配線の交差容量はリペア前後で変わらない。

20

30

【0021】

本発明にかかる液晶表示装置の製造方法は、当段レジスタが不良レジスタの場合に、前段レジスタと該当段レジスタとの間にある前段スペアレジスタを用いて前記リペアをするときは、前記第2工程の該不良レジスタの前記切り離しをするリペアは、不良レジスタである該当段レジスタの入力端子へ延びた前段ゲート配線が該当段レジスタと次段レジスタとの間にある当段スペアレジスタの当段入力用リペア配線となす交差と該前段ゲート配線が次段ゲート配線の前記第2冗長枝配線となす交差との間で該前段ゲート配線を切断し、該当段レジスタの制御端子へ延びた該次段ゲート配線が該当段入力用リペア配線となす交差と該次段ゲート配線の前記第1冗長枝配線との第3分岐点との間で該次段ゲート配線を切断し、該当段レジスタの出力端子から延びる当段ゲート配線が該当段入力用リペア配線となす交差と該当段ゲート配線が該次段ゲート配線の前記第1冗長枝配線となす交差との間で該当段ゲート配線を切断する工程を含み、該第2工程の前記接続をするリペアは、該前段ゲート配線と該前段スペアレジスタの前段入力用リペア配線との交差、該当段ゲート配線と該前段スペアレジスタの前段出力用リペア配線との交差、及び該次段ゲート配線と該前段スペアレジスタの前段制御用リペア配線との交差のそれぞれにおいて接続する工程を含み、該第2工程の前記冗長交差容量の前記切り離しをするリペアは、該当段ゲート配

40

50

線の 2 本の前記第 1 冗長枝配線及び該前段ゲート配線の 1 本の前記第 1 冗長枝配線を切断する工程を含むことを特徴とする。かかる構成をとることにより、当該レジスタが不良レジスタの場合に、前段レジスタと当該レジスタとの間にある前段スペアレジスタを用いてリペアをすることができる。また、ゲート信号が供給される配線の交差容量はリペア前後で変わらない。

【0022】

本発明にかかる液晶表示装置は、複数のレジスタを備え画素部を行単位で選択するゲート信号を順次発生する複数段シフトレジスタを含むゲートドライバと該画素部とが一体に形成された基板を備え画像を表示するアクティブマトリックス型の液晶表示装置であって、該ゲートドライバは、該レジスタに隣接して配設され該レジスタと同一の構成を備えるスペアレジスタと、該レジスタに接続され該ゲート信号を供給するゲート配線であって他のゲート配線と交差をして冗長交差容量を生じさせる冗長枝配線が分岐されてなるゲート配線と、該スペアレジスタに接続され該ゲート配線及び該他のゲート配線と交差をするリペア配線とを含んでなり、該ゲート配線及び該他のゲート配線と該リペア配線とを接続するとともに不良レジスタ及び該冗長交差容量を切り離すリペアが行われることにより、該不良レジスタに代えて該スペアレジスタが該ゲートドライバを構成してなるとともに該ゲート信号が供給される配線にかかる交差容量が該リペア前後で同じとなるように構成されてなることを特徴とする。

【発明の効果】

【0023】

本発明は、かかる構成をとることにより、ゲートドライバに不良が生じた場合にリペアすることができる液晶表示装置を提供することができる。また、本発明は、リペア前後においてゲート信号が供給される配線の交差容量が変わらないような配線レイアウトを備える液晶表示装置を提供することができる。さらに、本発明は、かかるリペアをすることにより、信頼性の高い液晶表示装置を提供することができる。

【図面の簡単な説明】

【0024】

【図 1】本発明の実施の形態である液晶表示装置の模式的な平面構成図である。

【図 2】本発明の実施の形態である画素部等の等価回路を示す図である。

【図 3】本発明の実施の形態であるゲートドライバのリペア前の構成図である。

【図 4】本発明の実施の形態であるゲートドライバのリペア後の構成図である。

【図 5】本発明の実施の形態であるゲートドライバのリペア後の他の構成図である。

【図 6】本発明の実施の形態であるレジスタの説明図である。

【図 7】本発明の実施の形態の変形例であるゲートドライバのリペア前の構成図である。

【図 8】本発明の実施の形態の変形例であるゲートドライバのリペア後の構成図である。

【図 9】本発明の実施の形態の変形例であるゲートドライバのリペア後の他の構成図である。

【発明を実施するための形態】

【0025】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0026】

〔全体構成〕

図 1 に基づいて、本実施の形態にかかるアクティブマトリックス型の液晶表示装置 100 の全体構成を説明する。図 1 は、本実施の形態にかかるアクティブマトリックス型の液晶表示装置の模式的な平面的な構成図である。本実施の形態にかかる液晶表示装置 100 は、セル・アレイ基板 101 と図示しない対向基板とこれらの基板の間に挟持された液晶を含む液晶パネルを備え、さらに、中継基板 50 を含んで構成される。

【0027】

セル・アレイ基板 101 は、透明性と絶縁性とを備えるガラス等からなる基板に形成された $m \times n$ 個の画素部 10 及びゲートドライバ 70 等を含んで構成される。セル・アレイ

10

20

30

40

50

基板 101 には、X (行) 方向に延びシフトレジスタ 71 を含むゲートドライバ 70 から出力され画素部 10 内の薄膜トランジスタのゲート電極に接続された複数本 (m 本) のゲート線 72 を備えている。ゲートドライバ 70 は、多数の薄膜トランジスタや配線を含んで構成されており、このような薄膜トランジスタや配線は画素部 10 に形成される薄膜トランジスタや配線と同時に、また同一の工程で形成される。

【0028】

ゲートドライバ 70 には、複数の配線からなるゲート配線群 73 が接続されている。電源 V_{ss} 、各種クロック信号 CLK、CLKB、及び各種制御信号等がゲート配線群 73 の配線を介してそれぞれゲートドライバ 70 に供給される。ゲート配線群 73 は、中継基板 50 を経由して図示しないゲートドライバ制御部及び電源部等に接続されている。ゲートドライバ 70 はこれらの信号を入力として、ゲート信号を所定のタイミングで所定のゲート線 72 に出力する。ゲート信号は、1 本のゲート線に接続された複数 (n 個) の画素部内の薄膜トランジスタを行単位で選択的にスイッチングするための信号である。シフトレジスタ 71 を備えるゲートドライバ 70 からは、ゲート信号 G1 から Gm が、m 本のゲート線 72 のそれぞれに供給される。

10

【0029】

また、セル・アレイ基板 101 には、Y (列) 方向に延びデータ線外部端子 84 と画素部 10 内の薄膜トランジスタのドレイン電極とに接続された複数本 (n 本) のデータ線 82 が形成されている。画像信号に基づき表示に応じたデータ信号が、データ線 82 を介して、ゲート信号によって選択された薄膜トランジスタに供給される。なお、セル・アレイ基板 101 の端部近くのデータ線側端子領域 101b には、複数本のデータ線 82 に対応する複数のデータ線外部端子 84 が X 方向に沿って設けられている。そして、ゲート線 72 とデータ線 82 の各交差のそれぞれに対応して、ゲート線 72 とデータ線 82 とによって区画された領域に画素部 10 がマトリックス状に配列されている。このようにマトリックス状に配置された画素部が占める領域が画素領域となる。

20

【0030】

対向基板は、絶縁性と透明性を備えるガラス基板等からなる基板を含んで構成される。対向基板は、図示しないカラーフィルタや遮光層等を備え、また、セル・アレイ基板 101 と同様に図示しない配向膜等を備えている。参照番号 103a は対向基板の外縁である。セル・アレイ基板 101 と対向基板及び図示しないシール部によって閉じられた空間に液晶 99 が封止される。

30

【0031】

中継基板 50 は、絶縁性のある例えばフレキシブル基板等を含んで構成される。中継基板 50 は、セル・アレイ基板 101 と図示しないプリント基板等の他の基板とを中継する基板である。中継基板 50 は、TAB 又は COF 等の実装方法によって中継基板上に実装されたデータドライバ 80 を含んで構成される。データドライバ 80 は、図示しないデータドライバ制御部等からデータ配線群 83 によって供給される画像信号、各種クロック信号及び各種制御信号等を入力とし、画像信号に対応するデータ信号 D1、D2、...、Dn を所定のタイミングで所定のデータ線 82 に出力する。また、中継基板 50 とセル・アレイ基板 101 との接続部 61a において、ゲートドライバ 70 にかかるゲート配線群 73 は、ACF (異方性導電体) 等の導電部材 60 を介してセル・アレイ基板との間の接続が行われ導通がとられる。また、データドライバ 80 からのデータ信号 D1 から Dn を供給するデータ線 82 も、同様に、接続部 61b において接続され基板間の導通がとられる。

40

【0032】

このように、本実施の形態にかかる液晶表示装置においてはゲートドライバ 70 は GOA 構造をなしている。なお、本発明においてはデータドライバ 80 はセル・アレイ基板 101 上に形成されていてもよい。また、本実施の形態にかかる液晶表示装置は、この他にも、図示しない偏光板、バックライト等の部材を備えている。

【0033】

次に、図 2 に基づいて、スイッチング素子として薄膜トランジスタを用いた画素部及び

50

その周辺部の構成を説明する。図 2 は、本実施の形態にかかる画素部 10 及びその周辺の概略の等価回路図である。図 2 に示す一つの画素部 10 は、薄膜トランジスタ 20 及び画素電極 32 を含んで構成される。薄膜トランジスタ 20 は、ゲート線 72 とデータ線 82 との交差部の近傍に設けられる。薄膜トランジスタ 20 は、セル・アレイ基板 101 の基板上に形成されゲート線 72 に接続されたゲート電極 12 と、ITO (インジウムスズ酸化物: Indium Tin Oxide) 等からなる透明導電材料から形成された画素電極 32 に接続されたソース電極 25 と、データ線 82 に接続されたドレイン電極 26 とを含んで構成される。薄膜トランジスタ 20 の半導体層の材質としては、アモルファスシリコン、低温ポリシリコン又は高温ポリシリコン等が用いられ、また、In、Ga 及び Zn 等を含むアモルファス透明酸化物半導体を使用することもできる。

10

【0034】

また、ゲートドライバ 70 を構成する薄膜トランジスタも同様な構成を備えており、薄膜トランジスタに接続される配線はゲート線 72 やデータ線 82 と同時に同一工程でこれらと同一の金属材料を用いて形成することができる。配線同士が交差する部分は、薄膜トランジスタのゲート絶縁膜や層間絶縁膜の形成と同時に同一の工程でこれらと同一の絶縁材料で形成された絶縁層によって絶縁される。配線同士の交差部分には交差容量が生じ、その大きさは両配線間を絶縁する絶縁層の厚さ、誘電率及び交差面積等によって定まる。なお、本実施の形態においては、特に限定するものではないが、いずれの薄膜トランジスタもアモルファスシリコンを半導体層とする薄膜トランジスタであるとして説明する。

20

【0035】

また、コモン電極 34 は、例えば、TN (Twisted Nematic) モード又は VA (Vertical Alignment) モード等で動作する液晶表示装置においては、対向基板上にパターンニング形成され各画素部に共通の透明電極である。なお、例えば、IPS (In-Plane Switching) モード又は FFS (Fringe Field Switching) モードで動作する液晶表示装置においては、コモン電極 34 は、セル・アレイ基板 101 上に、各画素部のそれぞれに対応してパターンニング形成される。コモン配線 (共通電極線ともいう) 35 は、コモン電極 34 に接続されており、所定の電圧のコモン信号をコモン電極 34 に供給する。なお、図 2 に示す参照番号 27 は画素電極 32 と容量線 28 との間に形成された保持容量 C_s であり、容量線 28 には所定の電圧が供給される。また、参照番号 38 及び 39 は、それぞれゲート・ソース間寄生容量 C_{gs} 及びゲート・ドレイン間寄生容量 C_{gd} である。また、図 1 では容量線 28 等の図示を省略している。

30

【0036】

このような画素部 10 を備える液晶表示装置 100 の動作は次のとおりである。ゲートドライバ 70 は、液晶表示装置 100 に入力される図示しない画像信号の同期信号その他の情報に基づいて、データ線 82 からのデータ信号を書き込むべき画素部 10 を行単位で選択するゲート信号 G_1 、 G_2 、 $\dots$ 、 G_m を順次出力する。データドライバ 80 は、画像信号の輝度情報等に基づいて、ゲート信号に同期して動作し、選択された画素部 10 にデータ信号 D_1 、 D_2 、 $\dots$ 、 D_n を供給する。そして、選択された画素部 10 内にある薄膜トランジスタ 20 を介して、データ信号に応じた電圧が画素電極 32 に印加される。これによって、画素電極 32 とコモン電極 34 とからなる一対の電極の間に電界が生じ、この電界によって液晶 99 の分子の向き (液晶分子の配向) が制御される。そして、この配向変化を利用することにより液晶を透過する光を変調することで画像等の表示作用が行われる。このようにして液晶表示装置が構成される。

40

【0037】

[リペア前のゲートドライバ]

次に、図 3 に基づいて、本実施の形態にかかるゲートドライバ 70 について説明する。図 3 は、リペアがされていない状態、即ち、ゲートドライバが画素部等とともに通常に形成された状態 (以下、単に「リペア前」又は「リペアされる前」という) でのゲートドライバの構成を示し、各配線のレイアウトや交差状況をも図示した図である。

【0038】

50

なお、同図中の点線の○印は配線同士がリペアによって接続される可能性のある交差を示しており、また、 $\times 41$ 等記号 $\times$ で始まる3文字の参照符号が付された点線の $\times$ 印はその配線がリペアによって切断される可能性のある切断箇所を示し、いずれも、レジスタREG4、REG5及びスペアレジスタSPARE4/5にかかるもの及び説明の便宜上必要なものを図示している。また、 $c11$ 、 $w01$ 等の記号 c 又は w で始まる3文字の参照符号は、配線同士の交差を示す。また、実線の□印は配線同士の交差によって交差容量が生じている箇所を示しているが、レジスタREGやスペアレジスタSPAREに対して画素部側にあるもののみ図示し、画素部側の反対側であるクロック配線側にあるものの図示を省略している。

【0039】

10

[レジスタREG]

図3に示すように、本実施の形態にかかるゲートドライバ70は、複数(m 個)のレジスタREG1、REG2(図示せず)、REG3、 $\dots$ 、REG i 、 $\dots$ 、REG m (図示せず)と、複数(m 個)のスペアレジスタSPARE1/2(図示せず)、SPARE2/3(図示せず)、SPARE3/4、 $\dots$ 、SPARE $i/i+1$ 、 $\dots$ 、SPARE $m/m+1$ (図示せず)を含んで構成される。但し、 i は1から m までの整数である。

【0040】

なお、着目するレジスタREG i を当該レジスタと呼び、レジスタREG $i-2$ 、REG $i-1$ 、REG $i+1$ 、REG $i+2$ をそれぞれ前前段、前段、次段、次次段のレジスタと呼ぶものとし、スペアレジスタSPARE $i/i+1$ 、ゲート配線LG i 、ゲート信号G i やリペア配線についても同様の呼び方をすることとする。例えば、着目するレジスタをREG4とした場合には、当該スペアレジスタはスペアレジスタSPARE4/5となり、当該ゲート配線はLG4となり、次段ゲート配線はLG5となり、次次段ゲート信号はG6となり、前段スペアレジスタはSPARE3/4となる。また、例えば、前段スペアレジスタSPARE3/4の入力用リペア配線、制御用リペア配線及び出力用リペア配線をそれぞれ、前段入力用リペア配線、前段制御用リペア配線及び前段出力用リペア配線と呼ぶ。なお、ゲート配線LG i は前述したゲート線72に相当する。

20

【0041】

複数のレジスタREGは、リペア前においてはカスケード接続されており、シリアル動作をする複数段構成のシフトレジスタ71を構成する。シフトレジスタ71には、ゲート配線群73を構成する各配線を介して、クロック信号CLK、CLKB、スタートパルス信号SP、エンドパルス信号EP、電源Vss等が供給される。シフトレジスタ71の各段を構成するレジスタREG1からREG m は、それぞれ、クロック信号CLK、CLKB及びVssを入力する入力端子CK、CKB、Vss、並びにゲート線72に接続され当該ゲート信号を出力する出力端子であるOUTを備えている。また、各レジスタREGは、前段のレジスタREGの出力端子OUTから出力される前段ゲート信号を入力する入力端子INと、次段のレジスタの出力端子OUTからの出力である次段ゲート信号を入力する制御端子CTとを備えている。

30

【0042】

クロック信号CLKとCLKBは、互いに位相が反転した信号であり、レジスタREGからの出力をシフトして次段のレジスタREGに転送するいわゆるシフトクロックである。クロック信号CLKは奇数段目のレジスタREG1、REG3、 $\dots$ のCK端子及び偶数段目のレジスタREG2、REG4、 $\dots$ のCKB端子に入力される。クロック信号CLKBは奇数段目のレジスタREG1、REG3、 $\dots$ のCKB端子及び偶数段目のレジスタREG2、REG4、 $\dots$ のCK端子に入力される。スタートパルス信号SPは、シフトレジスタ71の一段目(初段)のレジスタREG1の入力端子INにのみ入力され、ゲート信号G1の出力を開始するための信号である。エンドパルス信号EPは最終段のレジスタREG m の制御端子CTにのみ入力され、ゲート信号G m がHレベルであるその選択期間経過後にG m をLレベルに戻すための信号であり、このような最終段の動

40

50

作が完了することで一走査期間におけるシフトレジスタ 7 1 のシフト動作が終了する。そして、各レジスタ REG の出力であるゲート信号 G_1 、 G_2 、 $\dots$ 、 G_i 、 $\dots$ 、 G_m は、後述する図 6 (b) に示すように、シフトクロックに同期して、初段のゲート信号 G_1 から最終段のゲート信号 G_m まで順次 H レベルとなり、これらの信号はゲートドライバ 7 0 が出力するゲート信号として出力され、画素部が行単位で順次選択されてゆくことになる。

【0043】

[スペアレジスタ S_{PARE}]

スペアレジスタ $S_{PARE\ i / i + 1}$ は、レジスタ $REG\ i$ と $REG\ i + 1$ との間に、各レジスタ REG に隣接して設けられている。ここで、 i は 1 から m までの整数である。従って、本実施の形態にかかるゲートドライバ 7 0 はレジスタ REG 毎にスペアレジスタ S_{PARE} を備えていることになる。

10

【0044】

スペアレジスタ $S_{PARE\ i / i + 1}$ は、後述のように、 $REG\ i$ 又は $REG\ i + 1$ のいずれかが正常動作をしないときに $REG\ i$ 又は $REG\ i + 1$ に代えて使用することができ、これによってレジスタ REG が不良の場合にはゲートドライバをリペアすることができる。言い換えれば、レジスタ $REG\ i$ が正常動作をしない場合には、 $REG\ i$ の一方に隣接するスペアレジスタ $S_{PARE\ i - 1 / i}$ 、又は他方に隣接する $S_{PARE\ i / i + 1}$ のいずれかを使用してリペアすることができる。また、リペア前のゲート配線及びリペア配線は、前段ゲート信号を発生する前段レジスタと当段ゲート信号を発生する当段レジスタとの間に設けられた前段スペアレジスタ、又は当段レジスタと次段ゲート信号を発生する次段レジスタとの間に設けられた当段スペアレジスタのいずれをもスペアとしてリペアに使用可能なように配設されている。かかる構成をとることにより、複数のレジスタやスペアレジスタに不良が生じた場合でもリペアすることができ、多様な不良モードに対して対処できる。なお、最終段レジスタ $REG\ m$ については、最終段スペアレジスタ $S_{PARE\ m / m + 1}$ を設けなくても $S_{PARE\ m - 1 / m}$ を用いてレジスタ $REG\ m$ をリペアすることは可能である。また、初段レジスタ $REG\ 1$ の前にスペアレジスタを設けることもできる。リペアの詳細は後述する。

20

【0045】

スペアレジスタ $S_{PARE\ i / i + 1}$ の構成は図 6 のレジスタ $REG\ i$ の構成と同じである。従って、各スペアレジスタ $S_{PARE\ i / i + 1}$ は、レジスタ REG と同じく、クロック信号 CLK 又は $CLKB$ を入力する端子 CK 及び端子 CKB 、 V_{SS} を入力する端子である VSS 、当段ゲート信号を出力する出力端子である OUT 、前段ゲート信号を入力する入力端子 IN 、及び次段ゲート信号を入力する制御端子 CT を備えている。また、スペアレジスタ $S_{PARE\ i / i + 1}$ の構成は、その入出力端子の配列の態様を含め $REG\ i$ と全く同一である。

30

【0046】

なお、リペアがされる前においては、スペアレジスタ S_{PARE} の入力端子 CK 、 VSS 、 CKB 、 IN 、 CT や出力端子 OUT にそれぞれ接続されているリペア配線 RCK 、 $RVSS$ 、 $RCKB$ 、 RI 、 RC 及び RO は、ゲート配線等の他のいずれの配線や端子にも接続されていないため、スペアレジスタ及びリペア配線はすべてフローティング状態にある。従って、リペア前においてはゲート配線がこれらのリペア配線と交差しても交差容量は生じない。

40

【0047】

[レジスタ REG 及びスペアレジスタ S_{PARE} の構成]

図 6 はレジスタ REG を説明する図であり、同図 (a) はレジスタ REG の回路図であり、同図 (b) はその動作を説明するためのタイミングチャートである。スペアレジスタ S_{PARE} も全く同様の構成を備えている。まず、レジスタ $REG\ i$ の構成を説明する。また、 T_1 ないし T_7 はシフトクロック CLK の各期間を示す。各期間の時間幅 T_w がすべて同じ場合には、シフトクロックの周期は $2 \times T_w$ であり、その半周期は T_w となる。

50

なお、Lレベルの電位とは V_{ss} の電位をいうものとする。

【0048】

レジスタREG i は、例えば、薄膜トランジスタM1ないしM6を含んで構成される。薄膜トランジスタM2のゲート電極とドレイン電極には、前段のレジスタREG $i-1$ の出力である前段ゲート信号G $i-1$ が入力端子INから入力され、ソース電極はノードbにおいて薄膜トランジスタM3のドレイン電極に接続されている。薄膜トランジスタM3のゲート電極には制御端子CTから次段のレジスタREG $i+1$ の出力である次段ゲート信号G $i+1$ が入力され、ソース電極は V_{ss} に接続されている。薄膜トランジスタM1は出力トランジスタであり、そのゲート電極はノードbに接続され、ドレイン電極にはCK端子からCLK信号又はCLKB信号が入力される。薄膜トランジスタM1のソース電極は当段レジスタであるREG i の出力端子OUTに接続されており、出力端子OUTから当段レジスタREG i の出力信号である当段ゲート信号G i が出力される。薄膜トランジスタM4のゲート電極には制御端子CTから入力される次段ゲート信号G $i+1$ が入力され、ドレイン電極は出力端子OUTに、ソースは V_{ss} に、それぞれ接続されている。薄膜トランジスタM5はプルダウン抵抗用薄膜トランジスタであり、そのゲート電極には制御信号CT2が入力され、そのドレイン電極は出力端子OUTに、ソース電極は V_{ss} に、それぞれ接続されている。薄膜トランジスタM6も、プルダウン抵抗用薄膜トランジスタであり、そのゲート電極にはCKB端子からCLKB信号又はCLK信号が入力され、ドレイン電極は出力端子OUTに、ソース電極は V_{ss} に、それぞれ接続されている。CK端子にはCLK信号又はCLKB信号の一方が入力され、CKB端子にはCLK信号又はCLKB信号の他方が入力される。また、ノードbと出力端子OUTとの間にはブートストラップ動作を行う容量Cbが形成されている。

10

20

【0049】

次に、このようなレジスタREG i の動作を、CK端子にCLK信号が入力されるレジスタREG i を例として同図(b)のタイミングチャートを参照して説明する。なお、制御信号CT2は、前段ゲート信号G $i-1$ 又は当段ゲート信号G i がHレベルであるとき、即ち選択期間であるときにLレベルとなる信号であり、図示しない回路から出力される。制御信号CT2は、従って、ゲート信号G i の選択期間及び該選択期間の直前の半周期TwにおいてLレベルとなり、それ以外の期間ではHレベルとなる。そのため、制御信号CT2は、一走査期間のほとんどの期間でHレベルとなっている。期間T1においては、薄膜トランジスタM1ないしM4はいずれもオフ状態にある。CT2はHレベルであるため、M5はオン状態であり、ゲート信号G i はLレベルである。

30

【0050】

期間T2において、前段ゲート信号G $i-1$ のHレベルがレジスタREG i の入力端子INに入力されると、薄膜トランジスタM2はオン状態となり、ノードbには前段ゲート信号G $i-1$ のHレベルが現れ始める。そのため、容量Cbが充電され、ノードbの電位はVbまで上昇する。これにより、薄膜トランジスタM1のゲート電圧も上昇し薄膜トランジスタM1もオン状態となるため、CK端子に入力されているCLK信号のLレベルが出力端子OUTに現れ、ゲート信号G i はLレベルに維持される。なお、CT2はLレベルに変化して薄膜トランジスタM5はオフ状態となる。薄膜トランジスタM3及びM4はオフ状態を維持する。なお、Vbの大きさは、高々、前段ゲート信号G $i-1$ のHレベルの電圧よりも薄膜トランジスタM2のスレッシュホールド電圧だけ低い値となる。

40

【0051】

次の期間T3において、CLK信号が立ち上がると、前段ゲート信号G $i-1$ はLレベルとなるため薄膜トランジスタM2はオフ状態となる。ノードbの電位は、CLK信号の立ち上がり時においてはVbであるため薄膜トランジスタM1はオン状態を維持し、しかもCLK信号がHレベルとなるため、出力端子OUTにはCLK信号のHレベルが出力されゲート信号G i はLレベルからHレベルとなる。また、ゲート信号G i がLレベルからHレベルに立ち上がる時に、容量Cbに蓄えられていた電荷は急には変わらないため、ブートストラップ効果により、ノードbの電位Vbは出力端子OUTがLレベルからHレベル

50

に上昇した分（即ち、概ねCLKの波高値の分）だけさらに高くなり、そのため、薄膜トランジスタM1のオン状態はますます確実なものとなる。なお、この期間においては、薄膜トランジスタM2、M3及びM4はオフ状態のままである。また、薄膜トランジスタM5もオフ状態である。なお、次段レジスタREGi+1のCK端子にはクロック信号CLKの反転信号であるCLKBが入力されており、次段のREGi+1は、期間T3において、上述のREGiの期間T2における動作と同様の動作が行われる。

【0052】

次の期間T4において、クロック信号CLKがLレベルに立ち下ると、出力端子OUTも立下りLレベルとなりGiも立下がってLレベルとなる。そして、この期間T4においては、次段レジスタREGi+1は上述したREGiの期間T3における動作と同様の動作が行われるため、REGi+1の出力信号であるGi+1はHレベルとなり、これがREGiの制御端子CTに入力されてレジスタREGiの制御端子CTはHレベルとなる。これにより、薄膜トランジスタM3及びM4がオン状態となり、容量Cbに蓄えられた電荷は放電してVbはVssと同じレベルとなる。そのため、M1はオフ状態となるが、M4はオン状態であるため、出力端子OUTはLレベルとなりゲート信号GiはLレベルとなる。この期間T4では、CT2も立ち上がってHレベルになっているため、薄膜トランジスタM5もオン状態となり、薄膜トランジスタM5がプルダウン抵抗として機能し、ゲート信号GiのLレベルはますます確実なものとなる。なお、この期間T4では薄膜トランジスタM1及びM2はオフしている。このように、この期間T4においては、レジスタREGiには次段のゲート信号Gi+1が帰還され、ゲート信号Gi+1の立ち上がり同期してREGiはリセットされ、ゲート信号GiはLレベルに戻ることになる。

【0053】

次の期間T5においては、Gi+1はLレベルとなるため薄膜トランジスタM3及びM4はオフ状態となる。そして、薄膜トランジスタM1及びM2はオフ状態のままである。しかし、CT2がHレベルのままであるため、薄膜トランジスタM5はオン状態のままであり、REGiの出力端子OUTはLレベルのままとなり、GiはLレベルが維持される。この期間のGiのLレベルは、従って、薄膜トランジスタM5のプルダウン抵抗的な機能によってもたらされる。

【0054】

なお、薄膜トランジスタM6は、CKB端子がLレベルのときはオフ状態となるため回路全体に何の影響も及ぼさない。薄膜トランジスタM6は、CKB端子がHレベルのときは常にオン状態となり、CT2がHレベルの期間においてはM5のオン抵抗と並列接続されることにより、また、CT2がLレベルである期間T2においてはCK端子をLレベルに駆動するCLK信号ドライバ（図示せず）の出力インピーダンス及びM1のオン抵抗とからなる直列抵抗と薄膜トランジスタM6のオン抵抗とが並列接続されることにより、それぞれゲート信号GiのLレベルを補強している。

【0055】

このようにして、シフトクロックCLKの立ち上がり及び立下りのタイミングに同期して、レジスタREGiの出力Giが初段から順にHレベルとなる。そして、ゲート信号GiがHレベルの期間（選択期間）においてはゲート信号Giが供給されるゲート線72に接続された画素部の薄膜トランジスタ20がすべてオン状態となり、この選択期間にデータ信号が画素電極32に書き込まれる。ゲート信号GiがLレベルの期間（非選択期間）では、ゲート信号Giが供給されるゲート線72に接続された画素部の薄膜トランジスタ20がすべてオフ状態となり、画素電極32は保持容量27とともに、次の走査期間においてゲート信号Giの選択期間が到来することによって再びデータ信号の書き込みがなされるまで、書き込まれたデータ信号に対応する電荷を保持する。なお、このようにゲート信号Giはノーマルローの信号と考えることができる。

【0056】

なお、初段レジスタREG1の動作は、上記の説明において、ゲート信号Gi-1に代えてスタートパルス信号SPを用いることにより、初段のレジスタとしての動作が上記と

同様に行われる。また、最終段レジスタ R E G m の動作は、上記の説明において、ゲート信号 G_{i+1} に代えてエンドパルス信号 E P を用いることにより最終段のレジスタとしての動作が上記と同様に行われる。このように、複数段シフトレジスタ 7 1 はカスケード接続された複数段のレジスタ R E G 7 5 から構成されている。

【 0 0 5 7 】

[ゲート配線のレイアウト]

ゲート配線のレイアウトを図 3 に基づいて説明する。各レジスタ R E G は、その画素部側に前段ゲート信号が供給される入力端子、当段ゲート信号を出力する出力端子及び次段ゲート信号が供給される制御端子を備え、入力端子は前段に近い側に設けられ、出力端子は次段に近い側に設けられ、制御端子は入力端子と出力端子との間に配設されるように各端子が並んで設けられている。また、本実施の形態においては、C K 端子、V S S 端子及び C K B 端子はクロック配線側に順に設けられており、これらクロック配線側に設けられている端子の配列の態様は特に限定されるものではない。

10

【 0 0 5 8 】

次に、レジスタ R E G にかかる配線やレイアウト等について、図 3 のレジスタ R E G 4 を当段レジスタとして説明する。R E G 4 と R E G 5 との間にあるスペアレジスタ S P A R E 4 / 5 が当段スペアレジスタとなる。当段レジスタ R E G 4 の入力端子 I N には前段ゲート配線 L G 3 が接続され、当段レジスタ R E G 4 の出力端子 O U T には当段ゲート配線 L G 4 が接続され、当段レジスタ R E G 4 の制御端子 C T には次段ゲート配線 L G 5 が接続されている。各段のゲート配線はそれぞれ主配線と冗長枝配線とで構成されており、各段のゲート配線のレイアウトは同一である。

20

【 0 0 5 9 】

リペア前の当段ゲート配線 L G 4 の主配線は、当段レジスタ R E G 4 の出力端子 O U T から延びて、次段ゲート配線 L G 5 の 2 本の第 1 冗長枝配線 L 9 E 及び L 8 E とそれぞれ交差 c 4 2 及び c 4 3 をなし、当段レジスタの切り離し箇所 x 4 6 に至る。主配線はこの切り離し箇所 x 4 6 から、当段スペアレジスタ S P A R E 4 / 5 の当段入力用リペア配線 R I と交差 w a 2 をなして第 1 分岐点 u 6 に至り、第 1 分岐点 u 6 から次段ゲート配線 L G 5 と交差 c 4 4 をなして第 2 分岐点 u 7 に至り、第 2 分岐点 u 7 から画素部 1 0 に接続されている。主配線は、また、第 1 分岐点 u 6 から延びて、当段スペアレジスタ S P A R E 4 / 5 の当段制御用リペア配線 R C と交差 c x 2 をなし、当段スペアレジスタ S P A R E 4 / 5 の当段出力用リペア配線 R O と交差 w a 5 をなす。主配線はこの交差 w a 5 を経て、さらに、次段レジスタ R E G 5 と次次段レジスタ R E G 6 との間にある次段スペアレジスタ S P A R E 5 / 6 から延びた次段入力用リペア配線 R I と交差（交差 w a 1 に相当）し、次次段ゲート配線 L G 6 の第 2 冗長枝配線 L 9 F と交差 c 5 1 をなして次段レジスタ R E G 5 の入力端子 I N に接続される。主配線は、さらに、第 2 分岐点 u 7 から延びて、前段レジスタ R E G 3 と当段レジスタ R E G 4 との間にある前段スペアレジスタ S P A R E 3 / 4 から延びた前段制御用リペア配線 R C と交差（交差 w a 3 に相当）をなし、前段スペアレジスタ S P A R E 3 / 4 の前段出力用リペア配線 R O と交差（交差 w a 6 に相当）をなし、前段スペアレジスタ S P A R E 3 / 4 の前段制御用リペア配線 R C との 2 回目の交差（交差 c x 3 に相当）をなす。主配線は、この 2 回目の交差を経て、前段ゲート配線 L G 3 と交差 c 3 4 をなし、前前段レジスタ R E G 2 （図示せず）と前段レジスタ R E G 3 との間にある前前段スペアレジスタ S P A R E 2 / 3 （図示せず）から延びた前前段制御用リペア配線 R C と交差（交差 w a 4 に相当）する。主配線は、この交差（交差 w a 4 に相当）を経て、さらに、前段レジスタ R E G 3 と当段レジスタ R E G 4 との間にある前段スペアレジスタ 3 / 4 から延びた前段入力用リペア配線 R I と交差（交差 c x 1 に相当）し、当段ゲート配線 L G 4 の第 1 冗長枝配線の 1 本である L 8 E との第 3 分岐点 u 8 に至る。そして、主配線は、第 3 分岐点 u 8 から当段ゲート配線 L G 4 の第 1 冗長枝配線の他の 1 本である L 9 E 及び当段ゲート配線 L G 4 の第 2 冗長枝配線 L 9 F との第 4 分岐点 u 9 を経て、前段レジスタ R E G 3 の制御端子 C T に接続されている。

30

40

【 0 0 6 0 】

50

また、リペア前の当段ゲート配線 L G 4 から分岐した当段ゲート配線 L G 4 の冗長枝配線は、前段ゲート配線 L G 3 との交差によって冗長交差容量 (c 3 3 及び c 3 2) を構成する 2 本の第 1 冗長枝配線 L 8 E 及び L 9 E と、前段レジスタ R E G 3 の入力端子 I N に接続されるゲート配線である前前段ゲート配線 L G 2 との交差によって他の冗長交差容量 (c 3 1) を構成する第 2 冗長枝配線 L 9 F とを含み、それぞれの冗長枝配線は前段レジスタ R E G 3 の制御端子近傍で主配線から分岐している。

【 0 0 6 1 】

なお、主配線は複数の配線から構成される。ゲート配線 L G 4 を当段ゲート配線として説明すれば、配線 L O 6 は当段レジスタ R E G 4 の出力端子 O U T と第 1 分岐点 u 6 とを接続する配線であり、配線 L 6 7 は第 1 分岐点 u 6 と第 2 分岐点 u 7 とを接続する配線であり、配線 L 7 P は第 2 分岐点 u 7 と画素部 1 0 とを接続する配線であり、配線 L 7 8 は第 2 分岐点 u 7 と第 3 分岐点 u 8 とを接続する配線であり、配線 L 8 9 は第 3 分岐点 u 8 と第 4 分岐点 u 9 とを接続する配線であり、配線 L 9 C は第 4 分岐点 u 9 と前段レジスタ R E G 3 の制御端子 C T とを接続する配線であり、配線 L 6 I は第 1 分岐点 u 6 と次段レジスタ R E G 5 の入力端子 I N とを接続する配線であり、それぞれ当段ゲート配線 L G 4 の主配線の一部を構成する。

10

【 0 0 6 2 】

また、当段ゲート配線 L G 4 の第 1 冗長枝配線 L 8 E 及び L 9 E は、前段レジスタ R E G 3 の制御端子 C T の近傍においてそれぞれ第 3 分岐点 u 8 及び第 4 分岐点 u 9 から分岐した配線であり、いずれも前段ゲート配線 L G 3 とそれぞれ交差 (c 3 3 及び c 3 2) をして終端している。当段ゲート配線 L G 4 の第 2 冗長枝配線 L 9 F は、前段レジスタ R E G 3 の制御端子 C T の近傍において第 4 分岐点 u 9 から分岐した配線であり、前前段ゲート配線 L G 2 と交差 (c 3 1) をして終端している。また、これら 3 本の冗長枝配線 L 8 E、L 9 E 及び L 9 F の分岐点 u 8 及び u 9 は、本発明の趣旨を損なわない限り、一致していてもよいし、不一致でもよい。

20

【 0 0 6 3 】

なお、ゲート配線 L G 4 の第 1 分岐点 u 6 は交差 w a 2 と交差 c 4 4 との間にあり、第 2 分岐点 u 7 は交差 c 4 4 と画素部 1 0 との間にある。第 3 分岐点 u 8 及び第 4 分岐点 u 9 は、切断箇所 x 3 5 と前段レジスタ R E G 3 の制御端子 C T との間にある。交差 c 3 1 ないし c 3 4 においては交差容量が生じる。そして、詳細は後述するが、これらの交差の一部 (c 3 1 ないし c 3 3) はリペアの前後における配線の容量を等しくするために上記冗長枝配線を分岐させることによりあえて設けられた冗長な交差であり、これらの冗長な交差には冗長交差容量が生ずる。なお、レジスタ R E G 4 の C K 端子から延びる配線は C L K B 信号の配線に接続されている。C K B 端子から延びる配線は C L K 信号の配線に接続されている。V S S 端子から延びる配線は電源配線である V s s の配線に接続されている。

30

【 0 0 6 4 】

[リペア配線のレイアウト]

各スペアレジスタ S P A R E の画素部側及びクロック配線側の入出力端子の配列の態様は、レジスタ R E G と同一である。なお、クロック配線側の入力端子の配列並びは特に限定されるものではない。次に、スペアレジスタ S P A R E にかかる配線やレイアウト等について、図 3 のスペアレジスタ S P A R E 4 / 5 を例とし、当段レジスタを R E G 4 として説明する。スペアレジスタ S P A R E 4 / 5 は当段スペアレジスタとなる。各スペアレジスタ S P A R E には、画素部側に配設された入力用リペア配線 R I、制御用リペア配線 R C 及び出力用リペア配線 R O が接続され、また、クロック配線側に配設されたりペア配線 R C K、R V S S、R C K B が接続されており、これら 6 本の配線はリペア配線を構成する。なお、各段のリペア配線のレイアウトは同一である。

40

【 0 0 6 5 】

そして、当段レジスタと次段レジスタとの間に配設されている当段スペアレジスタのリペア配線のうち、入力用リペア配線 R I は、少なくとも前段ゲート配線 L G 3 及び当段ゲ

50

ート配線 L G 4 にそれぞれ接続可能に交差 (w a 1 及び w a 2) し、制御用リペア配線は、少なくとも次段ゲート配線 L G 5 及び次段レジスタの次の段のレジスタである次次段レジスタの次次段ゲート配線 L G 6 にそれぞれ接続可能に交差 (w a 3 及び w a 4) し、出力用リペア配線は、少なくとも当段ゲート配線 L G 4 及び次段ゲート配線 L G 5 にそれぞれ接続可能に交差 (w a 5 及び w a 6) している。

【 0 0 6 6 】

なお、当段入力用リペア配線 R I は次段ゲート配線 L G 5 との交差 c x 1 をもなしており、当段制御用リペア配線 R C は、当段ゲート配線 L G 4 との交差 c x 2 及び次段ゲート配線 L G 5 との 2 つ目の交差 c x 3 をもなしている。スペアレジスタ S P A R E 4 / 5 の C K 端子から延びるリペア配線 R C K は、C L K 信号の配線と交差 w 0 2 をなし、さらに、C L K B 信号の配線と交差 w 0 1 をなしている。C K B 端子から延びるリペア配線 R C K B は、C L K 信号の配線と交差 w 0 5 をなし、さらに、C L K B 信号の配線と交差 w 0 4 をなしている。V S S 端子から延びるリペア配線 R V S S は電源配線である V s s の配線と交差 w 0 3 をなしている。

【 0 0 6 7 】

このように、リペア前のゲート配線及びリペア配線は、前段ゲート信号を発生する前段レジスタと当段ゲート信号を発生する当段レジスタとの間に設けられた前段スペアレジスタ、又は当段レジスタと次段ゲート信号を発生する次段レジスタとの間に設けられた当段スペアレジスタのいずれをも当段レジスタのリペアに使用可能なように配設されている。即ち、不良レジスタが奇数段目のレジスタか偶数段目のレジスタかによってリペアに用いられるスペアレジスタも奇数段目又は偶数段目のレジスタとなりうるように、リペア配線 R C K は C L K 信号の配線及び C L K B 信号の配線のいずれにも接続可能に交差 (w 0 2 及び w 0 1) している。リペア配線 R C K B も同様である。また、当段スペアレジスタ S P A R E 4 / 5 がリペアによって当段レジスタ R E G 4 としても次段レジスタ R E G 5 としても動作するように、例えば、当段スペアレジスタ S P A R E 4 / 5 の出力用リペア配線 R O は当段ゲート配線 L G 4 及び次段ゲート配線 L G 5 のいずれにもそれぞれ接続可能に交差 (w a 5 及び w a 6) している。入力用リペア配線 R I 及び制御用リペア配線 R C も同様である。

【 0 0 6 8 】

次に切断箇所 (点線 × 印) について説明する。切断箇所は、後述するリペアの際に切断する候補となる箇所である。当段レジスタを R E G 4 とし、R E G 4 を切り離す場合を例として説明すると、当段スペアレジスタは S P A R E 4 / 5 となり、本実施の形態においては、切断箇所 x 4 1 ないし x 4 3 において配線を切断することにより、R E G 4 をそれぞれ C L K B 信号、電源 V s s 及び C L K 信号が供給される配線から切り離すことができる。

【 0 0 6 9 】

また、切断箇所 x 4 4 ないし x 4 6 でそれぞれ切り離しをすることにより、当段レジスタ R E G 4 を 3 本のゲート配線 L G 3、L G 5 及び L G 4 から切り離すことができる。このような位置で切り離すことにより、レジスタ R E G 4 を切り離すとともに、次段ゲート配線 L G 5 の第 1 冗長枝配線 L 8 E、L 9 E 及び第 2 冗長枝配線 L 9 E との交差である交差 c 4 1 ないし c 4 3 に生じている冗長交差容量をも一括して各ゲート配線から切り離すことができる。x 4 4 ないし x 4 6 のような少なくともレジスタをゲート配線から切り離すことができる切断箇所を第 1 の切断箇所という。本実施の形態においては第 1 の切断箇所における切断によって交差容量の一部も切り離される。

【 0 0 7 0 】

さらに、冗長枝配線の切断により、例えば、前段レジスタ R E G 3 の制御端子 C T の近傍にある当段ゲート配線 L G 4 の第 1 冗長枝配線 L 8 E 及び L 9 E のうちの 1 本を、例えば L 8 E を切断箇所 x a 1 で切断することにより、交差 c 3 3 に生じている冗長交差容量を切り離すことができる。レジスタ R E G 4 を切り離さないような場合であっても、例えば、次段ゲート配線 L G 5 の第 1 冗長枝配線 L 9 E を切断箇所 x a 2 において切断するこ

10

20

30

40

50

とにより交差 c_{42} に生じている冗長交差容量のみを切り離すことができる。切断箇所 $\times a_3$ についても同様に交差 c_{43} に生じている冗長交差容量を切り離すことができる。このような冗長交差容量を切り離すための冗長枝配線の切断箇所を第 2 の切断箇所という。

【0071】

次に、このような構成を備えるゲートドライバのリペア前における交差と交差容量について説明する。このような状態においてはスペアレジスタは使用されていないため、その入出力端子及びリペア配線はすべてフローティング状態のままであり何の動作もせず何の影響も与えない。そして、 i 段目のゲート信号 G_i が供給される配線と k 段目のゲート信号 G_k が供給される配線との交差を $\langle i/k \rangle$ とし、このような交差によって両配線の間で交差容量を生じさせるような交差数を $p \langle i/k \rangle$ とすると、 $p \langle i/k \rangle$ は表 1 のようになる。なお、 $p \langle i/k \rangle = p \langle k/i \rangle$ である。また、ここでいう「ゲート信号 G_i が供給される配線」とは、リペア前であるから、ゲート配線 L_{G_i} が該当する。

【0072】

【表 1】

$\langle i/k \rangle$	交差	交差数 $p \langle i/k \rangle$	備考
$\langle 3/k \rangle$	—	0	k は 1 未満
$\langle 3/1 \rangle$	図示せず ²	1	
$\langle 3/2 \rangle$	図示せず ²	3	
$\langle 3/4 \rangle$	c_{32} 、 c_{33} 、 c_{34}	3	
$\langle 3/5 \rangle$	c_{41}	1	
$\langle 3/k \rangle$	—	0	k は 6 以上
$\langle 4/k \rangle$	—	0	k は 2 未満
$\langle 4/2 \rangle$	c_{31}	1	
$\langle 4/3 \rangle$	c_{32} 、 c_{33} 、 c_{34}	3	
$\langle 4/5 \rangle$	c_{42} 、 c_{43} 、 c_{44}	3	
$\langle 4/6 \rangle$	c_{51}	1	
$\langle 4/k \rangle$	—	0	k は 7 以上
$\langle 5/k \rangle$	—	0	k は 3 未満
$\langle 5/3 \rangle$	c_{41}	1	
$\langle 5/4 \rangle$	c_{42} 、 c_{43} 、 c_{44}	3	
$\langle 5/6 \rangle$	c_{52} 、 c_{53} 、 c_{54}	3	
$\langle 5/7 \rangle$	c_{61}	1	
$\langle 5/k \rangle$	—	0	k は 8 以上
$\langle 6/k \rangle$	—	0	k は 4 未満
$\langle 6/4 \rangle$	c_{51}	1	
$\langle 6/5 \rangle$	c_{52} 、 c_{53} 、 c_{54}	3	
$\langle 6/7 \rangle$	c_{62} 、 c_{63} 、 c_{64}	3	
$\langle 6/8 \rangle$	図示せず ²	1	
$\langle 6/k \rangle$	—	0	k は 9 以上

【0073】

表 1 において、例えば、ゲート信号 G_4 が供給される配線については、ゲート信号 G_1 が供給される配線とは交差しないため、 $p \langle 4/1 \rangle = 0$ であり、また、ゲート信号 G_3 が供給される配線とは交差 c_{32} 、 c_{33} 及び c_{34} が生ずるため交差数 $p \langle 4/3 \rangle = 3$ である。他の交差についても同様である。従って、本実施の形態においては、 $p \langle i/i-2 \rangle = 1$ 、 $p \langle i/i-1 \rangle = 3$ 、 $p \langle i/i+1 \rangle = 3$ 、 $p \langle i/i+2 \rangle = 1$ 、これら以外では $p \langle i/k \rangle = 0$ である。

【0074】

〔リペア工程〕

次に、リペア工程について説明する。上記したゲートドライバ 70 を備え画素部 10 とともに液晶表示装置を製造する第 1 工程の後に、液晶表示装置の検査が行われる。そして、ゲートドライバ 70 を構成するレジスタに不良が生じている場合には、不良レジスタ及び冗長交差容量を切り離すとともにゲート配線とリペア配線とを接続するリペアを行うこ

とにより、不良レジスタに代わりスペアレジスタを用いたゲートドライバを構成するとともにゲート信号が供給される配線がもつ交差容量の値がリペアの前後で同じとなるようにする第2工程（リペア工程）を行う。なお、配線を切断し又は接続するリペアは、例えば、レーザーリペア装置を用いてレーザー光の照射により行うことができる。

【0075】

本実施の形態においては、上述のとおりレジスタREG_iは、直ぐ前に位置するスペアレジスタSPARE_{i-1/i}及び直ぐ次に位置するスペアレジスタSPARE_{i/i+1}レジスタのいずれをもリペアに使用することができるため、以下、このような2つのケースについてリペアを行う第2工程をそれぞれ説明する。

【0076】

〔リペア（1）：不良レジスタをその次段側に位置するスペアレジスタを用いてリペアをする場合〕

SPARE_{4/5}を例にとり、レジスタREG₄が不良の場合のリペア方法、即ち、当段レジスタREG₄が不良レジスタの場合に、当段レジスタREG₄と次段レジスタREG₅との間にあるスペアレジスタである当段スペアレジスタSPARE_{4/5}を用いてリペアをする方法を、図4を用いて説明する。図4は、図3に記載したゲートドライバ70のリペア後の構成図である。なお、同図中の点線の○印は配線同士がリペアによって接続された交差を示しており、実線の×印はその配線がリペアによって切断された切断箇所を示す。

【0077】

まず、第1の切断箇所x₄₁ないしx₄₃において各配線を切断する。これにより、REG₄をそれぞれCLKB信号、電源V_{ss}及びCLK信号が供給される配線から切り離すことができる。次に、当段スペアレジスタSPARE_{4/5}にかかるリペア配線RCKを交差w₀₁において、リペア配線RVSSを交差w₀₃において、また、リペア配線RCKBを交差w₀₅においてそれぞれ接続する。これにより、当段スペアレジスタSPARE_{4/5}のCK端子、VSS端子及びCKB端子には、不良レジスタREG₄と同じくそれぞれCLKB信号、電源V_{ss}、CLK信号が供給される。

【0078】

また、当段レジスタREG₄の入力端子INへ延びた前段ゲート配線LG₃が当段スペアレジスタSPARE_{4/5}の当段入力用リペア配線RIとなす交差w_{a1}と前段ゲート配線LG₃が次段ゲート配線LG₅の第2冗長枝配線L_{9F}となす交差c₄₁との間である切断箇所x₄₄で前段ゲート配線LG₃を切断する。また、当段レジスタREG₄の制御端子CTへ延びた次段ゲート配線LG₅が当段スペアレジスタSPARE_{4/5}の当段入力用リペア配線RIとなす交差c_{x1}と次段ゲート配線LG₅の第1冗長枝配線L_{8E}との第3分岐点u₈との間である切断箇所x₄₅で次段ゲート配線LG₅を切断する。さらに、当段レジスタREG₄の出力端子OUTから延びた当段ゲート配線LG₄が当段スペアレジスタSPARE_{4/5}の当段入力用リペア配線RIとなす交差w_{a2}と当段ゲート配線LG₄が次段ゲート配線LG₅の第1冗長枝配線L_{8E}となす交差c₄₃との間である切断箇所x₄₆で当段ゲート配線LG₄を切断する。これにより、レジスタREG₄をこれら3本のゲート配線から切り離すことができる。このような位置で切り離すことにより、レジスタREG₄を切り離すとともに交差c₄₁ないしc₄₃に生じている冗長交差容量をも、冗長枝配線を切断することなく一括して各ゲート配線から切り離すことができる。x₄₄ないしx₄₆の切断箇所は第1の切断箇所となる。

【0079】

また、前段ゲート配線LG₃と当段入力用リペア配線RIとの交差w_{a1}、当段ゲート配線LG₄と当段出力用リペア配線ROとの交差w_{a5}、及び次段ゲート配線LG₅と当段制御用リペア配線RCとの交差w_{a3}のそれぞれにおいて接続をする。これにより、スペアレジスタSPARE_{4/5}の入力端子INにはREG₄の入力端子INに供給されていた前段のゲート信号G₃が供給される。また、制御端子CTも同様にREG₄の制御端子CTに供給されていた次段のゲート信号G₅が供給される。さらに、当段のゲート信号

G 4 は、R E G 4 の出力端子 O U T から供給されていたのに代わってスペアレジスタ S P A R E 4 / 5 の出力端子 O U T から供給されることになり、画素部 1 0 及び次段の R E G 5 の入力端子 I N に供給される。従って、このような切断と接続により、リペア前の入力用リペア配線、制御用リペア配線及び出力用リペア配線は、リペア後にはゲート配線とともにそれぞれ所定のゲート信号が供給される配線として機能する。そして、当段スペアレジスタ S P A R E 4 / 5 は、不良レジスタ R E G 4 に代わり不良でない R E G 4 と同一の動作を行うことができる。また、一部の交差において新たに交差容量が生ずる。

【 0 0 8 0 】

さらに、当段ゲート配線 L G 4 の第 1 冗長枝配線の 1 本及び次次段ゲート配線 L G 6 の第 1 冗長枝配線の 1 本を、例えば L 8 E をそれぞれ切断箇所 x a 1 及び x a 4 で切断する。このように冗長枝配線を第 2 の切断箇所切断することにより、冗長交差容量の一部（交差 c 3 3 及び c 5 3）が切り離されると同時に消滅する。このように、上記のようなリペアを行うことにより、交差容量を生じていた交差の一部が消滅するとともに、リペア配線にゲート信号が供給されるようになったことにより、新たな交差容量が生ずる。その結果、本実施の形態においては、当段ゲート配線 L G 4 にかかる交差容量だけでなく、他のゲート配線にかかる交差容量の値もリペア前後において変化しない。これを表 2 を用いて説明する。

【 0 0 8 1 】

【表 2】

$\langle i/k \rangle$	交差	交差数 $p \langle i/k \rangle$	備考
$\langle 3/k \rangle$	—	0	k は 1 未満
$\langle 3/1 \rangle$	図示せず ²	1	
$\langle 3/2 \rangle$	図示せず ³	3	
$\langle 3/4 \rangle$	c32、wa2、c34	3	
$\langle 3/5 \rangle$	cx1	1	
$\langle 3/k \rangle$	—	0	k は 6 以上
$\langle 4/k \rangle$	—	0	k は 2 未満
$\langle 4/2 \rangle$	c31	1	
$\langle 4/3 \rangle$	c32、wa2、c34	3	
$\langle 4/5 \rangle$	cx2、wa6、c44	3	
$\langle 4/6 \rangle$	c51	1	
$\langle 4/k \rangle$	—	0	k は 7 以上
$\langle 5/k \rangle$	—	0	k は 3 未満
$\langle 5/3 \rangle$	cx1	1	
$\langle 5/4 \rangle$	cx2、wa6、c44	3	
$\langle 5/6 \rangle$	c52、wa4、c54	3	
$\langle 5/7 \rangle$	c61	1	
$\langle 5/k \rangle$	—	0	k は 8 以上
$\langle 6/k \rangle$	—	0	k は 4 未満
$\langle 6/4 \rangle$	c51	1	
$\langle 6/5 \rangle$	c52、wa4、c54	3	
$\langle 6/7 \rangle$	c62、c63、c64	3	
$\langle 6/8 \rangle$	図示せず ²	1	
$\langle 6/k \rangle$	—	0	k は 9 以上

【 0 0 8 2 】

表 2 において、例えば、ゲート信号 G 4 が供給される配線については、ゲート信号 G 1 が供給される配線とは交差しないため、 $p \langle 4/1 \rangle = 0$ であり、また、ゲート信号 G 3 が供給される配線とは、交差 c 3 3 に生じていた交差容量は消滅するが、交差 w a 2 が新たに交差容量を生ずることになるため、交差容量を生ずる交差は c 3 2、w a 2 及び c 3 4 となり、交差数 $p \langle 4/3 \rangle = 3$ となる。他の交差についても同様である。結局、リペア後においては、 $p \langle i/i-2 \rangle = 1$ 、 $p \langle i/i-1 \rangle = 3$ 、 $p \langle i/i+1 \rangle = 3$ 、 $p \langle i/i+2 \rangle = 1$ 、これら以外では $p \langle i/k \rangle = 0$ である。これらの交差数は、

各ゲート信号が供給される配線それぞれについて、リペア前後で変わらない。従って、すべての交差の交差面積、断面構造等を同じとすれば、リペア前後によって各ゲート信号が供給される配線にかかる交差容量は変化しない。また、ここでいう「ゲート信号 G_i が供給される配線」とは、リペア後であるから、リペア後のゲート配線 LG_i 及びこれに接続されたリペア配線が該当する。なお、図 4 にかかる本実施の形態におけるリペアによって冗長交差容量が消滅した交差は、 c_{33} 、 c_{41} 、 c_{42} 、 c_{43} 及び c_{53} の 5 個であり、一方、リペアによって新たに交差容量を生じた交差は、 c_{x1} 、 c_{x2} 、 w_{a2} 、 w_{a6} 及び w_{a4} の 5 個である。

【0083】

[リペア(2)：不良レジスタをその前段側に位置するスペアレジスタを用いてリペアを行う場合]

次に、 $SPARE_4/5$ を例にとり、レジスタ REG_5 が不良の場合のリペア方法、即ち、当段レジスタ REG_5 が不良レジスタの場合に前段レジスタ REG_4 と当段レジスタ REG_5 との間にある前段スペアレジスタ $SPARE_4/5$ を用いてリペアをする方法を図 5 を用いて説明する。図 5 は、図 3 に記載したゲートドライバ 70 のリペア後の他の構成図である。

【0084】

まず、切断箇所 x_{51} ないし x_{53} において配線を切断することにより、 REG_5 を、 CLK 信号、 $CLKB$ 信号及び電源 V_{ss} から切り離すことができる。次に、前段スペアレジスタ $SPARE_4/5$ にかかるリペア配線 RCK を交差 w_{02} において、リペア配線 R_{VSS} を交差 w_{03} において、また、リペア配線 $RCKB$ を交差 w_{04} においてそれぞれ接続する。これにより、スペアレジスタ $SPARE_4/5$ の CK 端子、 V_{SS} 端子、 CKB 端子は、不良レジスタ REG_5 と同じくそれぞれ CLK 信号、電源 V_{ss} 、 $CLKB$ 信号が供給される。

【0085】

次に、不良レジスタである当段レジスタ REG_5 の入力端子 IN へ延びた前段ゲート配線 LG_4 が当段レジスタ REG_5 と次段レジスタ REG_6 との間にある当段スペアレジスタ $SPARE_5/6$ の当段入力用リペア配線 RI となす交差（交差 w_{a1} に相当）と前段ゲート配線 LG_4 が次段ゲート配線 LG_6 の第 2 冗長枝配線 L_{9F} となす交差 c_{51} との間である切断箇所 x_{54} で前段ゲート配線 LG_4 を切断する。また、当段レジスタ REG_5 の制御端子 CT へ延びた次段ゲート配線 LG_6 が当段スペアレジスタ $SPARE_5/6$ の当段入力用リペア配線 RI となす交差（交差 c_{x1} に相当）と次段ゲート配線 LG_6 の第 1 冗長枝配線 L_{8E} との第 3 分岐点 u_8 との間である切断箇所 x_{55} で次段ゲート配線 LG_6 を切断する。さらに、当段レジスタ REG_5 の出力端子 OUT から延びる当段ゲート配線 LG_5 が当段スペアレジスタ $SPARE_5/6$ の当段入力用リペア配線 RI となす交差（交差 w_{a2} に相当）と当段ゲート配線 LG_5 が次段ゲート配線 LG_6 の第 1 冗長枝配線 L_{8E} となす交差 c_{53} との間である切断箇所 x_{56} で当段ゲート配線 LG_5 を切断する。

【0086】

これにより、レジスタ REG_5 を 3 本のゲート配線から切り離すことができる。このような位置で切り離すことにより、レジスタ REG_5 を切り離すとともに交差 c_{51} ないし c_{53} に生じている冗長交差容量をも、冗長枝配線を切断することなく一括して各ゲート配線から切り離すことができる。これらの切断箇所は第 1 の切断箇所となる。

【0087】

さらに、前段ゲート配線 LG_4 と前段スペアレジスタ $SPARE_4/5$ の前段入力用リペア配線 RI との交差 w_{a2} と、当段ゲート配線 LG_5 と前段スペアレジスタ $SPARE_4/5$ の前段出力用リペア配線 RO との交差 w_{a6} 、及び次段ゲート配線 LG_6 と前段スペアレジスタ $SPARE_4/5$ の前段制御用リペア配線 RC との交差 w_{a4} のそれぞれにおいて接続する。これにより、前段スペアレジスタ $SPARE_4/5$ の入力端子 IN には REG_5 の入力端子 IN に供給されていた前段のゲート信号 G_4 が供給される。また、制

10

20

30

40

50

御端子CTにも同様にREG5の制御端子CTに供給されていた次段のゲート信号G6が供給される。さらに、当段のゲート信号G5は、REG5の出力端子OUTから供給されていたのに代わって前段スペアレジスタSPARE4/5の出力端子OUTから供給されることになり、画素部10及び次段のREG6の入力端子INに供給される。そして、このような切断と接続とにより、リペア前の入力用リペア配線、制御用リペア配線及び出力用リペア配線は、リペア後にはゲート配線とともにそれぞれ所定のゲート信号が供給される配線として機能する。そして、当段スペアレジスタSPARE4/5は、不良レジスタREG5に代わり不良でないREG5と同一の動作を行うことができる。また、一部の交差において新たに交差容量が生ずる。

【0088】

さらに、当段ゲート配線LG5の2本の第1冗長枝配線L8EとL9E及び前段ゲート配線LG4の1本の第1冗長枝配線L8Eの切断を行う。即ち、前段レジスタREG4の制御端子CTに接続された当段ゲート配線LG5の2本の第1冗長枝配線L8E及びL9Eをそれぞれ切断箇所xa3及びxa2で切断する。また、前前段レジスタREG3の制御端子CTに接続されている前段ゲート配線LG4の第1冗長枝配線の1本を、例えばL8Eを切断箇所xa1で切断する。このような冗長枝配線の切断である第2の切断により、冗長交差容量の一部(c33、c42及びc43)が消滅する。

【0089】

このように、上記のようなリペアを行うことにより、交差容量を生じていた交差の一部が消滅するとともに、リペア配線にゲート信号が供給されるようになったことにより、新たな交差容量が生ずる。その結果、本実施の形態においては、当段ゲート配線LG5にかかる交差容量だけでなく、他のゲート配線にかかる交差容量の値もリペア前後において変化しない。これを表3を用いて説明する。

【0090】

【表3】

<i/k>	交差	交差数 p<i/k>	備考
<3/k>	—	0	kは1未満
<3/1>	図示せず ^p	1	
<3/2>	図示せず ^p	3	
<3/4>	c32、wa1、c34	3	
<3/5>	c41	1	
<3/k>	—	0	kは6以上
<4/k>	—	0	kは2未満
<4/2>	c31	1	
<4/3>	c32、wa1、c34	3	
<4/5>	cx1、wa5、c44	3	
<4/6>	cx2	1	
<4/k>	—	0	kは7以上
<5/k>	—	0	kは3未満
<5/3>	c41	1	
<5/4>	cx1、wa5、c44	3	
<5/6>	cx3、wa3、c54	3	
<5/7>	c61	1	
<5/k>	—	0	kは8以上
<6/k>	—	0	kは4未満
<6/4>	cx2	1	
<6/5>	cx3、wa3、c54	3	
<6/7>	c62、c63、c64	3	
<6/8>	図示せず ^p	1	
<6/k>	—	0	kは9以上

【0091】

表3において、例えば、ゲート信号G5が供給される配線については、ゲート信号G2

が供給される配線とは交差しないため、 $p < 5 / 2 > = 0$ であり、また、ゲート信号 G_4 が供給される配線とは、交差 c_{42} 及び c_{43} に生じていた交差容量は消滅するが、交差 c_{x1} 及び w_{a5} が新たに交差容量を生ずることになるため、交差容量を生ずる交差は c_{x1} 、 w_{a5} 及び c_{44} となり、交差数 $p < 5 / 4 > = 3$ となる。他の交差についても同様である。結局、リペア後においては、 $p < i / i - 2 > = 1$ 、 $p < i / i - 1 > = 3$ 、 $p < i / i + 1 > = 3$ 、 $p < i / i + 2 > = 1$ 、これら以外では $p < i / k > = 0$ である。これらの交差数は、各ゲート信号が供給される配線それぞれについて、リペア前後で変わらない。従って、すべての交差の交差面積、断面構造等を同じとすれば、リペア前後によって各ゲート信号が供給される配線にかかる交差容量は変化しない。また、ここでいう「ゲート信号 G_i が供給される配線」とは、リペア後であるから、リペア後のゲート配線 L_{Gi} 及びこれに接続されたリペア配線が該当する。なお、図 6 にかかる本実施の形態におけるリペアによって冗長交差容量が消滅した交差は、 c_{33} 、 c_{42} 、 c_{43} 、 c_{51} 、 c_{52} 及び c_{53} の 6 個であり、一方、リペアによって新たに交差容量を生じた交差は、 c_{x1} 、 c_{x2} 、 c_{x3} 、 w_{a1} 、 w_{a5} 及び w_{a3} の 6 個である。

【0092】

以上のとおり、本実施の形態にかかる液晶表示装置の製造方法は、かかる構成をとることにより、ゲートドライバに不良が生じた場合にリペアすることができる液晶表示装置を提供することができる。また、リペア前後においてゲート信号が供給される配線の交差容量が変わらないような配線レイアウトを備える液晶表示装置を提供することができる。さらに、かかるリペアをすることにより、信頼性の高い液晶表示装置を提供することができる。また、本実施の形態にかかるゲートドライバ 70 は、配線同士の交差数が少ないため、交差による影響を少なくすることができる。

【0093】

[変形例]

次に、本実施の形態の変形例を図 7 に基づいて説明する。図 7 は、本変形例にかかるゲートドライバ 70 b の概略の平面図である。本変形例におけるレジスタ REG 、スペアレジスタ S_{PARE} は、その入出力端子の配列の態様等も含め、本実施の形態で前述したものと全く同一であり、本変形例は、本実施の形態ですでに説明した内容と比べ、ゲート配線及びリペア配線のレイアウトや交差の態様、切断箇所等いくつかの点で相違するに過ぎないため、このような相違点を中心に説明するとともに、前記実施の形態で説明した構成要素と同一又は相当するものには同一符号を付し、その詳細な説明を省略する。なお、 d_{31} 等の記号 d で始まる 3 桁の参照符号は交差を示す。

【0094】

[ゲート配線のレイアウト]

まず、レジスタ REG にかかる配線やレイアウト等について、図 7 の REG_5 を当該レジスタとして説明する。 REG_5 と REG_6 との間にあるスペアレジスタ $S_{PARE}_{5/6}$ が当該スペアレジスタとなる。当該レジスタ REG_5 の入力端子 IN には前段ゲート配線 L_{G4} が接続され、当該レジスタ REG_5 の出力端子 OUT には当該ゲート配線 L_{G5} が接続され、当該レジスタ REG_5 の制御端子 CT には次段ゲート配線 L_{G6} が接続されている。各段のゲート配線はそれぞれ主配線と冗長枝配線とで構成されている。

【0095】

リペア前の当該ゲート配線 L_{G5} の主配線は、当該レジスタ REG_5 の出力端子 OUT から延びて、第 1 の切断箇所 x_{56} を経て第 1 分岐点 v_1 に至る。また、主配線は、第 1 分岐点 v_1 から延びて前段ゲート配線 L_{G4} の第 4 冗長枝配線 L_{5E} と交差 d_{56} をなし、前段ゲート配線 L_{G4} の配線 L_{4E} と交差 d_{57} をなし、第 2 分岐点 v_2 に至る。主配線は、第 2 分岐点 v_2 から延びて次段ゲート配線 L_{G6} と交差 d_{58} をなして画素部 10 に接続される。主配線は、第 2 分岐点 v_2 から延びて次段ゲート配線 L_{G6} と交差 d_{55} をなし、前段レジスタ REG_4 と当該レジスタ REG_5 との間にある前段スペアレジスタ $S_{PARE}_{4/5}$ から延びる当該出力用リペア配線 RO と交差 w_{b6} をなし、さらに前段スペアレジスタ $S_{PARE}_{4/5}$ から延びる前段制御用リペア配線 RC と交差 w_{b3} をな

す。主配線は、交差 w b 3 を経て、前段ゲート配線 L G 4 と交差 d 4 8 をなし、第 3 分岐点 v 3 に至る。主配線は、第 3 分岐点 v 3 から延びて前段ゲート配線 L G 4 と交差 d 4 5 をなし、前前段ゲート配線 L G 3 の配線 L 4 E と交差 d 4 4 をなし、前前段ゲート配線 L G 3 の第 4 冗長枝配線 L 5 E と交差 d 4 3 をなし、前段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E と交差 d 4 2 をなし、前段レジスタ R E G 4 の制御端子 C T に接続される。主配線は、第 3 分岐点 v 3 から前前段レジスタ R E G 3 と前段レジスタ R E G 4 との間にある前前段スペアレジスタ S P A R E 3 / 4 の前前段制御用リペア配線 R C との交差（交差 w b 4 に相当）をなし終端する。主配線は、第 2 分岐点 v 2 から延びて当段レジスタ R E G 5 と次段レジスタ R E G 6 との間にある当段スペアレジスタ S P A R E 5 / 6 から延びる当段入力用リペア配線 R I と交差（交差 w b 2 に相当）し、当段スペアレジスタ S P A R E 5 / 6 から延びる当段制御用リペア配線 R C と交差（交差 d x 1 に相当）し、当段スペアレジスタ S P A R E 5 / 6 から延びる当段出力用リペア配線 R O と交差（交差 w b 5 に相当）し、第 4 分岐点 v 4 に至る。主配線は、第 4 分岐点 v 4 から延びて次次段ゲート配線 L G 7 と交差 d 6 4 をなし、さらに次段ゲート配線 L G 6 と交差 d 6 7 をなし、さらに次段レジスタ R E G 6 と次次段レジスタ R E G 7 との間にある次段スペアレジスタ S P A R E 6 / 7 の次段入力用リペア配線 R I と交差（交差 w b 1 相当）をなし終端する。主配線は、さらに、第 4 分岐点 v 4 から第 5 分岐点 v 5 を経て、次段ゲート配線 L G 6 の第 3 冗長枝配線 L 1 E と交差 d 6 1 をなし、次段レジスタ R E G 6 の入力端子 I N に接続されている。

10

20

【 0 0 9 6 】

また、当段ゲート配線 L G 5 の冗長枝配線は、当段ゲート配線 L G 5 の第 1 分岐点 v 1 から分岐し次段ゲート配線 L G 6 と交差 d 5 2 をし、さらに前段ゲート配線 L G 4 と交差 d 5 1 をして終端してなる第 3 冗長枝配線 L 1 E と、当段ゲート配線 L G 5 の第 5 分岐点 v 5 から分岐して次次段ゲート配線 L G 7 と交差 d 6 3 をし、さらに次段ゲート配線 L G 6 と交差 d 6 6 をして終端してなる第 4 冗長枝配線 L 5 E とからなる。他のゲート配線とこれらの冗長枝配線との交差は冗長な交差であり、これらの冗長な交差においてはそれぞれ冗長交差容量が生ずる。

【 0 0 9 7 】

なお、主配線は複数の配線から構成される。当段ゲート配線 L G 5 を例に説明すれば、配線 L O 1 は当段レジスタ R E G 5 の出力端子 O U T と第 1 分岐点 v 1 とを接続する配線であり、配線 L 1 2 は第 1 分岐点 v 1 と第 2 分岐点 v 2 とを接続する配線であり、配線 L 2 P は第 2 分岐点 v 2 と画素部 1 0 とを接続する配線であり、配線 L 2 3 は第 2 分岐点 v 2 と第 3 分岐点 v 3 とを接続する配線であり、配線 L 3 C は第 3 分岐点 v 3 と前段レジスタ R E G 4 の制御端子 C T とを接続する配線であり、配線 L 2 4 は第 2 分岐点 v 2 と第 4 分岐点 v 4 とを接続する配線であり、配線 L 4 5 は第 4 分岐点 v 4 と第 5 分岐点 v 5 とを接続する配線であり、配線 L 5 I は第 5 分岐点 v 5 と次段レジスタ R E G 6 の入力端子 I N とを接続する配線であり、配線 L 3 E は分岐点 v 3 から分岐して終端する配線であり、配線 L 4 E は分岐点 v 4 から分岐して終端する配線であり、これらはそれぞれ主配線の一部を構成する。

30

【 0 0 9 8 】

分岐点 v 1 ないし v 5 の位置について、当段ゲート配線 L G 5 を例に説明する。第 1 分岐点 v 1 は当段レジスタ R E G 5 の出力端子 O U T と交差 d 5 6 との間にある。第 2 分岐点 v 2 は交差 d 5 7 と交差 d 5 8 との間にある。第 3 分岐点 v 3 は交差 d 4 8 と交差 d 4 5 との間にある。第 4 分岐点 v 4 は第 5 分岐点 v 5 と第 2 分岐点 v 2 との間にあり、第 4 分岐点 v 4 は第 5 分岐点 v 5 と実質的に同じ位置に設けられてもよく、このような場合には配線 L 4 5 は実質的に存在しないことになる。第 5 分岐点 v 5 は交差 d 6 1 と第 4 分岐点 v 4 との間にある。

40

【 0 0 9 9 】

また、例えば、当段レジスタ R E G 5 の近傍では交差 d 5 1 ないし d 5 8 において交差容量が生じる。そして、詳細は後述するが、これらの交差の一部はリペアの前後における

50

配線の交差容量を等しくするためにあえて設けられた冗長交差容量である。当段レジスタ R E G 5 の C K 端子から延びる配線は C L K 信号の配線に接続されている。C K B 端子から延びる配線は C L K B 信号の配線に接続されている。V S S 端子から延びる配線は電源配線である V s s の配線に接続されている。

【 0 1 0 0 】

[リペア配線のレイアウト]

次に、スペアレジスタ S P A R E にかかる配線やレイアウト等について、図 7 のスペアレジスタ S P A R E 4 / 5 を例とし、当段レジスタを再び R E G 4 として説明する。スペアレジスタ S P A R E 4 / 5 は当段スペアレジスタとなる。

【 0 1 0 1 】

当段スペアレジスタ S P A R E 4 / 5 から延びる当段リペア配線は、当段レジスタ R E G 4 と次段レジスタ R E G 5 との間に配設されている当段スペアレジスタ S P A R E 4 / 5 の入力端子 I N から延び前段ゲート配線 L G 3 及び当段ゲート配線 L G 4 にそれぞれ接続可能に交差 (w b 1 及び w b 2) する入力用リペア配線 R I と、当段スペアレジスタ S P A R E 4 / 5 の制御端子 C T から延び次段ゲート配線 L G 5 及び次段レジスタの次の段のレジスタにかかる次次段ゲート配線 L G 6 にそれぞれ接続可能に交差 (w b 3 及び w b 4) する制御用リペア配線 R C と、当段スペアレジスタ S P A R E 4 / 5 の出力端子から延び当段ゲート配線 L G 4 及び次段ゲート配線 L G 5 にそれぞれ接続可能に交差 (w b 5 及び w b 6) する出力用リペア配線 R O とを含んでいる。なお、当段スペアレジスタ S P A R E 4 / 5 の当段制御用リペア配線 R C は、当段ゲート配線 L G 4 との交差 d x 1 をもなしている。

【 0 1 0 2 】

また、スペアレジスタ S P A R E 4 / 5 の C K 端子から延びるリペア配線 R C K 、 C K B 端子から延びるリペア配線 R C K B 、 及び V S S 端子から延びるリペア配線 R V S S の交差の態様は前記実施の形態と同様である。次に切断箇所について説明する。切断箇所は、後述するリペアの際に切断する候補となる箇所である。当段レジスタ R E G 4 と当段スペアレジスタ S P A R E 4 / 5 を例として説明すると、本実施の形態において前述したのと同様に、R E G 4 を不良レジスタとした場合に、切断箇所 x 4 1 ないし x 4 6 において配線を切断することにより、不良レジスタ R E G 4 を接続されていた各配線から切り離すことができる。本変形例においては、例えば、不良レジスタを当段レジスタ R E G 4 とすれば、不良である当段レジスタ R E G 4 の入力端子 I N へ延びた前段ゲート配線 L G 3 が当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E となす交差 d 4 1 と当段レジスタ R E G 4 の入力端子との間である切断箇所 x 4 4 で前段ゲート配線 L G 3 を切断し、当段レジスタ R E G 4 の制御端子 C T へ延びた次段ゲート配線 L G 5 が当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E となす交差 d 4 2 と当段レジスタ R E G 4 の制御端子 C T との間である切断箇所 x 4 5 で次段ゲート配線 L G 5 を切断し、当段レジスタ R E G 4 の出力端子 O U T と当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E との分岐点である第 1 分岐点 v 1 との間である切断箇所 x 4 6 で、当段ゲート配線 L G 4 を切断する。これらの切断箇所が第 1 の切断箇所となる。これにより、不良のレジスタ R E G 4 をゲート配線から切り離すことができる。

【 0 1 0 3 】

また、R E G 4 を切り離さないような場合であっても、当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E を切断箇所 x b 1 において切断することにより交差 d 4 1 に生じている冗長交差容量を切り離すことができる。切断箇所 x b 3 において切断することもでき、この箇所で切断することにより、交差 d 4 1 及び交差 d 4 2 に生じている冗長交差容量を一括して切り離すことができる。また、前段ゲート配線 L G 3 の第 4 冗長枝配線 L 5 E を切断箇所 x b 2 で切断することにより交差 d 4 3 及び d 4 6 に生じている冗長交差容量を一括して切り離すことができる。次段レジスタ R E G 5 及び次次段レジスタ R E G 6 の近傍の他の切断箇所 x b 4 ないし x b 9 も同様である。これらの切断箇所 x b 1 ないし x b 9 は第 2 の切断箇所となる。次に、このような構成を備えるゲートドライバのリペア前にお

る交差と交差容量について説明する。本変形例においては交差数 $p < i / k >$ は表 4 のようになる。

【 0 1 0 4 】

【 表 4 】

$< i / k >$	交差	交差数 $p < i / k >$	備考
$< 3 / k >$	—	0	kは1未満
$< 3 / 1 >$	図示せず	2	
$< 3 / 2 >$	d31、d36、d37、他3個(図示せず)	6	
$< 3 / 4 >$	d32、d35、d38、d41、d46、d47	6	
$< 3 / 5 >$	d43、d44	2	
$< 3 / k >$	—	0	kは6以上
$< 4 / k >$	—	0	kは2未満
$< 4 / 2 >$	d33、d34	2	
$< 4 / 3 >$	d32、d35、d38、d41、d46、d47	6	
$< 4 / 5 >$	d42、d45、d48、d51、d56、d57	6	
$< 4 / 6 >$	d53、d54	2	
$< 4 / k >$	—	0	kは7以上
$< 5 / k >$	—	0	kは3未満
$< 5 / 3 >$	d43、d44	2	
$< 5 / 4 >$	d42、d45、d48、d51、d56、d57	6	
$< 5 / 6 >$	d52、d55、d58、d61、d66、d67	6	
$< 5 / 7 >$	d63、d64	2	
$< 5 / k >$	—	0	kは8以上
$< 6 / k >$	—	0	kは4未満
$< 6 / 4 >$	d53、d54	2	
$< 6 / 5 >$	d52、d55、d58、d61、d66、d67	6	
$< 6 / 7 >$	d62、d65、d68、他3個(図示せず)	6	
$< 6 / 8 >$	図示せず	2	
$< 6 / k >$	—	0	kは9以上

10

20

【 0 1 0 5 】

表 4 において、例えば、ゲート信号 G 4 が供給される配線については、ゲート信号 G 1 が供給される配線とは交差しないため、 $p < 4 / 1 > = 0$ であり、また、ゲート信号 G 3 が供給される配線とは交差 d 3 2、d 3 5、d 3 8、d 4 1、d 4 6 及び d 4 7 が生ずるため交差数 $p < 4 / 3 > = 6$ である。他の交差についても同様である。なお、ここでいう「ゲート信号 G i が供給される配線」とは、リペア前であるから、ゲート配線 L G i が該当する。従って、本実施の形態においては、 $p < i / i - 2 > = 2$ 、 $p < i / i - 1 > = 6$ 、 $p < i / i + 1 > = 6$ 、 $p < i / i + 2 > = 2$ 、これら以外では $p < i / k > = 0$ である。

30

【 0 1 0 6 】

本変形例においても、実施の形態で説明したのと同様に、このようなゲートドライバ 7 0 b を備え画素部とともに液晶表示装置を製造する第 1 工程の後に、ゲートドライバ 7 0 b を構成するレジスタに不良が生じている場合には、第 2 工程においてリペアを行う。そして、本変形例においても、不良レジスタ R E G i を直ぐ前に位置するスペアレジスタ S P A R E i - 1 / i を用いてリペアする方法と、直ぐ次に位置するスペアレジスタ S P A R E i / i + 1 を用いてリペアする方法のいずれもが可能であるため、これらをそれぞれ説明する。

40

【 0 1 0 7 】

[変形例のリペア (1) : 不良レジスタをその次段側に位置するスペアレジスタを用いてリペアを行う場合]

S P A R E 4 / 5 を例にとり、レジスタ R E G 4 が不良の場合のリペア方法、即ち、当該レジスタ R E G 4 が不良レジスタの場合に、当該レジスタ R E G 4 と次段レジスタ R E G 5 との間にあるスペアレジスタである当該スペアレジスタ S P A R E 4 / 5 を用いてリ

50

ペアをする方法を、図 8 を用いて説明する。図 8 は、図 7 に記載したゲートドライバ 7 0 b のリペア後の構成図である。

【 0 1 0 8 】

まず、前述のように、切断箇所 x 4 1 ないし x 4 3 において各配線を切断する。これにより、不良レジスタ R E G 4 を、C L K 信号、C L K B 信号及び電源 V s s から切り離すことができる。また、不良である当段レジスタ R E G 4 の入力端子 I N へ延びた前段ゲート配線 L G 3 が当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E となす交差 d 4 1 と当段レジスタ R E G 4 の入力端子との間である切断箇所 x 4 4 で前段ゲート配線 L G 3 を切断する。また、当段レジスタ R E G 4 の制御端子 C T へ延びた次段ゲート配線 L G 5 が当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E となす交差 d 4 2 と当段レジスタ R E G 4 の制御端子 C T との間である切断箇所 x 4 5 で次段ゲート配線 L G 5 を切断する。さらに、当段レジスタ R E G 4 の出力端子 O U T と当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E との分岐点である第 1 分岐点 v 1 との間である切断箇所 x 4 6 で当段ゲート配線 L G 4 を切断する。このような第 1 の切断箇所での切断により、不良レジスタ R E G 4 をゲート配線から切り離すことができる。

10

【 0 1 0 9 】

次に、当段スペアレジスタ S P A R E 4 / 5 にかかるリペア配線 R C K を交差 w 0 1 において、リペア配線 R V S S を交差 w 0 3 において、また、リペア配線 R C K B を交差 w 0 5 においてそれぞれ接続する。これにより、当段スペアレジスタ S P A R E 4 / 5 の C K 端子、V S S 端子、C K B 端子は、不良レジスタ R E G 4 と同じくそれぞれ C L K B 信号、電源 V s s 、C L K 信号が供給される。

20

【 0 1 1 0 】

さらに、前段ゲート配線 L G 3 と当段スペアレジスタ S P A R E 4 / 5 の当段入力用リペア配線 R I との交差 w b 1 と、当段ゲート配線 L G 4 と当段出力用リペア配線 R O との交差 w b 5 、及び次段ゲート配線 L G 5 と当段制御用リペア配線 R C との交差 w b 3 のそれぞれにおいて接続をする。これにより、スペアレジスタ S P A R E 4 / 5 の入力端子 I N には R E G 4 の入力端子 I N に供給されていた前段のゲート信号 G 3 が供給される。また、制御端子 C T も同様に R E G 4 の制御端子 C T に供給されていた次段のゲート信号 G 5 が供給される。さらに、当段のゲート信号 G 4 は、R E G 4 の出力端子 O U T から供給されていたのに代わってスペアレジスタ S P A R E 4 / 5 の出力端子 O U T から供給されることになり、画素部 1 0 及び次段の R E G 5 の入力端子 I N に供給される。従って、このような切断と接続とにより、リペア前の入力用リペア配線、制御用リペア配線及び出力用リペア配線は、リペア後にはゲート配線とともにそれぞれ所定のゲート信号が供給される配線として機能する。そして、当段スペアレジスタ S P A R E 4 / 5 は、不良レジスタ R E G 4 に代わり不良でない R E G 4 と同一の動作を行うことができる。また、一部の交差において新たに交差容量が生ずる。

30

【 0 1 1 1 】

さらに、不良当段レジスタ R E G 4 の当段ゲート配線 L G 4 及び次段レジスタ R E G 5 の次段ゲート配線 L G 5 の第 3 冗長枝配線 L 1 E をそれぞれ分岐点近傍の切断箇所 x b 3 及び x b 6 で切断する。切断箇所 x b 3 とは、当段ゲート配線 L G 4 の第 3 冗長枝配線 L 1 E の第 1 分岐点 v 1 とこの第 3 冗長枝配線 L 1 E が次段ゲート配線 L G 5 となす交差 d 4 2 との間である。また、切断箇所 x b 6 とは、次段ゲート配線 L G 5 の第 3 冗長枝配線 L 1 E の第 1 分岐点 v 1 とこの第 3 冗長枝配線 L 1 E が次次段ゲート配線 L G 6 となす交差 d 5 2 との間である。このような第 2 の切断箇所での切断により、冗長交差容量が消滅する。

40

【 0 1 1 2 】

このように、上記のようなリペアを行うことにより、交差容量を生じていた交差の一部が消滅するとともに、リペア配線にゲート信号が供給されるようになったことにより、新たな交差容量が生ずる。その結果、本実施の形態においては、当段ゲート配線 L G 4 にかかる交差容量だけでなく、他のゲート配線にかかる交差容量の値もリペア前後において変

50

化しない。これを表 5 を用いて説明する。

【 0 1 1 3 】

【 表 5 】

$\langle i/k \rangle$	交差	交差数 $p \langle i/k \rangle$	備考
$\langle 3/k \rangle$	—	0	kは1未満
$\langle 3/1 \rangle$	図示せず	2	
$\langle 3/2 \rangle$	d31、d36、d37、他3個(図示せず)	6	
$\langle 3/4 \rangle$	d32、d35、d38、wb2、d46、d47	6	
$\langle 3/5 \rangle$	d43、d44	2	
$\langle 3/k \rangle$	—	0	kは6以上
$\langle 4/k \rangle$	—	0	kは2未満
$\langle 4/2 \rangle$	d33、d34	2	
$\langle 4/3 \rangle$	d32、d35、d38、wb2、d46、d47	6	
$\langle 4/5 \rangle$	dx1、d45、d48、wb6、d56、d57	6	
$\langle 4/6 \rangle$	d53、d54	2	
$\langle 4/k \rangle$	—	0	kは7以上
$\langle 5/k \rangle$	—	0	kは3未満
$\langle 5/3 \rangle$	d43、d44	2	
$\langle 5/4 \rangle$	dx1、d45、d48、wb6、d56、d57	6	
$\langle 5/6 \rangle$	wb4、d55、d58、d61、d66、d67	6	
$\langle 5/7 \rangle$	d63、d64	2	
$\langle 5/k \rangle$	—	0	kは8以上
$\langle 6/k \rangle$	—	0	kは4未満
$\langle 6/4 \rangle$	d53、d54	2	
$\langle 6/5 \rangle$	wb4、d55、d58、d61、d66、d67	6	
$\langle 6/7 \rangle$	d62、d65、d68、他3個(図示せず)	6	
$\langle 6/8 \rangle$	図示せず	2	
$\langle 6/k \rangle$	—	0	kは9以上

【 0 1 1 4 】

表 5 において、例えば、ゲート信号 G 4 が供給される配線については、ゲート信号 G 1 が供給される配線とは交差しないため、 $p \langle 4/1 \rangle = 0$ であり、また、ゲート信号 G 3 が供給される配線とは、交差 d 4 1 に生じていた交差容量は消滅するが、交差 w b 2 が新たに交差容量を生ずることにため、交差容量を生ずる交差は d 3 2、d 3 5、d 3 8、w b 2、d 4 6 及び d 4 7 となり、交差数 $p \langle 4/3 \rangle = 6$ となる。他の交差についても同様である。結局、リペア後においては、 $p \langle i/i-2 \rangle = 2$ 、 $p \langle i/i-1 \rangle = 6$ 、 $p \langle i/i+1 \rangle = 6$ 、 $p \langle i/i+2 \rangle = 2$ 、これら以外では $p \langle i/k \rangle = 0$ である。これらの交差数は、各ゲート信号が供給される配線それぞれについて、リペア前後で変わらない。従って、すべての交差の交差面積、断面構造等を同じとすれば、リペア前後によって各ゲート信号が供給される配線にかかる交差容量は変化しない。また、ここでいう「ゲート信号 G i が供給される配線」とは、リペア後であるから、リペア後のゲート配線 L G i 及びこれに接続されたリペア配線が該当する。なお、図 8 にかかる本変形例におけるリペアによって冗長交差容量が消滅した交差は、d 4 1、d 4 2、d 5 1 及び d 5 2 の 4 個であり、一方、リペアによって新たに交差容量が生じた交差は、d x 1、w b 2、w b 4 及び w b 6 の 4 個である。

【 0 1 1 5 】

[変形例のリペア (2) : 不良レジスタをその前段側に位置するスペアレジスタを用いてリペアを行う場合]

次に、S P A R E 4 / 5 を例にとり、レジスタ R E G 5 が不良の場合のリペア方法、即ち、当段レジスタ R E G 5 が不良レジスタの場合に前段レジスタ R E G 4 と当段レジスタ R E G 5 との間にある前段スペアレジスタ S P A R E 4 / 5 を用いてリペアをする方法を図 9 を用いて説明する。図 9 は、図 7 に記載したゲートドライバ 7 0 b のリペア後の他の構成図である。まず、切断箇所 x 5 1 ないし x 5 3 において配線を切断することにより、

REG5を、CLK信号、CLKB信号及び電源Vssから切り離すことができる。

【0116】

次に、第1の切断箇所を説明する。不良である当段レジスタREG5の入力端子INへ延びた前段ゲート配線LG4が当段ゲート配線LG5の第3冗長枝配線L1Eとなす交差d51と当段レジスタREG5の入力端子INとの間である切断箇所x54で前段ゲート配線LG4を切断する。また、当段レジスタREG5の制御端子CTへ延びた次段ゲート配線LG6が当段ゲート配線LG5の第3冗長枝配線L1Eとなす交差d52と当段レジスタREG5の制御端子CTとの間である切断箇所x55で次段ゲート配線LG6を切断する。さらに、当段レジスタREG5の出力端子OUTと当段ゲート配線LG5の第3冗長枝配線L1Eの分岐点である第1分岐点v1との間である切断箇所x56で当段ゲート配線LG5を切断する。これにより、不良レジスタREG5をゲート配線から切り離すことができる。

10

【0117】

次に、スペアレジスタSPARE4/5にかかるリペア配線RCKを交差w02において、リペア配線RVSSを交差w03において、また、リペア配線RCKBを交差w04においてそれぞれ接続する。これにより、スペアレジスタSPARE4/5のCK端子、VSS端子、CKB端子には、不良レジスタREG5と同じくそれぞれCLK信号、電源Vss、CLKB信号が供給される。

【0118】

さらに、前段ゲート配線LG4と前段スペアレジスタSPARE4/5の前段入力用リペア配線RIとの交差wb2、当段ゲート配線LG5と前段スペアレジスタSPARE4/5の前段出力用リペア配線ROとの交差wb6、及び次段ゲート配線LG6と前段スペアレジスタSPARE4/5の前段制御用リペア配線RCとの交差wb4のそれぞれにおいて接続をする。これにより、スペアレジスタSPARE4/5の入力端子INには不良当段レジスタREG5の入力端子INに供給されていた前段のゲート信号G4が供給される。また、制御端子CTも同様にREG5の制御端子CTに供給されていた次段のゲート信号G6が供給される。さらに、当段のゲート信号G5は、REG5の出力端子OUTから供給されていたのに代わってスペアレジスタSPARE4/5の出力端子OUTから供給されることになり、画素部10及び次段のREG6の入力端子INに供給される。従って、このような切断と接続とにより、リペア前の入力用リペア配線、制御用リペア配線及び出力用リペア配線は、リペア後にはゲート配線とともにそれぞれ所定のゲート信号が供給される配線として機能する。そして、前段スペアレジスタSPARE4/5は、不良レジスタREG5に代わり不良でないREG5と同一の動作を行うことができる。また、一部の交差において新たに交差容量が生ずる。

20

30

【0119】

さらに、前段ゲート配線LG4の第3冗長枝配線L1E及び次段ゲート配線LG6の第3冗長枝配線L1Eをそれぞれ切断箇所xb1及びxb7で切断する。また、前段ゲート配線LG4の第4冗長枝配線L5Eを切断箇所xb5で切断する。切断箇所xb1とは、前段ゲート配線LG4の第3冗長枝配線L1Eが当段ゲート配線LG5となす交差d42とこの第3冗長枝配線L1Eが前前段ゲート配線LG3となす交差d41との間である。また、切断箇所xb7とは、次段ゲート配線LG6の第3冗長枝配線L1Eが次次段ゲート配線LG7となす交差d62とこの第3冗長枝配線L1Eが当段ゲート配線LG5となす交差d61との間である。また、切断箇所xb5とは、前段ゲート配線LG4の第4冗長枝配線L5Eの第5分岐点v5とこの第4冗長枝配線L5Eが次段ゲート配線LG6となす交差d53との間である。これにより、冗長交差容量が消滅する。

40

【0120】

このように、上記のようなリペアを行うことにより、交差容量を生じていた交差の一部が消滅するとともに、リペア配線にゲート信号が供給されるようになったことにより、新たな交差容量が生ずる。その結果、本実施の形態においては、当段ゲート配線LG5にかかる交差容量だけでなく、他のゲート配線にかかる交差容量の値もリペア前後において変

50

化しない。これを表 6 を用いて説明する。

【 0 1 2 1 】

【表 6】

$\langle i/k \rangle$	交差	交差数 $p\langle i/k \rangle$	備考
$\langle 3/k \rangle$	—	0	kは1未満
$\langle 3/1 \rangle$	図示せず	2	
$\langle 3/2 \rangle$	d31、d36、d37、他3個(図示せず)	6	
$\langle 3/4 \rangle$	d32、d35、d38、wb1、d46、d47	6	
$\langle 3/5 \rangle$	d43、d44	2	
$\langle 3/k \rangle$	—	0	kは6以上
$\langle 4/k \rangle$	—	0	kは2未満
$\langle 4/2 \rangle$	d33、d34	2	
$\langle 4/3 \rangle$	d32、d35、d38、wb1、d46、d47	6	
$\langle 4/5 \rangle$	d42、d45、d48、d51、wb5、d57	6	
$\langle 4/6 \rangle$	dx1、d54	2	
$\langle 4/k \rangle$	—	0	kは7以上
$\langle 5/k \rangle$	—	0	kは3未満
$\langle 5/3 \rangle$	d43、d44	2	
$\langle 5/4 \rangle$	d42、d45、d48、d51、wb5、d57	6	
$\langle 5/6 \rangle$	d52、d55、d58、wb3、d66、d67	6	
$\langle 5/7 \rangle$	d63、d64	2	
$\langle 5/k \rangle$	—	0	kは8以上
$\langle 6/k \rangle$	—	0	kは4未満
$\langle 6/4 \rangle$	dx1、d54	2	
$\langle 6/5 \rangle$	d52、d55、d58、wb3、d66、d67	6	
$\langle 6/7 \rangle$	d62、d65、d68、他3個(図示せず)	6	
$\langle 6/8 \rangle$	図示せず	2	
$\langle 6/k \rangle$	—	0	kは9以上

【 0 1 2 2 】

表 6 において、例えば、ゲート信号 G 5 が供給される配線については、ゲート信号 G 2 が供給される配線とは交差しないため、 $p\langle 5/2 \rangle = 0$ であり、また、ゲート信号 G 4 が供給される配線とは、交差 d 5 6 に生じていた交差容量は消滅するが、交差 w b 5 が新たに交差容量を生ずることにため、交差容量を生ずる交差は d 4 2、d 4 5、d 4 8、d 5 1、w b 5 及び d 5 7 となり、交差数 $p\langle 5/4 \rangle = 6$ となる。他の交差についても同様である。結局、リペア後においては、 $p\langle i/i-2 \rangle = 2$ 、 $p\langle i/i-1 \rangle = 6$ 、 $p\langle i/i+1 \rangle = 6$ 、 $p\langle i/i+2 \rangle = 2$ 、これら以外では $p\langle i/k \rangle = 0$ である。これらの交差数は、各ゲート信号が供給される配線それぞれについて、リペア前後で変わらない。従って、すべての交差の交差面積、断面構造等を同じとすれば、リペア前後によって各ゲート信号が供給される配線にかかる交差容量は変化しない。また、ここでいう「ゲート信号 G i が供給される配線」とは、リペア後であるから、リペア後のゲート配線 L G i 及びこれに接続されたリペア配線が該当する。なお、図 9 にかかる本変形例におけるリペアによって交差容量が消滅した交差は、d 4 1、d 5 3、d 5 6 及び d 6 1 の 4 個であり、一方、リペアによって新たに交差容量を生じた交差は、d x 1、w b 1、w b 3 及び w b 5 の 4 個である。

【 0 1 2 3 】

なお、図 9 にかかる本変形例においては、例えば、切断箇所 x b 7 に代えて切断箇所 x b x で切断してもよい。これにより、交差 d 6 1 における交差容量は消滅しないが、切断箇所 x b x での切断によって交差 d 6 6 にかかる交差容量が消滅する。交差 d 6 1 及び交差 d 6 6 はいずれもゲート配線 L G 5 とゲート配線 L G 6 との交差であるため、いずれで切断してもリペア前後で交差容量が変わることはない。このように、第 2 の切断箇所は、本実施の形態や変形例で説明した箇所に限られず、本発明の趣旨を損なわない限り、他の切断箇所でも切断することも可能である。

【 0 1 2 4 】

以上のとおり、本変形例にかかる液晶表示装置の製造方法は、かかる構成をとることにより、ゲートドライバに不良が生じた場合にリペアすることができる液晶表示装置を提供することができる。また、リペア前後においてゲート信号が供給される配線の交差容量が変わらないような配線レイアウトを備える液晶表示装置を提供することができる。さらに、かかるリペアをすることにより、信頼性の高い液晶表示装置を提供することができる。また、本変形例にかかるゲートドライバ70bは、前記実施の形態で説明したゲートドライバ70と比べ、Y(列)方向に延びるゲート配線が、スペアレジスタSPARE_i/_i+1とレジスタREG_i+1との間で斜めに折れて配設されている。そのため、ゲート配線のための配線領域の幅を細くすることができ、また、ゲート配線の屈折の態様が単純になる。また、各リペア配線は前記実施の形態と比べ、まっすぐにスペアレジスタからX方向に延び屈折部を有しない。そのため、ゲート配線がもつ斜めの屈折部を相隣接する段と段との境界としての目印とすることができるだけでなく、ゲート配線とリペア配線との区別が容易であり、リペア作業においてリペア箇所を視覚的に認識しやすい。従って、リペア作業を効率的に正確に行うことができる。

10

【 0 1 2 5 】

なお、図1ないし図9は本実施の形態を説明するために、本実施の形態に関連する主要な部材や部材間の関係を簡略化して記載したに過ぎないものである。ここまでの説明で言及した以外にも、薄膜トランジスタやゲートドライバ等を含む液晶表示装置を構成するには多くの部材が使われる。しかしそれらは当業者には周知であるので、ここでは詳しく言及しない。また、本実施の形態で説明した液晶表示装置はあくまで一例に過ぎず、それら以外の液晶表示装置であっても、当業者が任意に選択することができる範囲においては本発明の範囲に含まれる。

20

【 0 1 2 6 】

図面に示した特定の実施の形態をもって説明してきたが、本発明は図面に示した実施の形態に限定されるものではなく、本発明の効果を奏する限り、これまで知られたいかなる構成であっても採用することができることはいうまでもないことである。

【 符号の説明 】

【 0 1 2 7 】

- 10 ... 画素部
- 20 ... 薄膜トランジスタ
- 50 ... 中継基板
- 70、70b ... ゲートドライバ
- 71 ... シフトレジスタ
- 72 ... ゲート線
- 73 ... ゲート配線群
- 75 ... レジスタREG
- 101 ... セル・アレイ基板
- REG_i ... i段目のレジスタ
- SPARE_i/_i+1 ... i段目のスペアレジスタ
- G_i ... i段目のゲート信号
- LG_i ... i段目のゲート配線
- RI ... 入力用リペア配線
- RC ... 制御用リペア配線
- RO ... 出力用リペア配線
- u6ないしu9 ... 第1分岐点ないし第4分岐点
- LO6、L67、L7P、L78、L89、L9C、L6I ... 配線
- L8E、L9E ... 第1冗長枝配線
- L9F ... 第2冗長枝配線
- L1E ... 第3冗長枝配線

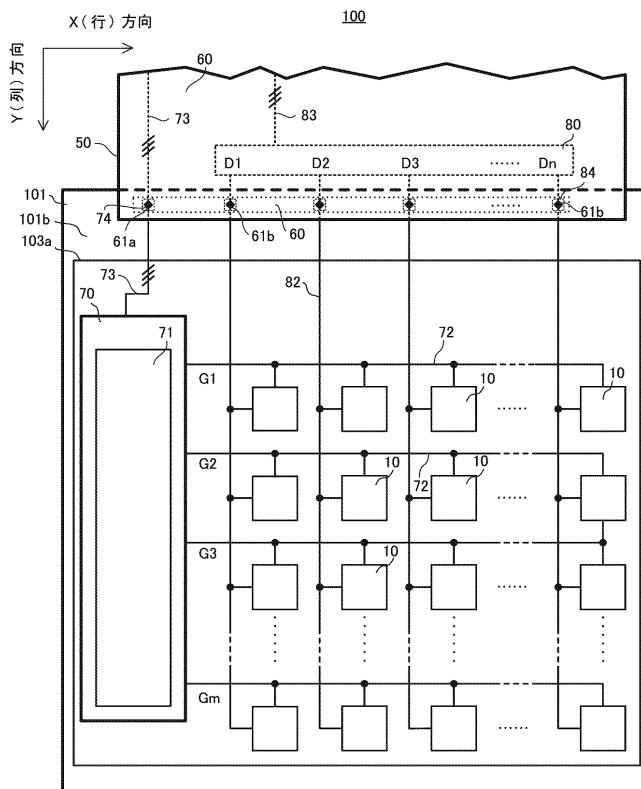
30

40

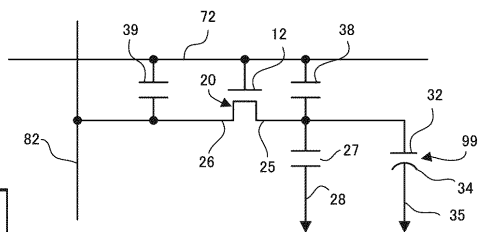
50

L 5 E ... 第 4 冗長枝配線

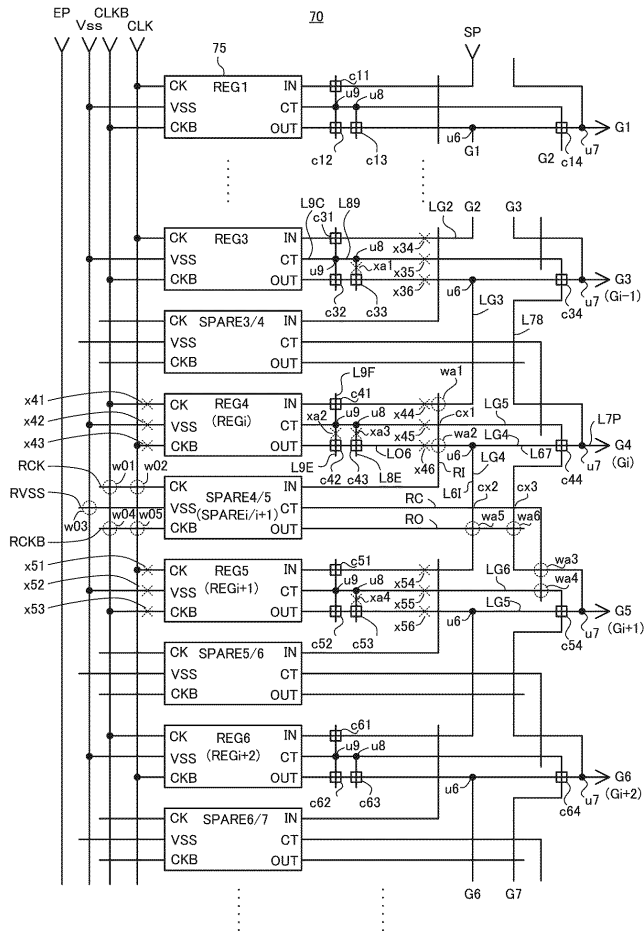
【 図 1 】



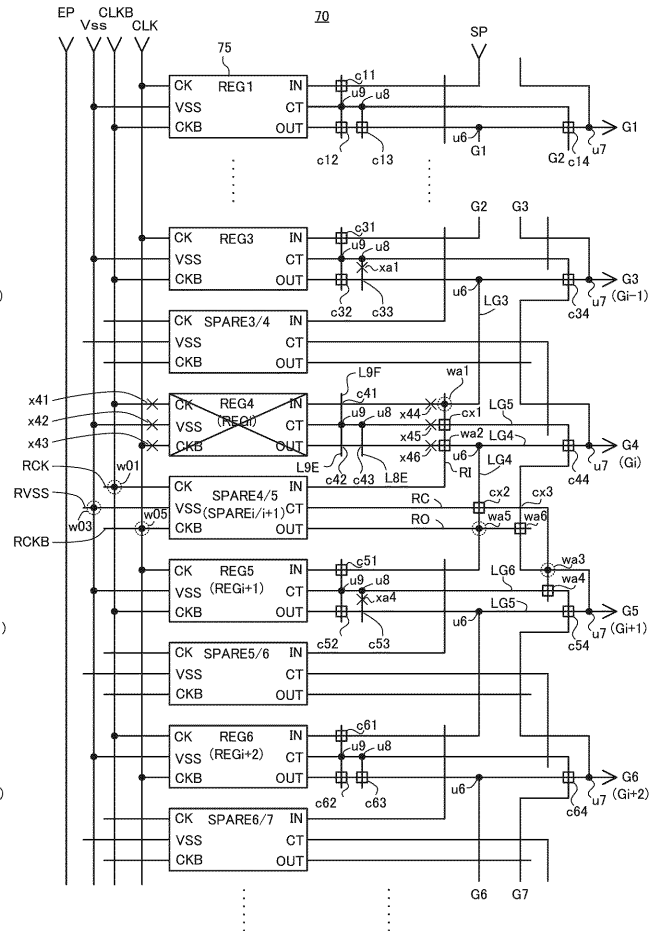
【 図 2 】



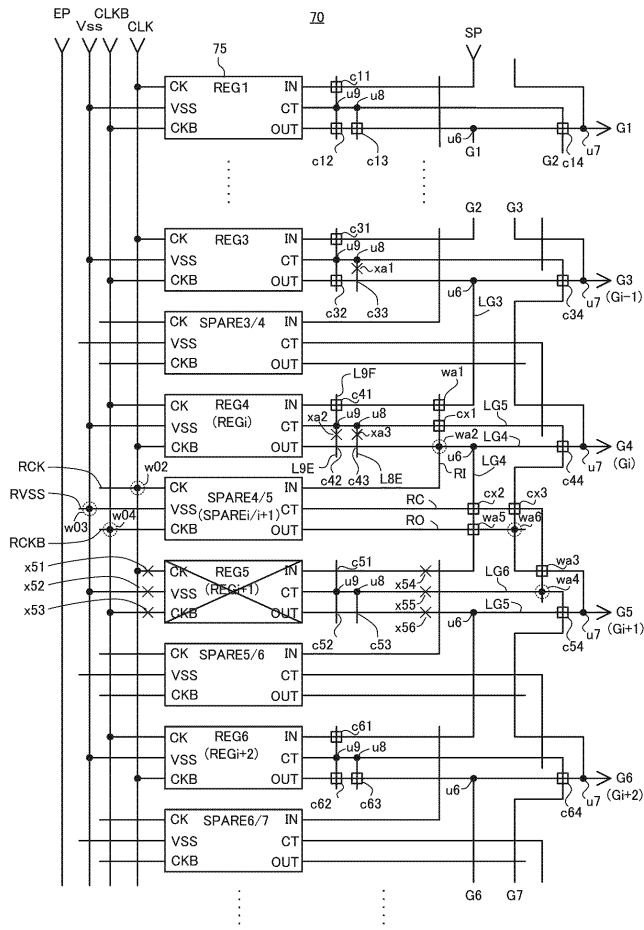
【図 3】



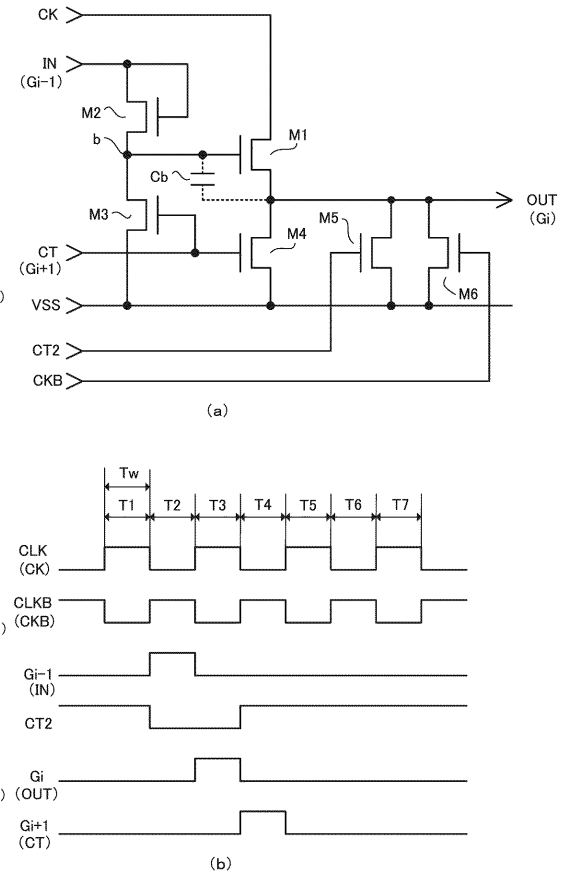
【図 4】



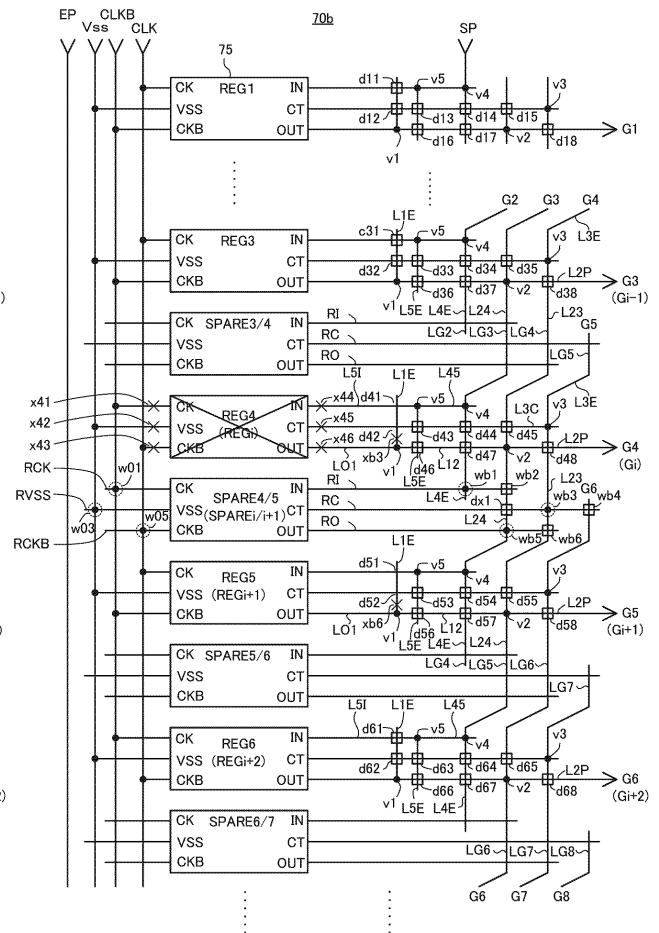
【図 5】



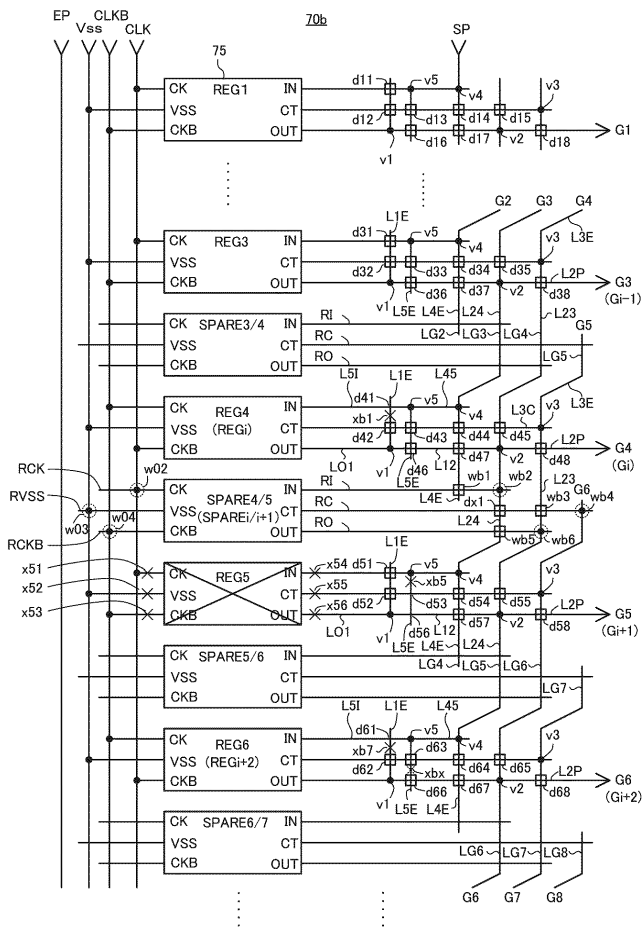
【図 6】



【 図 8 】



【 図 9 】



フロントページの続き

(74)代理人 100077584

弁理士 守谷 一雄

(72)発明者 鴨志田 健太

神奈川県川崎市高津区坂戸 3 - 2 - 1 ビデオコン・ディスプレイズ・リサーチ株式会社内

(72)発明者 池田 真人

神奈川県川崎市高津区坂戸 3 - 2 - 1 ビデオコン・ディスプレイズ・リサーチ株式会社内

(72)発明者 高島 昌宏

神奈川県川崎市高津区坂戸 3 - 2 - 1 ビデオコン・ディスプレイズ・リサーチ株式会社内

(72)発明者 若月 徹

神奈川県川崎市高津区坂戸 3 - 2 - 1 ビデオコン・ディスプレイズ・リサーチ株式会社内

F ターム(参考) 2H092 JA24 JB74 MA49 MA52 MA56 PA06

2H193 ZA04 ZF22 ZF23 ZK06 ZK14 ZK25 ZK30

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2011033846A	公开(公告)日	2011-02-17
申请号	JP2009180228	申请日	2009-08-01
[标]申请(专利权)人(译)	Videocon的全球限量 维迪奥肯全球有限公司		
申请(专利权)人(译)	Videocon的全球限量		
[标]发明人	鴨志田健太 池田真人 高島昌宏 若月徹		
发明人	鴨志田 健太 池田 真人 高島 昌宏 若月 徹		
IPC分类号	G02F1/1368 G02F1/133		
FI分类号	G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/JA24 2H092/JB74 2H092/MA49 2H092/MA52 2H092/MA56 2H092/PA06 2H193/ZA04 2H193/ZF22 2H193/ZF23 2H193/ZK06 2H193/ZK14 2H193/ZK25 2H193/ZK30 2H192/AA24 2H192/FB03 2H192/HB01 2H192/HB40 2H192/HB63 2H192/JA06 2H192/JA13 2H192/JA32		
代理人(译)	渡边弘道 守谷一夫		
外部链接	Espacenet		

摘要(译)

解决的问题：在修复与栅极驱动器集成的液晶显示装置中的构成栅极驱动器的寄存器的缺陷时，在修复前后，防止向其提供栅极信号的布线的交叉电容变化。 解决方案：提供备用寄存器，连接到备用寄存器的维修线与栅线LG4相交，并且栅线LG4与另一栅线LG5相交以产生冗余的交叉电容。 提供了冗余分支布线L9E和L8E。 当修复有缺陷的寄存器时，通过断开有缺陷的寄存器和冗余的交叉电容并进行修复以连接栅极布线和修复布线，配置了使用备用寄存器代替缺陷寄存器的栅极驱动器，并提供了栅极信号。 包括修理步骤，以使得在修理之前和之后要制造的布线的交叉电容的值相同。 [选择图]图3

