

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-250322

(P2010-250322A)

(43) 公開日 平成22年11月4日 (2010.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H189
G09G 3/20 (2006.01)	G09G 3/20 633P	2H193
G02F 1/133 (2006.01)	G09G 3/20 612D	5C006
G02F 1/1333 (2006.01)	G09G 3/20 612J	5C080
	G09G 3/20 612F	
審査請求 有 請求項の数 6 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2010-94555 (P2010-94555)	(71) 出願人	502356528
(22) 出願日	平成22年4月16日 (2010. 4. 16)		株式会社 日立ディスプレイズ
(62) 分割の表示	特願2003-408359 (P2003-408359)		千葉県茂原市早野3300番地
	の分割	(74) 代理人	100083552
原出願日	平成15年12月8日 (2003. 12. 8)		弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(72) 発明者	青木 義典
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	後藤 充
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置

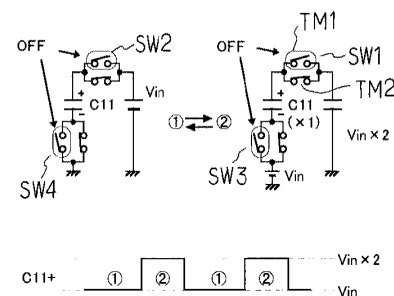
(57) 【要約】 (修正有)

【課題】 2つの液晶表示パネルを有する小型の液晶表示装置において、最適な駆動方法を実現し、低消費電力化を図る。

【解決手段】 第1の液晶表示パネルと、第2の液晶表示パネルと、前記第1の液晶表示パネルに設けられた駆動回路と、前記第1の液晶表示パネルに設けられ前記駆動回路から出力される信号が供給される出力端子と、前記出力端子と前記第2の液晶表示パネルとを接続する接続配線とを有し、前記駆動回路は、昇圧回路部を有し、前記昇圧回路部は、外部信号により動作モードが変更可能である。

【選択図】 図14(a)

図14(a)



【特許請求の範囲】**【請求項 1】**

第 1 の液晶表示パネルと、
第 2 の液晶表示パネルと、
前記第 1 の液晶表示パネルに設けられた駆動回路と、
前記第 1 の液晶表示パネルに設けられ前記駆動回路から出力される信号が供給される出力端子と、
前記出力端子と前記第 2 の液晶表示パネルとを接続する接続配線とを有し、
前記駆動回路は、昇圧回路部を有し、
前記昇圧回路部は、外部信号により動作モードが変更可能であることを特徴とする液晶表示装置。

10

【請求項 2】

前記昇圧回路部は、第 1 の昇圧回路と、第 2 の昇圧回路とを有し、
前記第 1 の昇圧回路は、複数のトランジスタ素子が並列に接続されたスイッチング素子を有し、
前記昇圧回路部は、前記外部信号により、前記第 1 の昇圧回路と第 2 の昇圧回路とを相補的に動作させる第 1 のモードと、前記第 1 の昇圧回路を動作させる第 2 のモードと、前記第 1 の昇圧回路のスイッチング素子として、前記複数のトランジスタ素子の中の 1 個のトランジスタ素子を使用して前記第 1 の昇圧回路を動作させる第 3 のモードに変更可能であることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

第 1 の液晶表示パネルと、
第 2 の液晶表示パネルと、
前記第 1 の液晶表示パネルに設けられた駆動回路と、
前記第 1 の液晶表示パネルに設けられ前記駆動回路から出力される信号が供給される出力端子と、
前記出力端子と前記第 2 の液晶表示パネルとを接続する接続配線とを有し、
前記駆動回路は、階調電圧生成部を有し、
前記階調電圧生成部は、複数の階調電圧を出力する複数のアンプ回路を有し、
前記駆動回路は、前記第 1 の液晶表示パネル、あるいは、前記第 2 の液晶表示パネルの非表示期間に、前記複数のアンプ回路の中で、最大階調電圧および最小階調電圧を出力するアンプ回路以外のアンプ回路の動作を停止することを特徴とする液晶表示装置。

30

【請求項 4】

第 1 の液晶表示パネルと、
第 2 の液晶表示パネルと、
前記第 1 の液晶表示パネルに設けられた駆動回路と、
前記第 1 の液晶表示パネルに設けられ前記駆動回路から出力される信号が供給される出力端子と、
前記出力端子と前記第 2 の液晶表示パネルとを接続する接続配線とを有し、
前記駆動回路は、階調電圧生成部を有し、
前記階調電圧生成部は、最大階調電圧と最小階調電圧とを分圧して、最大階調電圧および最小階調電圧以外の階調電圧を出力する抵抗分圧回路を有し、
前記駆動回路は、前記第 1 の液晶表示パネル、あるいは、前記第 2 の液晶表示パネルの非表示期間に、前記抵抗分圧回路を、最大階調電圧と最小階調電圧とから切り離すことを特徴とする液晶表示装置。

40

【請求項 5】

前記階調電圧生成部は、前記抵抗分圧回路に階調基準電圧を印加する複数のアンプ回路を有し、
前記駆動回路は、前記第 1 の液晶表示パネル、あるいは、前記第 2 の液晶表示パネルの非表示期間に、前記複数のアンプ回路の動作を停止することを特徴とする請求項 4 に記載

50

の液晶表示装置。

【請求項 6】

前記第 2 の液晶表示パネルの映像線は、前記接続配線、および前記第 1 の液晶表示パネルの映像線を介して、前記駆動回路に接続されることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、携帯型電話などに用いられる 2 つの液晶表示パネルを有する液晶表示装置の駆動回路に適用して有効な技術に関する。

10

【背景技術】

【0002】

サブピクセル数が、カラー表示で $100 \times 150 \times 3$ 程度の小型の液晶表示パネルを有する TFT (Thin Film Transistor) 方式の液晶表示モジュール、あるいは、有機 EL 素子を有する EL 表示装置が、携帯電話機などの携帯機器の表示部として広く使用されている。

さらに、近年、メインの表示部と、サブの表示部とを備える折り畳み型の携帯電話機も使用されている。

このようなメインの表示部と、サブの表示部とを備える携帯電話機用の液晶表示モジュールとして、メインの表示部に対応する第 1 の液晶表示パネルと、サブの表示部に対応する第 2 の液晶表示パネルとを備える一体型の液晶表示モジュールが知られている。(下記、特許文献 1 参照)。

20

前述の特許文献 1 に記載されている一体型の液晶表示モジュールは、第 1 の液晶表示パネルと第 2 の液晶表示パネルとを、フレキシブル回路基板上の接続配線で接続するとともに、1 つの液晶駆動回路により、第 1 および第 2 の液晶表示パネルを駆動するものである。

これにより、実装部品の削減を図り、コスト低減、かつ、省スペース化を図ることが可能である。

【先行技術文献】

【特許文献】

30

【0003】

【特許文献 1】特開 2004 - 61892 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

前述の特許文献 1 に記載されている液晶表示モジュールでは、メインの表示部の表示ライン数を m 、サブの表示部の表示ライン数を n とするとき、擬似的に $(m + n)$ 表示ラインの単一の画面として駆動しているために、メイン、サブのそれぞれの表示部に最適な駆動方法を採用することができず、低消費電力化を図る上で妨げとなっていた。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、2 つの液晶表示パネルを有する小型の液晶表示装置において、最適な駆動方法を実現し、低消費電力化を図ることが可能となる技術を提供することにある。

40

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

即ち、本発明は、第 1 の液晶表示パネルと、第 2 の液晶表示パネルと、前記第 1 の液晶表示パネルに設けられた駆動回路と、前記第 1 の液晶表示パネルに設けられ前記駆動回路

50

から出力される信号が供給される出力端子と、前記出力端子と前記第 2 の液晶表示パネルとを接続する接続配線とを有する液晶表示装置において、同一フレーム内に存在する第 1 液晶表示パネルの表示期間の交流化駆動方式と、第 2 液晶表示パネルの表示期間の交流化駆動方式とを変更可能としたことを特徴とする。

また、本発明では、前記第 1 の液晶表示パネルの非表示期間に前記第 1 の共通電圧の交流化を停止し、前記第 2 の液晶表示パネルの非表示期間に前記第 2 の共通電圧の交流化を停止することを特徴とする。

また、本発明では、前記駆動回路が、昇圧回路部を有し、前記昇圧回路部は、外部信号により動作モードが変更可能であることを特徴とする。

また、本発明では、前記駆動回路は、階調電圧生成部を有し、前記駆動回路は、前記第 1 の液晶表示パネル、あるいは、前記第 2 の液晶表示パネルの非表示期間に、前記階調電圧生成部内で不要なアンプ回路を停止することを特徴とする。

【発明の効果】

【0006】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の液晶表示装置によれば、低消費電力化を図ることが可能となる。

【図面の簡単な説明】

【0007】

【図 1】本発明の実施例 1 の液晶表示モジュールの概略構成を示すブロック図である。

【図 2】本発明の実施例 1 の液晶表示モジュールの変形例の概略構成を示すブロック図である。

【図 3】従来の液晶表示モジュールの交流化駆動方法を説明するための図である。

【図 4】本発明の実施例 1 の液晶表示モジュールの交流化駆動方法の一例を説明するための図である。

【図 5】本発明の実施例 1 の液晶表示モジュールにおいて使用されるインストラクション信号を説明するための図である。

【図 6】本発明の実施例 1 の液晶表示モジュールにおいて、駆動回路が 2 つに分割されている場合に、第 1 駆動回路から第 2 駆動回路に転送する信号を説明するための図である。

【図 7】本発明の実施例 1 の液晶表示モジュールにおいて、駆動回路が 2 つに分割されている場合に、第 1 駆動回路から第 2 駆動回路に転送する信号を説明するための図である。

【図 8】本発明の実施例 2 の液晶表示モジュールの交流化駆動方法の一例を説明するための図である。

【図 9】本発明の実施例 2 の液晶表示モジュールの交流化駆動方法の他の例を説明するための図である。

【図 10】本発明の実施例 2 の液晶表示モジュールの交流化駆動方法の他の例を説明するための図である。

【図 11】本発明の実施例 1 の液晶表示モジュールのソースドライバ (SD) の一例の概略構成を示すブロック図である。

【図 12】本発明の実施例 3 の液晶表示モジュールにおける、階調電圧発生回路とセレクタの構成の一例を示す図である。

【図 13】本発明の実施例 3 の液晶表示モジュールにおける、階調電圧発生回路とセレクタの構成の他の例を示す図である。

【図 14 (a)】本発明の実施例 4 の液晶表示モジュールの昇圧回路を説明するための図である。

【図 14 (b)】本発明の実施例 4 の液晶表示モジュールの昇圧回路を説明するための図である。

【図 14 (c)】本発明の実施例 4 の液晶表示モジュールの昇圧回路を説明するための図である。

【図 15】図 14 に示す昇圧回路のより具体的な構成を示す回路図である。

10

20

30

40

50

【発明を実施するための形態】

【0008】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

〔実施例1〕

図1は、本発明の実施例1の液晶表示モジュールの概略構成を示すブロック図である。

本実施例の液晶表示モジュールは、第1の液晶表示パネルと第2の液晶表示パネルとを備える一体型の液晶表示モジュールである。

図1において、PNL1は、折り畳み型の携帯電話機を開いた状態で使用するときのメインの表示部となる第1の液晶表示パネルであり、PNL2は、折り畳み型の携帯電話機を閉じた状態で使用するときのサブの表示部となる第2の液晶表示パネルである。

第1の液晶表示パネル(PNL1)、及び第2の液晶表示パネル(PNL2)には、複数の走査線(またはゲート線)(GL)と、映像線(またはドレイン線)(SL)とが、各々並列して設けられる。

走査線(GL)と映像線(SL)との交差する部分に対応して画素部が設けられる。複数の画素部はマトリックス状に配置され、各画素部には、画素電極12と薄膜トランジスタ10が設けられる。

第1および第2の液晶表示パネル(PNL1, PNL2)は、画素電極12、薄膜トランジスタ10等が設けられたガラス基板(SUB1, SUB2)と、カラーフィルタ等が形成されるガラス基板(図示せず)とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

なお、本発明は、液晶表示パネルの内部構造とは関係がないので、液晶表示パネルの内部構造の詳細な説明は省略する。さらに、本発明は、どのような構造の液晶表示パネルであっても適用可能である。

【0009】

本実施例において、第1の液晶表示パネルのガラス基板(SUB1)上には、第1駆動回路(DRV1)が搭載される。

第1駆動回路(DRV1)は、コントローラ(CNTL)と、第1および第2の液晶表示パネル(PNL1, PNL2)の映像線(SL)を駆動するソースドライバ(SD)と、第1および第2の液晶表示パネル(PNL1, PNL2)の走査線(GL)を駆動するゲートドライバ(GD)と、第1の液晶表示パネル(PNL1)の共通電極(対向電極、または、コモン電極ともいう)15に第1の共通電圧(Vcom1)、および第2の液晶表示パネル(PNL2)の共通電極15に第2の共通電圧(Vcom2)を供給する電源回路(PC)などを有する。

コントローラ(CNTL)には、本体側の中央処理装置(Microprocessing Unit; 以下、MPUという)から、表示データと表示コントロール信号が入力される。

なお、図1では、第1駆動回路(DRV1)は、1個の半導体チップで構成した場合を図示している。

【0010】

図2は、本実施例の液晶表示モジュールの変形例の概略構成を示すブロック図である。

図2に示す液晶表示モジュールは、駆動回路を、第1駆動回路(DRV1)と、第2駆動回路(DRV2)の2つに分割したものである。

図2において、第1駆動回路(DRV1)は、コントローラ(CNTL)と、第1および第2の液晶表示パネル(PNL1, PNL2)の映像線(SL)を駆動するソースドライバ(SD)を有し、第2駆動回路(DRV2)は、第1および第2の液晶表示パネル(PNL1, PNL2)の走査線(GL)を駆動するゲートドライバ(GD)と、第1の液

10

20

30

40

50

晶表示パネル（PNL1）の共通電極15に第1の共通電圧（Vcom1）、および第2の液晶表示パネル（PNL2）の共通電極15に第2の共通電圧（Vcom2）を供給する電源回路（PC）を有する。

また、第1駆動回路（DRV1）、および第2駆動回路（DRV2）は、それぞれ1個の半導体チップで構成される。

【0011】

図1に示すように、第1の液晶表示パネル（PNL1）および第2の液晶表示パネル（PNL2）には、それぞれ端子（図示せず）が形成され、この端子がフレキシブル配線基板（FPC）に接続されることにより、第2の液晶表示パネル（PNL2）が、フレキシブル配線基板（FPC）を介して、第1の液晶表示パネル（PNL1）に接続される。

10

フレキシブル配線基板（FPC）には、映像線用の接続配線、走査線用の接続配線、コントロール信号用の接続配線、および、共通電極用の接続配線が設けられる。

即ち、第2の液晶表示パネル（PNL2）の映像線（SL）は、フレキシブル配線基板（FPC）の映像線用の接続配線、並びに、第1の液晶表示パネル（PNL1）の映像線（SL）を介して、第1駆動回路（DRV1）に接続される。

また、第2の液晶表示パネル（PNL2）の走査線（GL）は、フレキシブル配線基板（FPC）の走査線用の接続配線、並びに、第1の液晶表示パネル（PNL1）のガラス基板（SUB1）上の配線を介して、第1駆動回路（DRV1）に接続される。

さらに、第2の液晶表示パネル（PNL2）の共通電極15は、フレキシブル配線基板（FPC）の共通電極用の接続配線、並びに、第1の液晶表示パネル（PNL1）のガラス基板（SUB1）上の配線を介して、第1駆動回路（DRV1）に接続される。

20

【0012】

図1、図2に示すような映像線を共有する第1の液晶表示パネル（PNL1）、第2の液晶表示パネル（PNL2）を駆動する場合、従来は、図3に示すように、第1の液晶表示パネル（PNL1）と、第2の液晶表示パネル（PNL2）とを、擬似的に（m+n）ラインの単一の画面として駆動しており、そのため、第1の液晶表示パネル（PNL1）と、第2の液晶表示パネル（PNL2）の交流化駆動方式を変更することができなかった。

しかしながら、低消費電力化のためには、それぞれの液晶表示パネルに最適な交流化駆動方式を選択できることが望ましい。

30

なお、図3において、mは第1の液晶表示パネル（PNL1）の表示ライン数、nは第2の液晶表示パネル（PNL2）の表示ライン数、F1は第1フレーム、F2は第2フレーム、PE1は第1の液晶表示パネル（PNL1）の表示期間、PE2は第2の液晶表示パネル（PNL2）の表示期間、WE1、WE2はウエイト期間である。

また、図3では、第1の液晶表示パネル（PNL1）と、第2の液晶表示パネル（PNL2）ともに、交流化駆動方式として、1ラインコモン反転法を採用した場合を図示している。

【0013】

そこで、本実施例では、同一フレーム内に存在する第1の液晶表示パネル（PNL1）の表示期間、および、第2の液晶表示パネル（PNL2）の表示期間、それぞれにおいて交流化駆動方式を自由に設定可能としている。

40

例えば、図4に示すように、第1の液晶表示パネル（PNL1）を1ラインコモン反転法で駆動し、第2の液晶表示パネル（PNL2）を1フレームコモン反転法で駆動する。

第1および第2の液晶表示パネル（PNL1、PNL2）を駆動する駆動回路は、共通電極15に印加する共通電位（Vcom）などを生成する電源回路（PC）、走査線（GL）を駆動するゲートドライバ（GD）、階調電圧を出力するソースドライバ（SD）、およびコントローラ（CNTL）などで構成される。

ここで、コントローラ（CNTL）は、MPUと接続されており、第1および第2の液晶表示パネル（PNL1、PNL2）の駆動条件（交流化駆動方式）の設定をMPUで設定し、当該駆動条件の設定を、MPUからコントローラ（CNTL）内に内蔵されるレジ

50

スタ（図 6、図 7 の R S T）に書き込み、保持することで、第 1 の液晶表示パネル（P N L 1）および第 2 の液晶表示パネル（P N L 2）毎に、それぞれに交流化駆動方式を変更する。

【 0 0 1 4 】

駆動回路が、図 1 に示す 1 半導体チップ構成の場合には、これらの駆動回路は全て第 1 駆動回路（D R V 1）に含まれる。

第 1 の液晶表示パネル（P N L 1）および第 2 の液晶表示パネル（P N L 2）毎に、交流化駆動方式を変えて駆動するためには、第 1 の液晶表示パネル（P N L 1）の表示期間、および第 2 の液晶表示パネル（P N L 2）の表示期間を設定する必要がある。

このため、各液晶表示パネルの表示ライン数や、各ウエイト期間を、M P U からインストラクション信号をコントローラ（C N T L）に送り、コントローラ（C N T L）内に内蔵されるレジスタに設定する。

また、各液晶表示パネルの交流化駆動方式も、M P U からインストラクション信号をコントローラ（C N T L）に送り、コントローラ（C N T L）内に内蔵されるレジスタに設定する。

この設定により、第 1 の液晶表示パネル（P N L 1）の表示期間、および第 2 の液晶表示パネル（P N L 2）の表示期間に、電源回路（P C）、ソースドライバ（S D）を制御することにより、同一フレーム内に存在する第 1 の液晶表示パネル（P N L 1）の表示期間、第 2 の液晶表示パネル（P N L 2）の表示期間それぞれに、交流化駆動方式を自由に設定した駆動が可能となる。

図 5 に、インストラクション信号の一例を示す。図 5 に示すインストラクション信号は 1 6 ビットからなるシリアルデータを示している。

図 5 で、横方向に並んだ 1 6 ビットの信号がインストラクション信号として外部から第 1 駆動回路（D R V 1）に転送され、レジスタに保持される。

図 5 に示すインストラクション信号では、D 1 5 から D 1 3 までの 3 ビットがインデックスコード（I D）となっており、インストラクション信号の内容を区別している。

そして、D 1 2 から D 0 までの 1 3 ビットにより、各液晶表示パネルの表示ライン数や、各ウエイト期間を設定する。

【 0 0 1 5 】

駆動回路が、図 2 に示す 2 半導体チップように 2 つに分割されている場合、コントローラ（C N T L）を含まない第 2 駆動回路（D R V 2）に、共通電極 1 5 に印加する共通電圧（V c o m）を生成する電源回路（P C）が内蔵されているため、第 1 の液晶表示パネル（P N L 1）の表示期間、および第 2 の液晶表示パネル（P N L 2）の表示期間を、第 2 駆動回路（D R V 2）に認識させる必要がある。

そこで、図 6 に示すように、M P U から第 2 駆動回路（D R V 1）内のコントローラ（C N T L）に送られたインストラクション信号（I N S T）を、第 2 駆動回路（D R V 2）内のレジスタ（R E T）に転送する。

これにより、第 1 の液晶表示パネル（P N L 1）の表示期間、および第 2 の液晶表示パネル（P N L 2）の表示期間を、第 2 駆動回路（D R V 2）においても設定し、第 2 駆動回路（D R V 2）において、第 1 駆動回路（D R V 1）内のコントローラ（C N T L）からのクロック信号（C L 1）をカウンタ（C N T）でカウントすることにより、第 1 の液晶表示パネル（P N L 1）の表示期間、および第 2 の液晶表示パネル（P N L 2）の表示期間を認識する。

また、第 2 駆動回路（D R V 2）内の電源回路（P C）において、第 1 の液晶表示パネル（P N L 1）の共通電極 1 5 に印加される第 1 の共通電圧（V c o m 1）、および第 2 の液晶表示パネル（P N L 2）の共通電極 1 5 に印加される第 2 の共通電圧（V c o m 2）の交流化を、第 1 駆動回路（D R V 1）内のコントローラ（C N T L）から出力される交流化信号（M 1 , M 2）に同期して行うことにより、2 半導体チップ構成の場合においても、同一フレーム内に存在する第 1 の液晶表示パネル（P N L 1）の表示期間、第 2 の液晶表示パネル（P N L 2）の表示期間それぞれに、交流化駆動方式を自由に設定した駆

動が可能となる。

【0016】

駆動回路が、図2に示す2半導体チップのように2つに分割されている場合に、第1の液晶表示パネル(PNL1)の表示期間、第2の液晶表示パネル(PNL2)の表示期間を認識させる他の方法としては、第1駆動回路(DRV1)内のコントローラ(CNTL)から第2駆動回路(DRV2)へ画面認識信号(図7のDR)を転送する方法がある。

図7に示すように、第1駆動回路(DRV1)と第2駆動回路(DRV2)間に画面認識信号(DR)を転送する信号線を設け、画面認識信号(DR)が、Highレベル(以下、Hレベルという)の場合は第1の液晶表示パネル(PNL1)の表示期間、画面認識信号(DR)が、Lowレベル(以下、Lレベルという)の場合は第2の液晶表示パネル(PNL2)の表示期間とすることにより、第2駆動回路(DRV2)に、第1の液晶表示パネル(PNL1)の表示期間、および第2の液晶表示パネル(PNL2)の表示期間を認識させることができる。

第2駆動回路(DRV2)の電源回路(PC)では、第1の液晶表示パネル(PNL1)の表示期間には、第1の液晶表示パネル(PNL1)の共通電極15に印加される第1の共通電圧(Vcom1)のみを、第1駆動回路(DRV1)内のコントローラ(CNTL)から出力される交流化信号(M)に同期して交流化を行い、第2の液晶表示パネル(PNL2)の表示期間には、第2の液晶表示パネル(PNL2)の共通電極15に印加される第2の共通電圧(Vcom2)のみを、交流化信号(M)に同期して交流化を行うことにより、2チップ構成の場合においても、同一フレーム内に存在する第1の液晶表示パネル(PNL1)の表示期間、および、第2の液晶表示パネル(PNL2)の表示期間それぞれに、交流化駆動方式を自由に設定した駆動が可能となる

これにより、本実施例では、第1および第2の液晶表示パネル(PNL1, PNL2)の2つの液晶表示パネルの駆動方法(交流化駆動方式)を自由に設定することが可能となり、第1、第2の2つの液晶表示パネル(PNL1, PNL2)を同時に点灯させる場合に、低消費電力化を図ることが可能となる。

【0017】

[実施例2]

本発明の液晶表示モジュールにおいては、液晶に直流が印加されることにより液晶の劣化を防止するために、液晶に印加する電圧の極性を周期的に反転させる交流化駆動を行う必要がある。

この交流化駆動方式として、コモン反転法を採用する場合には、共通電極15に印加する共通電圧(Vcom)も交流化、即ち、正電位側と低電位側に周期的に反転させる必要がある。

また、前述の実施例1のように、2つの液晶表示パネル(PNL1, PNL2)を有する場合には、液晶表示パネル毎に必要な電圧値が異なるために、第1の共通電圧(Vcom1)および第2の共通電圧(Vcom2)の2つの共通電圧が必要になる。

しかしながら、第1の液晶表示パネル(PNL1)の表示期間においては、第2の液晶表示パネル(PNL2)に共通電極15に印加する第2の共通電圧(Vcom2)、並びに、第2の液晶表示パネル(PNL2)の表示期間においては、第1の液晶表示パネル(PNL1)の共通電極15に印加する第1の共通電圧(Vcom1)の交流化を行う必要がない。

このため、第1の共通電圧(Vcom1)の交流化、並びに、第2の共通電圧(Vcom2)を、各液晶表示パネルの表示期間のみ交流化することにより、第1の液晶表示パネル(PNL1)および第2の液晶表示パネル(PNL2)の双方をコモン反転駆動する場合に比して、余分な液晶表示パネル充放電に伴う消費電力を削減することができるので、低消費電力化を図ることが可能となる。

また、各液晶表示パネルにとっての非表示期間(第1の液晶表示パネル(PNL1)においては第2の液晶表示パネル(PNL2)の表示期間、第2の液晶表示パネル(PNL2)においては第1の液晶表示パネル(PNL1)の表示期間)に、交流化駆動方式にか

かわらず、共通電圧の交流化を行わないため、非表示期間内の液晶表示パネルの共通電極 15 に印加される共通電圧をアンプ出力を用いず、保持容量のみで電圧を保持することにより、共通電圧を出力するアンプを 1 つのみで、第 1 の液晶表示パネル (PNL 1) および第 2 の液晶表示パネル (PNL 2) の共通電極 15 に印加される共通電圧の交流化が可能となる。

【0018】

図 8 (a) に、本実施例において、第 1 の液晶表示パネル (PNL 1) および第 2 の液晶表示パネル (PNL 2) の共通電極 15 に印加される共通電圧を交流化した場合の、共通電圧の電圧波形を示す。

なお、図 8 (a) は、第 1 の液晶表示パネル (PNL 1) および第 2 の液晶表示パネル (PNL 2) の共通電極 15 に印加される共通電圧を 1 ライン毎に反転させた場合である。

また、図 8 (a) において、F 1 は第 1 フレーム、F 2 は第 2 フレーム、PE 1 は第 1 の液晶表示パネル (PNL 1) の表示期間、PE 2 は第 2 の液晶表示パネル (PNL 2) の表示期間、P 1 - L は第 1 の液晶表示パネル (PNL 1) の共通電圧 (Vcom 1) の 1 ライン反転期間、P 2 - L は第 2 の液晶表示パネル (PNL 2) の共通電圧 (Vcom 2) の 1 ライン反転期間、KA は共通電圧がアンプから供給されている期間、KC は保持容量により共通電圧が保持されている期間である。

図 8 (b)、図 8 (c) に、図 8 (a) に示す駆動方法を実現するための回路構成を示し、図 8 (b) は、第 1 の液晶表示パネル (PNL 1) の表示期間の回路動作を、また、図 8 (c) は、第 2 の液晶表示パネル (PNL 2) の表示期間の回路動作を示す。

【0019】

図 8 (b)、(c) に示すように、第 1 のアンプ回路 (AMP 1) には、高電位側の第 1 の共通電圧 (Vcom H 1) と、高電位側の第 2 の共通電圧 (Vcom H 2) とが、スイッチング素子 (S 1) を介して選択的に入力される。

第 2 のアンプ回路 (AMP 2) には、低電位側の第 1 の共通電圧 (Vcom L 1) と、低電位側の第 2 の共通電圧 (Vcom L 2) とが、スイッチング素子 (S 2) を介して選択的に入力される。

第 1 のアンプ回路 (AMP 1) の出力は、スイッチング素子 (S 3) を介して、端子 (V 1)、あるいは端子 (V 3) に出力される。端子 (V 1) には第 1 の保持容量 (C 1) が接続され、端子 (V 3) には第 3 の保持容量 (C 3) が接続される。

第 2 のアンプ回路 (AMP 2) の出力は、スイッチング素子 (S 4) を介して、端子 (V 2)、あるいは端子 (V 4) に出力される。端子 (V 2) には第 2 の保持容量 (C 2) が接続され、端子 (V 4) には第 4 の保持容量 (C 4) が接続される。

端子 (V 1)、あるいは、端子 (V 2) の電圧は、スイッチング素子 (S 5) を介して端子 (VC 1) に出力され、この端子 (VC 1) から出力され電圧は、第 1 の液晶表示パネル (PNL 1) の共通電極 15 に印加される。

端子 (V 3)、あるいは、端子 (V 4) の電圧は、スイッチング素子 (S 6) を介して端子 (VC 2) に出力され、この端子 (VC 2) から出力され電圧は、第 2 の液晶表示パネル (PNL 2) の共通電極 15 に印加される。

【0020】

以下、図 8 (b) を用いて、第 1 の液晶表示パネル (PNL 1) の表示期間の回路動作を説明する。

この期間には、スイッチング素子 (S 1) は、高電位側の第 1 の共通電圧 (Vcom H 1) を選択し、第 1 のアンプ回路 (AMP 1) には、高電位側の第 1 の共通電圧 (Vcom H 1) が入力される。

スイッチング素子 (S 2) は、低電位側の第 1 の共通電圧 (Vcom L 1) を選択し、第 2 のアンプ回路 (AMP 2) には、低電位側の第 1 の共通電圧 (Vcom L 1) が入力される。

スイッチング素子 (S 3) は、端子 (V 1) 側を選択し、第 1 のアンプ回路 (AMP 1

10

20

30

40

50

）の出力は、端子（V 1）に出力される。

同様に、スイッチング素子（S 4）は、端子（V 2）側を選択し、第 2 のアンプ回路（AMP 2）の出力は、端子（V 2）に出力される。

スイッチング素子（S 5）は、交流化信号（M）に同期して、端子（V 1）、あるいは、端子（V 2）の電圧を選択するので、端子（V C 1）からは、高電位側の第 1 の共通電圧（V c o m H 1）と、低電位側の第 1 の共通電圧（V c o m L 1）とが、1 ライン毎に交互に出力され、第 1 の液晶表示パネル（PN L 1）の共通電極 1 5 に印加される。

この時、スイッチング素子（S 6）は停止しており、端子（V C 2）からは、保持容量（C 3）、あるいは、保持容量（C 4）に保持された電圧が出力され、第 2 の液晶表示パネル（PN L 2）の共通電極 1 5 に印加される。

なお、図 8（b）では、保持容量（C 4）に保持された電圧が端子（V C 2）から出力されている場合を図示している。

【0 0 2 1】

以下、図 8（c）を用いて、第 2 の液晶表示パネル（PN L 2）の表示期間の回路動作を説明する。

この期間には、スイッチング素子（S 1）は、高電位側の第 2 の共通電圧（V c o m H 2）を選択し、第 1 のアンプ回路（AMP 1）には、高電位側の第 2 の共通電圧（V c o m H 2）が入力される。

スイッチング素子（S 2）は、低電位側の第 2 の共通電圧（V c o m L 2）を選択し、第 2 のアンプ回路（AMP 2）には、低電位側の第 2 の共通電圧（V c o m L 2）が入力される。

スイッチング素子（S 3）は、端子（V 3）側を選択し、第 1 のアンプ回路（AMP 1）の出力は、端子（V 3）に出力される。

同様に、スイッチング素子（S 4）は、端子（V 4）側を選択し、第 2 のアンプ回路（AMP 2）の出力は、端子（V 4）に出力される。

スイッチング素子（S 6）は、交流化信号（M）に同期して、端子（V 2）、あるいは、端子（V 4）の電圧を選択するので、端子（V C 2）からは、高電位側の第 2 の共通電圧（V c o m H 2）と、低電位側の第 2 の共通電圧（V c o m L 2）とが、1 ライン毎に交互に出力され、第 2 の液晶表示パネル（PN L 2）の共通電極 1 5 に印加される。

この時、スイッチング素子（S 5）は停止しており、端子（V C 1）からは、保持容量（C 1）、あるいは、保持容量（C 2）に保持された電圧が出力され、第 1 の液晶表示パネル（PN L 1）の共通電極 1 5 に印加される。

なお、図 8（c）では、保持容量（C 2）に保持された電圧が端子（V C 1）から出力されている場合を図示している。

【0 0 2 2】

図 9（a）に、本実施例において、第 1 の液晶表示パネル（PN L 1）の共通電極 1 5 に印加される共通電圧を 1 ライン毎に反転させる 1 ラインコモン反転法、第 2 の液晶表示パネル（PN L 2）の共通電極 1 5 に印加される共通電圧を 1 フレーム毎に反転させる 1 フレームコモン反転法を採用した場合の共通電極の電圧波形を、図 9（b）に、図 9（a）に示す駆動方法における、第 1 の液晶表示パネル（PN L 1）の表示期間の回路動作を、また、図 9（c）に、第 2 の液晶表示パネル（PN L 2）の表示期間の回路動作を示す。

同様に、図 10（a）に、第 1 の液晶表示パネル（PN L 1）の共通電極 1 5 に印加される共通電圧を 1 ライン毎に反転させる 1 ラインコモン反転法を採用し、第 2 の液晶表示パネル（PN L 2）が非表示設定の場合の共通電極の電圧波形を、図 10（b）に、図 10（a）に示す駆動方法における、第 1 の液晶表示パネル（PN L 1）の表示期間の回路動作を、また、図 10（c）に、第 2 の液晶表示パネル（PN L 2）の表示期間の回路動作を示す。

なお、図 9、図 10 において、P 2 - F は第 2 の液晶表示パネル（PN L 2）の共通電圧（V c o m 2）の 1 フレーム反転期間である。また、図 9、図 10 に示す回路動作は、

10

20

30

40

50

図 8 と同様であるので再度の説明は省略する。

本実施例では、余分な液晶表示パネル充放電に伴う消費電力を削減することができるので、低消費電力化を図ることが可能となり、高電位側の第 1 の共通電圧 (V_{comH1}) および高電位側の第 2 の共通電圧 (V_{comH2})、並びに、低電位側の第 1 の共通電圧 (V_{comL1}) および低電位側の第 2 の共通電圧 (V_{comL2}) を出力するアンプ回路が、それぞれ 1 個でよいので、アンプ回路を削減でき、低消費電力化を図ることが可能となる。

【 0 0 2 3 】

[実施例 3]

図 1 1 は、前述の実施例 1 の液晶表示モジュールのソースドライバ (SD) の一例の概略構成を示すブロック図である。

表示データ 4 2 は、メモリ書きこみ回路 4 3 に取り込まれた上でフレームメモリ 4 4 の所定のアドレスに書き込まれる。

次に、フレームメモリ 4 4 に記憶された表示データは、液晶表示パネルの駆動タイミングに応じてメモリ読み出し回路 4 5 により読み出され、データラッチ回路 4 6 に 1 行分の表示データとして一時保持される。

一方、階調電圧発生回路 4 7 は、階調表示に必要な複数の階調電圧 4 8 を発生する回路で、例えば、6 4 個の階調電圧 4 8 を発生する。

次に、セクタ (デコーダともいう) 4 9 は、6 4 個の階調電圧 4 8 のうち、1 つの階調電圧をデータラッチ回路 4 6 に保持されている表示データに応じてそれぞれ選択し、映像線 (SL) に出力する。

【 0 0 2 4 】

図 1、図 2 に示すような、映像線を共有する 2 つの液晶表示パネル ($PNL1$, $PNL2$) を有する液晶表示モジュールにおいて、片方の液晶表示パネルのみ表示を行った場合、表示動作を行っている液晶表示パネルを駆動するために、映像線に階調電圧が印加される。

ここで、薄膜トランジスタ 1 0 のソース・ドレイン間の寄生容量により、非表示に設定された液晶表示パネルにも電圧が印可されるため、非表示設定となっている液晶表示パネルの駆動を完全に停止することが出来ない。

このため、非表示設定となって液晶表示パネルの全画素に対し、黒または白の表示を行う必要がある。

ここで、黒、または白のみの表示を行う場合、ソースドライバ (SD) から映像線に出力される階調電圧は、上下 2 値のみしか必要ないため、図 1 2、図 1 3 に示すように、階調電圧発生回路 4 7 から出力される階調電圧を、アンプ回路 (または、バッファ回路) (BA) を介してセクタ 4 9 に供給している場合には、 $V1$ の階調電圧、および $V64$ の階調のアンプ回路 (図 1 2、図 1 3 において、 B で囲まれた部分のアンプ回路) 以外は停止することができる。

また、図 1 2 に示すように、ラダー抵抗 (R) を使用している場合には、スイッチング素子 (SWR) により、ラダー抵抗 (R) を切離すことが出来る。

このように、第 1 の液晶表示パネル ($PNL1$)、あるいは第 2 の液晶表示パネル ($PNL2$) の非表示期間において、階調電圧発生回路 4 7 から出力される階調電圧を電流増幅するアンプ回路 (BA)、あるいは、ラダー抵抗 (R) を切離すことにより、一方の液晶表示パネルのみ表示動作を行う場合に、低消費電力化を図ることが可能となる。

前述した動作を行うためには、第 1 および第 2 の液晶表示パネル ($PNL1$, $PNL2$) の表示期間が設定されている状態において、非表示に設定する液晶表示パネルをインストラクション信号を用いて、 MPU から設定する。

それにより、非表示に設定された液晶表示パネルの非表示期間において、階調電圧発生回路 4 7 から出力される階調電圧を電流増幅するアンプ回路 (BA)、あるいは、ラダー抵抗 (R) を切離す制御を行う。

これにより、非表示期間においては、階調電圧発生回路 4 7 から出力される階調電圧を

10

20

30

40

50

電流増幅するアンプ回路（ＢＡ）、あるいは、ラダー抵抗（Ｒ）が自動的に停止するので、一方の液晶表示パネルのみ表示動作を行う場合に、低消費電力化を図ることが可能となる。

【００２５】

[実施例 ４]

図１、図２に示すような、映像線を共有する２つの液晶表示パネル（ＰＮＬ１，ＰＮＬ２）を駆動する場合、液晶表示パネルの駆動方式により消費電力が異なる。

昇圧回路は、昇圧クロック周波数や、昇圧回路の駆動ＭＯＳサイズなどにより昇圧能力が異なり、能力により自己消費電力が異なる。

そのため、本実施例では、それぞれの液晶表示パネルに対しての昇圧回路の駆動設定を行い、各液晶表示パネルの表示期間において昇圧回路の駆動を切替える。

図１４（ａ）～（ｃ）は、本実施例の昇圧回路を説明するための図である。なお、図１４（ａ）～（ｃ）に示す昇圧回路は、 V_{in} の入力電圧を２倍に昇圧する昇圧回路である。

本実施例の昇圧回路で特徴とする点は、スイッチング素子（ＳＷ１～ＳＷ４）として、 T_{M1} ， T_{M2} の２個のＭＯＳトランジスタを並列に接続した点である。

ここで、図１４（ｂ）に示すノーマルモードを基準とした場合、図１４（ａ）に示すローパワーモードでは、昇圧回路のスイッチング素子を構成する、一方のＭＯＳトランジスタ（ T_{M1} ）を停止させることにより、消費電力が削減できる。

また、図１４（ｃ）に示すハイパワーモードでは、図１４（ｂ）に示す昇圧回路を２つ相補的に駆動することにより大きな負荷電流に対応が可能である。

なお、図１４（ｃ）では、スイッチング素子（ＳＷ１１～ＳＷ１４）を構成する１個のＭＯＳトランジスタのゲート幅は、スイッチング素子（ＳＷ１～ＳＷ４）を構成する２個のＭＯＳトランジスタ（ T_{M1} ， T_{M2} ）のゲート幅を加算したものに等しい。

このため、例えば、第１の液晶表示パネル（ＰＮＬ１）を、１ラインコモン反転法で駆動し、第２の液晶表示パネル（ＰＮＬ２）を１フレームコモン反転法で駆動する場合に、消費電流の大きい第１の液晶表示パネル（ＰＮＬ１）の表示期間においては、ハイパワーモードで昇圧回路を駆動し、消費電力が比較的少ないフレーム反転を行う第２の液晶表示パネル（ＰＮＬ２）の表示期間においてはノーマルモードにより駆動を行うことができる。

【００２６】

このように、第１および第２の液晶表示パネル（ＰＮＬ１，ＰＮＬ２）のそれぞれの表示期間における消費電力に適した昇圧回路の設定を行っておくことにより、１フレーム内の第１の液晶表示パネル（ＰＮＬ１）の表示期間、第２の液晶表示パネル（ＰＮＬ２）の表示期間それぞれにおいて、最適な昇圧回路動作が行われ、液晶表示モジュールの低消費電力化が可能となる。

また、他の例として、第１の液晶表示パネル（ＰＮＬ１）、あるいは、第２の液晶表示パネル（ＰＮＬ２）のうち一方の液晶表示パネルのみ表示動作を行う場合において、非表示設定の液晶表示パネル表示期間では、昇圧回路をローパワーモードとし、昇圧クロックの周期も遅らせる設定とすることにより、同様に低消費電力化が可能となる。

図１５に、図１４に示す昇圧回路のより具体的な構成を示す。

図１４（ｂ）に示す回路とするには、図１５のスイッチング素子（ＳＷ２）とスイッチング素子（ＳＷ４）をオンにする。これにより、昇圧容量（ C_{11} ）には入力電源 V_{in} の電圧が充電される。

次に、図１５に示すスイッチング素子（ＳＷ２）、スイッチング素子（ＳＷ４）をオフとし、スイッチング素子（ＳＷ３）をオンにして、昇圧容量（ C_{11} ）に入力電源 V_{in} を印加すると同時に、スイッチング素子（ＳＷ１）をオンにして、保持容量（ C_{out} ）を充電する。この場合に、各スイッチング素子（ＳＷ１）は、並列に接続された２個のＭＯＳトランジスタで構成されることはいうまでもない。

このようにして、保持容量（ C_{out} ）には入力電源 V_{in} の２倍の電圧が保持される

。

【 0 0 2 7 】

以上説明したように、前述各実施例の液晶表示モジュールによれば、個別の交流化駆動方式により、第 1 の液晶表示パネル（ P N L 1 ）、並びに第 2 の液晶表示パネル（ P N L 2 ）に最適な駆動方法を採用でき、低消費電力化を図ることが可能となる。

また、第 1 および第 2 の液晶表示パネル（ P N L 1 , P N L 2 ）のうち片側の液晶表示パネルのみ表示を行う場合に、非表示に設定された液晶表示パネルの表示期間に不要アンプを停止することにより消費電力が削減でき、低消費電力化を図ることが可能となる。

また、表示が不要な期間に、共通電圧（ V c o m ）の交流化を停止することにより、液晶表示パネルの充放電に伴う電力を削減でき、高電位側、および低電位側の共通電圧（ V c o m ）を 1 つのアンプ回路で生成することができるので、低消費電力化を図ることが可能となる。

さらに、第 1 の液晶表示パネル（ P N L 1 ）、および、第 2 の液晶表示パネル（ P N L 2 ）の駆動方式に応じて、それぞれの液晶表示パネルの表示期間において昇圧回路の駆動を最適化することができるので、低消費電力化を図ることが可能となる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【 符号の説明 】

【 0 0 2 8 】

1 0 薄膜トランジスタ

1 2 画素電極

1 5 共通電極

4 3 メモリ書きこみ回路

4 4 フレームメモリ

4 5 メモリ読み出し回路

4 6 データラッチ回路

4 7 階調電圧発生回路

4 8 階調電圧

4 9 セレクタ（デコーダ）

P N L 1 , P N L 2 液晶表示パネル

F P C フレキシブル配線基板

S L 映像線（またはドレイン線）

G L 走査線（またはゲート線）

S U B 1 , S U B 2 ガラス基板

D R V 1 , D R V 2 駆動回路

C N T L コントローラ

S D ソースドライバ

G D ゲートドライバ

P C 電源回路

M P U 中央処理装置（Microprocessing Unit）

R S T , R E T レジスタ

C N T カウンタ

A M P 1 , A M P 2 , B A アンプ回路

S 1 ~ S 6 , S W R , S W 1 ~ S W 4 , S W 1 1 ~ S W 1 4 スイッチング素子

V 1 ~ V 4 , V C 1 , V C 2 端子

C 1 ~ C 4 , C 1 1 , C o u t 容量素子

T M 1 , T M 2 M O S トランジスタ

10

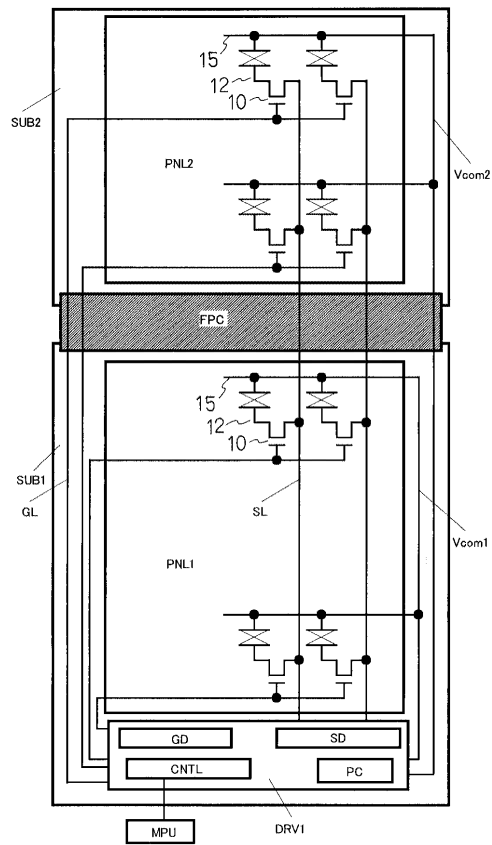
20

30

40

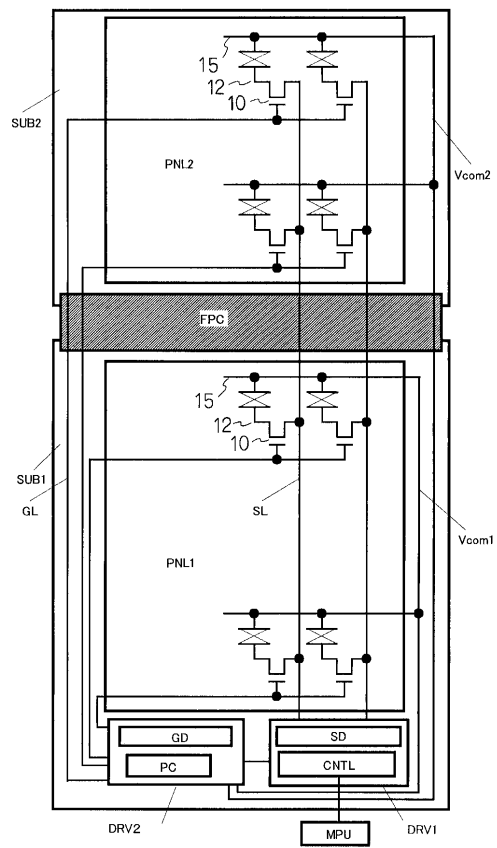
【図 1】

図 1



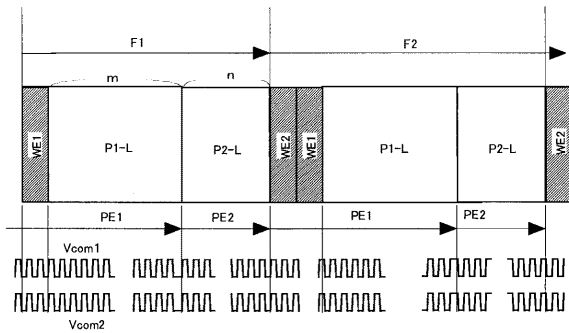
【図 2】

図 2



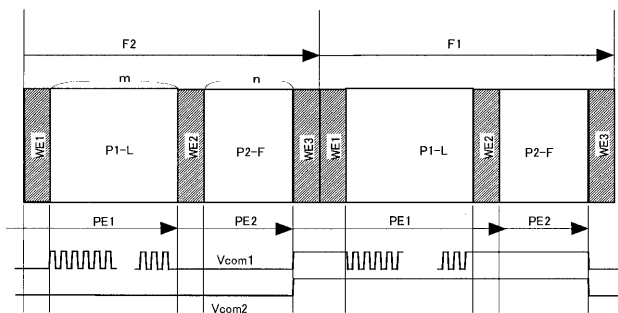
【図 3】

図 3



【図 4】

図 4



【図 5】

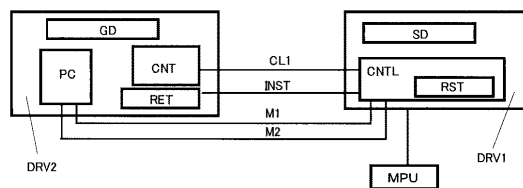
図 5

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*
0	0	1													
1	1	1													

1 D

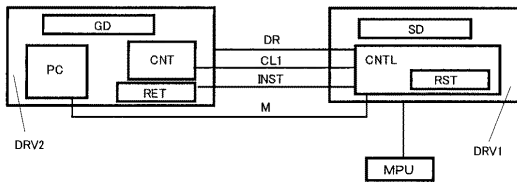
【図 6】

図 6



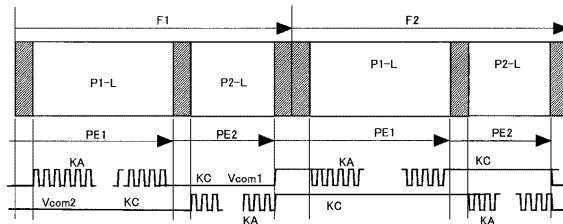
【図 7】

図 7

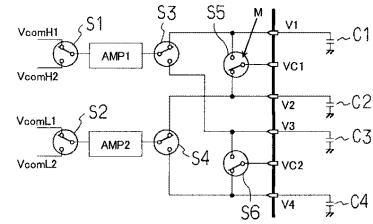


【図 8】

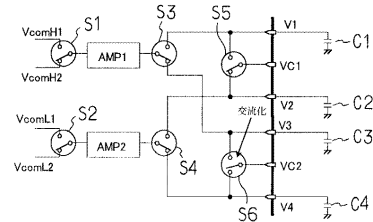
図 8



(a)



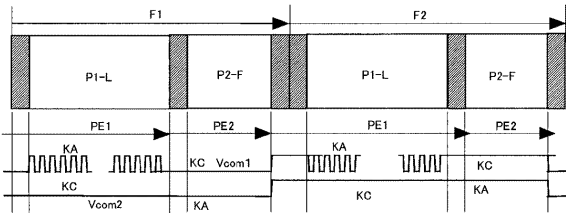
(b)



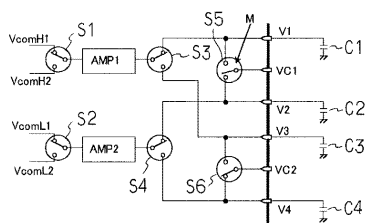
(c)

【図 9】

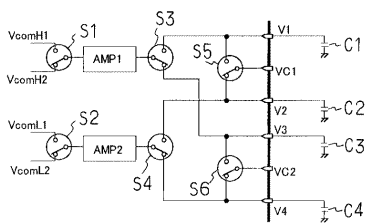
図 9



(a)



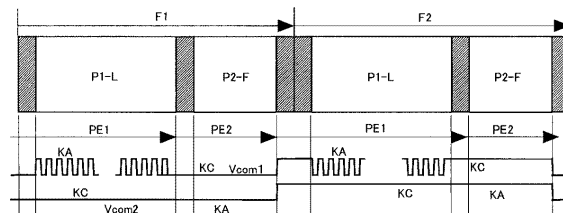
(b)



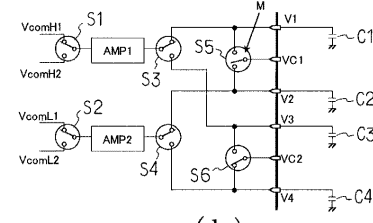
(c)

【図 10】

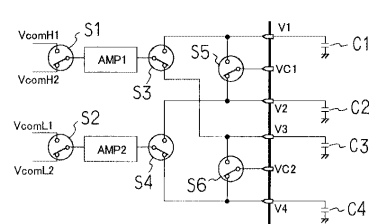
図 10



(a)



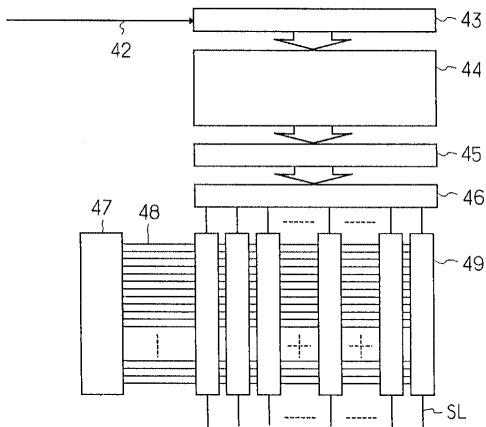
(b)



(c)

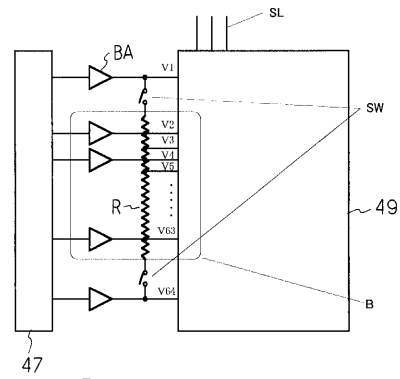
【図 1 1】

図 1 1



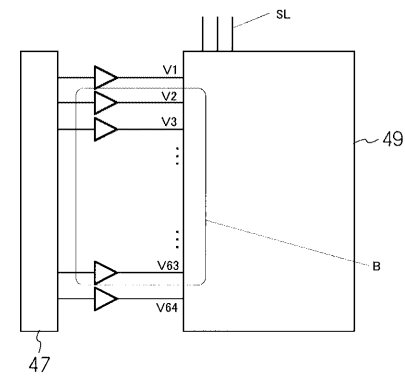
【図 1 2】

図 1 2



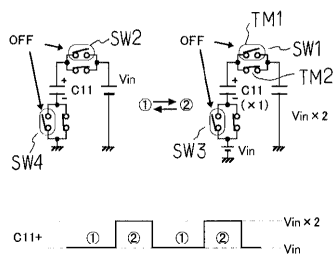
【図 1 3】

図 1 3



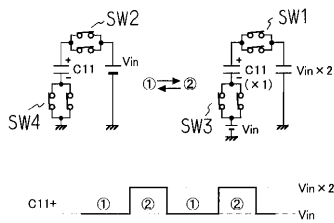
【図 1 4 (a)】

図 1 4 (a)



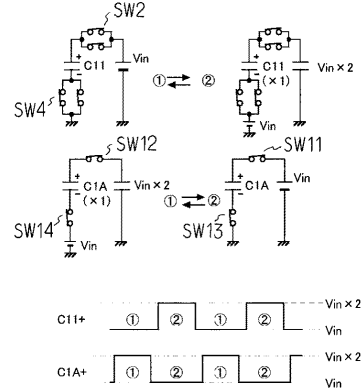
【図 1 4 (b)】

図 1 4 (b)



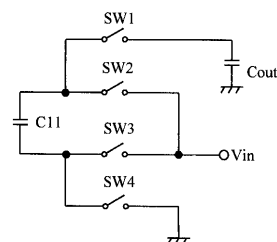
【図 1 4 (c)】

図 1 4 (c)



【図 1 5】

図 1 5



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 4 1 S
G 0 9 G	3/20	6 4 1 T
G 0 9 G	3/20	6 8 0 S
G 0 2 F	1/133	5 2 0
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5
G 0 2 F	1/1333	
G 0 2 F	1/133	5 2 5
G 0 9 G	3/20	6 1 2 G
G 0 9 G	3/20	6 8 0 D
G 0 9 G	3/20	6 8 0 G

(72)発明者 秋山 賢一

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

Fターム(参考) 2H189 AA37 HA16 LA09 LA10

2H193 ZA04 ZB08 ZB09 ZC04 ZC16 ZD23 ZF04 ZF07

5C006 AA16 AC25 AC27 AC28 AF38 AF44 AF71 AF73 BB16 BC22

BC23 BF43 BF46 FA04 FA05 FA45 FA47 FA48

5C080 AA10 BB05 DD26 JJ02 JJ03 KK47

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010250322A	公开(公告)日	2010-11-04
申请号	JP2010094555	申请日	2010-04-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	青木義典 後藤充 秋山賢一		
发明人	青木 義典 後藤 充 秋山 賢一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1333		
FI分类号	G09G3/36 G09G3/20.633.P G09G3/20.612.D G09G3/20.612.J G09G3/20.612.F G09G3/20.612.T G09G3/20.641.S G09G3/20.641.T G09G3/20.680.S G02F1/133.520 G02F1/133.550 G02F1/133.575 G02F1/1333 G02F1/133.525 G09G3/20.612.G G09G3/20.680.D G09G3/20.680.G		
F-TERM分类号	2H189/AA37 2H189/HA16 2H189/LA09 2H189/LA10 2H193/ZA04 2H193/ZB08 2H193/ZB09 2H193/ZC04 2H193/ZC16 2H193/ZD23 2H193/ZF04 2H193/ZF07 5C006/AA16 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF38 5C006/AF44 5C006/AF71 5C006/AF73 5C006/BB16 5C006/BC22 5C006/BC23 5C006/BF43 5C006/BF46 5C006/FA04 5C006/FA05 5C006/FA45 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD26 5C080/JJ02 5C080/JJ03 5C080/KK47		
其他公开文献	JP5026550B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在具有两个液晶显示面板的小型液晶显示装置中，实现最佳的驱动方法并降低功耗。第一液晶显示面板，第二液晶显示面板，设置在第一液晶显示面板中的驱动电路以及来自该驱动电路的输出在第一液晶显示面板中 驱动电路具有升压电路单元，升压电路单元，该输出端子被提供信号，该连接端子连接该输出端子和第二液晶显示面板。可以通过外部信号更改操作模式。[选择图]图14 (a)

