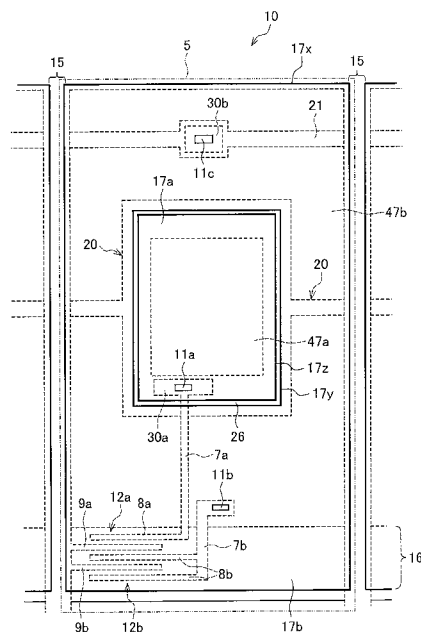




【特許請求の範囲】

【請求項 1】

第 1 副画素電極と第 2 副画素電極とを含む画素に中間調を表示する時に、該画素内の第 1 および第 2 副画素電極を異なる実効電位にすることで第 1 副画素電極に対応する第 1 輝度領域を第 2 副画素電極に対応する第 2 輝度領域よりも高輝度とする液晶表示装置に用いられるアクティブマトリクス基板であって、

1 つの画素領域に、第 1 副画素電極とこれを取り囲む第 2 副画素電極とを備え、

第 1 または第 2 副画素電極に接続された配線、トランジスタを介して第 1 または第 2 副画素電極に接続された走査信号線、第 1 または第 2 副画素電極と容量を形成する保持容量配線のいずれかの一部が、第 1 および第 2 の副画素電極の境界部分と重畳していることを特徴とするアクティブマトリクス基板。

10

【請求項 2】

上記境界部分と重畳するように、上記走査信号線が画素中段において額縁状に引き回されていることを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

上記境界部分と重畳するように、上記保持容量配線が画素中段において額縁状に引き回されていることを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 4】

請求項 1 に記載のアクティブマトリクス基板を備えることを特徴とする液晶表示装置。

【請求項 5】

請求項 4 に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置およびそれに用いられるアクティブマトリクス基板に関する。

【背景技術】

【0002】

図 36 は、液晶表示装置に用いられる従来のアクティブマトリクス基板の構成である。同図に示されるように、アクティブマトリクス基板 700 には、交差配置された複数の走査信号線 716 および複数のデータ信号線 715 と、各信号線 (715・716) の交点近傍に形成された TFT 712 (Thin Film Transistor: 薄膜トランジスタ) と、画素電極 717 とを備える。走査信号線 716 は TFT 712 のゲート電極を兼ねており、TFT 712 のソース電極 719 がデータ信号線 715 に接続され、ドレイン電極 708 がドレイン引き出し電極 707 を介して画素電極 717 に接続される。ドレイン引き出し電極と画素電極 717 との間に配される絶縁膜には穴が開けられており、これによってドレイン引き出し電極 707 と画素電極 717 とを接続するコンタクトホール 710 が形成されている。画素電極 717 は ITO 等の透明電極であり、アクティブマトリクス基板下からの光 (バックライト光) を透過させる。

30

【0003】

このアクティブマトリクス基板 700 においては、走査信号線 716 に送られる走査信号 (ゲート ON 電圧) によって TFT 712 が ON (ソース電極 719 とドレイン電極 708 とが導通状態) 状態となり、この状態においてデータ信号線 715 に送られるデータ信号 (信号電圧) が、ソース電極 719、ドレイン電極 708 およびドレイン引き出し電極 707 を介して画素電極 717 に書き込まれる。なお、保持容量 (Cs) 配線 718 は、TFT 712 のオフ期間中における液晶層の自己放電を回避する等の機能を有する。

40

【0004】

ここで、アクティブマトリクス基板 700 においては、各画素内の画素電極 717 全体が等電位となる。すなわち、アクティブマトリクス基板 700 を液晶表示装置に用いた場合には、全体がほぼ均一輝度の画素によって表示が行われることになる。

50

【 0 0 0 5 】

なお、特許文献 1 には、 γ 特性の視野角依存性を抑制するため、各画素を上下 2 つの副画素に分割し、一方の副画素を高輝度の明画素とし、もう一方の副画素を低輝度の暗画素とする構成が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 4 - 6 2 1 4 6 号公報 (公開日 : 2 0 0 4 年 2 月 2 6 日)

【 特許文献 2 】 特開 2 0 0 4 - 7 8 1 5 7 号公報 (公開日 : 2 0 0 4 年 3 月 1 1 日)

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、各画素内の輝度を均一にして表示を行うと、図 2 1 (b) に示されるような空間周波数の高い映像がぼやけてしまうという問題がある。また、特許文献 1 に開示された、上下に配した副画素間で輝度を異ならせる構成でも、空間周波数の高い映像の表示ばけを十分に改善することができていない。

【 0 0 0 8 】

本発明は、上記課題に鑑みてなされたものであり、その目的は、空間周波数の高い映像を鮮明に表示できる表示装置およびそれに用いるアクティブマトリクス基板を提供する点にある。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の表示装置は、複数の画素を備え、各画素内に、第 1 の輝度領域 (高輝度領域) と、該第 1 の輝度領域を取り囲むとともに第 1 の輝度領域より輝度の低い第 2 の輝度領域 (低輝度領域) とを形成できることを特徴とする。すなわち、本表示装置は、各画素に、周囲より高輝度に制御可能な第 1 の輝度領域と、該第 1 の輝度領域を取り囲むとともに該第 1 の輝度領域より低輝度に制御可能な第 2 の輝度領域とを備えている。

【 0 0 1 0 】

例えば 3 原色 (R ・ G ・ B) の同時加法混色方式の表示装置であれば、3 原色それぞれに対応して 1 つの画素が設けられる。この場合、3 原色に対する 3 つの画素がストライプ状、モザイク状あるいはデルタ状等に配される。

【 0 0 1 1 】

このように、本表示装置は、各画素に、高輝度領域とこれを取り囲む低輝度領域とを形成できるように構成されているため、画素全体の輝度総和の全部あるいは大半を高輝度領域で賄って (光放射を画素中央に集中させて) 中間調表示を行うことができる。これにより、高空間周波数領域における伝達特性が向上し、空間周波数の高い映像を鮮明に表示することができる。

【 0 0 1 2 】

本表示装置においては、各画素は、第 1 および第 2 のスイッチング素子と、該第 1 のスイッチング素子に接続する第 1 の副画素電極と、上記第 2 のスイッチング素子に接続し、第 1 の副画素電極を取り囲む第 2 の副画素電極と、を備えている構成とすることもできる。

【 0 0 1 3 】

本表示装置においては、上記第 1 および第 2 の輝度領域は、ともに同一点を重心とする形状であることが好ましい。この構成によれば、映像信号に対応する位置情報を正確に再現でき、ギザギザ感のない自然な映像表現が可能となる。

【 0 0 1 4 】

本表示装置においては、上記第 1 の輝度領域 (高輝度領域) と第 2 の輝度領域 (低輝度領域) との間に最低輝度領域が形成されることが好ましい。このように最低輝度領域を形成する (例えば高輝度領域の外周を遮光する) ことで、光漏れによるコントラスト低下を

10

20

30

40

50

防止することができる。なお、上記のように最低輝度領域を設けることなく、第１の輝度領域（高輝度領域）と第２の輝度領域（低輝度領域）とを隣接させることも可能である。

【００１５】

アクティブマトリクス基板とカラーフィルタ基板とを備えた本表示装置においては、上記最低輝度領域が、カラーフィルタ基板に設けられたブラックマトリクス、およびアクティブマトリクス基板に設けられた遮光体の少なくとも一方によって形成されていてもよい。こうすれば、（高輝度領域外周近傍からの）光漏れ防止用部材を別途設ける必要がないため製造工程が簡略化でき製造コストを抑えることができる。

【００１６】

本表示装置においては、第１および第２のスイッチング素子が同一のデータ信号線に接続する構成とすることもできる。また、第１および第２のスイッチング素子は同一の走査信号線に接続している構成とすることもできる。この場合、例えば、上記第１の副画素電極と容量を形成する第１の保持容量配線と、上記第２の副画素電極と容量を形成する第２の保持容量配線とを設け、さらに、この第１および第２の保持容量配線の電位それぞれを個別に制御できるようにする。具体的には、各保持容量配線に互いに逆位相の信号電圧を印加する。こうすれば、第１および第２の各副画素電極の実効電圧を容易に制御することができ、高輝度領域および低輝度領域を容易に形成できる。この構成においては、上記第１および第２の保持容量配線を、それぞれの電位波形の位相が互いに１８０度ずれるように電位制御してもよい。また、上記第１および第２の保持容量配線それぞれを、第１および第２のスイッチング素子がオフされた後に電位が上昇あるいは降下するとともに、その状態が次フレームでこれらスイッチング素子がオフされるまで続くように電位制御してもよい。

10

20

【００１７】

すなわち、上記第１の保持容量配線が、上記各スイッチング素子がオフされた後に電位が上昇してその状態が次フレームで上記各スイッチング素子がオフされるまで続くように電位制御されるとともに、上記第２の保持容量配線が、上記各スイッチング素子がオフされた後に電位が下降してその状態が次フレームで上記各スイッチング素子がオフされるまで続くように電位制御されるか、あるいは、上記第１の保持容量配線が、上記各スイッチング素子がオフされた後に電位が下降してその状態が次フレームで上記各スイッチング素子がオフされるまで続くように電位制御されるとともに、上記第２の保持容量配線が、上記各スイッチング素子がオフされた後に電位が上昇してその状態が次フレームで上記各スイッチング素子がオフされるまで続くように電位制御される。この場合、上記第１の保持容量配線の電位が上昇するのと第２の保持容量配線の電位が下降するのとが同期しているか、あるいは、上記第１の保持容量配線の電位が下降するのと第２の保持容量配線の電位が上昇するのとが同期している構成とすることもできる。また、上記第１の保持容量配線の電位が上昇するのと第２の保持容量配線の電位が下降するのとが一水平期間ずれているか、あるいは、上記第１の保持容量配線の電位が下降するのと第２の保持容量配線の電位が上昇するのとが一水平期間ずれている構成とすることもできる。

30

【００１８】

本表示装置においては、第１および第２のスイッチング素子はそれぞれ、第１および第２の走査信号線に接続している構成とすることもできる。この場合、第１の走査信号線に供給されるオンパルスと第２の走査信号線に供給されるオンパルスとが時間的に重ならないようにすることもできるし、また、第１の走査信号線に供給されるオンパルスと第２の走査信号線に供給されるオンパルスとが、時間的に重なる部分を有しつつパルス終端をとるタイミングが異なるようにすることもできる。

40

【００１９】

例えば、第１の走査信号線に供給されるオンパルスと第２の走査信号線に供給されるオンパルスとが、パルス始端をとるタイミングが同期し、パルス終端をとるタイミングは第１の走査信号線に供給されるオンパルスが先であるようにする。また、上記データ信号線に供給される電位は、一方のオンパルスが先にパルス終端をとるのと同期して、あるいは

50

それ以後に変化するようにする。こうすれば、第 2 の走査信号線が制御する第 2 のスイッチング素子に接続する第 2 の副画素電極には、ある電位が一旦与えられた状態で再度書き込むべき電位が与えられることになり、第 2 の副画素電極の充電を良好に行うことができる。特に、ドット反転駆動やHライン反転駆動のように水平期間ごとにデータ信号線に与えられる信号電位の極性が反転する（信号電位の波形が鈍ってしまう）場合や第 2 の副画素電極の面積が大きい（充電に時間がかかる）場合により効果的である。さらに、オンパルスの周期が長くなるため、走査信号の駆動周波数を抑制できるという効果もある。

【 0 0 2 0 】

なお、上記構成においては、同一のデータ信号線に供給される電位の極性が、一水平期間ごとに反転させてもよい。

【 0 0 2 1 】

本表示装置においては、第 1 および第 2 のスイッチング素子がそれぞれ、互いに独立した第 1 および第 2 のデータ信号線に接続する構成とすることもできる。この場合には、第 1 および第 2 のデータ信号線に異なる信号電位を供給することによって上記第 1 の輝度領域および第 2 の輝度領域を形成する。

【 0 0 2 2 】

本アクティブマトリクス基板は、複数の画素領域を備え、各画素領域に、第 1 および第 2 のスイッチング素子と、該第 1 のスイッチング素子に接続する第 1 の副画素電極と、上記第 2 のスイッチング素子に接続し、第 1 の副画素電極を取り囲む第 2 の副画素電極と、が設けられていることを特徴とする。

【 0 0 2 3 】

本アクティブマトリクス基板は、これを表示装置に用いた場合に、各画素領域に対応する画素内に、高輝度領域とこれを取り囲む低輝度領域とを形成することが可能である。すなわち、画素全体の輝度総和の全部あるいはほとんどを画素中央の高輝度領域で賄って（光放射を画素中央に集中させて）中間調表示を行うことができる。このように、本アクティブマトリクス基板を備えた表示装置においては、高空間周波数領域における伝達特性が大幅に向上し、空間周波数の高い映像を鮮明に表示することが可能となる。

【 0 0 2 4 】

本アクティブマトリクス基板は、上記第 1 および第 2 のスイッチング素子が同一の走査信号線に接続されている構成とすることもできる。また、上記第 1 および第 2 のスイッチング素子が互いに独立した第 1 および第 2 の走査信号線に接続されている構成とすることもできる。

【 0 0 2 5 】

本アクティブマトリクス基板は、各画素領域に 1 本のデータ信号線が配されるとともに該データ信号線に上記第 1 および第 2 のスイッチング素子が接続され、かつ、上記第 1 の副画素電極と容量を形成する第 1 の保持容量配線と、上記第 2 の副画素電極と容量を形成する第 2 の保持容量配線とが設けられている構成とすることもできる。

【 0 0 2 6 】

本アクティブマトリクス基板は、各画素領域に 1 本のデータ信号線が配されるとともに該データ信号線に上記第 1 および第 2 のスイッチング素子が接続され、かつ、上記第 1 の副画素電極と容量を形成する第 1 の保持容量配線と、上記第 2 の副画素電極と容量を形成する第 2 の保持容量配線とが設けられている構成とすることもできる。

【 0 0 2 7 】

本アクティブマトリクス基板は、各画素領域に互いに独立した第 1 および第 2 のデータ信号線が配され、この第 1 のデータ信号線に上記第 1 のスイッチング素子が接続されるとともに第 2 のデータ信号線に上記第 2 のスイッチング素子が接続されている構成とすることもできる。

【 0 0 2 8 】

本アクティブマトリクス基板は、第 1 および第 2 の副画素電極の境界部分に重畳するように遮光体が形成されている構成とすることもできる。このように、第 1 および第 2 の副

10

20

30

40

50

画素電極の境界部分を遮光することで、本アクティブマトリクス基板を備えた表示装置において、第１および第２の副画素電極の境界近傍（間隙領域）から光が漏れ、コントラストが低下するといった問題を回避することができる。また、アクティブマトリクス基板自体に遮光体を設けるため、カラーフィルタ基板に遮光体を設ける場合のように各基板を貼り合わせる際のずれによって遮光効果が低下してしまうといった問題も起こらない。なお、上記第１あるいは第２のスイッチング素子から引き出された配線の一部が、第１および第２の副画素電極の境界部分と重畳している構成とすることもできる。また、上記走査信号線の一部が、第１および第２の副画素電極の境界部分と重畳している構成とすることもできる。この場合、上記境界部分と重畳するように、上記走査信号線が画素中段において額縁状に引き回されていても良い。また、上記第１の保持容量配線の一部が、第１および第２の副画素電極の境界部分と重畳している構成とすることもできる。この場合、上記境界部分と重畳するように、上記第１の保持容量配線が画素中段において額縁状に引き回されていても良い。

【００２９】

また、本発明の表示装置は、上記アクティブマトリクス基板を備えることを特徴とする。

【００３０】

また、本発明の液晶表示装置は、上記アクティブマトリクス基板と、時分割で複数色を発するバックライトとを備え、フィールドシーケンシャル表示を行うことを特徴とする。この構成では、１つの画素に、例えば３原色（Ｒ・Ｇ・Ｂ）の３つの色が連続して表示される（もっとも、ある時刻には１つの画素に１つの色のみが表示される）。この構成によれば、色情報の位置ずれがなくなるので表示品位が向上する。また、カラーフィルタが不要となるため、その分のコストダウンが期待できる。

【００３１】

本発明のテレビジョン受像機は、上記表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とする。

【発明の効果】

【００３２】

以上のように、本表示装置によれば、空間周波数の高い映像を鮮明に表示することができる。また、本アクティブマトリクス基板は、これを表示装置に用いた場合に、各画素領域に対応する画素内に、高輝度領域とこれを取り囲む低輝度領域とを形成することができる。空間周波数の高い映像を鮮明に表示することができる。

【図面の簡単な説明】

【００３３】

【図１】本実施の形態に係るアクティブマトリクス基板の構成を示す透視平面図である。

【図２】本アクティブマトリクス基板の等価回路図である。

【図３】本アクティブマトリクス基板を用いた液晶表示装置の等価回路図である。

【図４】本アクティブマトリクス基板の構成例を示す透視平面図である。

【図５】本アクティブマトリクス基板の構成例を示す透視平面図である。

【図６】本アクティブマトリクス基板の等価回路図である。

【図７】本アクティブマトリクス基板の等価回路図である。

【図８】本アクティブマトリクス基板の構成例を示す透視平面図である。

【図９】本アクティブマトリクス基板の構成例を示す透視平面図である。

【図１０】本アクティブマトリクス基板の構成例を示す透視平面図である。

【図１１】本アクティブマトリクス基板の構成例を示す透視平面図である。

【図１２】本アクティブマトリクス基板の等価回路図である。

【図１３】本アクティブマトリクス基板の駆動方法を示すタイミングチャートである。

【図１４】映像信号の配置を説明する模式図である。

【図１５（ａ）】本アクティブマトリクス基板の各輝度領域の配置を説明する模式図である。

10

20

30

40

50

- 【図 15 (b)】図 15 (a) を説明するための参考図である。
- 【図 16】本実施の形態に係る液晶表示装置の構成を示すブロック図である。
- 【図 17 (a)】フィールドシーケンシャル方式における画素構造を説明する模式図である。
- 【図 17 (b)】フィールドシーケンシャル方式における画素構造を説明する模式図である。
- 【図 18】フィールドシーケンシャル方式における駆動方法を説明する模式図である。
- 【図 19 (a)】フィールドシーケンシャル方式の利点を説明する模式図である。
- 【図 19 (b)】フィールドシーケンシャル方式の利点を説明する模式図である。
- 【図 20】フィールドシーケンシャル方式の液晶表示装置の構成を示すブロック図である 10
- 。
- 【図 21 (a)】空間周波数特性の低い場合を示す模式図である。
- 【図 21 (b)】空間周波数特性の高い場合を示す模式図である。
- 【図 22 (a)】点灯領域の小さな表示装置を示す模式図である。
- 【図 22 (b)】点灯領域の大きな表示装置を示す模式図である。
- 【図 23】伝達特性を説明するグラフである。
- 【図 24】本実施の形態に係るテレビジョン受像機の構成を示すブロック図である。
- 【図 25】本実施の形態に係るテレビジョン受像機の構成を示す斜視図である。
- 【図 26】本表示装置の輝度分配の一例を示すグラフである。
- 【図 27】本表示装置の輝度分配の一例を示すグラフである。 20
- 【図 28】本アクティブマトリクス基板の構成例を示す透視平面図である。
- 【図 29】本アクティブマトリクス基板の構成例を示す透視平面図である。
- 【図 30】図 29 に示すアクティブマトリクス基板の等価回路図である。
- 【図 31】本アクティブマトリクス基板の他の駆動方法を示すタイミングチャートである。
- 。
- 【図 32】本アクティブマトリクス基板の他の駆動方法を示すタイミングチャートである。
- 。
- 【図 33】本アクティブマトリクス基板の他の駆動方法を示すタイミングチャートである。
- 。
- 【図 34】本実施の形態に係る液晶パネルの構成を示す断面図である。 30
- 【図 35】本アクティブマトリクス基板の他の駆動方法を示すタイミングチャートである。
- 。
- 【図 36】従来のアクティブマトリクス基板の構成を示す平面図である。
- 【発明を実施するための形態】
- 【0034】
- 本発明の実施の一形態を図 1 ~ 図 35 に基づいて説明すれば以下のとおりである。
- 【0035】
- 図 1 は、本実施の形態に係るアクティブマトリクス基板の構成を示す透視平面図である。同図に示されるように、本アクティブマトリクス基板 10 は、マトリクス状に配された画素領域 5 と、互いに直交する走査信号線 16 (列方向 図中左右方向) およびデータ信号線 15 (行方向 図中上下方向) と、第 1 保持容量配線 20 と、第 2 保持容量配線 21 とを備える。 40
- 【0036】
- 画素領域 5 には、第 1 の TFT (薄膜トランジスタ) 12 a と、第 2 の TFT 12 b と、第 1 副画素電極 17 a と、第 2 副画素電極 17 b とが形成される。
- 【0037】
- 第 2 副画素電極 17 b は、長方形を一部割り抜いた形状を有し、その外枠 17 x が大きな長方形、その内枠 (割り抜いた部分の外周) 17 y が小さな長方形となっている。そして、この内枠 17 y の内側に長方形形状の第 1 副画素電極 17 a が設けられている。すなわち、本アクティブマトリクス基板は、長方形形状の第 1 副画素電極 17 a を第 2 副画素 50

電極 17b が取り囲む構成である。

【0038】

第1副画素電極 17a の外枠 17z と第2副画素電極の内枠 17y との間は間隙領域 26 となっており、この間隙領域 26 並びに第1副画素電極 17a の外枠近傍領域および第2副画素電極 17b の内枠近傍領域と重畳するように、第1保持容量配線 20 が額縁状に引き回されている。さらに、この第1保持容量配線 20 および第1副画素電極 17a と重畳するように保持容量上電極 30a が設けられ、この保持容量上電極 30a と第1副画素電極 17a とがコンタクトホール 11a によって接続されている。なお、第2副画素電極 17b の下端部（行方向の一方のエッジ）は、列方向（図中左右方向）に走る走査信号線 16 と重畳する。この構成では、第1保持容量配線 20 によって、高輝度領域 47a（第1の輝度領域）と低輝度領域 47b（第2の輝度領域）との間に、額縁状の黒表示領域（最低輝度領域）が形成される。

10

【0039】

第1および第2の TFT 12a・12b は、各信号線（15・16）の交点近傍に形成され、第1の TFT 12a のソース電極 9a および第2の TFT 12b のソース電極 9b はともにデータ信号線 15 に接続される。また、第1の TFT 12a のドレイン電極 8a は、ドレイン引き出し配線 7a を介して保持容量上電極 30a に接続され、第2の TFT 12b のドレイン電極 8b はドレイン引き出し配線 7b およびコンタクトホール 11b を介して第2副画素電極 17b に接続されている。

【0040】

また、第2保持容量配線 21 は、第2副画素電極 17b の上半分の部分（第1副画素電極 17a をはさんで各 TFT 12a・12b の反対側）を列方向（図中左右方向）に横切るように形成され、この第2保持容量配線 21 および第2副画素電極 17b に重畳するように保持容量上電極 30b が設けられる。この保持容量上電極 30b は、コンタクトホール 11c を介して第2副画素電極 17b に接続されている。

20

【0041】

図1では、第1保持容量配線 20 が間隙領域 26 並びに第1副画素電極 17a の外枠近傍領域および第2副画素電極 17b の内枠近傍領域と重畳するように額縁状に引き回されているが、これに限定されない。例えば、図28に示す画素領域 5' のように、第1および第2の保持容量配線 20'・21' を、第1副画素電極 17a を挟むように列方向（図中左右方向）に沿って形成してもよい。なお、第1の TFT 12a のドレイン電極は、第1副画素電極 17a 下を通過するドレイン引き出し配線 7a' を介して、第1保持容量配線 20' 上に形成された保持容量上電極 30a に接続される。さらに、このドレイン引き出し配線 7a' は、コンタクトホール 11a を介して第1副画素電極 17a に接続される。また、第2の TFT 12b のドレイン電極は、ドレイン引き出し配線 7b' を介して、第2保持容量配線 21' 上に形成された保持容量上電極 30b に接続される。さらに、この保持容量上電極 30b は、コンタクトホール 11b を介して第2副画素電極 17b に接続される。この図28の構成では、高輝度領域 47a と低輝度領域 47b との間に遮光体による最低輝度領域が形成されないため、高輝度領域 47a と低輝度領域 47b とが隣接するような構成となる。

30

40

【0042】

図1に示す構成によって、図2に示す回路が実現される。すなわち、第1副画素電極 17a が第1の TFT 12a を介してデータ信号線 15 に接続され、第2副画素電極 17b が第2の TFT 12b を介してデータ信号線 15 に接続される。なお、第1および第2の TFT 12a・12b のゲートはともに走査信号線 16 に接続される。また、第1副画素電極 17a に接続された保持容量上電極 30a と第1保持容量配線 20 との間で保持容量 Cs1 が形成され、第2副画素電極 17b に接続された保持容量上電極 30b と第2保持容量配線 21 との間で保持容量 Cs2 が形成される。

【0043】

なお、後述するように、図2の第1保持容量配線 20 および第2保持容量配線 21 には

50

、互いに位相の異なるCs信号（補助容量対向電圧）が供給される。ここで、各画素をドット反転駆動あるいはVライン反転駆動する場合、列方向（図中左右方向）に隣接する2つの画素に供給される信号電位が逆極性となる。したがって、このような場合には、自画素の第1保持容量配線20は隣接画素の第2保持容量配線21に接続され、自画素の第2保持容量配線21は隣接画素の第1保持容量配線20に接続される。

【0044】

図3は、アクティブマトリクス基板10を備えた液晶表示装置（液晶パネル）の等価回路である。同図に示されるように、第1副画素電極17a、対向電極（Vcom）、および両者間の液晶層によって第1副画素容量Csp1が構成され、第2副画素電極17b、対向電極（Vcom）、および両者間の液晶層によって第2副画素容量Csp2が構成される。

10

【0045】

以下に、本実施の形態に係る液晶表示装置の駆動方法を説明する。

【0046】

本実施の形態では、第1副画素電極とこれを取り囲む第2副画素電極に、共通のデータ信号線から表示信号電圧を供給しておき、その後各TFTをオフ状態にした後に第1保持容量配線および第2保持容量配線の電圧を相互に異なるように変化させる。これにより、1つの画素内に、第1副画素容量Csp1による高輝度領域と、これを取り囲む、第2副画素容量Csp2による低輝度領域とを形成する。この構成では、2つの副画素電極に1本のデータ信号線から表示信号電圧を供給するため、データ信号線の数やこれらを駆動するソースドライバの数を増加させる必要がないという利点がある。

20

【0047】

図13は、図3に示す回路の各部の電圧を示すタイミングチャートである。なお、Vgは走査信号線（第1および第2のTFTのゲート電極）の電圧、Vsはデータ信号線の電圧（ソース電圧）、Vcs1は第1保持容量配線の電圧、Vcs2は第2保持容量配線の電圧、Vlc1は第1副画素電極の電圧、Vlc2は第2副画素電極の電圧とする。なお、液晶表示装置においては、液晶が分極しないよう、一般にフレーム反転、ライン反転、ドット反転といった交流駆動を行う。すなわち、nフレーム目にソース電圧の中央値Vscに対してプラス極性のソース電圧（Vsp）を与え、次の（n+1）フレーム目ではVscに対してマイナス極性のソース電圧（Vsn）を与え、かつフレームごとにドット反転を行う。また、第1保持容量配線の電圧および第2保持容量配線の電圧を振幅電圧Vadで振幅させるとともに、両者の位相を180度ずらす。

30

【0048】

図13のnフレームにおける各電圧波形の経時変化を説明する。

【0049】

まず、時刻T0で、 $Vcs1 = Vcom - Vad$ 、 $Vcs2 = Vcom + Vad$ とする。なお、Vcomは対向電極の電圧である。

【0050】

時刻T1で、VgがVgLからVgHに変化し、各TFTがともにON状態となる。この結果、Vlc1およびVlc2がVspに上昇し、保持容量Cs1・Cs2および副画素容量Csp1・Csp2が充電される。

40

【0051】

時刻T2で、VgがVgHからVgLに変化し、各TFTがOFF状態となって、保持容量Cs1・Cs2および副画素容量Csp1・Csp2がデータ信号線から電氣的に絶縁される。なお、この直後に寄生容量等の影響によって引き込み現象が発生し、 $Vlc1 = Vsp - Vd1$ 、 $Vlc2 = Vsp - Vd2$ となる。

【0052】

時刻T3では、Vcs1が $Vcom - Vad$ から $Vcom + Vad$ へ変化し、Vcs2が $Vcom + Vad$ から $Vcom - Vad$ へ変化する。この結果、 $Vlc1 = Vsp - Vd1 + 2 \times K \times Vad$ 、 $Vlc2 = Vsp - Vd2 - 2 \times K \times Vad$ となる。ここで、K

50

$= C_{cs} / (C_{lc} + C_{cs})$ であり、 C_{cs} は各保持容量 ($C_{s1} \cdot C_{s2}$) の容量値、 C_{lc} は各副画素容量 ($C_{sp1} \cdot C_{sp2}$) の容量値とする。

【0053】

時刻 T_4 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sp} - V_{d1}$ 、 $V_{lc2} = V_{sp} - V_{d2}$ となる。

【0054】

時刻 T_5 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sp} - V_{d1} + 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sp} - V_{d2} - 2 \times K \times V_{ad}$ となる。

10

【0055】

後は、次に $V_g = V_{gh}$ となり書き込みが行われるまで、水平走査期間 $1H$ の整数倍ごとに、時刻 $T_4 \cdot T_5$ が繰り返される。したがって、 V_{lc1} の実効値は、 $V_{sp} - V_{d1} + K \times V_{ad}$ となり、 V_{lc2} の実効値は、 $V_{sp} - V_{d2} - K \times V_{ad}$ となる。

【0056】

以上から、 n フレーム目において各副画素容量 (第1副画素容量 C_{sp1} ・第2副画素容量 C_{sp2}) にかかる実効電圧 ($V_1 \cdot V_2$) は、 $V_1 = V_{sp} - V_{d1} + K \times V_{ad} - V_{com}$ 、 $V_2 = V_{sp} - V_{d2} - K \times V_{ad} - V_{com}$ となるため、1つの画素内に、第1副画素容量 C_{sp1} による高輝度領域と、これを取り囲む、第2副画素容量 C_{sp2} による低輝度領域とが形成される。

20

【0057】

次に、 $n + 1$ フレームにおける各電圧波形の経時変化を説明する。

【0058】

まず、時刻 T_0 で、 $V_{cs1} = V_{com} + V_{ad}$ 、 $V_{cs2} = V_{com} - V_{ad}$ とする。なお、 V_{com} は対向電極の電圧である。

【0059】

時刻 T_1 で、 V_g が V_{gL} から V_{gH} に変化し、各 TFT がともに ON 状態となる。この結果、 V_{lc1} および V_{lc2} が V_{sn} に低下し、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ が充電される。

【0060】

30

時刻 T_2 で、 V_g が V_{gH} から V_{gL} に変化し、各 TFT が OFF 状態となって、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ がデータ信号線から電氣的に絶縁される。なお、この直後に寄生容量等の影響によって引き込み現象が発生し、 $V_{lc1} = V_{sn} - V_{d1}$ 、 $V_{lc2} = V_{sn} - V_{d2}$ となる。

【0061】

時刻 T_3 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sn} - V_{d1} - 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sn} - V_{d2} + 2 \times K \times V_{ad}$ となる。ここで、 $K = C_{cs} / (C_{lc} + C_{cs})$ であり、 C_{cs} は各保持容量 ($C_{s1} \cdot C_{s2}$) の容量値、 C_{lc} は各副画素容量 ($C_{sp1} \cdot C_{sp2}$) の容量値とする。

40

【0062】

時刻 T_4 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sn} + V_{d1}$ 、 $V_{lc2} = V_{sn} + V_{d2}$ となる。

【0063】

時刻 T_5 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sn} - V_{d1} - 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sn} - V_{d2} + 2 \times K \times V_{ad}$ となる。

【0064】

後は、次に $V_g = V_{gh}$ となり書き込みが行われるまで、水平走査期間 $1H$ の整数倍ご

50

とに、時刻 $T_4 \cdot T_5$ が繰り返される。したがって、 V_{lc1} の実効値は、 $V_{sn} - V_{d1} - K \times V_{ad}$ となり、 V_{lc2} の実効値は、 $V_{sn} - V_{d2} + K \times V_{ad}$ となる。

【0065】

以上から、 n フレーム目において各副画素容量 ($C_{sp1} \cdot C_{sp2}$) にかかる実効電圧 ($V_1 \cdot V_2$) は、 $V_1 = V_{sn} - V_{d1} - K \times V_{ad} - V_{com}$ 、 $V_2 = V_{sn} - V_{d2} + K \times V_{ad} - V_{com}$ となるため、1つの画素内に、第1副画素容量 C_{sp1} による高輝度領域と、これを取り囲む、第2副画素容量 C_{sp2} による低輝度領域とが形成される。

【0066】

また、図35に示すように、 V_{cs1} を、 T_2 で V_g が「L」となった（各 $TFT_{12a} \cdot 12b$ がオフした）直後の T_3 で「High」になったまま（あるいは「Low」になったまま）の波形とし、同様に、 V_{cs2} を、 T_2 で V_g が「L」となった直後の T_3 で「Low」になったまま（あるいは「High」になったまま）の波形とすることもできる。すなわち、各トランジスタがオフされた後に、 V_{cs1} を突き上げて該フレームではこの突き上げたままの状態を維持するとともに、 V_{cs1} の突き上げと同期して V_{cs2} を突き下げて該フレームではこの突き下げたままの状態を維持するような電位制御を行うか、あるいは、各トランジスタがオフされた後に、 V_{cs1} を突き下げて該フレームではこの突き下げたままの状態を維持するとともに、 V_{cs1} の突き下げと同期して V_{cs2} を突き上げて該フレームではこの突き上げたままの状態を維持するような電位制御を行う。この図35に示す電位制御は、各保持容量配線を上下（データ信号線に沿った方向）に隣接する画素同士で共有しない構成（図1・図4・図5等）に適用可能であり、 V_{cs1} および V_{cs2} 波形のなまりがドレイン実効電位に与える影響が小さくなるため、輝度ムラの低減に有効である。

【0067】

さらに、図31のように、 V_{cs1} を、 T_2 で V_g が「L」となった（各 $TFT_{12a} \cdot 12b$ がオフした）直後の T_3 で「High」になったまま（あるいは「Low」になったまま）の波形とし、 V_{cs2} を、 T_3 から1水平期間（1H）後の T_4 で「Low」になったまま（あるいは「High」になったまま）の波形とすることもできる。すなわち、各トランジスタがオフされた後に、 V_{cs1} を突き上げて該フレームではこの突き上げたままの状態を維持するとともに、 V_{cs1} の突き上げから1H期間ずらして V_{cs2} を突き下げて該フレームではこの突き下げたままの状態を維持するような電位制御を行うか、あるいは、各トランジスタがオフされた後に、 V_{cs1} を突き下げて該フレームではこの突き下げたままの状態を維持するとともに、 V_{cs1} の突き下げから1H期間ずらして V_{cs2} を突き上げて該フレームではこの突き上げたままの状態を維持するような電位制御を行う。この図31に示す電位制御は、各保持容量配線を上下に隣接する画素同士で共有しない構成（図1等）はもちろん、各保持容量配線を上下に隣接する画素同士で共有する構成（図8）にも適用できるという利点がある。

【0068】

図31の n フレームにおける各電圧波形の経時変化を説明する。

【0069】

まず、時刻 T_0 で、 $V_{cs1} = V_{com} - V_{ad}$ 、 $V_{cs2} = V_{com} + V_{ad}$ とする。なお、 V_{com} は対向電極の電圧である。

【0070】

時刻 T_1 で、 V_g が V_{gL} から V_{gH} に変化し、各 TFT がともにON状態となる。この結果、 V_{lc1} および V_{lc2} が V_{sp} に上昇し、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ が充電される。

【0071】

時刻 T_2 で、 V_g が V_{gH} から V_{gL} に変化し、各 TFT がOFF状態となって、保持容量 $C_{s1} \cdot C_{s2}$ および副画素容量 $C_{sp1} \cdot C_{sp2}$ がデータ信号線から電氣的に絶縁される。なお、この直後に寄生容量等の影響によって引き込み現象が発生し、 V_{lc1}

10

20

30

40

50

$= V_{sp} - V_{d1}$ 、 $V_{lc2} = V_{sp} - V_{d2}$ となる。

【0072】

時刻 T_3 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。時刻 T_4 では (T_3 の 1H 後)、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。この結果、 $V_{lc1} = V_{sp} - V_{d1} + 2 \times K \times V_{ad}$ 、 $V_{lc2} = V_{sp} - V_{d2} - 2 \times K \times V_{ad}$ となる。ここで、 $K = C_{cs} / (C_{lc} + C_{cs})$ であり、 C_{cs} は各保持容量 ($C_{s1} \cdot C_{s2}$) の容量値、 C_{lc} は各副画素容量 ($C_{sp1} \cdot C_{sp2}$) の容量値とする。

【0073】

以上から、 n フレーム目において各副画素容量 (第 1 副画素容量 C_{sp1} ・第 2 副画素容量 C_{sp2}) にかかる実効電圧 ($V_1 \cdot V_2$) は、 $V_1 = V_{sp} - V_{d1} + 2 \times K \times V_{ad} - V_{com}$ 、 $V_2 = V_{sp} - V_{d2} - 2 \times K \times V_{ad} - V_{com}$ となるため、1 つの画素内に、第 1 副画素容量 C_{sp1} による明副画素と、第 2 副画素容量 C_{sp2} による暗副画素とが形成される。

【0074】

こうすれば、 V_{cs1} および V_{cs2} 波形のなまりがドレイン実効電位に与える影響が小さくなり、輝度ムラの低減に有効である。

【0075】

ここで、本構成における高輝度領域と低輝度領域の輝度分配の一例を図 26 に示す。なお、256 階調表示とし、低輝度領域と高輝度領域の面積比を 1 : 3 とする。グラフ a・b に示されるように、128 階調付近までは、低輝度領域の輝度 (単位面積あたりの光量) を 0 (最小輝度) としておき、階調増加に伴って高輝度領域の輝度 (単位面積あたりの光量) を 0 から 0.85 (最大輝度を 1 とする) まで増加させる。また、128 階調付近 ~ 255 階調までは、グラフ a・グラフ b に示されるように、階調増加に伴って高輝度領域の輝度を 0.85 から 1.0 まで逡増させる一方で低輝度領域の輝度を 0 から 1.0 まで増加させる。この低輝度領域および高輝度領域それぞれの輝度を面積積分し、合算したものが画素全体の輝度総和 (グラフ c = γ 特性) となる。

【0076】

このように、本実施の形態に係る液晶表示装置では、各画素に、高輝度領域とこれを取り囲む低輝度領域とを形成することが可能である。以下では、各画素に、高輝度領域とこれを取り囲む低輝度領域とを形成することによって、空間周波数の高い映像を鮮明に表示できる点について説明する。

【0077】

図 21 (a) に空間周波数の低い映像の模式図を示し、図 21 (b) に空間周波数の高い映像の模式図を示す。ここで、映像信号としてサイン波形を入力したときの振幅とディスプレイに出力された振幅との比を伝達特性とする。また、図 22 (a) は、点灯領域が大きい画素をマトリクス状に配した表示装置の模式図であり、図 22 (b) は、点灯領域が小さい画素をマトリクス状に配した表示装置の模式図である。さらに、図 23 は、図 22 (a) に示す表示装置の伝達特性、および図 22 (b) に示す表示装置の伝達特性を示す。

【0078】

図 23 から、点灯領域が小さな表示装置の方が、点灯領域の大きな表示装置よりも伝達特性が優れている、すなわち、図 21 (b) に示されるような高空間周波数の映像をより鮮明に表示できることがわかる。本発明はこの原理に着目したものであり、1 つの画素内に、高輝度領域とこれを取り囲む低輝度領域とを形成できる画素構成とし、画素全体の輝度総和の全部あるいはほとんどを高輝度領域で賄って (光放射を画素中央に集中させて) (表示の大半を占める) 中間調表示を行う。これにより、高空間周波数領域における伝達特性が大幅に向上し、空間周波数の高い映像を鮮明に表示することができる。

【0079】

また、本アクティブマトリクス基板では、図 15 (a) に示すように、各画素の中央部

に高輝度領域が形成され、各画素における高輝度領域の行方向（図中上下方向）の位置が画素間で揃っているため、図 15（b）のように各画素における高輝度領域の行方向の位置が画素間でずれている構成と比較して、図 14 に模式的に示されような映像信号をよりきれいに表示できる。

【0080】

また、図 1 に示す本アクティブマトリクス基板は、第 1 および第 2 の画素電極間の領域（間隙領域 26）と重畳するように、第 1 の保持容量配線 20 が額縁状に引き回されている。したがって、本アクティブマトリクス基板を備えた液晶表示装置において、間隙領域 26 から光が漏れ、コントラストが低下するといった現象を防止することができる。

【0081】

また、本実施の形態では、アクティブマトリクス基板自体に遮光体（第 1 の保持容量配線 20）設けることになるため、カラーフィルタ基板に遮光体を設ける場合のように各基板を貼り合わせる際のずれによって遮光効果が低下してしまうといった問題も起こらない。

【0082】

加えて、図 1 の構成では、1 つの画素領域内において、第 1 の保持容量配線 20 が額縁状に引き回され、該第 1 の保持容量配線 20 が複数の経路を有することになるため、第 1 の保持容量配線の断線に対して冗長性を有している。

【0083】

本アクティブマトリクス基板を図 4 に示すように構成することもできる。すなわち、画素領域 105 には、第 1 の TFT（薄膜トランジスタ）112a と、第 2 の TFT 112b と、第 1 副画素電極 117a と、第 2 副画素電極 117b とが形成される。

【0084】

第 2 副画素電極 117b は、長方形を一部切り抜いた形状を有し、その外枠 117x が大きな長方形、その内枠（切り抜いた部分の外周）117y が小さな長方形となっている。そして、この内枠 117y の内側に長方形形状の第 1 副画素電極 117a が設けられている。すなわち、本実施の形態は、長方形形状の第 1 副画素電極 117a を第 2 副画素電極 117b が取り囲む構成である。

【0085】

第 1 副画素電極 117a の外枠 117z と第 2 副画素電極の内枠 117y との間は間隙領域（126a ~ 126d）となっている。この間隙領域は額縁状であり、列方向（図中左右方向）に伸びた領域 126a および領域 126b と、行方向（図中上下方向）に伸びた領域 126c および領域 126d とからなる。ここで、領域 126a 並びに第 1 副画素電極 117a の外枠近傍領域および第 2 副画素電極 117b の内枠近傍領域と重畳するように、第 1 保持容量配線 121 が形成され、領域 126b 並びに第 1 副画素電極 117a の外枠近傍領域および第 2 副画素電極 117b の内枠近傍領域と重畳するように、第 2 保持容量配線 120 が形成されている。さらに、この第 1 保持容量配線 120 および第 1 副画素電極 117a と重畳するように保持容量上電極 130a が設けられ、この保持容量上電極 130a と第 1 副画素電極 117a とがコンタクトホール 111a によって接続されている。また、第 2 保持容量配線 121 および第 2 副画素電極 117b に重畳するように保持容量上電極 130b が設けられる。

【0086】

第 1 および第 2 の TFT 112a・112b は、各信号線（15・16）の交点近傍に形成され、第 1 の TFT 112a のソース電極 109a および第 2 の TFT 112b のソース電極 109b はともにデータ信号線 15 に接続される。第 1 の TFT 112a のドレイン電極 108a は、ドレイン引き出し配線 107a を介して保持容量上電極 130a に接続される。ここで、ドレイン引き出し配線 107a は行方向（図中上下方向）に伸びる領域 126c 並びに第 1 副画素電極 117a の外枠近傍領域および第 2 副画素電極 117b の内枠近傍領域と重畳するように引き回されている。また、第 2 の TFT 112b のドレイン電極 108b はドレイン引き出し配線 107b およびコンタクトホール 111b を

10

20

30

40

50

介して第2副画素電極117bに接続されている。さらに、ドレイン引き出し配線107bは、行方向(図中上下方向)に伸びる領域126d並びに第1副画素電極117aの外枠近傍領域および第2副画素電極117bの内枠近傍領域と重畳するように引き回され、保持容量上電極130bに接続されている。

【0087】

なお、図5に示すように、開口率向上のためにこのドレイン引き出し配線107bの領域126dと重畳しない部分を削除し、第2副画素電極117bと保持容量上電極130bとをコンタクトホール111cによって接続しておくこともできる。

【0088】

以上説明した図4・5のアクティブマトリクス基板によって図6に示す回路が実現される。また、図4・5のアクティブマトリクス基板を用いた液晶表示装置にも、図13で説明した駆動方法を用いることができる。

【0089】

本アクティブマトリクス基板を図8に示すように構成することもできる。すなわち、画素領域205には、第1のTFT(薄膜トランジスタ)212aと、第2のTFT212bと、第1副画素電極217aと、第2副画素電極217bとが形成される。

【0090】

第2副画素電極217bは、長方形を一部切り抜いた形状を有し、その外枠217xが大きな長方形、その内枠(切り抜いた部分の外周)217yが小さな長方形となっている。そして、この内枠217yの内側に長方形形状の第1副画素電極217aが設けられている。すなわち、本実施の形態は、長方形形状の第1副画素電極217aを第2副画素電極217bが取り囲む構成である。

【0091】

本構成では、画素領域205の中程に走査信号線216が設けられる。画素領域205内の走査信号線216は、第1および第2のTFT212a・212bのゲート電極となる左端部216a、額縁部216b、および右端部216cの3つの部分からなる。第1および第2のTFT212a・212bは、各信号線(15・216)の交点近傍に形成され、第1のTFT212aのソース電極209aおよび第2のTFT212bのソース電極209bはともにデータ信号線15に接続される。

【0092】

第1副画素電極217aの外枠217zと第2副画素電極の内枠217yとの間は間隙領域226となっており、この間隙領域226並びに第1副画素電極217aの外枠近傍領域および第2副画素電極217bの内枠近傍領域と重畳するように、走査信号線216の引き回され、これにより上記額縁部216bが形成される。第1のTFT212aのドレイン電極208aは、ドレイン引き出し配線およびコンタクトホール211aを介して第1副画素電極217aに接続される。

【0093】

また、画素領域205の上下両端部(行方向の両エッジ)に、第1および第2保持容量配線220・221が列方向(図中左右方向)に形成される。また、第1保持容量配線220と重畳するように保持容量上電極230aが設けられ、この保持容量上電極230aは、ドレイン電極208aに接続されている。さらに、第2保持容量配線221と第2副画素電極217bとに重畳するように保持容量上電極230bが設けられ、この保持容量上電極230bは、ドレイン電極208bに接続されるとともに、コンタクトホール211bを介して第2副画素電極217bに接続されている。

【0094】

図8の構成によれば、上下に隣接する画素間で第1および第2の保持容量配線220・221を共用できるため、保持容量配線の総数を減らすことができる。また、1つの画素領域内において、走査信号線216が額縁状に引き回され、該走査信号線216が複数の経路を有することになるため、走査信号線の断線に対して冗長性を有している。

【0095】

10

20

30

40

50

以上説明した図 8 のアクティブマトリクス基板によって図 7 に示す回路が実現される。また、図 8 のアクティブマトリクス基板を用いた液晶表示装置にも、図 1 3 で説明した駆動方法を用いることができる。

【0096】

本アクティブマトリクス基板を図 9 に示すように構成することもできる。すなわち、画素領域 3 0 5 には、第 1 の T F T (薄膜トランジスタ) 3 1 2 a と、第 2 の T F T 3 1 2 b と、第 1 副画素電極 3 1 7 a と、第 2 副画素電極 3 1 7 b とが形成される。

【0097】

そして、本構成では、1つの画素領域 3 0 5 に対して 2 本のデータ信号線 3 1 5 a ・ 3 1 5 b が設けられる。これらデータ信号線 3 1 5 a ・ 3 1 5 b は、画素領域 3 0 5 の両側端部近傍に、行方向 (図中上下方向) に形成される。

【0098】

第 2 副画素電極 3 1 7 b は、長方形を一部切り抜いた形状を有し、その外枠 3 1 7 x が大きな長方形、その内枠 (切り抜いた部分の外周) 3 1 7 y が小さな長方形となっている。そして、この内枠 3 1 7 y の内側に長方形形状の第 1 副画素電極 3 1 7 a が設けられている。すなわち、本実施の形態は、長方形形状の第 1 副画素電極 3 1 7 a を第 2 副画素電極 3 1 7 b が取り囲む構成である。

【0099】

第 1 副画素電極 3 1 7 a の外枠 3 1 7 z と第 2 副画素電極の内枠 3 1 7 y との間は間隙領域 3 2 6 となっており、この間隙領域 3 2 6 並びに第 1 副画素電極 3 1 7 a の外枠近傍領域および第 2 副画素電極 3 1 7 b の内枠近傍領域と重畳するように、保持容量配線 3 2 0 が額縁状に引き回されている。さらに、この保持容量配線 3 2 0 および第 1 副画素電極 3 1 7 a と重畳するように保持容量上電極 3 3 0 a が設けられ、この保持容量上電極 3 3 0 a と第 1 副画素電極 3 1 7 a とがコンタクトホール 3 1 1 a によって接続されている。また、この保持容量配線 3 2 0 および第 2 副画素電極 3 1 7 b と重畳するように保持容量上電極 3 3 0 b が設けられ、この保持容量上電極 3 3 0 b と第 2 副画素電極 3 1 7 b とがコンタクトホール 3 1 1 b によって接続されている。

【0100】

第 1 の T F T 3 1 2 a は、走査信号線と一方のデータ信号線 3 1 5 a との交点近傍に形成され、第 1 の T F T 3 1 2 a のソース電極 3 0 9 a はデータ信号線 3 1 5 a に接続され、第 1 の T F T 3 1 2 a のドレイン電極 3 0 8 a は、ドレイン引き出し配線を介して保持容量上電極 3 3 0 a に接続される。また、第 1 の T F T 3 1 2 b は、走査信号線ともう一方のデータ信号線 3 1 5 b の交点近傍に形成され、第 1 の T F T 3 1 2 b のソース電極 3 0 9 b はデータ信号線 3 1 5 b に接続され、第 1 の T F T 3 1 2 b のドレイン電極 3 0 8 b は、ドレイン引き出し配線を介して保持容量上電極 3 3 0 b に接続される。

【0101】

以上説明した図 9 のアクティブマトリクス基板によって図 1 2 に示す回路が実現される。ここで、各画素に配される 2 本のデータ信号線 3 1 5 a ・ 3 1 5 b は互いに独立に駆動され、例えば、液晶コントローラによって制御されるソースドライバから別々に信号電位が与えられる。

【0102】

ここで、本構成における高輝度領域と低輝度領域の輝度 (単位面積あたりの光量) 分配の一例を図 2 7 に示す。なお、2 5 6 階調表示とし、低輝度領域と高輝度領域の面積比を 1 : 3 とする。グラフ a ・ b に示されるように、1 2 8 階調付近までは、低輝度領域の輝度を 0 (規格化した最小輝度) としておき、階調増加に伴って高輝度領域の輝度を 0 から 1 . 0 (規格化した最大輝度) まで増加させる。また、1 2 8 階調付近 ~ 2 5 5 階調までは、グラフ a ・ b に示されるように、高輝度領域の輝度を 1 . 0 にしておき、階調増加に伴って低輝度領域の輝度を 0 から 1 . 0 まで増加させる。この低輝度領域および高輝度領域の各輝度を面積積分し、合算したものが画素全体の輝度総和 (グラフ c = y 特性) となる。

10

20

30

40

50

【0103】

また、図10に示すように、図8のアクティブマトリクス基板をMVA (Multi-domain Vertical Alignment) 構成とすることもできる。すなわち、第1および第2副画素電極217a・217bに、液晶分子の配向を制御するためのスリット（液晶分子配向制御用スリット）255を横V字形状（V字を90度回転させた形状）に設ける。このMVA構成は、アクティブマトリクス基板の画素電極にスリット（電極切除パターン）を設けるとともに、対向基板の対向電極に液晶分子配向制御用突起（リブ）を設け、これによって形成されるフリンジフィールド（Fringe Field）を利用するものである。このフリンジフィールドによって液晶分子の配向方向を複数方向に分散させることができ、広視野角が実現される。同様に、図9のアクティブマトリクス基板をMVA構成とすることもできる（図11参照）。 10

【0104】

本実施の形態に係るアクティブマトリクス基板を図29のように構成することもできる。図29に示されるアクティブマトリクス基板は、マトリクス状に配された画素領域405と、画素領域の下端部および上端部を列方向（図中左右方向）に走る第1および第2の走査信号線416a・416bと、行方向（図中上下方向）に走るデータ信号線415と、保持容量配線420とを備える。

【0105】

画素領域405には、第1のTFT412aと、第2のTFT412bと、第1副画素電極417aと、第2副画素電極417bとが形成される。第2副画素電極417bは、長方形を一部切り抜いた形状を有し、その外枠417xが大きな長方形、その内枠（切り抜いた部分の外周）417yが小さな長方形となっている。そして、この内枠417yの内側に長方形形状の第1副画素電極417aが設けられている。すなわち、本実施の形態は、長方形形状の第1副画素電極417aを第2副画素電極417bが取り囲む構成である。 20

【0106】

保持容量配線420は、画素領域中央を横切るように形成されており、保持容量配線420および第2副画素電極417bと重畳するように保持容量上電極430bが設けられ、保持容量配線420および第1副画素電極417aと重畳するように保持容量上電極430aが設けられている。 30

【0107】

ここで、第1のTFT412aは、データ信号線15と第1の走査信号線16aの交点近傍に形成されており、第1の走査信号線16aが第1のTFT412aのゲート電極となっている。また、第2のTFT412bは、データ信号線15と第2の走査信号線16bの交点近傍に形成されており、第2の走査信号線16bが第2のTFT412bのゲート電極となっている。なお、第1のTFT412aのソース電極および第2のTFT412bのソース電極はともにデータ信号線415に接続される。

【0108】

また、第1のTFT412aのドレイン電極は、ドレイン引き出し配線407aを介して保持容量上電極430aに接続され、この保持容量上電極430aは、コンタクトホール411aを介して第1副画素電極417aに接続されている。また、第2のTFT412bのドレイン電極は、ドレイン引き出し配線407bを介して保持容量上電極430bに接続され、この保持容量上電極430bは、コンタクトホール411bを介して第2副画素電極417bに接続されている。 40

【0109】

上記の構成によって、図30に示す回路が実現される。すなわち、第1副画素電極417aが第1のTFT412aを介してデータ信号線415に接続され、第2副画素電極417bが第2のTFT412bを介してデータ信号線415に接続される。第1のTFT412aのゲートは第1の走査信号線416aに接続され、第2のTFT412bのゲートは第2の走査信号線416bに接続される。また、第1副画素電極417aに接続され 50

た保持容量上電極 4 3 0 a と保持容量配線 4 2 0 との間で保持容量 C S が形成され、同様に、第 2 副画素電極 4 1 7 b に接続された保持容量上電極 4 3 0 b と保持容量配線 4 2 0 との間で保持容量 C S が形成される。なお、第 1 および第 2 の走査信号線 2 1 には、タイミングの異なる走査信号（パルス信号）が供給される。なお、次段用の第 1 および第 2 の走査信号線をそれぞれ 4 1 6 c および 4 1 6 d とし、次段用の第 1 および第 2 の T F T をそれぞれ 4 1 7 c および 4 1 7 d とする。

【0 1 1 0】

図 3 2 は、図 3 0 の回路でドット反転駆動を行う場合の各信号波形（図中 S はデータ信号線 4 1 5 に供給される電位信号の波形、A ~ D はそれぞれ、走査信号線 4 1 6 a ~ 4 1 6 d に供給されるパルス信号の波形）である。

10

【0 1 1 1】

同図に示されるように、一水平期間に、第 1 の走査信号線 4 1 6 a、第 2 の走査信号線 4 1 6 b の順にオンパルス（走査信号）が供給されるとともに、各オンパルスに対応して、データ信号線 4 1 5 に、信号電位 $V_1 \cdot V_2$ （ともに正極性）が供給される。なお、第 1 および第 2 の走査信号線に供給される各オンパルスは時間的に重ならない。これにより、第 1 の T F T 4 1 2 a を介して第 1 副画素電極 4 1 7 a に V_1 が書き込まれ、第 2 の T F T 4 1 2 b を介して第 2 副画素電極 4 1 7 b に V_2 が書き込まれる。さらに、これに続く一水平期間では、次段の第 1 の走査信号線 4 1 6 c、同第 2 の走査信号線 4 1 6 d の順にオンパルスが供給されるとともに、各オンパルスに対応して、データ信号線 4 1 5 に、信号電位 $v_1 \cdot v_2$ （ともに負極性）が供給される。これにより、次段の第 1 副画素電極 4 1 7 c に v_1 が書き込まれ、同第 2 副画素電極 4 1 7 d に v_2 が書き込まれる。

20

【0 1 1 2】

また、図 3 0 の回路でドット反転駆動を行う場合、各信号波形を図 3 3（図中 S はデータ信号線 4 1 5 に供給される電位信号の波形、A ~ D はそれぞれ、走査信号線 4 1 6 a ~ 4 1 6 d に供給されるパルス信号の波形）のようにすることも可能である。

【0 1 1 3】

すなわち、一水平期間に、第 1 の走査信号線 4 1 6 a、第 2 の走査信号線 4 1 6 b にオンパルス（走査信号）が供給されるとともに、各オンパルスに対応して、データ信号線 4 1 5 に、信号電位 $v_1 \cdot v_2$ （ともに負極性）が供給される。ここで、第 1 の走査信号線に供給されるオンパルスと第 2 の走査信号線に供給されるオンパルスとを、時間的に重なる部分を有しつつパルス終端をとるタイミングが異なるように設定する。例えば、2 つのオンパルスは、パルス始端をとるタイミングが同期する一方で、パルス終端をとるタイミングは第 1 の走査信号線 4 1 6 a に供給されるオンパルスが先であるようにする。例えば、2 つのオンパルスがパルス終端をとるタイミングを $1/2 H$ （一水平期間の半分）だけずらす。加えて、データ信号線 4 1 5 に供給される電位は、各オンパルスがパルス始端をとるのと同期してあるいはそれ以前に v_1 となるとともに、一方のオンパルス（第 1 の走査信号線 4 1 6 a に供給されるオンパルス）が先にパルス終端をとるのと同期して、あるいはそれ以後に v_1 から v_2 に変化するようにしておく。こうすれば、第 1 副画素電極 4 1 7 a に v_1 が書き込まれ、第 2 副画素電極 4 1 7 b には、 v_1 が書き込まれた後に v_2 が再書き込みされる。さらに、これに続く一水平期間では、次段の第 1 の走査信号線 4 1 6 c、同第 2 の走査信号線 4 1 6 d に、上記のタイミングでオンパルスが供給されるとともに、データ信号線 4 1 5 に、各オンパルスに対応して信号電位 $V_1 \cdot V_2$ （ともに正極性）が供給される（すなわち、第 1 の走査信号線 4 1 6 a に供給されるオンパルスが先にパルス終端をとるのと同期して、あるいはそれ以後に V_1 から V_2 に変化する）。これにより、次段の第 1 副画素電極 4 1 7 c に V_1 が書き込まれ、同第 2 副画素電極 4 1 7 d には、 V_1 が書き込まれた後に V_2 が再書き込みされる。

30

40

【0 1 1 4】

こうすれば、第 2 の走査信号線 4 1 6 b が制御する第 2 の T F T 4 1 2 b に接続する第 2 の副画素電極 4 1 7 b には、 v_1 （書き込むべき電位と同極性）が一旦与えられた状態で再度書き込むべき電位 v_2 が与えられることになり、第 2 の副画素電極 4 1 7 b の充電

50

を良好に行うことができる。特に、ドット反転駆動やHライン反転駆動のように水平期間ごとにデータ信号線415に与えられる信号電位の極性が反転する(信号電位の波形鈍りが大きい)場合や第2の副画素電極417bの面積が大きい(充電に時間がかかる)場合により効果的である。さらに、図33の駆動方法では、図32の駆動方法よりオンパルスの周期が長くなるため、走査信号の駆動周波数を抑制できるという効果もある。

【0115】

上記実施の形態で得られるアクティブマトリクス基板と、アクティブマトリクス基板の各画素に対応するようにマトリクス状に設けられた赤、緑、青のうちのいずれか1つの着色層と、各着色層の間に設けられた遮光性のブラックマトリクスからなるように形成されたカラーフィルタ基板を貼り合わせ、液晶を注入・封止することで、液晶表示パネルが形成される。

10

【0116】

この液晶表示パネルの構成を図34に示す。同図に示すように、本液晶パネル80は、バックライト光源側から順に、偏光板41、ガラス基板28を含む本アクティブマトリクス基板10、配向膜82、液晶層43、カラーフィルタ基板84、および偏光板85を備える。カラーフィルタ基板84は、液晶層43側から順に、配向膜85、共通(対向)電極86、着色層87(ブラックマトリクス99を含む)、ガラス基板88を備える。そして、この共通(対向)電極86に液晶分子配向制御用突起(リブ)86xが設けられている。液晶分子配向制御用突起86xは、例えば、感光性樹脂等により形成される。リブ86xの(基板面垂直方向から見たときの)平面形状としては、一定の周期でジグザクに屈曲した帯状(横V字形状)等が挙げられる。上記液晶パネルにドライバ(液晶駆動用LSI)等を接続し、偏光板やバックライトを装着することで本発明の液晶表示装置が形成される。

20

【0117】

以下に、本液晶表示装置を適用したテレビジョン受信機について説明する。

【0118】

図16は、テレビジョン受信機用における液晶表示装置601の回路ブロックである。液晶表示装置601は、図16に示すように、Y/C分離回路500、ビデオクロマ回路501、A/Dコンバータ502、液晶コントローラ503、液晶パネル504、バックライト駆動回路505、バックライト506、マイコン507、階調回路508を備えた構成となっている。上記構成の液晶表示装置601において、まず、テレビ信号の入力映像信号は、Y/C分離回路500に入力され、輝度信号と色信号に分離される。輝度信号と色信号はビデオクロマ回路501にて光の3原色である、R、G、Bに変換され、さらに、このアナログRGB信号はA/Dコンバータ502により、デジタルRGB信号に変換され、液晶コントローラ503に入力される。液晶パネル504では液晶コントローラ503からのRGB信号が所定のタイミングで入力されると共に、階調回路508からのRGBそれぞれの階調電圧が供給され、画像が表示されることになる。これらの処理を含め、システム全体の制御はマイコン507が行うことになる。なお、映像信号として、テレビジョン放送に基づく映像信号、カメラにより撮像された映像信号、インターネット回線を介して供給される映像信号など、様々な映像信号に基づいて表示可能である。

30

40

【0119】

なお、本アクティブマトリクス基板は、フィールドシーケンシャル方式の液晶表示装置に用いることもできる。図17(a)に示すフィールドシーケンシャル方式の1つの画素は、図17(b)に示すカラーフィルタ方式の3つ画素(R・G・B)に対応し、1つの画素に3原色の3つの色(R・G・B)が連続して表示される(ある時刻には1色のみが表示される)。フィールドシーケンシャル方式の液晶表示装置では、例えば図8のような駆動が行われる。すなわち、1フレームが3分割(第1~第3のサブフレーム)され、第1のサブフレームではRの映像信号が送られるとともに、バックライトがR(赤)に点灯し、液晶パネルにRの信号表示がなされる。同様に、第2のサブフレームではGの映像信号が送られるとともに、バックライトがG(緑)に点灯し、液晶パネルにGの信号表示が

50

なされる。第 3 のサブフレームでは B の映像信号が送られるとともに、バックライトが B (青) に点灯し、液晶パネルに B の信号表示がなされる。

【 0 1 2 0 】

このフィールドシーケンシャル方式によれば、カラーフィルタを用いた構成 (図 1 9 (b) に示されるように色情報の位置が各色によってずれる) と異なり、各色で色情報の位置がずれない (図 1 9 (a) のように画素中央の 1 箇所になる) という利点がある。ここで、図 2 0 にフィールドシーケンシャル方式の液晶表示装置の回路ブロックを示しておく。

【 0 1 2 1 】

本液晶表示装置 6 0 1 は、図 2 4 に示すように、テレビジョン放送を受信して映像信号を出力するチューナ部 6 0 0 と接続することにより、チューナ部 6 0 0 から出力された映像信号に基づいて映像 (画像) 表示を行うことが可能になる。この場合、液晶表示装置 6 0 1 とチューナ部 6 0 0 とでテレビジョン受信機 6 0 2 となる。

【 0 1 2 2 】

液晶表示装置 6 0 1 を用いてテレビジョン受信機 6 0 2 を構成するには、例えば、図 2 5 に示すように、液晶表示装置 6 0 1 を第 1 筐体 8 0 1 と第 2 筐体 8 0 6 とで包み込むようにして挟持した構成となっている。第 1 筐体 8 0 1 は、液晶表示装置 6 0 1 で表示される映像を透過させる開口部 8 0 1 a が形成されている。また、第 2 筐体 8 0 6 は、液晶表示装置 6 0 1 の背面側を覆うものであり、該液晶表示装置 6 0 1 を操作するための操作回路 8 0 5 が設けられるとともに、下方に支持用部材 8 0 8 が取り付けられている。

【 0 1 2 3 】

なお、本発明は液晶表示装置に限定されるものではなく、例えば、カラーフィルタ基板と、カラーフィルタ基板と対向するように本発明のアクティブマトリクス基板を配置し、それら基板と基板との間に有機 E L 層を配置することで有機 E L パネルとし、パネルの外部引き出し端子にドライバ等を接続することにより有機 E L 表示装置を構成することも可能である。また、液晶表示装置や有機 E L 表示装置以外であっても、アクティブマトリクス基板で構成される表示装置であれば、本発明は適用可能である。

【 産業上の利用可能性 】

【 0 1 2 4 】

本発明のアクティブマトリクス基板は、例えば液晶テレビに好適である。

【 符号の説明 】

【 0 1 2 5 】

5 画素領域

1 2 a ・ 1 2 b T F T

1 5 データ信号線

1 6 走査信号線

1 7 a 第 1 の副画素電極

1 7 b 第 2 の副画素電極

1 1 a ・ 1 1 b コンタクトホール

2 0 第 1 の保持容量配線

2 1 第 2 の保持容量配線

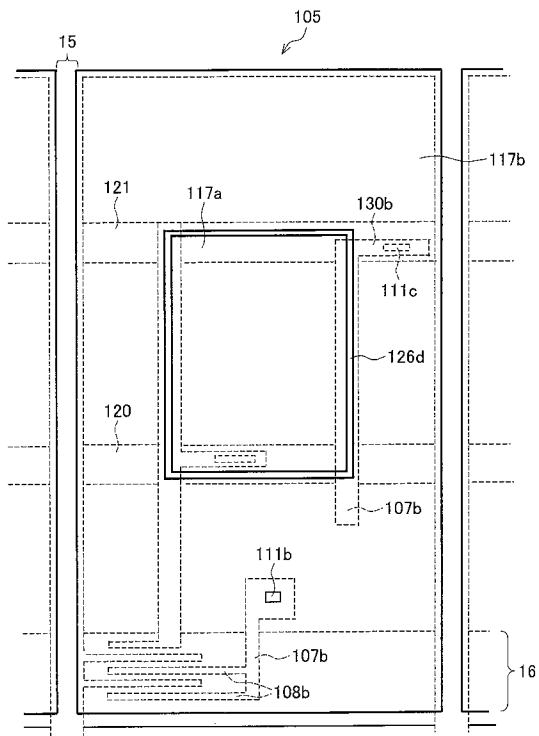
10

20

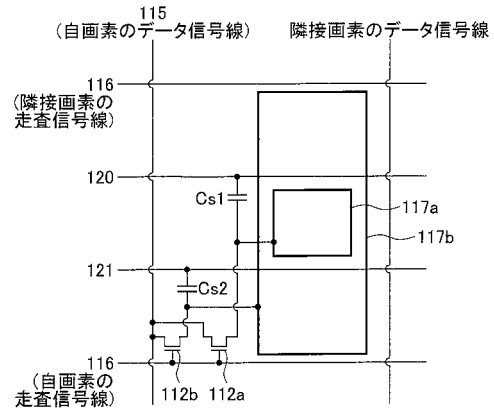
30

40

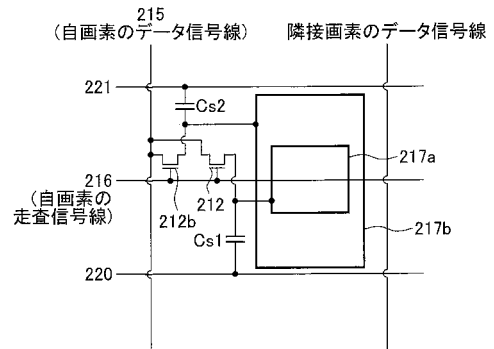
【図 5】



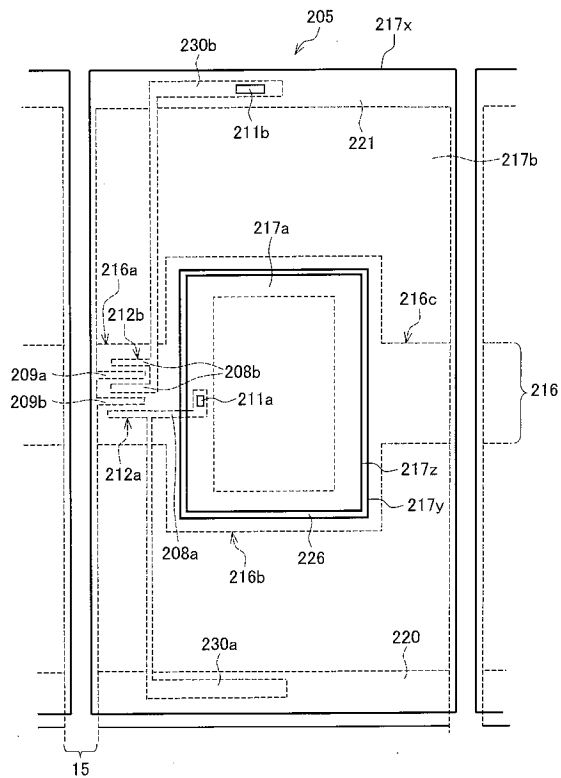
【図 6】



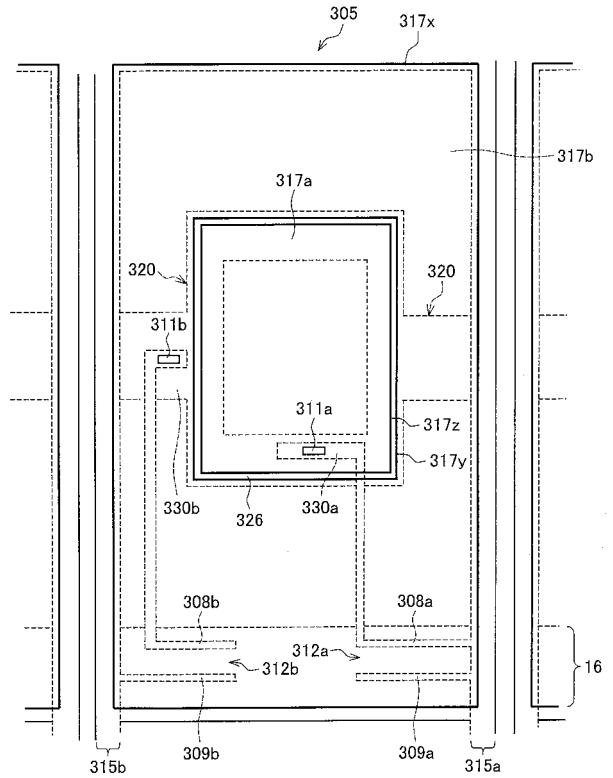
【図 7】



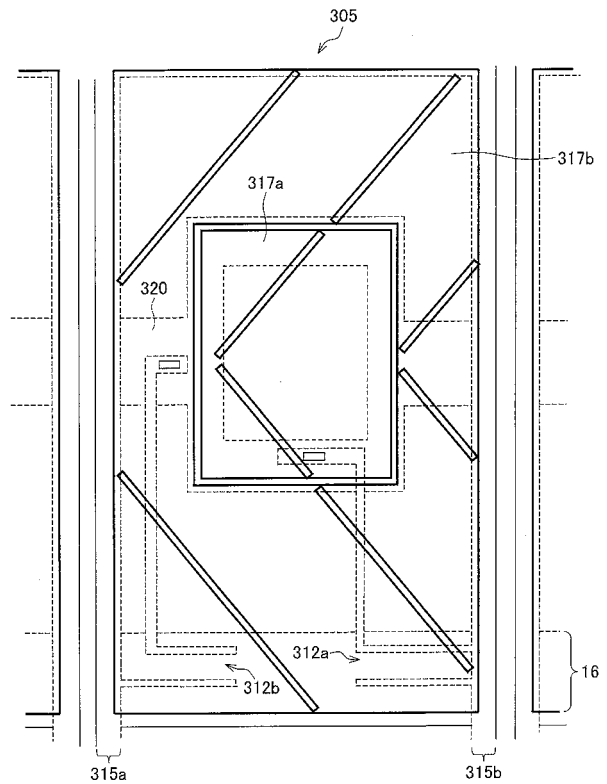
【図 8】



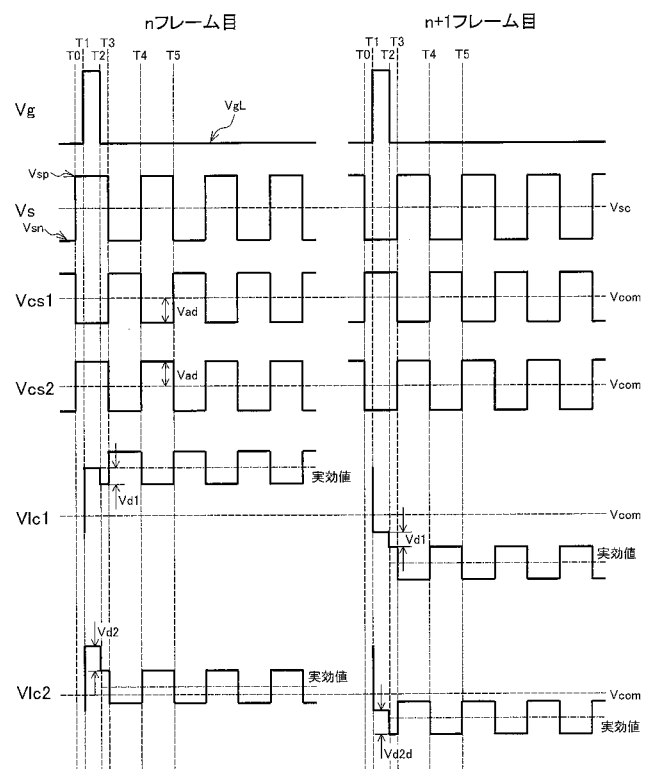
【図 9】



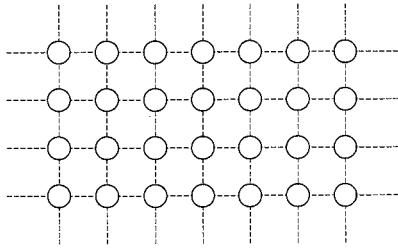
【 図 1 1 】



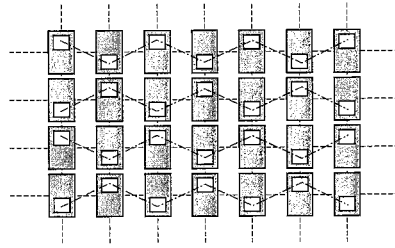
【 ㊦ 1 3 】



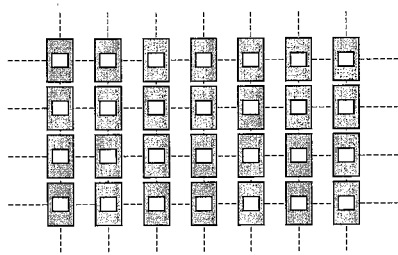
【図 1 4】



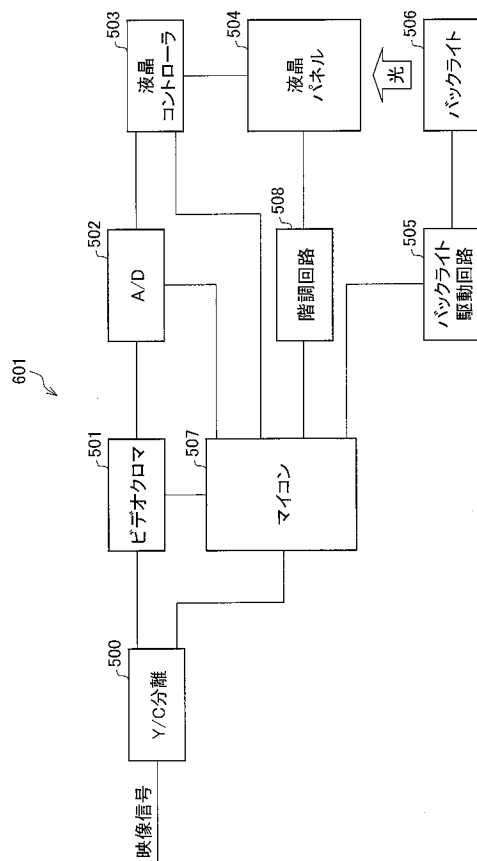
【図 1 5 (b)】



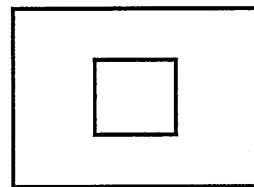
【図 1 5 (a)】



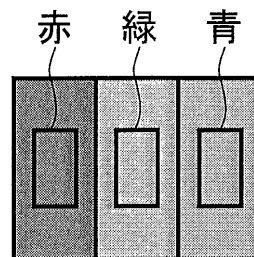
【図 1 6】



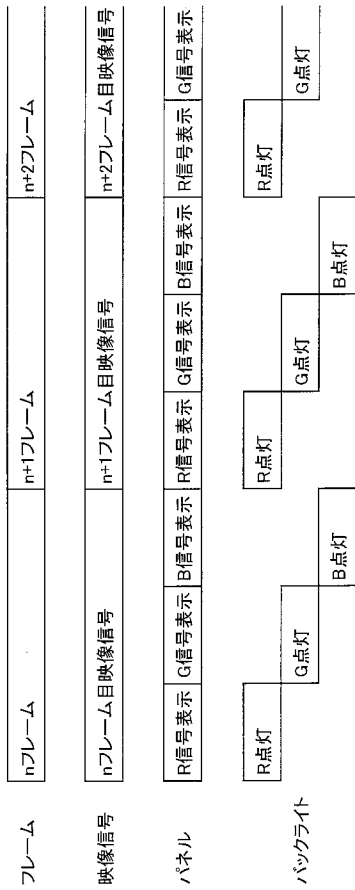
【図 1 7 (a)】



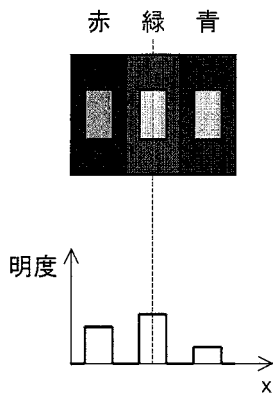
【図 1 7 (b)】



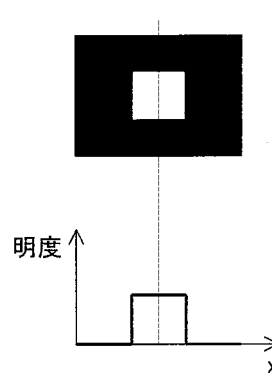
【図 18】



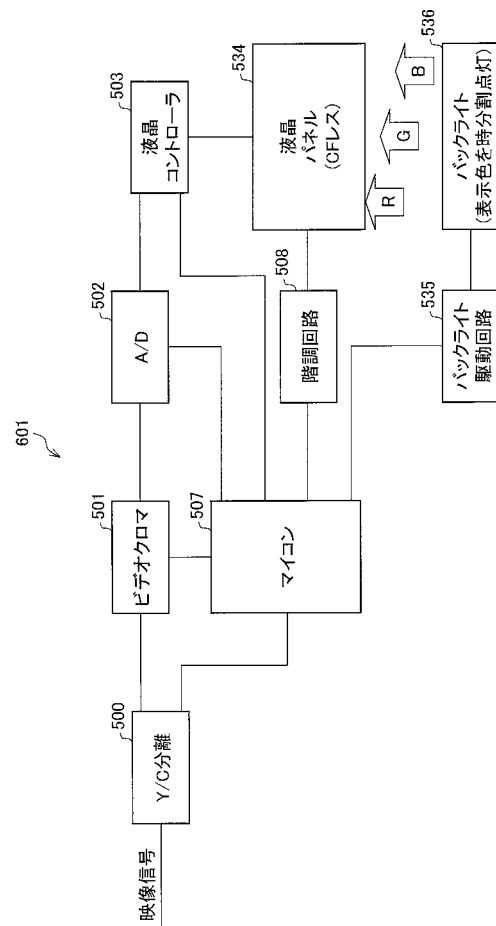
【図 19 (b)】



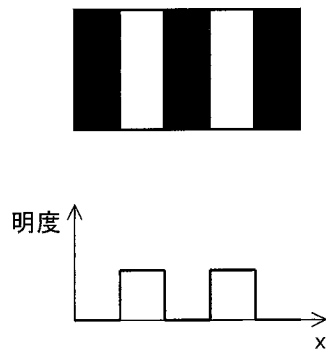
【図 19 (a)】



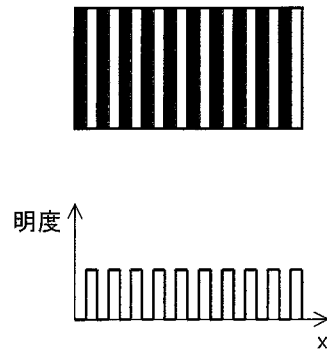
【図 20】



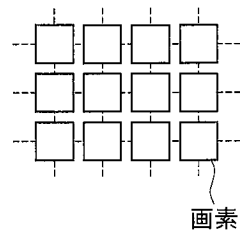
【図 2 1 (a)】



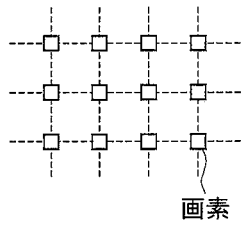
【図 2 1 (b)】



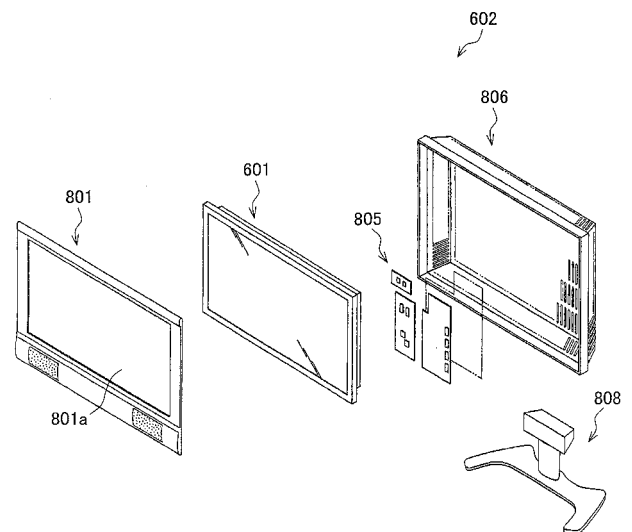
【図 2 2 (a)】



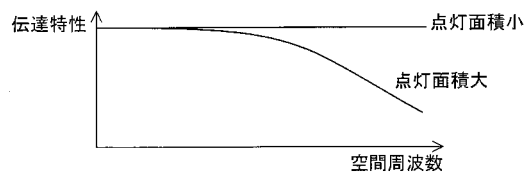
【図 2 2 (b)】



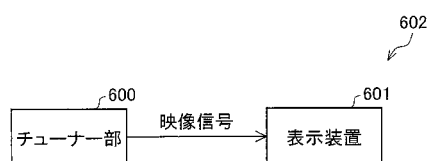
【図 2 5】



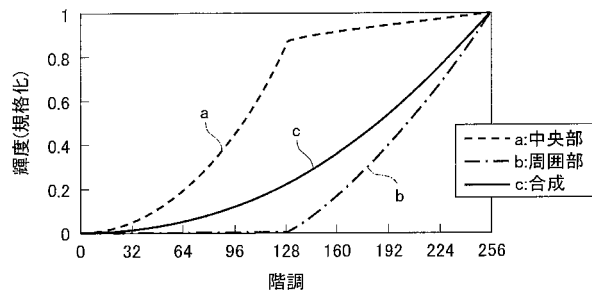
【図 2 3】



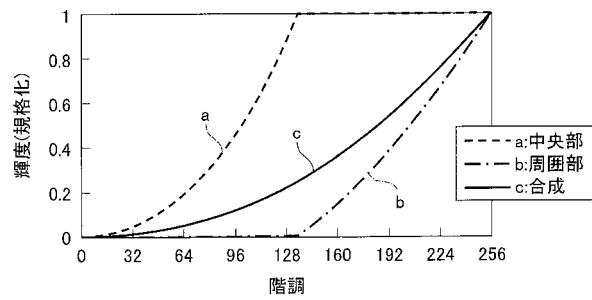
【図 2 4】



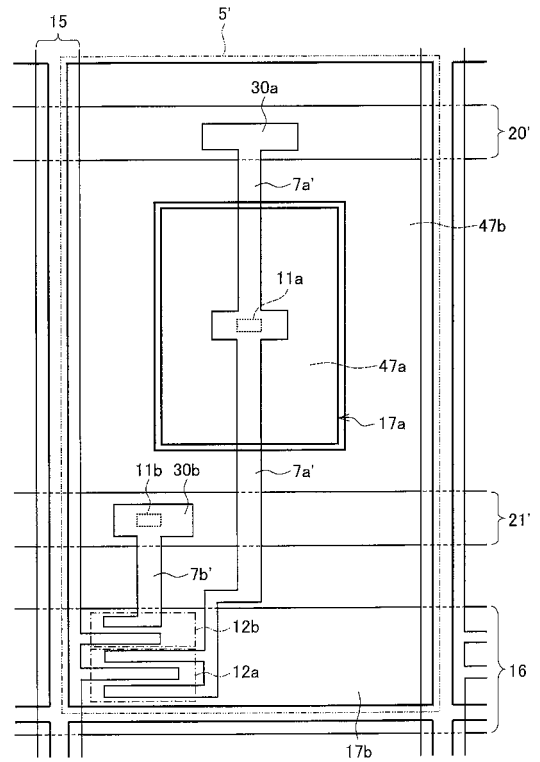
【図 26】



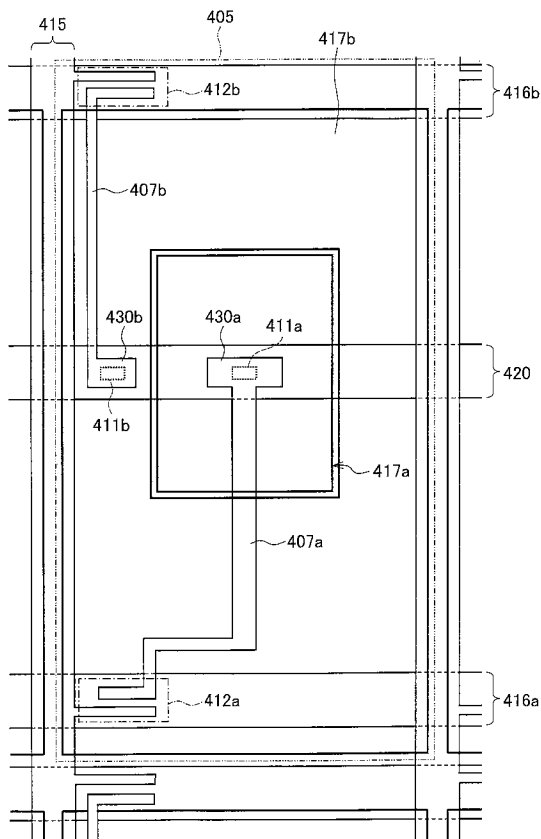
【図 27】



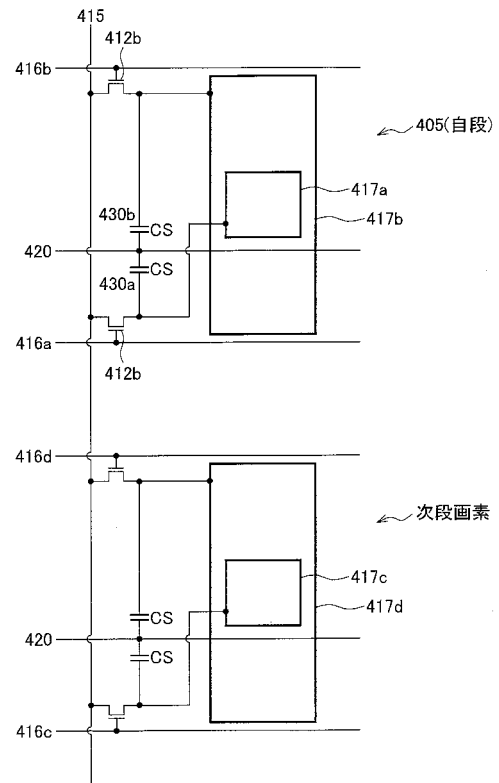
【図 28】



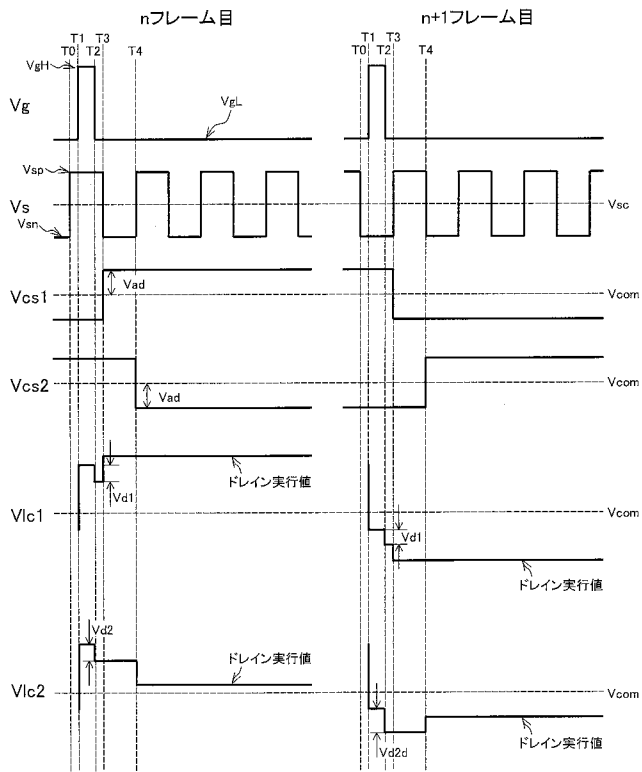
【図 29】



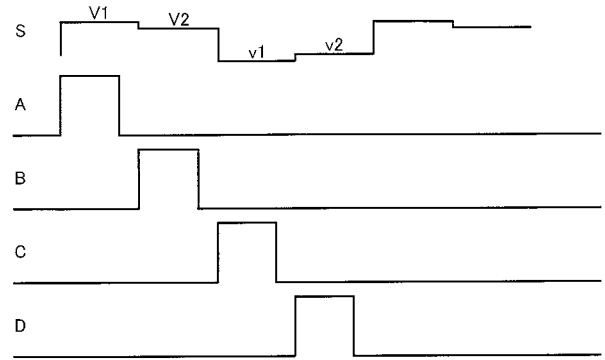
【図 30】



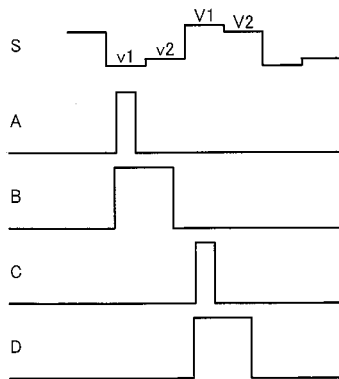
【図 3 1】



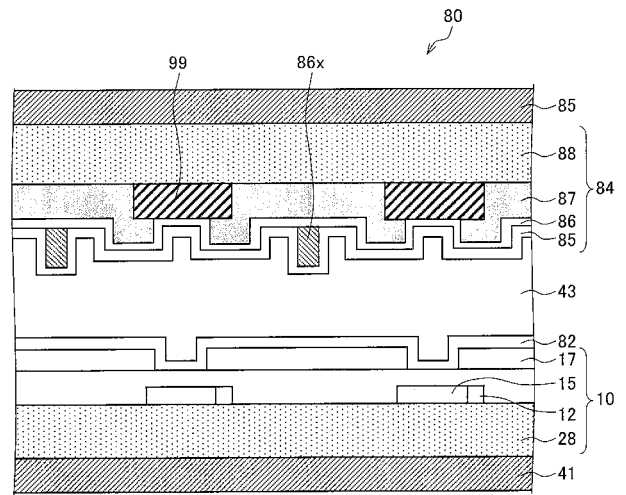
【図 3 2】



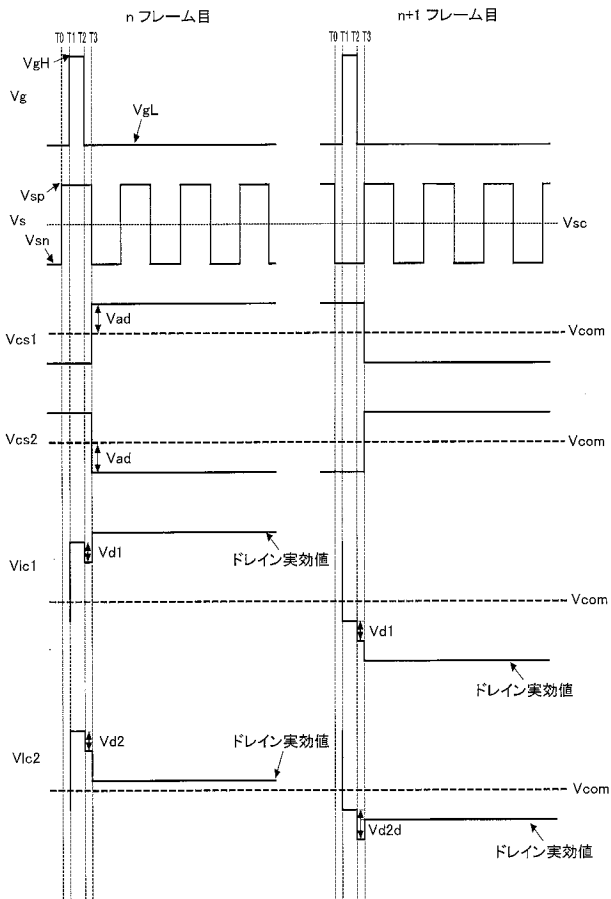
【図 3 3】



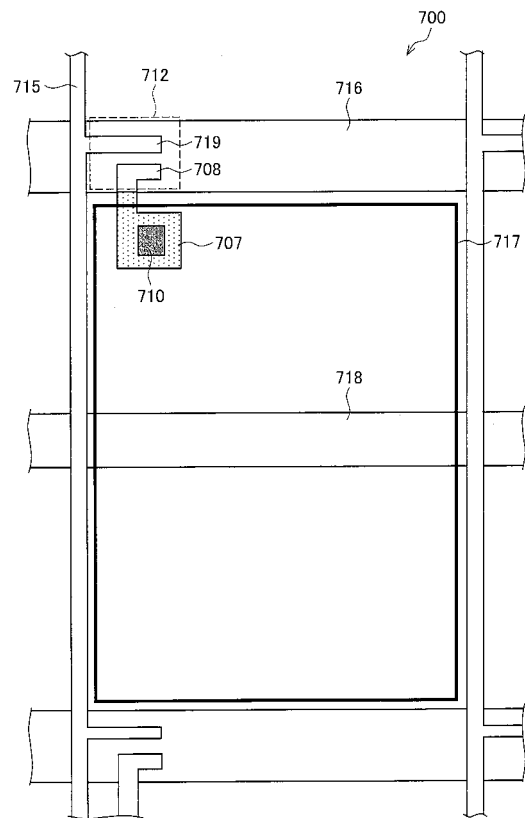
【図 3 4】



【図 35】



【図 36】



フロントページの続き

(51)Int.Cl.

G 0 2 F 1/133 (2006.01)

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 P
 G 0 9 G 3/20 6 2 3 V
 G 0 9 G 3/20 6 4 1 P
 G 0 9 G 3/20 6 5 0 M
 G 0 9 G 3/20 6 4 1 E
 G 0 9 G 3/20 6 2 3 C
 G 0 9 G 3/20 6 4 1 G
 G 0 2 F 1/1368
 G 0 2 F 1/133 5 5 0

F ターム(参考) 2H193 ZA04 ZA07 ZA19 ZB02 ZB03 ZB14 ZB18 ZC04 ZC07 ZC16
 ZC25 ZD12 ZD23 ZD24 ZD27 ZD33 ZF12 ZF18 ZG02 ZG27
 ZG34 ZQ11 ZQ44 ZQ45
 5C006 AA01 AA12 AA17 AA22 AC21 AC22 AC24 AC28 AF43 BB16
 BC23 FA12 FA22 FA36 FA42 FA43 FA52 FA54 FA55
 5C080 AA06 AA10 BB05 CC03 DD05 DD07 DD23 EE28 HH09 JJ01
 JJ02 JJ03 JJ04 JJ05 JJ06 KK43
 5C094 AA02 AA13 BA03 BA27 BA43 EA04 EA10 FB12 FB19 HA08

专利名称(译)	有源矩阵基板，液晶显示装置，电视接收器		
公开(公告)号	JP2010160493A	公开(公告)日	2010-07-22
申请号	JP2010023578	申请日	2010-02-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	内田 歳久 津幡 俊英		
发明人	内田 歳久 津幡 俊英		
IPC分类号	G02F1/1343 G09F9/30 G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
CPC分类号	G02F1/13624 G02F2001/134345 G09G3/3648 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2300/0876 G09G2310/0235 G09G2320/028		
FI分类号	G02F1/1343 G09F9/30.338 G09G3/36 G09G3/20.680.H G09G3/20.621.A G09G3/20.622.P G09G3/20.623.V G09G3/20.641.P G09G3/20.650.M G09G3/20.641.E G09G3/20.623.C G09G3/20.641.G G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/GA13 2H092/HA04 2H092/JA24 2H092/JB05 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB42 2H092/JB62 2H092/JB67 2H092/JB69 2H092/NA01 2H092/PA06 2H092/PA13 2H092/QA06 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB02 2H193/ZB03 2H193/ZB14 2H193/ZB18 2H193/ZC04 2H193/ZC07 2H193/ZC16 2H193/ZC25 2H193/ZD12 2H193/ZD23 2H193/ZD24 2H193/ZD27 2H193/ZD33 2H193/ZF12 2H193/ZF18 2H193/ZG02 2H193/ZG27 2H193/ZG34 2H193/ZQ11 2H193/ZQ44 2H193/ZQ45 5C006/AA01 5C006/AA12 5C006/AA17 5C006/AA22 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AC28 5C006/AF43 5C006/BB16 5C006/BC23 5C006/FA12 5C006/FA22 5C006/FA36 5C006/FA42 5C006/FA43 5C006/FA52 5C006/FA54 5C006/FA55 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD23 5C080/EE28 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 5C094/AA02 5C094/AA13 5C094/BA03 5C094/BA27 5C094/BA43 5C094/EA04 5C094/EA10 5C094/FB12 5C094/FB19 5C094/HA08 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BC26 2H192/BC42 2H192/CC04 2H192/CC17 2H192/CC24 2H192/CC42 2H192/DA13 2H192/DA15 2H192/DA42 2H192/EA04 2H192/EA17 2H192/EA22 2H192/EA43 2H192/GD14 2H192/JA13		
优先权	2006029043 2006-02-06 JP 2006248558 2006-09-13 JP		
其他公开文献	JP2010160493A5 JP5073766B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够清楚地显示具有高空间频率的图像的有源矩阵基板。解决方案：有源矩阵基板用于液晶显示装置，其中对应于第一子像素电极17a的第一亮度区域的亮度高于对应于第二子像素电极17b的第二亮度区域的亮度，通过设置第一亮度区域当在包括第一子像素电极17a和第二子像素电极17b的像素中显示半色调时，每个像素中的第二子像素电极和有效电位彼此不同。在这种情况下，一个像素区域包括第一子像素电极和包围第一子像素电极的第二子像素电极以及连接到第一或第二子像素电极的布线中的任一个的一部分，连接到第一或第二子电极的扫描信号线像素电极通过晶体管，与第一或第二子像素电极形成电容的保持电容布线叠加在第一和第二子像素电极的边界部分上。 ǂ

