

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/021930

発行日 平成27年3月5日 (2015.3.5)

(43) 国際公開日 平成25年2月14日 (2013.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20	622E 5C006
G02F 1/133 (2006.01)	G09G 3/20	612G 5C080
G11C 19/00 (2006.01)	G09G 3/20	622G 5J034
G11C 19/28 (2006.01)	G09G 3/20	621L
審査請求 有 予備審査請求 未請求 (全 36 頁) 最終頁に続く		

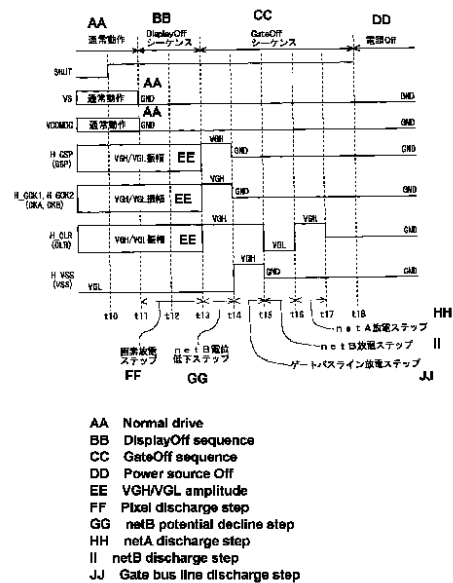
出願番号	特願2013-528000 (P2013-528000)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2012/069803		シャープ株式会社
(22) 国際出願日	平成24年8月3日 (2012.8.3)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2011-175324 (P2011-175324)	(74) 代理人	100104695
(32) 優先日	平成23年8月10日 (2011.8.10)		弁理士 島田 明宏
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(74) 代理人	100114247
			弁理士 奥田 邦廣
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	森井 秀樹
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置およびその駆動方法を提供する。

シフトレジスタを構成する各双安定回路は、出力端子の電位を第1クロックに基づいて上昇させるための薄膜トランジスタT1と、薄膜トランジスタT1のゲート端子に接続された領域net Aと、領域net Aの電位を低下させるための薄膜トランジスタTCと、薄膜トランジスタTCのゲート端子に接続された領域net Bとを備える。このような構成において、電源オフシーケンスはDisplayOffシーケンスとGateOffシーケンスとからなり、GateOffシーケンスにはゲートバスライン放電ステップ(t14~t15)、net B放電ステップ(t15~t16)、net A放電ステップ(t16~t17)が少なくとも含まれている。



【特許請求の範囲】

【請求項 1】

表示パネルを構成する基板と、前記基板上に形成された複数のスイッチング素子とを有し、前記複数のスイッチング素子を構成する半導体層に酸化物半導体を用いられている液晶表示装置であって、

映像信号を伝達する複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と 1 対 1 で対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出部と、

前記クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期化するためのクリア信号とを出力し、前記走査信号線駆動回路の動作を制御する駆動制御部とを備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子と、

第 2 電極に前記クロック信号が与えられ、第 3 電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第 1 電極に接続された第 1 ノードと、

第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 1 ノード制御用スイッチング素子と、

第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 1 ノード制御用スイッチング素子と、

前記第 1 の第 1 ノード制御用スイッチング素子の第 1 電極に接続された第 2 ノードと

、

第 1 電極に前記クロック信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 2 ノード制御用スイッチング素子と

を有し、

前記電源状態検出部は、前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与え、

前記駆動制御部は、前記電源オフ信号を受け取ると、前記画素形成部内の電荷を放電させる第 1 の放電処理が行われるよう前記走査信号線駆動回路の動作を制御した後、前記走査信号線上の電荷、前記第 2 ノードの電荷、および前記第 1 ノードの電荷を放電させる第 2 の放電処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする、液晶表示装置。

【請求項 2】

前記第 2 の放電処理は、前記走査信号線上の電荷を放電させる走査信号線放電処理と、前記第 1 ノードの電荷を放電させる第 1 ノード放電処理と、前記第 2 ノードの電荷を放電させる第 2 ノード放電処理とからなり、

前記駆動制御部は、

前記走査信号線放電処理、前記第 2 ノード放電処理、前記第 1 ノード放電処理の順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電処理の際には、前記クロック信号をグラウンド電位にするとともに前記クリア信号と前記基準電位とをハイレベルにし、

前記第2ノード放電処理の際には、前記クリア信号をローレベルにするとともに前記クロック信号と前記基準電位とをグラウンド電位にし、

前記第1ノード放電処理の際には、前記クリア信号をハイレベルにするとともに前記クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする、請求項1に記載の液晶表示装置。

【請求項3】

前記駆動制御部は、前記走査信号線放電処理の際、前記クロック信号を徐々にハイレベルからローレベルに変化させることを特徴とする、請求項2に記載の液晶表示装置。

10

【請求項4】

各双安定回路は、

第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用スイッチング素子と、

第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用スイッチング素子とを更に有し、

前記駆動制御部は、前記第2の放電処理の際には、前記クリア信号をハイレベルにするとともに前記クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする、請求項1に記載の液晶表示装置。

20

【請求項5】

各双安定回路は、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用スイッチング素子を更に有し、

前記駆動制御部は、前記第2の放電処理の際には、前記走査信号線上の電荷を放電させる処理が行われた後に前記第2ノードの電荷および前記第1ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする、請求項1に記載の液晶表示装置。

【請求項6】

各双安定回路は、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用スイッチング素子を更に有し、

30

前記駆動制御部は、前記第2の放電処理の際には、前記第2ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第1ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする、請求項1に記載の液晶表示装置。

【請求項7】

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフタ回路を含み、

前記レベルシフタ回路は、1つのクロック信号から互いに位相の異なる複数のクロック信号を生成するための論理回路部を含むことを特徴とする、請求項1に記載の液晶表示装置。

40

【請求項8】

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフタ回路を含み、

前記レベルシフタ回路は、タイミングコントローラと2本以上の信号線で接続され、

前記レベルシフタ回路と前記タイミングコントローラとを接続する信号線のうちの2本の信号線で伝送される信号は、垂直同期をとることが可能な信号と水平同期をとることが可能な信号であることを特徴とする、請求項1に記載の液晶表示装置。

【請求項9】

前記レベルシフタ回路は、基本クロックを出力する発振回路部を更に含み、

前記論理回路部は、前記発振回路部から出力される基本クロックに基づいて、前記複数

50

のクロック信号を生成することを特徴とする、請求項 7 に記載の液晶表示装置。

【請求項 10】

前記レベルシフタ回路は、基本クロックを出力する発振回路部を更に含み、

前記論理回路部のタイミングを生成するための不揮発性メモリが、レベルシフタ回路を含むパッケージ I C に内蔵されていることを特徴とする、請求項 7 に記載の液晶表示装置。

【請求項 11】

表示パネルを構成する基板と、前記基板上に形成された複数のスイッチング素子と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを有し、前記複数のスイッチング素子を構成する半導体層に酸化物半導体が用いられている液晶表示装置の駆動方法であって、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出ステップと、

前記表示パネル内の電荷を放電させる電荷放電ステップとを含み、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

前記走査信号線駆動回路は、前記複数の走査信号線と 1 対 1 に対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期化するためのクリア信号とを出力し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第 1 電極に前記クロック信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる出力ノード制御用スイッチング素子と、

第 2 電極に前記クロック信号が与えられ、第 3 電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第 1 電極に接続された第 1 ノードと、

第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 1 ノード制御用スイッチング素子と、

第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 1 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 1 ノード制御用スイッチング素子と、

前記第 1 の第 1 ノード制御用スイッチング素子の第 1 電極に接続された第 2 ノードと

第 1 電極に前記クロック信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 1 の第 2 ノード制御用スイッチング素子と

を有し、

前記電荷放電ステップは、

前記画素形成部内の電荷を放電させる第 1 の放電ステップと、

前記走査信号線上の電荷、前記第 2 ノードの電荷、および前記第 1 ノードの電荷を放電させる第 2 の放電ステップとからなり、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記電荷放電ステップが実行されることを特徴とする、液晶表示装置の駆動方法。

【請求項 12】

前記第 2 の放電ステップは、前記走査信号線上の電荷を放電させる走査信号線放電ステップと、前記第 1 ノードの電荷を放電させる第 1 ノード放電ステップと、前記第 2 ノード

の電荷を放電させる第2ノード放電ステップとからなり、

前記駆動制御部は、前記走査信号線放電ステップ、前記第2ノード放電ステップ、前記第1ノード放電ステップの順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電ステップでは、前記クロック信号がグラウンド電位にされるとともに前記クリア信号と前記基準電位とがハイレベルにされ、

前記第2ノード放電ステップでは、前記クリア信号がローレベルにされるとともに前記クロック信号と前記基準電位とがグラウンド電位にされ、

前記第1ノード放電ステップでは、前記クリア信号がハイレベルにされるとともに前記クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

10

【請求項13】

前記走査信号線放電ステップでは、前記クロック信号が徐々にハイレベルからローレベルに変化することを特徴とする、請求項12に記載の液晶表示装置の駆動方法。

【請求項14】

各双安定回路は、

第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用スイッチング素子と、

第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用スイッチング素子とを更に有し、

20

前記第2の放電ステップでは、前記クリア信号がハイレベルにされるとともに前記クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

【請求項15】

各双安定回路は、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用スイッチング素子を更に有し、

前記第2の放電ステップでは、前記走査信号線上の電荷を放電させる処理が行われた後に前記第2ノードの電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

30

【請求項16】

各双安定回路は、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用スイッチング素子を更に有し、

前記第2の放電ステップでは、前記第2ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体層に酸化物半導体（IGZO）を用いた薄膜トランジスタを有するモノリシック化されたゲートドライバを備える液晶表示装置およびその駆動方法に関する。

【背景技術】

【0002】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する2枚の基板からなる液晶パネルを備えており、当該2枚の基板のうち一方の基板には、複数本のゲートバスライン（走査信号線）と複数本のソースバスライン（映像信号線）とが格子状に配置され、それら複数本のゲートバスラインと複数本のソースバスラインとの交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は

50

、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）や、画素値を保持するための画素容量などを含んでいる。また、上記２枚の基板のうち他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極が設けられる場合もある。アクティブマトリクス型の液晶表示装置には、さらに、上記複数本のゲートバスラインを駆動するゲートドライバ（走査信号線駆動回路）と上記複数本のソースバスラインを駆動するソースドライバ（映像信号線駆動回路）とが設けられている。

【０００３】

画素値を示す映像信号はソースバスラインによって伝達されるが、各ソースバスラインは複数行分の画素値を示す映像信号を一時（同時）に伝達することができない。このため、上述のマトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは１行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。

【０００４】

このような液晶表示装置において、利用者によって電源がオフされたにもかかわらず、直ちに表示がクリアされず、残像のような画像が残ることがある。この理由は、装置の電源がオフされると画素容量に保持された電荷の放電経路が遮断され、画素形成部内に残留電荷が蓄積されるからである。また、画素形成部内に残留電荷が蓄積された状態で装置の電源がオンされると、その残留電荷に基づく不純物の偏りに起因するフリッカの発生など表示品位の低下が生じる。そこで、電源オフの際に、例えば、全てのゲートバスラインを選択状態（オン状態）にしてソースバスラインに黒電圧を印加することによって、パネル上の電荷を放電することがなされている。

【０００５】

また、液晶表示装置に関し、近年、ゲートドライバのモノリシック化が進んでいる。従来、ゲートドライバは液晶パネルを構成する基板の周辺部にＩＣ（Integrated Circuit）チップとして搭載されることが多かったが、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれている。また、モノリシックゲートドライバを備えたパネルは「ゲートドライバモノリシックパネル」などと呼ばれている。

【０００６】

ゲートドライバモノリシックパネルにおいては、パネル上の電荷の放電に関し、上述した手法を採用することができない。そこで、国際公開２０１１／０５５５８４号パンフレットには、次のような液晶表示装置の発明が開示されている。ゲートドライバ内のシフトレジスタを構成する双安定回路に、ゲートバスラインに接続されたドレイン端子、基準電位を伝達する基準電位配線に接続されたソース端子、およびシフトレジスタを動作させるクロック信号が与えられるゲート端子を有する薄膜トランジスタが設けられる。このような構成において、外部からの電源電圧の供給が遮断されると、クロック信号をハイレベルにして上記薄膜トランジスタをオン状態にするとともに、基準電位のレベルがゲートオフ電位からゲートオン電位にまで高められる。これにより、各ゲートバスラインの電位がゲートオン電位にまで高められ、全ての画素形成部内の残留電荷が放電される。

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】国際公開２０１１／０５５５８４号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【０００８】

ところで、近年、ＩＧＺＯ－ＴＦＴ液晶パネル（薄膜トランジスタの半導体層に酸化物質半導体の一種であるＩＧＺＯを用いた液晶パネル）の開発が進んでいる。ＩＧＺＯ－ＴＦ

10

20

30

40

50

T液晶パネルにおいても、モノリシック化されたゲートドライバの開発が進められている。なお、以下においては、IGZO-TFT液晶パネルに設けられているモノリシックゲートドライバのことを「IGZO-GDM」という。a-SiTFTはオフ特性が良好ではないため、a-SiTFT液晶パネルでは、画素形成部以外の部分の浮遊電荷については数秒で放電される。従って、a-SiTFT液晶パネルにおいては、画素形成部以外の部分の浮遊電荷については特に問題とはならない。ところが、IGZO-TFTは、オン特性のみならずオフ特性も優れている。特にゲートへのバイアス電圧が0V（すなわちバイアス無し）のときのオフ特性がa-SiTFTと比較して顕著に優れているため、TFTと接続されているノードの浮遊電荷がゲートオフ時に当該TFTを介して放電することがない。その結果、回路内に電荷が長時間残ることとなる。或る試算によると、後述する図8に示す構成を採用するIGZO-GDMにおいて、net A上の浮遊電荷の放電に要する時間は数時間（数千秒～数万秒）となっている。また、IGZO-GDMのBT（Bias Temperature）ストレス試験によれば、IGZO-TFTの閾値シフトの大きさは1時間で数Vとなっている。このことから、IGZO-GDMにおいては残留電荷の存在がIGZO-TFTの閾値シフトの大きな要因となることが把握される。以上より、IGZO-GDMのシフトレジスタにおいてシフト動作が途中で停止すると、或る1つの段においてのみTFTの閾値シフトが生じるおそれがある。その結果、シフトレジスタが正常に動作しなくなり、画面への画像表示が行われなくなる。

10

【0009】

また、ゲートドライバがICチップである場合には、パネル内のTFTは画素形成部内のTFTだけである。従って、電源オフの際には画素形成部内の電荷およびゲートバスライン上の電荷を放電すれば足りる。しかしながら、モノリシックゲートドライバの場合には、パネル内のTFTとしてゲートドライバ内にもTFTが存在している。そして、例えば図8に示す構成においては、符号net Aおよび符号net Bで示す2つの浮遊ノードが存在する。従って、IGZO-GDMにおいては、電源オフの際、画素形成部内の電荷、ゲートバスライン上の電荷、net A上の電荷、およびnet B上の電荷を放電する必要がある。

20

【0010】

そこで、本発明は、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置およびその駆動方法を提供することを目的とする。

30

【課題を解決するための手段】

【0011】

本発明の第1の局面は、表示パネルを構成する基板と、前記基板上に形成された複数のスイッチング素子とを有し、前記複数のスイッチング素子を構成する半導体層に酸化物半導体が用いられている液晶表示装置であって、

映像信号を伝達する複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

40

前記複数の走査信号線と1対1で対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出部と、

前記クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期化するためのクリア信号とを出力し、前記走査信号線駆動回路の動作を制御する駆動制御部とを備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号

50

線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極に前記クロック信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる出力ノード制御用スイッチング素子と、

第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と、

第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第1の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと

、
第1電極に前記クロック信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第1の第2ノード制御用スイッチング素子とを有し、

前記電源状態検出部は、前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与え、

前記駆動制御部は、前記電源オフ信号を受け取ると、前記画素形成部内の電荷を放電させる第1の放電処理が行われるよう前記走査信号線駆動回路の動作を制御した後、前記走査信号線上の電荷、前記第2ノードの電荷、および前記第1ノードの電荷を放電させる第2の放電処理が行われるよう前記走査信号線駆動回路の動作を制御することの特徴とする。

【0012】

本発明の第2の局面は、本発明の第1の局面において、

前記第2の放電処理は、前記走査信号線上の電荷を放電させる走査信号線放電処理と、前記第1ノードの電荷を放電させる第1ノード放電処理と、前記第2ノードの電荷を放電させる第2ノード放電処理とからなり、

前記駆動制御部は、

前記走査信号線放電処理、前記第2ノード放電処理、前記第1ノード放電処理の順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電処理の際には、前記クロック信号をグラウンド電位にするとともに前記クリア信号と前記基準電位とをハイレベルにし、

前記第2ノード放電処理の際には、前記クリア信号をローレベルにするとともに前記クロック信号と前記基準電位とをグラウンド電位にし、

前記第1ノード放電処理の際には、前記クリア信号をハイレベルにするとともに前記クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする。

【0013】

本発明の第3の局面は、本発明の第2の局面において、

前記駆動制御部は、前記走査信号線放電処理の際、前記クロック信号を徐々にハイレベルからローレベルに変化させることを特徴とする。

【0014】

本発明の第4の局面は、本発明の第1の局面において、

各双安定回路は、

第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用スイッチング素子と、

第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用スイッチング素子とを更に有し、

前記駆動制御部は、前記第 2 の放電処理の際には、前記クリア信号をハイレベルにするとともに前記クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする。

【0015】

本発明の第 5 の局面は、本発明の第 1 の局面において、

各双安定回路は、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 2 ノード制御用スイッチング素子を更に有し、

前記駆動制御部は、前記第 2 の放電処理の際には、前記走査信号線上の電荷を放電させる処理が行われた後に前記第 2 ノードの電荷および前記第 1 ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする。

10

【0016】

本発明の第 6 の局面は、本発明の第 1 の局面において、

各双安定回路は、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の出力ノード制御用スイッチング素子を更に有し、

前記駆動制御部は、前記第 2 の放電処理の際には、前記第 2 ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第 1 ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする。

【0017】

本発明の第 7 の局面は、本発明の第 1 の局面において、

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフタ回路を含み、前記レベルシフタ回路は、1 つのクロック信号から互いに位相の異なる複数のクロック信号を生成するための論理回路部を含むことを特徴とする。

20

【0018】

本発明の第 8 の局面は、本発明の第 1 の局面において、

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフタ回路を含み、前記レベルシフタ回路は、タイミングコントローラと 2 本以上の信号線で接続され、前記レベルシフタ回路と前記タイミングコントローラとを接続する信号線のうちの 2 本の信号線で伝送される信号は、垂直同期をとることが可能な信号と水平同期をとることが可能な信号であることを特徴とする。

30

【0019】

本発明の第 9 の局面は、本発明の第 7 の局面において、

前記レベルシフタ回路は、基本クロックを出力する発振回路部を更に含み、前記論理回路部は、前記発振回路部から出力される基本クロックに基づいて、前記複数のクロック信号を生成することを特徴とする。

【0020】

本発明の第 10 の局面は、本発明の第 7 の局面において、

前記レベルシフタ回路は、基本クロックを出力する発振回路部を更に含み、前記論理回路部のタイミングを生成するための不揮発性メモリが、レベルシフタ回路を含むパッケージ IC に内蔵されていることを特徴とする。

40

【0021】

本発明の第 11 の局面は、表示パネルを構成する基板と、前記基板上に形成された複数のスイッチング素子と、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを有し、前記複数のスイッチング素子を構成する半導体層に酸化物半導体が用いられている液晶表示装置の駆動方法であって、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出ステップと、

前記表示パネル内の電荷を放電させる電荷放電ステップと

50

を含み、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

前記走査信号線駆動回路は、前記複数の走査信号線と1対1で対応するように設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期化するためのクリア信号とを出力し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極に前記クロック信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる出力ノード制御用スイッチング素子と、

第2電極に前記クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用スイッチング素子と、

第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用スイッチング素子と、

前記第1の第1ノード制御用スイッチング素子の第1電極に接続された第2ノードと

、
第1電極に前記クロック信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第1の第2ノード制御用スイッチング素子と
を有し、

前記電荷放電ステップは、

前記画素形成部内の電荷を放電させる第1の放電ステップと、

前記走査信号線上の電荷、前記第2ノードの電荷、および前記第1ノードの電荷を放電させる第2の放電ステップと
からなり、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記電荷放電ステップが実行されることを特徴とする。

【0022】

本発明の第12の局面は、本発明の第11の局面において、

前記第2の放電ステップは、前記走査信号線上の電荷を放電させる走査信号線放電ステップと、前記第1ノードの電荷を放電させる第1ノード放電ステップと、前記第2ノードの電荷を放電させる第2ノード放電ステップとからなり、

前記駆動制御部は、前記走査信号線放電ステップ、前記第2ノード放電ステップ、前記第1ノード放電ステップの順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電ステップでは、前記クロック信号がグラウンド電位にされるとともに前記クリア信号と前記基準電位とがハイレベルにされ、

前記第2ノード放電ステップでは、前記クリア信号がローレベルにされるとともに前記クロック信号と前記基準電位とがグラウンド電位にされ、

前記第1ノード放電ステップでは、前記クリア信号がハイレベルにされるとともに前記クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする。

【0023】

本発明の第13の局面は、本発明の第12の局面において、

前記走査信号線放電ステップでは、前記クロック信号が徐々にハイレベルからローレベルに変化することを特徴とする。

【0024】

本発明の第14の局面は、本発明の第11の局面において、
各双安定回路は、

第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用スイッチング素子と、

第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用スイッチング素子と
を更に有し、

前記第2の放電ステップでは、前記クリア信号がハイレベルにされるとともに前記クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする。

10

【0025】

本発明の第15の局面は、本発明の第11の局面において、

各双安定回路は、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用スイッチング素子を更に有し、

前記第2の放電ステップでは、前記走査信号線上の電荷を放電させる処理が行われた後に前記第2ノードの電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする。

【0026】

本発明の第16の局面は、本発明の第11の局面において、

各双安定回路は、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用スイッチング素子を更に有し、

前記第2の放電ステップでは、前記第2ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする。

20

【発明の効果】

【0027】

本発明の第1の局面によれば、IGZO-GDMを備えた液晶表示装置において、電源電圧PWの供給が遮断された際、まず画素形成部内の電荷が放電され、その後、走査信号線上の電荷、シフトレジスタを構成する双安定回路内の第1ノード・第2ノード上の電荷が放電される。これにより、電源がオフされたときにパネル内の残留電荷が速やかに除去され、パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。

30

【0028】

本発明の第2の局面によれば、走査信号線放電処理の際には、クロック信号がグラウンド電位になっている状態で出力制御用スイッチング素子がオン状態となる。出力制御用スイッチング素子については、第2電極にはクロック信号が与えられ、第3電極は出力ノードに接続されているので、走査信号線上の電荷が放電される。また、第2ノード放電処理の際には、基準電位がグラウンド電位になっている状態で第1の第2ノード制御用スイッチング素子がオン状態となる。第1の第2ノード制御用スイッチング素子については、第2電極は第2ノードに接続され、第3電極には基準電位が与えられているので、第2ノードの電荷が放電される。さらに、第1ノード放電処理の際には、基準電位がグラウンド電位になっている状態で第2の第1ノード制御用スイッチング素子がオン状態となる。第2の第1ノード制御用スイッチング素子については、第2電極は第1ノードに接続され、第3電極には基準電位が与えられているので、第1ノードの電荷が放電される。以上のようにして、電源がオフされた際に、パネル内の各ノード等の電荷が順次に速やかに除去される。

40

【0029】

本発明の第3の局面によれば、走査信号線放電処理の際、走査信号線の電位は緩やかに低下する。このため、各画素形成部において引込電圧の影響により画素電極電位が低下す

50

ることが抑制される。

【0030】

本発明の第4の局面によれば、第2の放電処理の際にクリア信号がハイレベルになることによって、第2の第1ノード制御用スイッチング素子と第2の第2ノード制御用スイッチング素子と第2の出力ノード制御用スイッチング素子とがオン状態となる。第2の第1ノード制御用スイッチング素子については、第2電極は第1ノードに接続され、第3電極には基準電位が与えられている。第2の第2ノード制御用スイッチング素子については、第2電極は第2ノードに接続され、第3電極には基準電位が与えられている。第2の出力ノード制御用スイッチング素子については、第2電極は出力ノードに接続され、第3電極には基準電位が与えられている。また、第2の放電処理の際には、基準電位がグラウンド電位にされる。以上より、第2の放電処理の際、第1ノードの電荷、第2ノードの電荷、および走査信号線上の電荷が1ステップで放電される。

10

【0031】

本発明の第5の局面によれば、第2の放電処理の際、本発明の第1の局面と比較して少ないステップで、第1ノードの電荷、第2ノードの電荷、および走査信号線上の電荷が放電される。

【0032】

本発明の第6の局面によれば、第2の放電処理の際、本発明の第1の局面と比較して少ないステップで、第1ノードの電荷、第2ノードの電荷、および走査信号線上の電荷が放電される。

20

【0033】

本発明の第7の局面によれば、レベルシフト回路に与える必要のある入力信号の数が従来よりも少なくなる。これにより、コスト低減や小パッケージ化が可能となる。

【0034】

本発明の第8の局面によれば、本発明の第7の局面と同様、レベルシフト回路に与える必要のある入力信号の数が従来よりも少なくなる。これにより、コスト低減や小パッケージ化が可能となる。

【0035】

本発明の第9の局面によれば、複雑な電源オフシーケンスを比較的容易に実現することが可能となる。

30

【0036】

本発明の第10の局面によれば、本発明の第9の局面と同様、複雑な電源オフシーケンスを比較的容易に実現することが可能となる。

【0037】

本発明の第11の局面によれば、本発明の第1の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0038】

本発明の第12の局面によれば、本発明の第2の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0039】

本発明の第13の局面によれば、本発明の第3の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

40

【0040】

本発明の第14の局面によれば、本発明の第4の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0041】

本発明の第15の局面によれば、本発明の第5の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0042】

本発明の第16の局面によれば、本発明の第6の局面と同様の効果を液晶表示装置の駆

50

動方法の発明において奏することができる。

【図面の簡単な説明】

【0043】

【図1】本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置における電源遮断時の動作について説明するための信号波形図である。

【図2】上記第1の実施形態において、液晶表示装置の全体構成を示すブロック図である。

【図3】上記第1の実施形態において、画素形成部の構成を示す回路図である。

【図4】上記第1の実施形態において、レベルシフト回路の構成を示すブロック図である。

【図5】上記第1の実施形態において、ゲートドライバの構成を説明するためのブロック図である。

【図6】上記第1の実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

【図7】上記第1の実施形態において、ゲートドライバの動作について説明するための信号波形図である。

【図8】上記第1の実施形態において、シフトレジスタに含まれている双安定回路の構成を示す回路図である。

【図9】上記第1の実施形態において、双安定回路の動作を説明するための信号波形図である。

【図10】Display Offシーケンスに関する上記第1の実施形態の変形例について説明するための信号波形図である。

【図11】Display Offシーケンスに関する上記第1の実施形態の別の変形例について説明するための信号波形図である。

【図12】上記第1の実施形態の変形例において、引込電圧の影響を抑制する方法について説明するための信号波形図である。

【図13】上記第1の実施形態におけるレベルシフト回路近傍の構成を模式的に示すブロック図である。

【図14】上記第1の実施形態の変形例におけるレベルシフト回路近傍の構成を模式的に示すブロック図である。

【図15】本発明の第2の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。

【図16】上記第2の実施形態において、シフトレジスタに含まれている双安定回路の構成を示す回路図である。

【図17】上記第2の実施形態における電源遮断時の動作について説明するための信号波形図である。

【図18】上記第2の実施形態において、タイミングの生成について説明するための信号波形図である。

【図19】上記第2の実施形態の変形例における電源遮断時の動作について説明するための信号波形図である。

【図20】従来構成のレベルシフト回路における入出力信号について説明するための図である。

【図21】タイミング生成ロジック部を備えたレベルシフト回路における入出力信号について説明するための図である。

【発明を実施するための形態】

【0044】

以下、添付図面を参照しつつ、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は第1電極に相当し、ドレイン端子（ドレイン電極）は第2電極に相当し、ソース端子（ソース電極）は第3電極に相当する。また、双安定回路内に設けられている薄膜トランジスタはすべてnチャネル型で

10

20

30

40

50

あるものとして説明する。

【0045】

< 1. 第1の実施形態 >

< 1. 1 全体構成および動作 >

図2は、本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図2に示すように、この液晶表示装置は、液晶パネル（表示パネル）20、PCB（プリント回路基板）10、および液晶パネル20とPCB10とに接続されたTAB（Tape Automated Bonding）30によって構成されている。なお、液晶パネル20は、IGZO-TFT液晶パネルである。また、TAB30は主に中型用から大型用の液晶パネルで採用される実装形態であり、小型用から中型用の液晶パネルではソースドライバの実装形態としてCOG実装が採用される場合もある。さらにまた、昨今では、ソースドライバ32、タイミングコントローラ11、電源回路15、電源OFF検出部17、およびレベルシフタ回路13が1チップ化されたシステムドライバ構成も徐々に用いられてきている。

【0046】

液晶パネル20は対向する2枚の基板（典型的にはガラス基板であるが、ガラス基板には限定されない）からなり、基板上の所定の領域に、画像を表示するための表示部22が形成されている。表示部22には、複数本（j本）のソースバスライン（映像信号線）SL1～SLjと、複数本（i本）のゲートバスライン（走査信号線）GL1～GLiと、それらソースバスラインSL1～SLjとゲートバスラインGL1～GLiとの交差点にそれぞれ対応して設けられた複数個（i×j個）の画素形成部とが含まれている。図3は、画素形成部の構成を示す回路図である。図3に示すように、各画素形成部には、対応する交差点を通過するゲートバスラインGLにゲート端子が接続されるとともに当該交差点を通過するソースバスラインSLにソース端子が接続された薄膜トランジスタ（TFT）220と、その薄膜トランジスタ220のドレイン端子に接続された画素電極221と、上記複数個の画素形成部に共通的に設けられた共通電極222および補助容量電極223と、画素電極221と共通電極222とによって形成される液晶容量224と、画素電極221と補助容量電極223とによって形成される補助容量225とが含まれている。また、液晶容量224と補助容量225とによって画素容量CPが形成されている。そして、各薄膜トランジスタ220のゲート端子がゲートバスラインGLからアクティブな走査信号を受けたときに当該薄膜トランジスタ220のソース端子がソースバスラインSLから受ける映像信号に基づいて、画素容量CPに画素値を示す電圧が保持される。

【0047】

液晶パネル20には、また、図2に示すように、ゲートバスラインGL1～GLiを駆動するためのゲートドライバ24が形成されている。このゲートドライバ24は、上述したIGZO-GDMであり、液晶パネル20を構成する基板上にモノリシックに形成されている。TAB30には、ソースバスラインSL1～SLjを駆動するためのソースドライバ32がICチップの状態を搭載されている。PCB10には、タイミングコントローラ11、レベルシフタ回路13、電源回路15、および電源OFF検出部17が設けられている。なお、図2ではゲートドライバ24は表示部22の片側のみに配置されているが、左右均等額縁パネルを要望するユーザも多く、この要望に応えるためゲートドライバ24を表示部22の左右両側に配置する構造もよく用いられる。

【0048】

この液晶表示装置には、水平同期信号HS、垂直同期信号VS、データネーブル信号DEなどのタイミング信号と画像信号DATと電源電圧PWとが外部から与えられる。電源電圧PWは、タイミングコントローラ11と電源回路15と電源OFF検出部17とに与えられる。なお、本実施形態においては、電源電圧PWは3.3Vとなっているが、この電源電圧PWは3.3Vに限定されるものではない。また、入力信号についても上記構成には限定されず、タイミング信号や映像データはLVDSやmipi、DP信号、eDPなどの差動インターフェースを利用して転送される場合も多い。

10

20

30

40

50

【0049】

電源回路15は、電源電圧PWに基づいて、ゲートバスラインを選択状態にするためのゲートオン電位VGHと、ゲートバスラインを非選択状態にするためのゲートオフ電位VGLとを生成する。本説明では、ソースドライバ正電源構成としてゲートオン電位VGHは+20Vであってゲートオフ電位VGLは-10Vであると仮定するが、昨今では、ソースドライバの出力電圧がグラウンド電位GNDを基準にプラス側とマイナス側に等しい大きさで出力される場合もある。この場合、例えば「ゲートオン電位VGHは+15V、ゲートオフ電位VGLは-15V」というように正電源構成から少しマイナスバイアスされた電位構成となる。ゲートオン電位VGHおよびゲートオフ電位VGLは、レベルシフタ回路13に与えられる。電源OFF検出部17は、電源電圧PWの供給状態（電源のオン／オフ状態）を示す電源状態信号SHUTを出力する。電源状態信号SHUTは、レベルシフタ回路13に与えられる。

10

【0050】

タイミングコントローラ11は、水平同期信号HS、垂直同期信号VS、データインーブル信号DEなどのタイミング信号と画像信号DATと電源電圧PWとを受け取り、デジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、ゲートスタートパルス信号L_GSP、およびゲートクロック信号L_GCKを生成する。デジタル映像信号DV、ソーススタートパルス信号SSP、およびソースクロック信号SCKについてはソースドライバ32に与えられ、ゲートスタートパルス信号L_GSPおよびゲートクロック信号L_GCKについてはレベルシフタ回路13に与えられる。なお、ゲートスタートパルス信号L_GSPおよびゲートクロック信号L_GCKに関し、ハイレベル側の電位は電源電圧（3.3V）PWとされ、ローレベル側の電位はグラウンド電位（0V）GNDとされる。

20

【0051】

レベルシフタ回路13は、グラウンド電位GNDと電源回路15から与えられるゲートオン電位VGHおよびゲートオフ電位VGLとを用いて、タイミングコントローラ11から出力されたゲートスタートパルス信号L_GSPをIGZO-GDM駆動に最適化されたタイミング信号に変換した信号のレベル変換後の信号H_GSPの生成と、タイミングコントローラ11から出力されたゲートクロック信号L_GCKに基づく第1のゲートクロック信号H_GCK1および第2のゲートクロック信号H_GCK2の生成と、内部信号に基づく基準電位H_VSSおよびクリア信号H_CLRの生成とを行う。そして、レベルシフタ回路13からゲートドライバ24に対して、ゲートスタートパルス信号H_GSP、第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2、クリア信号H_CLR、および基準電位H_VSSが出力される。なお、通常動作時には、ゲートスタートパルス信号H_GSP、第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2、およびクリア信号H_CLRはゲートオン電位VGH（+20V）またはゲートオフ電位VGL（-10V）に等しくされ、基準電位H_VSSはゲートオフ電位VGL（-10V）に等しくされる。ところで、本実施形態においては、図4に示すように、レベルシフタ回路13にはタイミング生成ロジック部131とオシレータ132とが含まれていて、電源OFF検出部17から出力される電源状態信号SHUTがレベルシフタ回路13に与えられるように構成されている。このような構成により、レベルシフタ回路13は所定のタイミングに従って上記各種信号の電位を変化させることが可能となっている。所定のタイミングについては、レベルシフタ回路13を構成するIC内部の不揮発性メモリ及び不揮発性メモリからデータをロードしたレジスタ値に基づいて生成される。なお、このレベルシフタ回路13についての更に詳しい説明は後述する。

30

40

【0052】

ソースドライバ32は、タイミングコントローラ11から出力されるデジタル映像信号DV、ソーススタートパルス信号SSP、およびソースクロック信号SCKを受け取り、各ソースバスラインSL1～SLjに駆動用の映像信号を印加する。

50

【0053】

ゲートドライバ24は、レベルシフタ回路13から出力されるゲートスタートパルス信号H_GSP, 第1のゲートクロック信号H_GCK1, 第2のゲートクロック信号H_GCK2, クリア信号H_CLR, および基準電位H_VSSに基づいて、アクティブな走査信号の各ゲートバスラインGL1~GLiへの印加を1垂直走査期間を周期として繰り返す。なお、このゲートドライバ24についての詳しい説明は後述する。

【0054】

以上のようにして、各ソースバスラインSL1~SLjに駆動用の映像信号が印加され、各ゲートバスラインGL1~GLiに走査信号が印加されることにより、外部から送られた画像信号DATに基づく画像が表示部22に表示される。

10

【0055】

なお、本実施形態においては、電源OFF検出部17によって電源状態検出部が実現され、タイミングコントローラ11とレベルシフタ回路13とによって駆動制御部が実現されている。また、タイミング生成ロジック部131によって論理回路部が実現され、オシレータ132によって発振回路部が実現されている。

【0056】

<1.2 ゲートドライバの構成および動作>

次に、本実施形態におけるゲートドライバ24の構成および動作について説明する。図5に示すように、ゲートドライバ24は複数段からなるシフトレジスタ240によって構成されている。表示部22にはi行×j列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と1対1で対応するようにシフトレジスタ240の各段が設けられている。また、シフトレジスタ240の各段は、各時点において2つの状態のうちのいずれか一方の状態となっていて当該状態を示す信号(以下「状態信号」という。)を出力する双安定回路となっている。なお、シフトレジスタ240の各段から出力される状態信号は、対応するゲートバスラインに走査信号として与えられる。

20

【0057】

図6は、ゲートドライバ24内のシフトレジスタ240の構成を示すブロック図である。なお、図6には、シフトレジスタ240の(n-1)段目、n段目、および(n+1)段目の双安定回路SRn-1, SRn, およびSRn+1の構成を示している。各双安定回路には、基準電位VSS, 第1クロックCKA, 第2クロックCKB, セット信号S, リセット信号R, およびクリア信号CLRを受け取るための入力端子と、状態信号Qを出力するための出力端子とが設けられている。本実施形態においては、レベルシフタ回路13から出力された基準電位H_VSSが基準電位VSSとして与えられ、レベルシフタ回路13から出力されたクリア信号H_CLRがクリア信号CLRとして与えられる。また、レベルシフタ回路13から出力された第1のゲートクロック信号H_GCK1および第2のゲートクロック信号H_GCK2の一方が第1クロックCKAとして与えられ、他方が第2クロックCKBとして与えられる。さらに、前段から出力された状態信号Qがセット信号Sとして与えられ、次段から出力された状態信号Qがリセット信号Rとして与えられる。すなわち、n段目に着目すると、(n-1)行目のゲートバスラインに与えられる走査信号GOUTn-1がセット信号Sとして与えられ、(n+1)行目のゲートバスラインに与えられる走査信号GOUTn+1がリセット信号Rとして与えられる。なお、レベルシフタ回路13から出力されたゲートスタートパルス信号H_GSPは、シフトレジスタ240の1段目の双安定回路SR1にセット信号Sとして与えられる。

30

40

【0058】

以上のような構成において、シフトレジスタ240の1段目にセット信号Sとしてのゲートスタートパルス信号H_GSPのパルスが与えられると、オンデューティが50パーセント前後の値にされた第1のゲートクロック信号H_GCK1および第2のゲートクロック信号H_GCK2(図7参照)に基づいて、ゲートスタートパルス信号H_GSPに含まれるパルス(このパルスは各段から出力される状態信号Qに含まれる)が1段目からi段目へと順次に転送される。そして、このパルスの転送に応じて、各段から出力される

50

状態信号Qが順次にハイレベルとなる。そして、それら各段から出力される状態信号Qは、走査信号GOUT1～GOUTiとして各ゲートバスラインGL1～GLiに与えられる。これにより、図7に示すように、所定期間ずつ順次にハイレベルとなる走査信号GOUT1～GOUTiが表示部22内のゲートバスラインGL1～GLiに与えられる。

【0059】

<1.3 双安定回路の構成および動作>

図8は、シフトレジスタ240に含まれている双安定回路の構成（シフトレジスタ240のn段目の構成）を示す回路図である。図8に示すように、この双安定回路SRnは、9個の薄膜トランジスタTA、TB、TC、TD、TF、TI、TJ、TK、およびTLと、1個のキャパシタCAP1とを備えている。なお、図8では、第1クロックCKAを受け取るための入力端子には符号41を付し、第2クロックCKBを受け取るための入力端子には符号42を付し、セット信号Sを受け取るための入力端子には符号43を付し、リセット信号Rを受け取るための入力端子には符号44を付し、クリア信号CLRを受け取るための入力端子には符号45を付し、状態信号Qを出力するための出力端子には符号49を付している。

【0060】

薄膜トランジスタTAのドレイン端子と薄膜トランジスタTBのソース端子と薄膜トランジスタTCのドレイン端子と薄膜トランジスタTIのゲート端子と薄膜トランジスタTJのゲート端子と薄膜トランジスタTLのドレイン端子とキャパシタCAP1の一端とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「netA」という。薄膜トランジスタTCのゲート端子と薄膜トランジスタTFのソース端子と薄膜トランジスタTJのドレイン端子と薄膜トランジスタTKのドレイン端子とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「netB」という。

【0061】

薄膜トランジスタTAについては、ゲート端子は入力端子45に接続され、ドレイン端子はnetAに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTBについては、ゲート端子およびドレイン端子は入力端子43に接続され（すなわち、ダイオード接続となっている）、ソース端子はnetAに接続されている。薄膜トランジスタTCについては、ゲート端子はnetBに接続され、ドレイン端子はnetAに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTDについては、ゲート端子は入力端子42に接続され、ドレイン端子は出力端子49に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTFについては、ゲート端子およびドレイン端子は入力端子42に接続され（すなわち、ダイオード接続となっている）、ソース端子はnetBに接続されている。薄膜トランジスタTIについては、ゲート端子はnetAに接続され、ドレイン端子は入力端子41に接続され、ソース端子は出力端子49に接続されている。薄膜トランジスタTJについては、ゲート端子はnetAに接続され、ドレイン端子はnetBに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTKについては、ゲート端子は入力端子41に接続され、ドレイン端子はnetBに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTLについては、ゲート端子は入力端子44に接続され、ドレイン端子はnetAに接続され、ソース端子は基準電位配線に接続されている。キャパシタCAP1については、一端はnetAに接続され、他端は出力端子49に接続されている。以上のような構成において、図8で符号241で示す部分の回路によって、netAの電位を示す信号の論理反転信号と第2クロックCKBとを入力信号とするAND回路が構成されている。

【0062】

なお、本実施形態においては、netAによって第1ノードが実現され、netBによって第2ノードが実現され、出力端子49によって出力ノードが実現されている。また、薄膜トランジスタTIによって出力制御用スイッチング素子が実現され、薄膜トランジスタTDによって出力ノード制御用スイッチング素子が実現され、薄膜トランジスタTCに

よって第1の第1ノード制御用スイッチング素子の実現され、薄膜トランジスタT Aによって第2の第1ノード制御用スイッチング素子の実現され、薄膜トランジスタT Kによって第1の第2ノード制御用スイッチング素子の実現されている。

【0063】

次に、電源電圧PWが外部から正常に供給されているときの双安定回路S R nの動作について、図8および図9を参照しつつ説明する。この液晶表示装置が動作している期間中、双安定回路S R nには、オンデューティが50パーセント前後の値にされた第1クロックC K Aおよび第2クロックC K Bが与えられる。なお、第1クロックC K Aおよび第2クロックC K Bに関し、ハイレベル側の電位はゲートオン電位V G Hとなっており、ローレベル側の電位はゲートオフ電位V G Lとなっている。

10

【0064】

時点t 1になり第2クロックC K Bがローレベルからハイレベルに変化すると、薄膜トランジスタT Fは、図8に示すようにダイオード接続となっているので、オン状態となる。この時、n e t Aの電位はローレベルとなっているので、薄膜トランジスタT Jはオフ状態となっている。これにより、時点t 1にはn e t Bの電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタT Cがオン状態となり、n e t Aの電位は基準電位V S Sへと引き込まれる。また、時点t 1には、薄膜トランジスタT Dもオン状態となる。これにより、出力端子49の電位（状態信号Qの電位）が基準電位V S Sへと引き込まれる。

【0065】

20

時点t 2に第2クロックC K Bがハイレベルからローレベルに変化した後、時点t 3になると、第1クロックC K Aがローレベルからハイレベルに変化する。これにより、薄膜トランジスタT Kがオン状態となる。その結果、n e t Bの電位がハイレベルからローレベルへと変化する。なお、時点t 3には、n e t Aの電位がローレベルになっていることから、薄膜トランジスタT Iはオフ状態となっている。従って、出力端子49の電位はローレベルのまま維持される。

【0066】

時点t 4に第1クロックC K Aがハイレベルからローレベルに変化した後、時点t 5になると、セット信号Sがローレベルからハイレベルに変化する。薄膜トランジスタT Bは図8に示すようにダイオード接続となっているので、セット信号Sがハイレベルになることによって薄膜トランジスタT Bはオン状態となる。これにより、キャパシタC A P 1は充電され、n e t Aの電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタT Iはオン状態となる。ここで、時点t 5～時点t 7の期間中、第1クロックC K Aはローレベルとなっている。このため、この期間中、出力端子49はローレベルで維持される。また、この期間中、リセット信号Rはローレベルとなっているので薄膜トランジスタT Lはオフ状態で維持され、かつ、n e t Bの電位はローレベルとなっているので薄膜トランジスタT Cはオフ状態で維持される。このため、この期間中にn e t Aの電位が低下することはない。

30

【0067】

時点t 6にセット信号Sがハイレベルからローレベルに変化した後、時点t 7になると、第1クロックC K Aがローレベルからハイレベルに変化する。このとき、薄膜トランジスタT Iはオン状態となっているので、入力端子41の電位の上昇とともに出力端子49の電位は上昇する。ここで、図8に示すようにn e t Aー出力端子49間にはキャパシタC A P 1が設けられているので、出力端子49の電位の上昇とともにn e t Aの電位も上昇する（n e t Aがブートストラップされる）。n e t Aの電位は、理想的にはゲートオン電位V G Hの2倍の電位にまで上昇する。その結果、薄膜トランジスタT Iのゲート端子には大きな電圧が印加され、出力端子49の電位は、第1クロックC K Aのハイレベルの電位すなわちゲートオン電位V G Hにまで上昇する。これにより、この双安定回路S R nの出力端子49に接続されているゲートバスラインが選択状態となる。なお、時点t 7～時点t 8の期間中、第2クロックC K Bはローレベルとなっているので薄膜トランジス

40

50

タTDはオフ状態で維持される。従って、この期間中に出力端子49の電位が低下することはない。また、時点t7～時点t8の期間中、リセット信号Rはローレベルとなっているので薄膜トランジスタTLはオフ状態で維持され、かつ、netBの電位はローレベルとなっているので薄膜トランジスタTCはオフ状態で維持される。このため、この期間中にnetAの電位が低下することはない。

【0068】

時点t8になると、第1クロックCKAはハイレベルからローレベルに変化する。これにより、入力端子41の電位の低下とともに出力端子49の電位すなわち状態信号Qの電位は低下する。このため、キャパシタCAP1を介してnetAの電位も低下する。時点t9になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、薄膜トランジスタTLはオン状態となる。その結果、netAの電位はローレベルとなる。また、時点t9には、第2クロックCKBがローレベルからハイレベルに変化する。これにより、薄膜トランジスタTDはオン状態となる。その結果、状態信号Qの電位はローレベルとなる。

【0069】

以上のような動作がシフトレジスタ240内の各双安定回路で行われることにより、所定期間ずつ順次にハイレベルとなる走査信号GOUT1～GOUTiが表示部22内のゲートバスラインGL1～GLiに与えられる。

【0070】

<1.4 電源遮断時の動作>

次に、図1、図2、および図8を参照しつつ、外部からの電源電圧PWの供給が遮断されたときの液晶表示装置の動作について説明する。なお、この一連の処理のことを以下「電源オフシーケンス」という。図1には、電源状態信号SHUT、映像信号電位（ソースバスラインSLの電位）VS、共通電極電位VCOMDC、ゲートスタートパルス信号H__GSP、ゲートクロック信号（第1のゲートクロック信号H__GCK1、第2のゲートクロック信号H__GCK2）、クリア信号H__CLR、および基準電位H__VSSの波形が示されている。上述したように、ゲートスタートパルス信号H__GSPはシフトレジスタ240の1段目の双安定回路にセット信号Sとして与えられ、ゲートクロック信号（第1のゲートクロック信号H__GCK1、第2のゲートクロック信号H__GCK2）は各双安定回路に第1クロックCKA、第2クロックCKBとして与えられ、クリア信号H__CLRは各双安定回路にクリア信号CLRとして与えられ、基準電位H__VSSは各双安定回路に基準電位VSSとして与えられる。

【0071】

図1において、「DisplayOffシーケンス」と記載している期間は画素形成部内で電荷を放電させるための期間であり、「GateOffシーケンス」と記載している期間はゲートドライバ24内で電荷を放電させるための期間である。電源オフシーケンスには、これらDisplayOffシーケンスとGateOffシーケンスとが含まれている。なお、本説明においては、時点t10以前には電源電圧PWが正常に供給されていて、時点t10に電源電圧PWの供給が遮断されたものと仮定する。

【0072】

電源電圧PWが正常に供給されている期間（時点t10以前の期間）には、電源状態信号SHUTはローレベルで維持される。この期間中、ゲートスタートパルス信号H__GSP、ゲートクロック信号（第1のゲートクロック信号H__GCK1、第2のゲートクロック信号H__GCK2）、およびクリア信号H__CLRについてはゲートオン電位VGHまたはゲートオフ電位VGLとされ、基準電位H__VSSについてはゲートオフ電位VGLとされる。

【0073】

時点t10に電源電圧PWの供給が遮断されると、電源OFF検出部17は電源状態信号SHUTをローレベルからハイレベルに変化させる。電源状態信号SHUTがローレベルからハイレベルに変化した時点から所定期間経過後の時点t11になると、Display

10

20

30

40

50

a y O f fシーケンスの期間となる。本実施形態においては、この期間中、ゲートスタートパルス信号H__G S P，ゲートクロック信号（第1のゲートクロック信号H__G C K 1，第2のゲートクロック信号H__G C K 2），およびクリア信号H__C L Rを通常動作時と同様の波形にした状態で、映像信号電位V Sおよび共通電極電位V C O M D Cがグラウンド電位G N D（0 V）に等しくされる。これにより、1垂直走査期間をかけて、表示部22内の画素形成部における電荷の放電が行われる。以下、D i s p l a y O f fシーケンスで行われる処理ステップのことを「画素放電ステップ」という。

【0074】

時点t 13になると、G a t e O f fシーケンスの期間となる。時点t 13～時点t 14の期間には、ゲートスタートパルス信号H__G S P，ゲートクロック信号（第1のゲートクロック信号H__G C K 1，第2のゲートクロック信号H__G C K 2），およびクリア信号H__C L Rについてはゲートオン電位V G Hとされ、基準電位H__V S Sについてはゲートオフ電位V G Lとされる。これにより、第1クロックC K Aがハイレベルとなって薄膜トランジスタT Kがオン状態となるので、n e t Bの電位がローレベルとなる。以下、G a t e O f fシーケンス中の時点t 13～時点t 14の期間に行われる処理ステップのことを「n e t B電位低下ステップ」という。

【0075】

時点t 14～時点t 15の期間には、ゲートスタートパルス信号H__G S Pおよびゲートクロック信号（第1のゲートクロック信号H__G C K 1，第2のゲートクロック信号H__G C K 2）についてはグラウンド電位G N Dとされ、クリア信号H__C L Rおよび基準電位H__V S Sについてはゲートオン電位V G Hとされる。これにより、クリア信号C L Rがハイレベルとなるので、薄膜トランジスタT Aはオン状態となる。この状態で基準電位V S Sがゲートオン電位V G Hに等しくされるので、n e t Aの電位はゲートオン電位V G Hから閾値電圧V t hだけ低い電位となる。これにより、薄膜トランジスタT Iはオン状態となる。また、この期間中、第1クロックC K Aの電位はグラウンド電位G N Dとなる。その結果、表示部22内の各ゲートバスラインで電荷が放電される。以上のように、時点t 14～時点t 15の期間は、ゲートバスライン上の電荷を放電させるための期間となる。以下、G a t e O f fシーケンス中の時点t 14～時点t 15の期間に行われる処理ステップのことを「ゲートバスライン放電ステップ」という。

【0076】

時点t 15～時点t 16の期間には、クリア信号H__C L Rについてはゲートオフ電位V G Lとされ、ゲートスタートパルス信号H__G S P，ゲートクロック信号（第1のゲートクロック信号H__G C K 1，第2のゲートクロック信号H__G C K 2），および基準電位H__V S Sについてはグラウンド電位G N Dとされる。これにより、基準電位V S Sは0 Vとなるが、クリア信号C L Rがローレベルとなるので薄膜トランジスタT Aはオフ状態となる。従って、n e t Aの電位はハイレベルで維持される。このため、薄膜トランジスタT Jがオン状態となる。これにより、n e t Bの電位はグラウンド電位G N Dとなる。以上のように、時点t 15～時点t 16の期間は、n e t B上の電荷を放電させるための期間となる。以下、G a t e O f fシーケンス中の時点t 15～時点t 16の期間に行われる処理ステップのことを「n e t B放電ステップ」という。

【0077】

時点t 16～時点t 17の期間には、クリア信号H__C L Rについてはゲートオン電位V G Hとされ、ゲートスタートパルス信号H__G S P，ゲートクロック信号（第1のゲートクロック信号H__G C K 1，第2のゲートクロック信号H__G C K 2），および基準電位H__V S Sについてはグラウンド電位G N Dとされる。これにより、基準電位V S Sがグラウンド電位G N Dにされた状態で薄膜トランジスタT Aがオン状態となる。その結果、n e t Aの電位はグラウンド電位G N Dとなる。以上のように、時点t 16～時点t 17の期間は、n e t A上の電荷を放電させるための期間となる。以下、G a t e O f fシーケンス中の時点t 16～時点t 17の期間に行われる処理ステップのことを「n e t A放電ステップ」という。

【0078】

時点t17～時点t18の期間には、ゲートスタートパルス信号H__GSP、ゲートクロック信号（第1のゲートクロック信号H__GCK1、第2のゲートクロック信号H__GCK2）、クリア信号H__CLR、および基準電位H__VSSは、グラウンド電位GNDとされる。これにより、GateOffシーケンスは終了する。

【0079】

なお、本実施形態においては、DisplayOffシーケンスおよびGateOffシーケンスの期間に行われるステップによって電荷放電ステップが実現され、画素放電ステップによって第1の放電ステップが実現され、GateOffシーケンスの期間に行われるステップによって第2の放電ステップが実現されている。また、ゲートバスライン放電ステップによって走査信号線放電ステップが実現され、netA放電ステップによって第1ノード放電ステップが実現され、netB放電ステップによって第2ノード放電ステップが実現されている。さらに、ハイレベルにされた電源状態信号SHUTによって電源オフ信号が実現されている。

【0080】

ところで、GateOffシーケンスにおいて各種信号の電位を図1に示すように複数のステップで変化させることができるように、レベルシフタ回路13には図4に示すようにタイミング生成ロジック部131とオシレータ132とが含まれている。このような構成において、電源OFF検出部17からレベルシフタ回路13に与えられる電源状態信号SHUTがローレベルからハイレベルに変化すると、タイミング生成ロジック部131は、オシレータ132によって生成される基本クロックをカウンタでカウントすることによって、各ステップの開始タイミングを取得する。そして、タイミング生成ロジック部131は、そのタイミングに従って、各種信号の電位を予め定められた電位に変化させる。このようにして、図1に示すような波形のゲートスタートパルス信号H__GSP、ゲートクロック信号（第1のゲートクロック信号H__GCK1、第2のゲートクロック信号H__GCK2）、クリア信号H__CLR、および基準電位H__VSSが生成される。なお、レベルシフタ回路13と電源OFF検出部17とが図4で符号60で示すように1つのLSI内に格納されていても良い。

【0081】

<1.5 効果>

本実施形態によれば、IGZO-GDMを備えた液晶表示装置において、ゲートドライバ24に各種信号を与えるレベルシフタ回路13には、タイミング生成ロジック部131とオシレータ132とが含まれている。電源電圧PWの供給が遮断されると、タイミング生成ロジック部131は電源オフシーケンスのための各ステップの開始タイミングを取得する。レベルシフタ回路13は、タイミング生成ロジック部131が取得したタイミングに従って、各種信号の電位を変化させる。このため、電源オフシーケンスの際に複数の処理を行うことが可能となる。そして、上述のように（図1参照）レベルシフタ回路13が各種信号の電位を変化させることにより、画素放電ステップ、netB電位低下ステップ、ゲートバスライン放電ステップ、netB放電ステップ、およびnetA放電ステップを含む電源オフシーケンスが行われる。これにより、IGZO-GDMを備えた液晶表示装置において、電源電圧PWの供給が遮断された際、画素形成部内の電荷、ゲートバスライン上の電荷、netB上の電荷、およびnetA上の電荷が順次に放電される。以上のように、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置が実現される。その結果、IGZO-GDMを備えた液晶表示装置において、パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。

【0082】

<1.6 変形例>

<1.6.1 DisplayOffシーケンスについて>

DisplayOffシーケンスに関し、上記第1の実施形態においては、ゲートスタ

10

20

30

40

50

ートパルス信号H__G S P, ゲートクロック信号(第1のゲートクロック信号H__G C K 1, 第2のゲートクロック信号H__G C K 2), およびクリア信号H__C L Rを通常動作時と同様の波形にした状態で、映像信号電位V Sおよび共通電極電位V C O M D Cがグラウンド電位G N D (0 V)に等しくされている。しかしながら、本発明はこれに限定されない。例えば、図10に示すように、時点t 1 2~時点t 1 3の期間に、ゲートクロック信号(第1のゲートクロック信号H__G C K 1, 第2のゲートクロック信号H__G C K 2)および基準電位H__V S Sをゲートオン電位V G Hとし、かつ、ゲートスタートパルス信号H__G S Pおよびクリア信号H__C L Rをゲートオフ電位V G Lとした状態で、映像信号電位V Sおよび共通電極電位V C O M D Cをグラウンド電位G N Dにしても良い。この場合、薄膜トランジスタT Dがオンになった状態で基準電位V S Sがゲートオン電位V G Hにまで高められるので、各ゲートバスラインの電位がゲートオン電位V G Hとなって、各画素形成部において電荷の放電が行われる。また、例えば、図11に示すように、時点t 1 2~時点t 1 3の期間に、ゲートスタートパルス信号H__G S P, ゲートクロック信号(第1のゲートクロック信号H__G C K 1, 第2のゲートクロック信号H__G C K 2), クリア信号H__C L R, および基準電位H__V S Sをゲートオン電位V G Hとした状態で、映像信号電位V Sおよび共通電極電位V C O M D Cをグラウンド電位G N Dにしても良い。この場合、薄膜トランジスタT Dがオンになった状態で基準電位V S Sがゲートオン電位V G Hにまで高められ、更に、n e t Aがハイレベルとなることにより薄膜トランジスタT Iがオンになった状態で第1クロックC K Aの電位がゲートオン電位V G Hにまで高められるので、各ゲートバスラインの電位がゲートオン電位V G Hとなって、各画素形成部において電荷の放電が行われる。

【0083】

<1. 6. 2 引込電圧への対応>

上記第1の実施形態においては、G a t e O f fシーケンスのゲートバスライン放電ステップ(図1のt 1 4)にゲートクロック信号(第1のゲートクロック信号H__G C K 1, 第2のゲートクロック信号H__G C K 2)がゲートオン電位V G Hからグラウンド電位G N Dへと変化している。これにより、各双安定回路において第1クロックC K Aの電位が速やかに低下するので、ゲートバスラインの電位も速やかに低下する。このため、各画素形成部において、いわゆる引込電圧の影響により画素電極電位が低下することが懸念される。画素電極電位が低下すると、D i s p l a y O f fシーケンスにて画素形成部内の電荷の放電が行われているにもかかわらず、結局は画素形成部内に残留電荷が蓄積されることとなる。そこで、ゲートバスライン放電ステップではゲートクロック信号(第1のゲートクロック信号H__G C K 1, 第2のゲートクロック信号H__G C K 2)の電位が図12に示すように緩やかに変化(低下)するようにしても良い。これにより、D i s p l a y O f fシーケンス後のゲートバスラインの電位低下に起因する引込電圧の影響が抑制される。

【0084】

<1. 6. 3 レベルシフト回路近傍の構成>

レベルシフト回路近傍の構成に関し(図2参照)、上記第1の実施形態においては模式的には図13に示すような構成となっていた。すなわち、ゲートスタートパルス信号やゲートクロック信号は外部から送られる同期信号に基づいてタイミングコントローラ11で生成される構成となっていた。しかしながら、本発明はこれに限定されない。例えば、図14に示すような構成にして、レベルシフト回路13において外部から送られる同期信号に基づいてゲートスタートパルス信号やゲートクロック信号が生成されるようにしても良い。

【0085】

<1. 6. 4 G a t e O f fシーケンスについて>

上記第1の実施形態においては、G a t e O f fシーケンスの最初のステップとしてn e t Bの電位をローレベル(-10 V)にするためのn e t B電位低下ステップが設けられているが、このステップについては必ずしも設けられていなくても良い。

【0086】

< 2. 第2の実施形態 >

本発明の第2の実施形態について説明する。なお、上記第1の実施形態と異なる点についてのみ詳しく説明し、上記第1の実施形態と同様の点については簡単に説明する。

【0087】

< 2. 1 構成 >

図15は、本発明の第2の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。液晶パネル20およびTAB30については、上記第1の実施形態と同様の構成である。PCB10については、上記第1の実施形態では電源OFF検出部17が1つだけ設けられていたが、本実施形態では2つの電源OFF検出部（第1の電源OFF検出部17aおよび第2の電源OFF検出部17b）が設けられている。第1の電源OFF検出部17aは、電源電圧PWから供給される電圧が2.4V以下になれば、電源状態信号SHUT1をハイレベルにする。第2の電源OFF検出部17bは、電源電圧PWから供給される電圧が2.0V以下になれば、電源状態信号SHUT2をハイレベルにする。また、上記第1の実施形態ではゲートクロック信号としてタイミングコントローラ11からレベルシフタ回路13には1つの信号L_GCKが送られていたが、本実施形態では2つの信号（第1のゲートクロック信号L_GCK1、第2のゲートクロック信号L_GCK2）が送られる。すなわち、本実施形態においては、ゲートクロック信号のためのタイミングをレベルシフタ回路13で新たに生成する必要はない。また、本実施形態においては、クリア信号L_CLRおよび基準電位L_VSSがタイミングコントローラ11からレベルシフタ回路13に送られている。すなわち、本実施形態においては、クリア信号および基準電位のためのタイミングをレベルシフタ回路13で新たに生成する必要はない。

【0088】

図16は、本実施形態における双安定回路の構成を示す回路図である。図8に示した上記第1の実施形態における構成要素に加えて、2個の薄膜トランジスタTX、TYが設けられている。薄膜トランジスタTXについては、ゲート端子は入力端子45に接続され、ドレイン端子はnetBに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTYについては、ゲート端子は入力端子45に接続され、ドレイン端子は出力端子49に接続され、ソース端子は基準電位配線に接続されている。なお、本実施形態においては、薄膜トランジスタTXによって第2の第2ノード制御用スイッチング素子が実現され、薄膜トランジスタTYによって第2の出力ノード制御用スイッチング素子が実現されている。

【0089】

< 2. 2 電源遮断時の動作 >

次に、図15～図17を参照しつつ、外部からの電源電圧PWの供給が遮断されたときの液晶表示装置の動作について説明する。なお、本説明においては、時点t20以前には電源電圧PWが正常に供給されていて、時点t20に電源電圧PWの供給が遮断されたものと仮定する。電源電圧PWが正常に供給されている期間（時点t20以前の期間）における動作は、上記第1の実施形態と同様である。

【0090】

時点t20に電源電圧PWの供給が遮断され、その後電源電圧PWから供給される電圧が2.4V以下になると（ここでは時点t21とする）、第1の電源OFF検出部17aは電源状態信号SHUT1をローレベルからハイレベルに変化させる。これにより、DisplayOffシーケンスの期間となる。この期間中には、上記第1の実施形態と同様、ゲートスタートパルス信号H_GSP、ゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）、およびクリア信号H_CLRを通常動作時と同様の波形にした状態で、映像信号電位VSおよび共通電極電位VCOMDCがグラウンド電位GND（0V）に等しくされる。これにより、1垂直走査期間をかけて、表示部22内の画素形成部における電荷の放電が行われる。

【0091】

その後、電源電圧PWから供給される電圧が2.0V以下になると（ここでは時点t3とする）、第2の電源OFF検出部17bは電源状態信号SHUT2をローレベルからハイレベルに変化させる。これにより、GateOffシーケンスの期間となる。そして、クリア信号H__CLRについてはゲートオン電位VGHとされ、ゲートスタートパルス信号H__GSP、ゲートクロック信号（第1のゲートクロック信号H__GCK1、第2のゲートクロック信号H__GCK2）、および基準電位H__VSSについてはグラウンド電位GNDとされる。これにより、基準電位VSSがグラウンド電位GNDにされた状態で薄膜トランジスタTA、TX、およびTYがオン状態となる。従って、netAの電位、netBの電位、および出力端子49の電位はグラウンド電位GNDとなる。その結果、netA上の電荷、netB上の電荷、およびゲートバスライン上の電荷が放電される。なお、クリア信号H__CLRについては、電源電圧PWの供給が遮断されていることから、ゲートオン電位VGHからグラウンド電位GNDへと徐々に電位が低下する。

10

【0092】

ところで、本実施形態においては、2つの電源OFF検出部が設けられ、それぞれが互いに異なる電圧の閾値で電源状態信号のレベルをローレベルからハイレベルに変化させるように構成されている。このため、例えば図18に示すように期間Tの間隔がある2つのタイミングの生成が可能となっている。このようにして、電源オフシーケンスにおいて2つの異なる処理（DisplayOffシーケンスの処理およびGateOffシーケンスの処理）が行われる。

20

【0093】

<2.3 効果>

本実施形態によれば、双安定回路には、ゲート端子がクリア信号CLR用の入力端子45に接続され、ソース端子が基準電位配線に接続され、ドレイン端子がnetAに接続された薄膜トランジスタTAと、ゲート端子がクリア信号CLR用の入力端子45に接続され、ソース端子が基準電位配線に接続され、ドレイン端子がnetBに接続された薄膜トランジスタTXと、ゲート端子がクリア信号CLR用の入力端子45に接続され、ソース端子が基準電位配線に接続され、ドレイン端子が出力端子49に接続された薄膜トランジスタTYとが設けられている。このような構成により、基準電位配線にグラウンド電位GNDを与えた状態でクリア信号CLRをハイレベルにすると、薄膜トランジスタTA、TX、およびTYがオン状態となって、netAの電位、netBの電位、および出力端子49の電位はグラウンド電位GNDとなる。このため、画素形成部内の電荷の放電後、netA上の電荷、netB上の電荷、およびゲートバスライン上の電荷を1ステップで速やかに放電することが可能となっている。以上より、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置が実現される。

30

【0094】

<2.4 変形例>

上記第2の実施形態においては、双安定回路には上記第1の実施形態における構成要素に加えて2個の薄膜トランジスタTX、TYが設けられていたが、それら薄膜トランジスタTX、TYのうちの一方のみが設けられた構成であっても良い。例えば上記第1の実施形態における構成要素に加えて薄膜トランジスタTXが設けられた構成の場合には、GateOffシーケンスにおいて、図19に示すように、まず、ゲートバスライン上の電荷を放電させる処理（図19の時点t33～t34を参照）が行われ、その後、netB上の電荷およびnetA上の電荷を放電させる処理（図19の時点t34～t35を参照）が行われる。このように、まず、（非同期リセット信号である）クリア信号CLRに基づいて電荷を放電するための薄膜トランジスタが設けられていない領域について電荷の放電を行い、その後、クリア信号CLRに基づいて電荷を放電するための薄膜トランジスタが設けられている領域について電荷の放電を行う必要がある。クリア信号CLRに基づいて電荷を放電するための薄膜トランジスタが設けられている領域については、1領域ずつ

40

50

順次に放電が行われるようにしても良いし、上記第2の実施形態のように全領域において同じタイミングで放電が行われるようにしても良い。

【0095】

なお、本変形例によれば、上記第2の実施形態と比較してシーケンスが増える。このため、電源OFF検出部の数を増やすかレベルシフト回路を図4に示すような構成にして各処理の開始タイミングを取得する必要がある。

【0096】

<3. その他>

I G Z O - G D Mにおいては、上記各実施形態の説明から把握されるように、レベルシフト回路13からはゲートオン電位V G H (+20V)、ゲートオフ電位V G L (-10V)、およびグラウンド電位G N D (0V)の3値出力が必要となっており、また、電源オフシーケンスが複雑化して複数のステップで構成されている。また、近年、低消費電力化を図るため、映像信号電位の極性が反転する際に一旦ソースドライバ出力を電源変換効率のよい電位レベルの電位にする「電位ショート」と呼ばれる手法が採用されることがあり、レベルシフト出力についてもゲートオフ電位V G L から一旦グラウンド電位G N D を経由してゲートオン電位V G H に到達させたり、ゲートオン電位V G H から一旦グラウンド電位G N D (または入力電源電位)を経由してゲートオフ電位V G L に到達させるなど3値出力(または4値出力)が必要である。さらに、シフトレジスタの多相クロック化も図られている。クロック信号の駆動に伴う消費電力Pは、クロック信号の周波数をf、クロック配線の配線容量をc、クロック信号の振幅をvとすると、 $P = f c v$ で表される。ここで、例えばクロック信号の数を2倍に増加させると、クロック信号増加前と比較して、クロック配線の本数は2倍になるが、周波数fおよび配線容量cは2分の1となる。その結果、クロック信号増加前と比較して、消費電力は2分の1となる。このように、クロック信号を多相化することによって消費電力が低減される。以上のようなことから、レベルシフト回路13からゲートドライバ24に送信されるべきクロック信号の数が従来よりも増加している。このことに関し、上記第1の実施形態のように、レベルシフト回路13内にタイミング生成ロジック部131を備え、より少ない入力信号からより多くの出力信号を生成することができるようレベルシフト回路13を構成することが好ましい。従来構成のレベルシフト回路139によれば、例えば図20に示すように17個の出力信号を出力するためには17個の入力信号が必要であったが、レベルシフト回路13内にタイミング生成ロジック部131を備えることにより、図21に示すように3個の入力信号(符号D C L Kはドットクロックである)に基づいて17個の出力信号を出力することが可能となる。このようなレベルシフト回路13によれば、入力信号の数を削減することができるので、コスト低減や小パッケージ化が可能となる。また、複雑な電源オフシーケンスを比較的容易に実現することが可能となる。さらに、従来と比較して入力信号の数を増加させることなく、3値出力が可能となる。さらにまた、G D Mに対応していないタイミングコントローラを用いることが可能となる。

【0097】

その他の変形例として、図21のD C L KがT c o n (タイミングコントローラ)から出力されていない場合、レベルシフト回路13内部のO S C (オシレータ)を用いて基準のD C L Kを生成しT c o nから送られる2つの信号L _ G C K, L _ G S Pに基づいて出力信号を生成する方法や、T c o n出力の差動クロック信号をレベルシフト回路13が受け取ってD C L Kを生成する方法などが考えられる。

【0098】

更にその他の変形例として、携帯電話やスマートフォン用液晶モジュールのように、電源オフを示す信号がユーザセット側から入力される場合、上記各実施形態の構成から電源OFF検出部17(あるいは、第1の電源OFF検出部17a、第2の電源OFF検出部17b)を削除した構成などが考えられる。

【0099】

なお、上記各実施形態においては、D i s p l a y O f fシーケンスやG a t e O f f

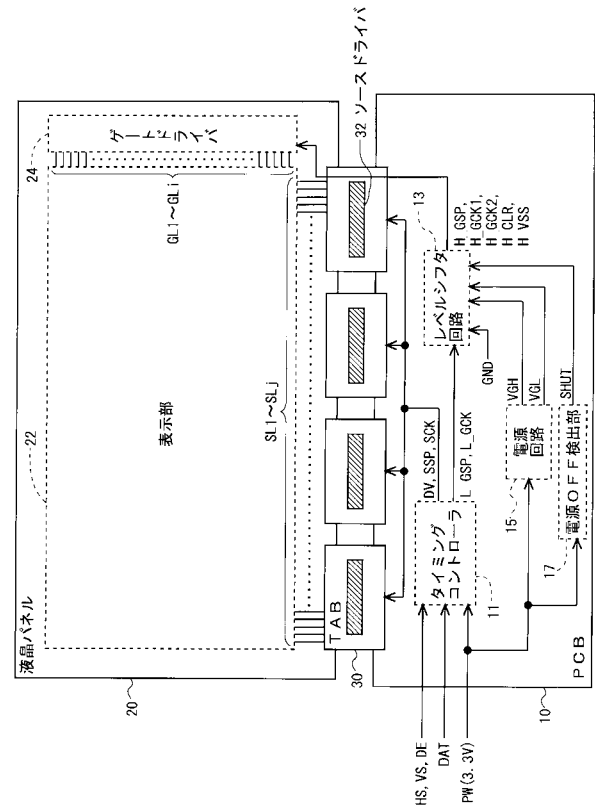
シーケンスを外部からの電源電圧 P W の供給が遮断されたときのシーケンスとして説明しているが、例えば、表示装置のモードが移行する時（表示モードスリープモード間の移行時）の放電のシーケンスとして、あるいは、コマンド入力による放電のシーケンスとして、D i s p l a y O f f シーケンスや G a t e O f f シーケンスが適宜実施されるようにすることも可能である。

【符号の説明】

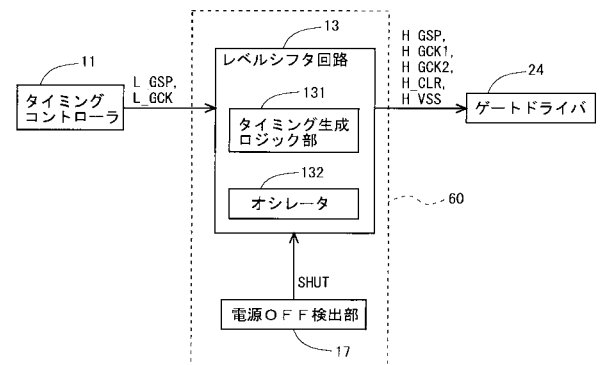
【0100】

11…タイミングコントローラ	
13…レベルシフト回路	
15…電源回路	10
17…電源OFF検出部	
20…液晶パネル	
22…表示部	
24…ゲートドライバ（走査信号線駆動回路）	
32…ソースドライバ（映像信号線駆動回路）	
131…タイミング生成ロジック部	
132…オシレータ	
220…（画素形成部内の）薄膜トランジスタ	
240…シフトレジスタ	
P W …電源電圧	20
S H U T …電源状態信号	
V G H …ゲートオン電位	
V G L …ゲートオフ電位	
L _ G C K …ゲートクロック信号	
H _ G C K 1 …第1のゲートクロック信号	
H _ G C K 2 …第2のゲートクロック信号	
L _ G S P , H _ G S P …ゲートスタートパルス信号	
L _ C L R , H _ C L R , C L R …クリア電位	
L _ V S S , H _ V S S , V S S …基準電位	
T A , T B , T C , T D , T F , T I , T J , T K , T L , T X , T Y …（双安定回路 内の）薄膜トランジスタ	30
C K A …第1クロック	
C K B …第2クロック	
S …セット信号	
R …リセット信号	
Q …状態信号	

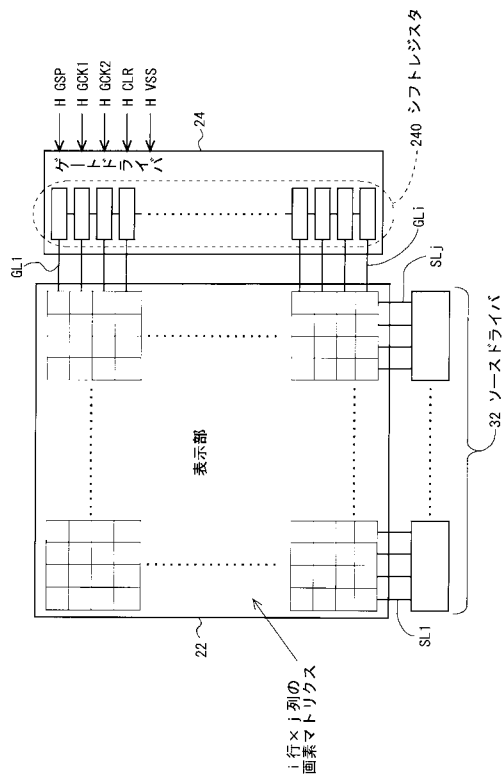
【図 2】



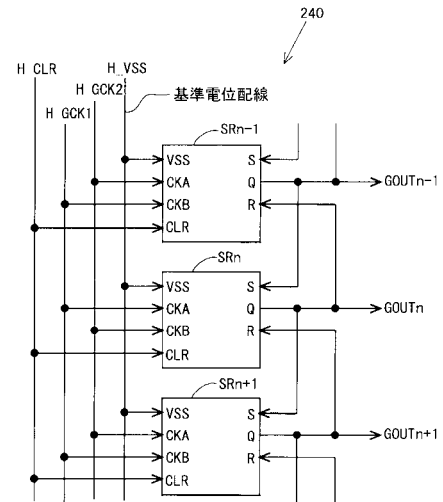
【図 4】



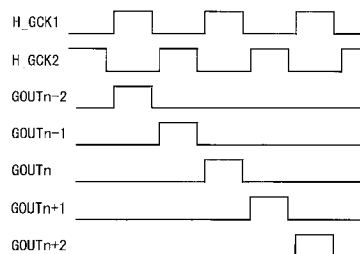
【図 5】



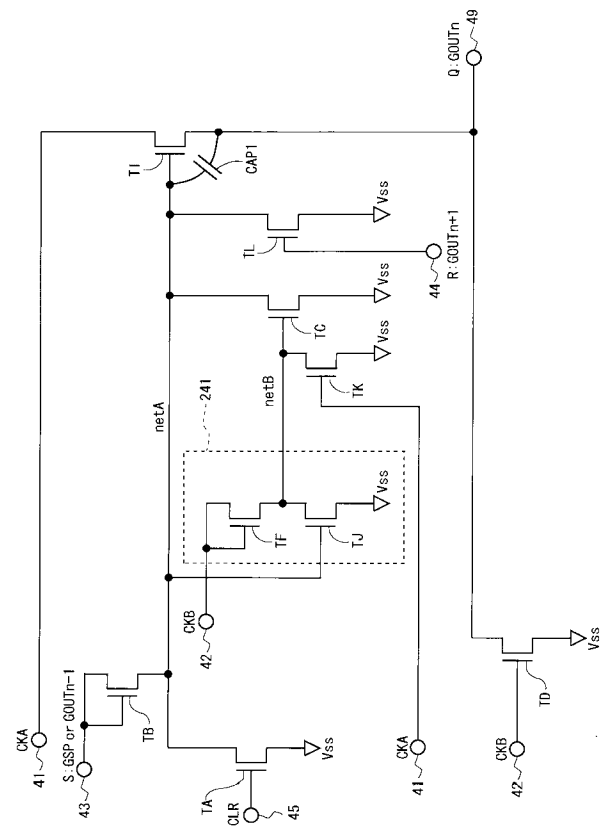
【図 6】



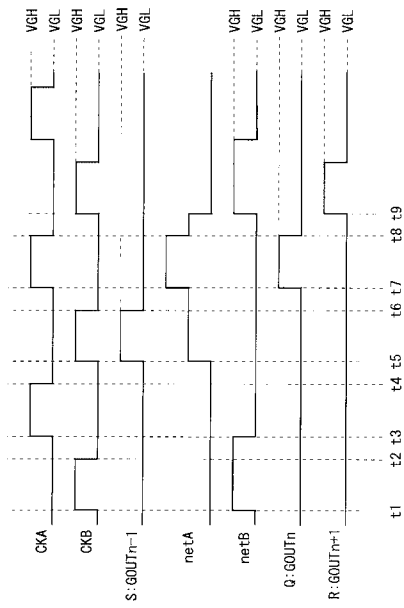
【図 7】



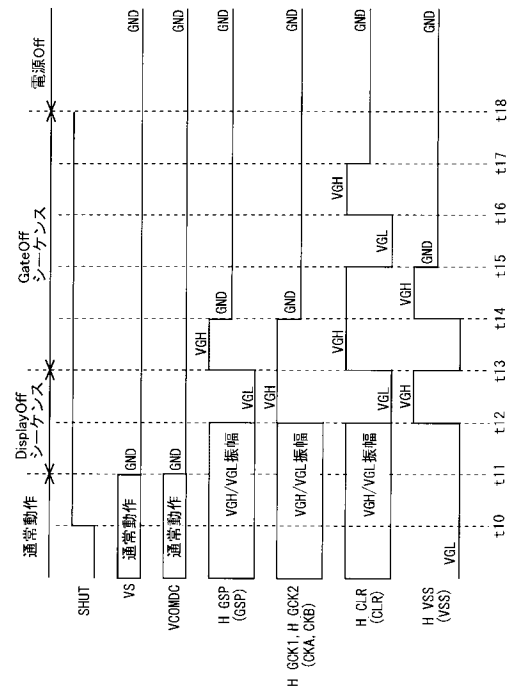
【図 8】



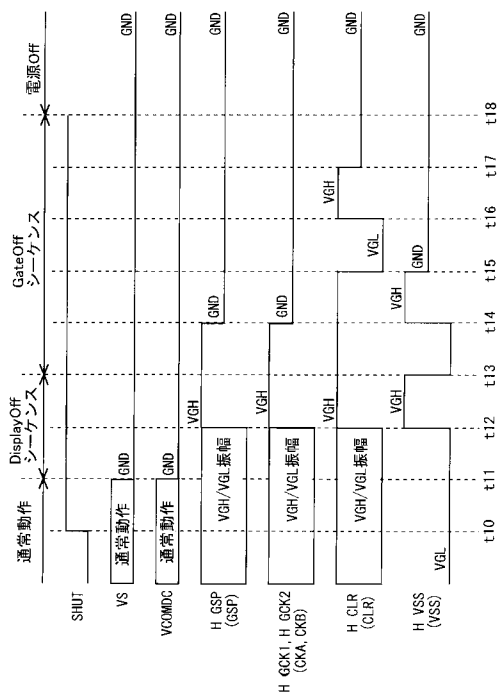
【図 9】



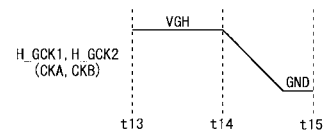
【図 10】



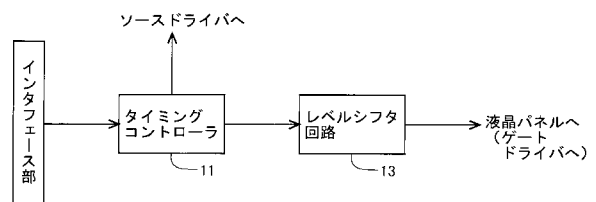
【図 11】



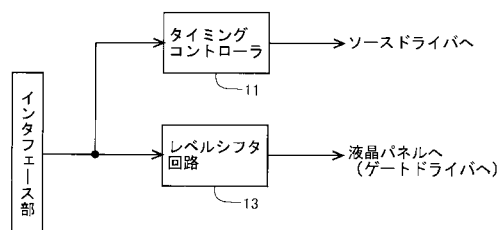
【図 12】



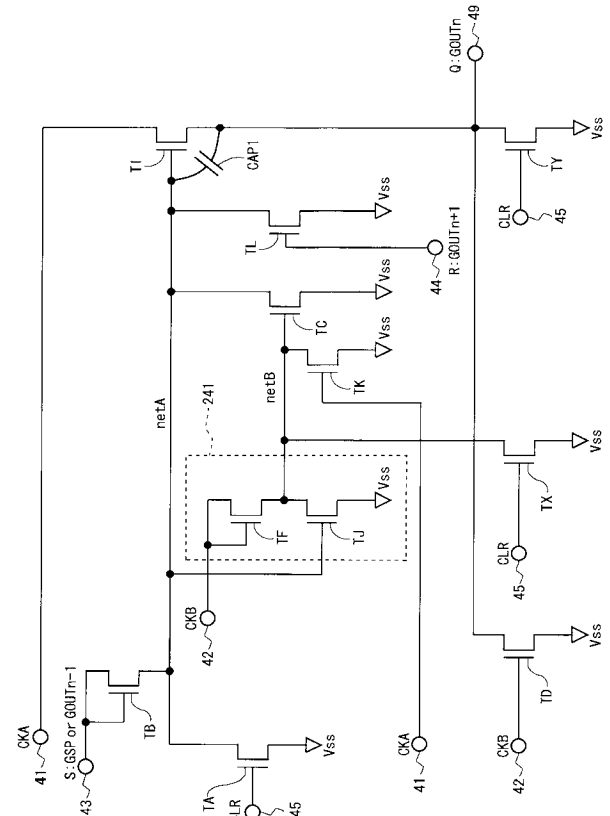
【図 13】



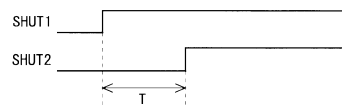
【図 14】



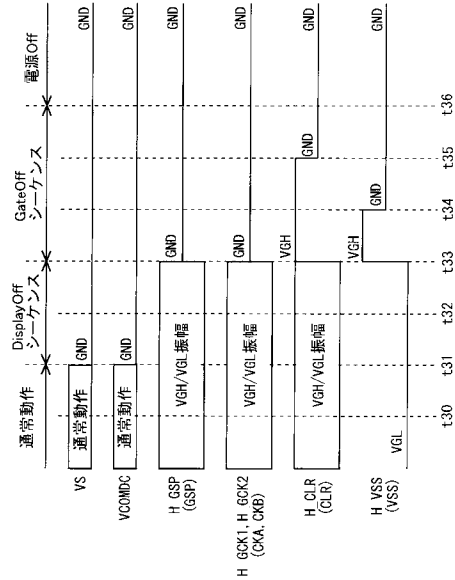
【 図 1 6 】



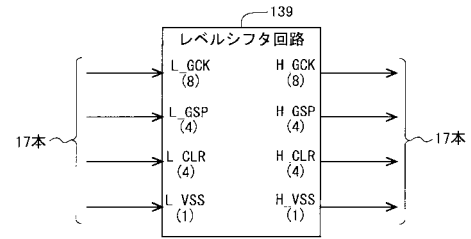
【 図 1 8 】



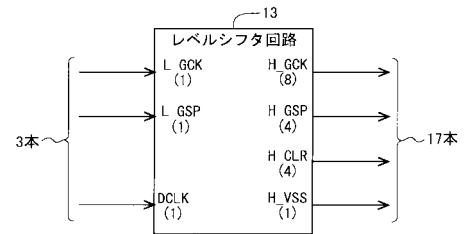
【図 19】



【図 20】



【図 21】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2012/069803
A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G09G3/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/050262 A1 (Sharp Corp.), 06 May 2010 (06.05.2010), fig. 7 & US 2011/0134090 A1 & EP 2341507 A1 & CN 102132356 A	1-16
A	WO 2011/055569 A1 (Sharp Corp.), 12 May 2011 (12.05.2011), fig. 16 & US 2012/200544 A1 & KR 2012-0073316 A & CN 102598144 A	1-16
A	WO 2011/055584 A1 (Sharp Corp.), 12 May 2011 (12.05.2011), entire text; all drawings & EP 2498245 A1 & US 2012/218245 A1 & KR 2012-0064127 A & CN 102598105 A	1-16
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 October, 2012 (01.10.12)		Date of mailing of the international search report 09 October, 2012 (09.10.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/069803

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-85680 A (Epson Imaging Devices Corp.), 28 April 2011 (28.04.2011), entire text; all drawings (Family: none)	1-16
A	WO 2009/104307 A1 (Sharp Corp.), 27 August 2009 (27.08.2009), entire text; all drawings & WO 2009/104307 A1 & CN 101939791 A	1-16
A	WO 2009/084267 A1 (Sharp Corp.), 09 July 2009 (09.07.2009), fig. 2, 19 & US 2010/0259525 A1 & EP 2234116 A1 & CN 101868833 A	1-16

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 6 9 8 0 3									
A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G09G3/36, G02F1/133, G09G3/20											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1 9 2 2 - 1 9 9 6 年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1 9 7 1 - 2 0 1 2 年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1 9 9 6 - 2 0 1 2 年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1 9 9 4 - 2 0 1 2 年</td> </tr> </table>				日本国実用新案公報	1 9 2 2 - 1 9 9 6 年	日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年	日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年	日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年
日本国実用新案公報	1 9 2 2 - 1 9 9 6 年										
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年										
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年										
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2010/050262 A1（シャープ株式会社）2010.05.06, 図 7 & US 2011/0134090 A1 & EP 2341507 A1 & CN 102132356 A	1-16									
A	WO 2011/055569 A1（シャープ株式会社）2011.05.12, 図 1 6 & US 2012/200544 A1 & KR2012-0073316 A & CN102598144 A	1-16									
A	WO 2011/055584 A1（シャープ株式会社）2011.05.12, 全文全図 & EP 2498245 A1 & US 2012/218245 A1 & KR 2012-0064127 A & CN 102598105 A	1-16									
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献											
国際調査を完了した日 0 1 . 1 0 . 2 0 1 2		国際調査報告の発送日 0 9 . 1 0 . 2 0 1 2									
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 森口 忠紀 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6	2 G 4 4 0 2								

国際調査報告

国際出願番号 PCT/J P 2 0 1 2 / 0 6 9 8 0 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-85680 A (エプソンイメージングデバイス株式会社) 2011.04.28, 全文全図 (ファミリーなし)	1-16
A	WO 2009/104307 A1 (シャープ株式会社) 2009.08.27, 全文全図 & WO 2009/104307 A1 & CN 101939791 A	1-16
A	WO 2009/084267 A1 (シャープ株式会社) 2009.07.09, 図2、19 & US 2010/0259525 A1 & EP 2234116 A1 & CN 101868833 A	1-16

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
H03K 3/356 (2006.01)	G 0 9 G 3/20 6 1 2 K	
	G 0 9 G 3/20 6 7 0 D	
	G 0 9 G 3/20 6 1 1 E	
	G 0 2 F 1/133 5 5 0	
	G 0 2 F 1/133 5 2 0	
	G 1 1 C 19/00 J	
	G 1 1 C 19/28 D	
	H 0 3 K 3/356 Z	

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN

(72)発明者 岩本 明久
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 堀内 智
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 水永 隆行
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 中南 和也
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

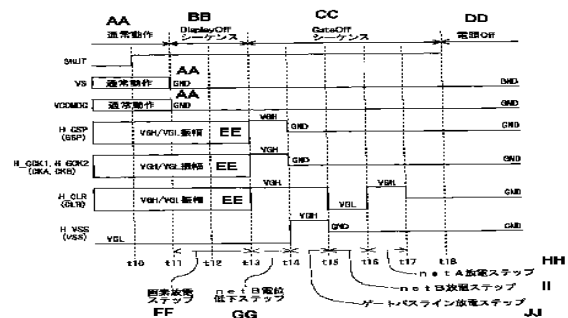
Fターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZB05 ZC25 ZD23 ZE32 ZE38 ZF03
ZF06 ZF23 ZF31 ZF42 ZF44 ZH22 ZH52
5C006 AC24 AC25 AF61 AF67 AF68 BB16 BC03 BC20 BF03 BF26
BF42 BF44 BF50 FA23 FA33 FA34 FA41 FA51
5C080 AA10 BB05 DD06 DD09 DD22 DD27 FF03 FF11 JJ02 JJ03
JJ04
5J034 AB04 CB02 DB03

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JPWO2013021930A1	公开(公告)日	2015-03-05
申请号	JP2013528000	申请日	2012-08-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	森井秀樹 岩本明久 堀内智 水永隆行 中南和也		
发明人	森井 秀樹 岩本 明久 堀内 智 水永 隆行 中南 和也		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C19/00 G11C19/28 H03K3/356		
CPC分类号	G09G3/3611 G09G3/3677 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.G G09G3/20.622.G G09G3/20.621.L G09G3/20.612.K G09G3/20.670.D G09G3/20.611.E G02F1/133.550 G02F1/133.520 G11C19/00.J G11C19/28.D H03K3/356.Z		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB05 2H193/ZC25 2H193/ZD23 2H193/ZE32 2H193/ZE38 2H193/ZF03 2H193/ZF06 2H193/ZF23 2H193/ZF31 2H193/ZF42 2H193/ZF44 2H193/ZH22 2H193/ZH52 5C006/AC24 5C006/AC25 5C006/AF61 5C006/AF67 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF26 5C006/BF42 5C006/BF44 5C006/BF50 5C006/FA23 5C006/FA33 5C006/FA34 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD09 5C080/DD22 5C080/DD27 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5J034/AB04 5J034/CB02 5J034/DB03		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2011175324 2011-08-10 JP		
其他公开文献	JP5730997B2		
外部链接	Espacenet		

摘要(译)

(ZH) 提供了一种配备有IGZO-GDM的液晶显示装置及其驱动方法，该液晶显示装置可以在电源关闭时快速去除面板中的残留电荷。 构成移位寄存器的每个双稳态电路基于第一时钟，用于连接到薄膜晶体管TI的栅极端子的区域netA和区域netA，降低用于提高输出端子的电位的薄膜晶体管TI的电位。 区域netB连接到薄膜晶体管TC的栅极端子。 在这种配置中，断电序列由DisplayOff序列和GateOff序列组成，GateOff序列包括栅极总线放电步骤（ t14至t15 ）， netB放电步骤（ t15至t16 ）和netA放电步骤（ t16至t17 ）。 ）至少包含在内。



- AA Normal drive
- BB DisplayOff sequence
- CC GateOff sequence
- DD Power source Off
- EE VGH/VGL amplitude
- FF Pixel discharge step
- GG netB potential decline step
- HH netA discharge step
- II netB discharge step
- JJ Gate bus line discharge step