

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/087049

発行日 平成24年7月26日(2012.7.26)

(43) 国際公開日 平成22年8月5日(2010.8.5)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 680H	5C080
	G09G 3/20 642A	

審査請求 有 予備審査請求 未請求 (全 26 頁)

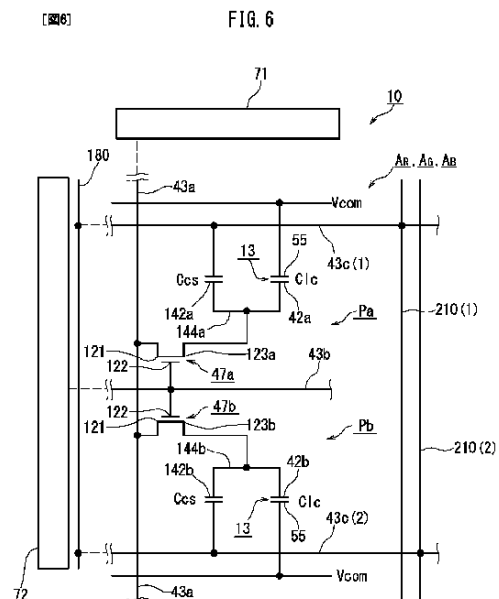
出願番号	特願2010-548365 (P2010-548365)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2009/064990		シャープ株式会社
(22) 国際出願日	平成21年8月27日(2009.8.27)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-15865 (P2009-15865)	(74) 代理人	100115510
(32) 優先日	平成21年1月27日(2009.1.27)		弁理士 手島 勝
(33) 優先権主張国	日本国(JP)	(74) 代理人	100117606
			弁理士 安部 誠
		(74) 代理人	100121186
			弁理士 山根 広昭
		(74) 代理人	100136423
			弁理士 大井 道子
		(72) 発明者	山下 祐樹
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

この液晶表示装置(100)は、複数の画素(A)が配置された液晶パネル(10)を備えている。液晶パネル(10)の各画素(A)には、補助容量(Cs)が設けられている。そして、補助容量(Cs)はCsバスライン(43c)に接続されている。当該液晶表示装置(100)は、かかるCsバスライン(43c)を複数備えている。Csバスライン(43c)は幹配線(180)に接続されている。幹配線(180)は、Csバスライン(43c)を介して補助容量(Cs)に駆動信号を伝送する。この液晶表示装置(100)は、かかる幹配線(180)とは別に、複数のCsバスライン(43c)を接続するブリッジ配線(210)を備えている。



【特許請求の範囲】**【請求項 1】**

複数の画素が配置された表示部を備えた液晶表示装置であって、
前記表示部の各画素に設けられた補助容量と、
前記補助容量が接続された複数の補助容量配線と、
前記補助容量配線に接続され、補助容量配線を介して補助容量に駆動信号を伝送する幹配線と、
前記幹配線とは別に、複数の補助容量配線を接続するブリッジ配線と、
を備えた、液晶表示装置。

【請求項 2】

前記幹配線を複数有し、各幹配線はそれぞれ複数の補助容量配線が接続されており、
前記ブリッジ配線は、同じ幹配線に接続された補助容量配線を接続している、液晶表示装置。

【請求項 3】

前記表示部は前記複数の画素がマトリックス状に配置されており、
前記幹配線は前記表示部の縦方向に沿って複数本配設されており、
前記補助容量配線は前記表示部の縦方向に沿って複数本配設されており、それぞれ複数の幹配線のうちの幹配線に接続されており、同じ幹配線に接続された補助容量配線が、前記ブリッジ配線によって接続されている、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記表示部の複数の画素は複数のサブ画素を備え、前記ブリッジ配線は前記複数のサブ画素のうち、何れかのサブ画素を通るように配設されている、請求項 1 から 3 までの何れか一項に記載の液晶表示装置。

【請求項 5】

前記表示部の複数の画素は R G B のサブ画素を備え、前記ブリッジ配線は前記 R G B のサブ画素のうち、R のサブ画素を通るように配線されている、請求項 1 から 3 までの何れか一項に記載の液晶表示装置。

【請求項 6】

前記表示部の複数の画素は R G B のサブ画素を備え、前記ブリッジ配線は前記 R G B のサブ画素のうち、G のサブ画素を通るように配線されている、請求項 1 から 3 までの何れか一項に記載の液晶表示装置。

【請求項 7】

前記表示部の複数の画素は R G B のサブ画素を備え、前記ブリッジ配線は前記 R G B のサブ画素のうち、B のサブ画素を通るように配線されている、請求項 1 から 3 までの何れか一項に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特に、複数の画素がマトリックス状に配置された表示部を備えた液晶表示装置に関する。なお、本願は、2009 年 1 月 27 日に提出された日本国特許出願 2009 - 015865 号を基礎として、パリ条約又は移行する国における法規に基づく優先権を主張するものである。当該基礎出願の内容は、本願中に参照として組み込まれている。

【背景技術】**【0002】**

かかる液晶表示装置としては、例えば、日本国特許出願公開 2001 - 147420 号公報に開示されている。同公報には、いわゆるアクティブマトリックス型の液晶表示装置が開示されている。かかる液晶表示装置は、複数の走査信号線と、走査信号線に互いに交差した複数のデータ信号線とを備えている。そして、対応する走査信号線に導通を指示する走査信号がスイッチング素子に供給された場合に、当該スイッチング素子によって、対

10

20

30

40

50

応するデータ信号線と画素電極とが接続される。そして、データ信号線と画素電極とが接続されるタイミングにて、データ信号線に供給されるデータ信号が、画素電極に書き込まれる。また、この液晶表示装置は、各画素に共通電極信号が印加される共通電極を有している。

【 0 0 0 3 】

かかる液晶表示装置では、いわゆる「横シャドー」と呼ばれる問題が生じうる。同公報では、かかる液晶表示装置について、データ信号線への出力に基づいて、当該出力の総和に応じたカップリング信号を生成する。そして、共通電極信号の基準となる駆動信号と、カップリング信号とに基づき、駆動信号のみから生成した共通電極信号と比較して、データ信号線への出力に起因する電位変動を抑える共通電極信号を生成している。これにより、低消費電力でいわゆる横シャドーを防止できる。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 日本国特許出願公開 2 0 0 1 - 1 4 7 4 2 0 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

近年、TV用のディスプレイなどの用途において、液晶表示装置は大画面化が進んでいる。また、動きの激しいスポーツなど、表示に遅れが生じないように動画を表示するため、1秒間に120枚の画像を切り替える倍速駆動をさせる場合がある。このようなパネルでは、横シャドーが生じ易い。本発明は、かかる横シャドーの問題について全く新しい解決手段を提案する。

20

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明に係る液晶表示装置は、複数の画素が配置された表示部を備えている。この液晶表示装置は、表示部の各画素に補助容量が設けられている。そして、補助容量は補助容量配線に接続されており、当該液晶表示装置は、かかる補助容量配線を複数備えている。補助容量配線は幹配線に接続されている。幹配線は、補助容量配線を介して補助容量に駆動信号を伝送する。また、この液晶表示装置は、かかる幹配線とは別に、複数の補助容量配線を接続するブリッジ配線を備えている。この液晶表示装置によれば、補助容量配線の抵抗が低下し、補助容量配線に生じるリップルを低減できる。これにより横シャドーを抑制できる。

30

【 0 0 0 7 】

この場合、液晶表示装置は、幹配線を複数有していてもよい。この場合、各幹配線には、それぞれ複数の補助容量配線が接続されているとよい。そして、ブリッジ配線には、同じ幹配線に接続された補助容量配線が接続されているとよい。

【 0 0 0 8 】

また、液晶表示装置の表示部は複数の画素がマトリックス状に配置されていてもよい。この場合、幹配線は表示部の縦方向に沿って複数本配設されているとよい。また、補助容量配線は、表示部の縦方向に沿って複数本配設されており、それぞれ複数の幹配線のうちの幹配線に接続されているとよい。この場合、同じ幹配線に接続された補助容量配線が、ブリッジ配線によって接続されているとよい。これにより、各補助容量配線への駆動信号の伝送を阻害せず、各補助容量配線に生じるリップルを低減できる。これにより横シャドーを抑制できる。

40

【 0 0 0 9 】

また、表示部の複数の画素は複数のサブ画素を備えている場合、ブリッジ配線は複数のサブ画素のうち、何れかのサブ画素を通るように配設されていてもよい。例えば、表示部の複数の画素がRGBのサブ画素を備えている場合がある。この場合、ブリッジ配線は、RGBのサブ画素のうち、Rのサブ画素を通るように配線されていてもよいし、Gのサブ

50

画素を通るように配線されていてもよいし、Bのサブ画素を通るように配線されていてもよい。

【図面の簡単な説明】

【0010】

【図1】図1は本発明の一実施形態に係る液晶表示装置を示す断面図である。

【図2】図2は本発明の一実施形態に係る液晶表示装置の液晶パネルを示す断面図である。

【図3】図3は本発明の一実施形態に係る液晶表示装置のアレイ基板の画素領域部分を示す平面図である。

【図4】図4は本発明の一実施形態に係る液晶表示装置のカラーフィルタ基板の画素領域部分を示す平面図である。

【図5】図5は本発明の一実施形態に係る液晶表示装置のサブ画素の構成を示す平面図である。

【図6】図6は本発明の一実施形態に係る液晶表示装置のサブ画素に構成される回路図である。

【図7】図7は補助容量配線と幹配線の配線構造を示す図である。

【図8】図8は本発明の一実施形態に係る液晶表示装置の駆動構造を示すブロック図である。

【図9】図9は本発明の一実施形態に係る液晶表示装置に生じる横シャドウを例示した図である。

【図10】図10は走査信号 S_G とCsバスラインに生じる電圧 V_c との関係を示す図である。

【図11】図11は走査信号 S_G とCsバスラインに生じる電圧 V_c との関係を示す図である。

【図12】図12は補助容量配線と幹配線とブリッジ配線との配線構造を示す図である。

【図13】図13は液晶表示装置の画素に構成される回路図である。

【発明を実施するための形態】

【0011】

以下、本発明の一実施形態を図面に基づいて説明する。なお、実質的に同じ作用を奏する部材又は部位には適宜に同じ符号を付している。

【0012】

図13は、液晶表示装置の各画素Aの回路構成の一例を示している。図13中、符号47は薄膜トランジスタ(TFT: thin film transistor)を示している。また、符号C1cは画素電極42と対向電極55で構成され、液晶層13を操作するコンデンサを示している。また、符号Ccsは補助容量Csを構成するコンデンサを示している。また、符号71はソースドライバを、符号72はゲートドライバを、符号43aはソースバスラインを、符号43bはゲートバスラインを、符号43cは補助容量配線としてのCsバスラインを、それぞれ示している。

【0013】

ソースバスライン43aは、薄膜トランジスタ47のソース電極121に接続されている。ゲートバスライン43bは、薄膜トランジスタ47のゲート電極122に接続されている。また、液晶層13を操作するコンデンサC1cと、補助容量Csとは、図13に示されているように、薄膜トランジスタ47(TFT: thin film transistor)のドレイン電極123側に接続されている。そして、補助容量CsはCsバスライン43cに接続されている。かかるCsバスライン43cは、それぞれ液晶パネル10の各画素Aに設けられた補助容量Csが接続されている。

【0014】

液晶表示装置の各画素Aは、ゲートドライバ72から送られる走査信号に伴って薄膜トランジスタ47がONになったタイミングで、ソースドライバ71からソースバスライン43aを通じて当該画素Aの画素電極42に所要の電圧が印加される。そして、補助容量

Csの作用によって画素電極42に印加された電圧は、薄膜トランジスタ47がOFFになった後も維持される。これにより各画素Aは液晶層13が操作されて所望の表示が行われる。

【0015】

図10は、ゲートバスライン43bに入力される走査信号 S_g と、Csバスライン43cに生じる電圧 V_c との関係を示している。図13及び図10に示すように、ゲートドライバ72から送られる走査信号 S_g （パルス信号）に伴って薄膜トランジスタ47がONになるタイミング ΔT で、ソースドライバ71からソースバスライン43aに当該画素Aの画素電極42に所要の電圧が印加される。このとき、補助容量Csを介して画素電極42に接続されたCsバスライン43cにリップル V_{cs1} が生じることがある。

10

【0016】

また、かかるリップル V_{cs1} は、薄膜トランジスタ47がOFFになった後も減衰せずに、Csバスライン43cに残る場合がある。リップル V_{cs1} が減衰せずにCsバスライン43cに残った場合、当該Csバスライン43cに接続された複数の画素Aにおいて、液晶層13を操作するコンデンサC1cに印加された電圧が当該リップル V_{cs1} の影響を受ける。このようにCsバスライン43cに生じたリップル V_{cs1} によって、液晶層13を操作するコンデンサC1cに印加された電圧が影響を受けることがある。

【0017】

本発明者は、「かかるCsバスライン43cに生じる電圧変動（リップル V_{cs1} ）が「横シャドー」の原因の一つである」と考えて本発明を想起した。図12は、本発明の一実施形態に係る液晶表示装置100について、Csバスライン43c（1）～（8）の配線構造を示している。すなわち、この液晶表示装置100では、図12に示すように、液晶パネル10内においてCsバスライン43c（1）～（8）（補助容量配線）を接続するブリッジ配線210（1）～（8）を備えている。この液晶表示装置100によれば、かかるブリッジ配線210（1）～（8）によって、Csバスライン43c（1）～（8）に生じるリップル V_{cs1} （図10参照）を小さくすることができるとともに、「横シャドー」の発生を抑制できる。なお、Csバスライン43c、ブリッジ配線210に付した括弧内の数字は、複数のCsバスライン43c、複数のブリッジ配線210をそれぞれ区別するために付している。かかるCsバスライン43c、ブリッジ配線210は、以下の説明において、適宜括弧内の数字を付して説明する。

20

30

【0018】

以下、本発明の一実施形態に係る液晶表示装置100を説明する。ここでは、まず、かかる液晶表示装置100の構造を概略的に説明する。そして、液晶表示装置100においてブリッジ配線210が設けられていない場合に「横シャドー」が生じる現象を説明する。その後、液晶表示装置100においてブリッジ配線210を設けた場合に、どのように「横シャドー」を抑制できるかを説明する。なお、以下に説明する実施形態は、液晶表示装置の構成についての一例を示すに過ぎない。液晶表示装置の具体的構成は以下の実施形態に限定されない。

【0019】

図1は、かかる液晶表示装置100の断面構成を模式的に示している。液晶表示装置100は、図1に示すように、液晶表示部としての液晶パネル10と、バックライト20とを備えている。この液晶表示装置100の液晶パネル10は、概して、全体として矩形の形状を有しており、一对の透光性基板11及び12（ガラス基板）で構成されている。この実施形態では、両基板11及び12のうち、表側はカラーフィルタ基板11（CF基板）であり、裏側がアレイ基板12（TFT基板）である。

40

【0020】

この実施形態では、図1に示すように、カラーフィルタ基板11とアレイ基板12は、それぞれ画素領域10a（画素が形成されている領域）を有している。カラーフィルタ基板11及びアレイ基板12は、互いに対向して配置されている。カラーフィルタ基板11とアレイ基板12の間には、画素領域10aの周囲（外周縁部）を周方向に囲むように、

50

シール材 15 が設けられている。

【0021】

かかるカラーフィルタ基板 11 とアレイ基板 12 の間で、シール材 15 で囲まれた領域には液晶層 13 が設けられている。液晶層 13 には液晶分子を含む液晶材料が含まれている。カラーフィルタ基板 11 とアレイ基板 12 との間に電圧が印加されることによって、液晶層 13 中の液晶分子の配向方向が操作され、液晶層 13 の光学特性が変化する。

【0022】

以下、アレイ基板 12 とカラーフィルタ基板 11 を順に説明する。図 2 から図 4 は液晶パネル 10 の画素領域 10a を拡大した図である。このうち図 2 はカラーフィルタ基板 11 とアレイ基板 12 を貼り合せた状態の断面図を示している。また、図 3 はアレイ基板 12 の画素領域部分の平面図を示し、図 4 はカラーフィルタ基板 11 の画素領域部分の平面図を示している。図 3 及び図 4 中の破線 A で囲まれた領域は、この液晶表示装置 100 の一画素を構成する領域を示している。この液晶パネル 10 には、図 3 及び図 4 に示す画素 A が行列（マトリックス）状に配列されている。また、図 5 は、画素 A に構成される 1 つのサブ画素 A_B を拡大した平面図である。また、図 6 は、画素 A に構成されるサブ画素 A_R、A_G、A_B に構成される回路図である。

【0023】

この実施形態では、アレイ基板 12 は、図 2、図 3 及び図 5 に示すように、ガラス基板 41 の表側（液晶層 13 側）に、画素電極 42a、42b、バスライン 43a ~ 43c（bus line）、平坦化層 44 及び配向膜 46（水平配向膜）、薄膜トランジスタ 47a、47b（TFT: thin film transistor）が形成されている。画素電極 42a、42b は透明導電材料である ITO（indium tin oxide: 酸化インジウムスズ）からなり、これらの画素電極 42a、42b には画像に応じた電圧がバスライン 43a ~ 43c 及び薄膜トランジスタ 47a、47b（図 3 参照）を介して所定のタイミングで供給される。平坦化層 44 は絶縁材料によって形成されており、画素電極 42a、42b 及びバスライン 43a ~ 43c（図 3 参照）を覆っている。平坦化層 44 の上にはポリイミド等からなる配向膜 46 が形成されている。この配向膜 46 の表面には、電圧を印加していないときの液晶分子の配向方向を決定するために、配向処理が施されている。また、この実施形態では、アレイ基板 12 は、補助容量 C_s を備えている。かかる補助容量 C_s の構造は後で詳述する。

【0024】

また、カラーフィルタ基板 11 は、図 2 及び図 4 に示すように、ガラス基板 51 の裏側（液晶層 13 側）にブラックマトリックス 52、カラーフィルタ 53、平坦化層 54、対向電極 55 及び配向膜 56（水平配向膜）が形成されている。ブラックマトリックス 52 は画素間の領域を光が透過しないようにするため、Cr（クロム）等の金属により形成されている。カラーフィルタ 53 には赤（R）、緑（G）、青（B）の 3 色があり、図 2 から図 4 に示すように、アレイ基板 12 の 1 つの画素電極 42a、42b に R・G・B の何れか 1 つのカラーフィルタ 53 が対向している。平坦化層 54 は、図 2 に示すように、ブラックマトリックス 52 及びカラーフィルタ 53 を覆うように形成されており、この平坦化層 54 の下側には ITO（indium tin oxide）からなる対向電極 55 が形成されている。また、対向電極 55 の下側には配向膜 56 が形成されている。この配向膜 56 の表面にも配向処理が施されている。なお、アレイ基板 12 の配向膜 46 の配向方向と、カラーフィルタ基板 11 の配向膜 56 の配向方向とは 90° 異なっている。

【0025】

ガラス基板 41、51 は、図 2 に示すように、球形又は円柱形のスペーサ 59（図示例では、球形）を挟んで配置されている。スペーサ 59 は、例えば、プラスチックやガラスなどにより形成されている。ガラス基板 41、51 のギャップは、上述したシール材 15（図 1 参照）及びスペーサ 59 によって保持され、液晶層 13 が一定に維持されている。

【0026】

さらに、図 1 及び図 2 に示すように、カラーフィルタ基板 11（ガラス基板 51）の表

10

20

30

40

50

面側及びアレイ基板 12 (ガラス基板 41) の裏面側にはそれぞれ偏光板 17、18 が貼り付けられている。いわゆるノーマリホワイト型の液晶表示装置では 2 枚の偏光板 17、18 の偏光軸は互いに直交するように配置される。また、いわゆるノーマリブラック型の液晶表示装置では 2 枚の偏光板 17、18 の偏光軸は並行に配置される。この実施形態では、図 1 に示すように、液晶パネル 10 の表側は、ベゼル 30 が装着されている。液晶パネル 10 の裏側には、フレーム 32 が装着されている。そして、ベゼル 30 とフレーム 32 は、液晶パネル 10 を支持する。さらに、フレーム 32 は、液晶パネル 10 の画素領域 10a に相当する部分が開口している。かかる液晶パネル 10 の裏側には、バックライトシャーシ 24 に支持されたバックライト 20 が装着されている。

【0027】

バックライト 20 は、図 1 に示すように、液晶パネル 10 の裏側 (図 1 中の右側) に配置された外部光源である。この実施形態では、バックライト 20 は、複数の光源 22 (例えば、冷陰極管や発光ダイオード (LED) など) と、バックライトシャーシ 24 とを備えている。バックライトシャーシ 24 は、表側 (液晶パネル 10 側) に向けて開口した箱形状を有しており、バックライトシャーシ 24 内には、複数の光源 22 が配置されている。バックライトシャーシ 24 の開口には、複数枚の光学シート 26 が積層されて配置されている。

【0028】

光学シート 26 は、例えば、裏側から順に、拡散板、拡散シート、レンズシート、及び輝度上昇シートを有している。バックライトシャーシ 24 は、上述した液晶パネル 10 に光源 22 を向けた状態で、フレーム 32 の裏側に装着されている。この際、光学シート 26 は、液晶パネル 10 のフレーム 32 の裏面とバックライトシャーシ 24 の表面とに挟まれる。また、液晶表示装置 100 は、図 1 に示すように、制御部 200 を備えている。制御部 200 は、表示する画像や映像に応じて、バックライト 20 の輝度 (明るさ) を調整する回路 (例えば、冷陰極管インバータ回路などの調光回路) を備えている。かかる制御部 200 は、例えば、光源 22 に投入する電力を調整して、バックライト 20 の明るさを調整する。

【0029】

この液晶表示装置 100 は、液晶パネル 10 に、カラーフィルタ基板 11 とアレイ基板 12 に制御された電圧を印加して液晶層 13 中の液晶分子を操作する。かかる液晶パネル 10 では、液晶層 13 中の液晶分子は、画素 A (より詳しくは、RGB で規定されるサブ画素 A_R 、 A_G 、 A_B) 毎に操作される。これによって、各画素 A は、バックライト 20 の光を遮断したり、通過する光の透過率を変えたりすることができる。さらに、液晶表示装置 100 は、バックライト 20 の輝度等も制御しつつ所望の画像を表示させる。なお、この実施形態では、図 3 に示すように、RGB で規定されるサブ画素 A_R 、 A_G 、 A_B は、それぞれさらに 2 つの副画素 Pa、Pb に分割されている。

【0030】

以下に、液晶パネル 10 の駆動構造をさらに説明する。

【0031】

図 3 に示すアレイ基板 12 において、バスライン 43a は、薄膜トランジスタ 47a、47b のソースに信号 (データ信号) を送るソースバスライン (データ信号線) である。また、バスライン 43b は、薄膜トランジスタ 47a、47b のゲートに信号 (走査信号) を送るゲートバスライン (走査信号線) である。また、バスライン 43c は、補助容量 Cs のバスライン (Cs バスライン、補助容量配線) である。この実施形態では、ソースバスライン 43a は、RGB で規定される各サブ画素 A_R 、 A_G 、 A_B の間を縦断するように配置されている。また、ゲートバスライン 43b は、各サブ画素 A_R 、 A_G 、 A_B の中央部分を横断するように配置されている。Cs バスライン 43c は、各サブ画素 A_R 、 A_G 、 A_B の縦方向の間隙を横断するように配置されている。ソースバスライン 43a は、ソースドライバ 71 に接続されている。また、ゲートバスライン 43b は、ゲートドライバ 72 に接続されている。また、Cs バスライン 43c は幹配線 180 (図 6、図 7 参

10

20

30

40

50

照)に接続されている。

【0032】

この実施形態では、各サブ画素 A_R 、 A_G 、 A_B は、図5及び図6に示すように、ソースバスライン43aとゲートバスライン43bの交差部分に、薄膜トランジスタ47a、47b(TFT)が配設されている。薄膜トランジスタ47a、47bは、ソース電極121と、ゲート電極122と、ドレイン電極123a、123bとを備えている。この実施形態では、ソース電極121は、ソースバスライン43aから薄膜トランジスタ47a、47bの配設位置に延びている。このソース電極121は、上下の薄膜トランジスタ47a、47bで共通している。ゲート電極122は、ゲートバスライン43bに設けられている。ドレイン電極123a、123bは、それぞれ上下の副画素42a、42bの領域に配設されている。ソース電極121と、ゲート電極122と、ドレイン電極123a、123bとの間には、半導体(図示省略)が介在している。また、ドレイン電極123a、123bは、図示は省略するが層間絶縁膜を貫通するコンタクトホールを通じて画素電極42a、42bに接続されている。

10

【0033】

また、各副画素 P_a 、 P_b は、補助容量 C_s を備えている。補助容量 C_s は、 C_s バスライン43cと、 C_s バスライン43cに対向する補助容量電極142a、142bとで構成されている。補助容量電極142a、142bは、それぞれ引出配線144a、144bによって、薄膜トランジスタ47a、47bのドレイン電極123a、123bに接続されている。 C_s バスライン43cと補助容量電極142a、142bとの間には、絶縁膜が介在しており、補助容量 C_s としてのコンデンサ(C_{cs})が構成されている。

20

【0034】

C_s バスライン43cは幹配線180に接続されている。幹配線180は、液晶パネル10の周辺部(この実施形態では、液晶パネル10の両側部)に配設されている。図7は、 C_s バスライン43cと、幹配線180との接続構造を示す図である。

【0035】

この実施形態では、幹配線180は、図7に示すように、複数の幹配線181~184を備えている。 C_s バスライン43cは液晶パネル10の縦方向に沿って複数本配設されており、それぞれ液晶パネル10に横方向に一連に配設された各副画素 P_a 、 P_b の補助容量 C_s が接続されている。かかる C_s バスライン43cは、液晶パネル10の縦方向において数本置きに同じ幹配線181~184に接続されている。

30

【0036】

図7に示す例では、8本の C_s バスライン43c(1)~(8)が、液晶パネル10の縦方向に順に配設されている。この場合、 C_s バスライン43cは、液晶パネル10の縦方向において4本おきに同じ幹配線181~184に接続されている。すなわち、 C_s バスライン43c(1)、43c(5)は、幹配線181に接続されている。 C_s バスライン43c(2)、43c(6)は、幹配線182に接続されている。 C_s バスライン43c(3)、43c(7)は、幹配線183に接続されている。 C_s バスライン43c(4)、43c(8)は、幹配線184に接続されている。なお、図示は省略するが、かかる液晶パネル10の副画素 P_a 、 P_b に設けられた補助容量 C_s に接続された C_s バスライン43cは、それぞれ異なる幹配線に接続されているとよい。

40

【0037】

なお、図7に示す例では、 C_s バスライン43cは、液晶パネル10の縦方向において4本置きに同じ幹配線181~184に接続されているが、実際には、液晶パネル10には、さらに多くの幹配線(例えば、12本の幹配線)が設けられている場合がある。例えば、図示は省略するが、12本の幹配線が設けられている場合、 C_s バスライン43cは、液晶パネル10の縦方向において12本おきに同じ幹配線に接続されているとよい。また、図7では、説明の便宜上、ブリッジ配線210(1)~(8)(図12参照)が設けられていない形態を示している。

【0038】

50

図 5 及び図 6 に示されるように、この液晶表示装置 100 では、ソースバスライン 43 a と、ゲートバスライン 43 b と、Cs バスライン 43 c と、薄膜トランジスタ 47 a、47 b によって画素電極 42 a、42 b が充電される。また、画素電極 42 a、42 b は、図 2 及び図 5 に示すように、液晶層 13 を間に挟んで対向するカラーフィルタ基板 11 側の対向電極 55 との間に、電荷を保持するコンデンサ (C1c) を形成する。液晶表示装置 100 の各画素 Pa、Pb は、上記 2 つのコンデンサ (Cc、C1c) で充電された電荷を保持することで正常に駆動する。図 8 は、液晶パネル 10 の駆動構造を示すブロック図である。

【0039】

液晶表示装置 100 は、図 8 に示すように、制御部 200 を備えている。制御部 200 は、IC、LSI、CPU、不揮発性メモリなどを組み合わせて構成されている。制御部 200 は、予め設定されたプログラムに沿って種々の電子的な処理を行い、所要の機能を奏する。液晶パネル 10 の駆動は、制御部 200 によって制御される。この制御部 200 は、信号入力部 201 と、タイミング制御部 202 と、電源 203 とを備えている。

【0040】

信号入力部 201 は、外部システム (図示せず) から複数の制御信号が入力される。外部システムから入力される制御信号には、液晶パネル 10 に表示させる映像に関する信号が含まれる。この実施形態では、信号入力部 201 に入力された制御信号を基に、タイミング制御部 202 を通じてソースドライバ 71、ゲートドライバ 72 に制御信号が送られる。タイミング制御部 202 は、外部システム (図示せず) から入力された複数の制御信号に基づいて、ゲートドライバ 72 とソースドライバ 71 を駆動させるための制御信号を生成する。電源 203 は、液晶表示装置 100 の各構成部に動作電源を供給するとともに液晶パネル 10 の共通電極電圧 (Vcom) を生成して対向電極 55 に供給する。

【0041】

この実施形態では、ソースドライバ 71 は、図 8 に示すように、液晶パネル 10 の画素 A (正確には、画素 A を構成する RGB のサブ画素 AR、AG、AB) のマトリックスの各行に配線されたソースバスライン 43 a (1) ~ ソースバスライン 43 a (m) が接続されている。ソースドライバ 71 は、タイミング制御部 202 から入力される制御信号に応答して、各画素 A に入力されるべき基準電圧を選択し、選択した基準電圧を画素 A に供給する。

【0042】

ゲートドライバ 72 は、タイミング制御部 202 から入力される制御信号に応答して液晶パネル 10 上に配列された薄膜トランジスタ 47 a、47 b の ON / OFF 制御を行う。液晶パネル 10 上のゲートバスライン 43 b (1) ~ (n) に信号を送る。一のゲートバスライン 43 b に薄膜トランジスタ 47 a、47 b を ON にする制御信号を送ると、かかる信号によって、ゲートバスライン 43 b に接続された各画素の薄膜トランジスタ 47 a、47 b が ON になる。ゲートドライバ 72 は、ゲートバスライン 43 b (1) ~ (n) に順に薄膜トランジスタ 47 a、47 b を ON にする制御信号 (走査信号) を送る。

【0043】

ソースドライバ 71 とゲートドライバ 72 に送られる制御信号 (データ信号、走査信号) はそれぞれタイミングが調整されている。すなわち、ゲートドライバ 72 は、液晶パネル 10 上の複数のゲートバスライン 43 b (1) ~ (n) のうち、一のゲートバスライン 43 b に薄膜トランジスタ 47 a、47 b を ON にする制御信号 (走査信号) を送る。このタイミングにおいて、当該ゲートバスライン 43 b に接続された複数の画素を制御する制御信号 (データ信号) が各ソースドライバ 71 から送られる。ゲートドライバ 72 が一つのゲートバスライン 43 b に接続された画素を全て ON にする時間は、1 水平同期時間と称される。ゲートドライバ 72 が一つのゲートバスライン 43 b に接続された画素を ON にすると、当該画素は、当該 1 水平同期時間において、薄膜トランジスタ 47 a、47 b が ON になる。また、次の 1 水平同期時間では、当該ゲートバスライン 43 b に接続された画素の薄膜トランジスタ 47 a、47 b は OFF に制御される。

10

20

30

40

50

【 0 0 4 4 】

ソースドライバ 7 1 は、1 水平同期時間毎に、各ソースバスライン 4 3 a (1) ~ (m) に制御信号 (データ信号) を送る。これにより、一つのゲートバスライン 4 3 b に接続された画素の薄膜トランジスタ 4 7 a、4 7 b が ON になったタイミングで、当該画素 A に制御信号 (データ信号) が送られる。このように液晶パネル 1 0 は一行ずつ順に画素電極 4 2 a、4 2 b に情報が書き込まれる。そして、液晶パネル 1 0 の全ての行において、画素電極 4 2 a、4 2 b に情報が書き込まれることによって、液晶パネル 1 0 で表示される一画像が形成されている。映像を表示する場合には、時系列に並べられた複数の静止画像に映像を分ける。時系列に並べられた複数の静止画像を順に表示させることによって、液晶パネル 1 0 に動画を表示させている。なお、液晶パネル 1 0 に一画像が形成される時間は、フレーム時間と称される。

10

【 0 0 4 5 】

この実施形態では、図 3 及び図 5 に示すように、1 画素 A は、R G B で規定されるサブ画素 A_R、A_G、A_B で構成されている。さらに、各サブ画素 A_R、A_G、A_B はそれぞれ 2 つの副画素 P a、P b に分けられている。このような、いわゆるマルチ絵素構造では、例えば 2 つの副画素 P a、P b のうち何れか一方に画素欠陥が発生したときでも、他方の副画素が機能していれば画素欠陥の影響が低減される。このため正常画素の割合の低下が抑えられる有利な形態である。また、この実施形態では、副画素 P a、P b は明るさが異なり、一方 (例えば、上側の副画素 P a) は明るい画素を形成し、他方 (例えば、下側の副画素 P b) は暗い画素を形成している。この場合、R G B の各サブ画素 A_R、A_G、A_B の輝度調整がより微細に行え、中間調の色彩などの表現も豊かになる。

20

【 0 0 4 6 】

以下、かかる液晶表示装置 1 0 0 において「横シャドー」が生じる現象を説明する。

【 0 0 4 7 】

かかる液晶パネル 1 0 がノーマリブラック方式である場合には、典型的には、図 9 に示すように、グレー表示の中央部分に白を表示させる領域 1 6 2 を形成する場合に、いわゆる「横シャドー」が見られる。この場合、白を表示させる領域 1 6 2 の両サイドのグレー表示領域 1 6 4、1 6 5 が、他のグレー表示領域 1 6 6、1 6 7 よりも白っぽくなる事象が「横シャドー」である。同様に、液晶パネル 1 0 がノーマリホワイト方式である場合には、典型的には、液晶パネル 1 0 において、白表示の中央部分にグレー (黒) を表示させる領域 1 6 2 (図 9 参照) を形成する場合に「横シャドー」が見られる。この場合、グレー (黒) を表示させる領域 1 6 2 の両サイドの白表示領域 1 6 4、1 6 5 が、他の白表示領域 1 6 6、1 6 7 よりも黒っぽくなる事象が「横シャドー」である。

30

【 0 0 4 8 】

例えばノーマリブラック方式では、グレー表示領域 1 6 4 ~ 1 6 7 は、画素 A に印加する印加電圧を所定よりも低くし、液晶の向きを制御して液晶層によって光を遮ることで表示される。これに対して、白を表示させる領域 1 6 2 は、画素 A に所要の電圧を印加して、液晶層によって光を透過させることによって表示される。「横シャドー」は、グレー表示領域 1 6 4 ~ 1 6 7 のうち、白を表示させる領域 1 6 2 の両サイドのグレー表示領域 1 6 4、1 6 5 が、他のグレー表示領域 1 6 6、1 6 7 よりも白っぽくなる事象である。この場合、白っぽくなるグレー表示領域 1 6 4、1 6 5 の画素電極 4 2 a、4 2 b に作用する印加電圧が、何らかの要因によって高くなっていると考えられる。

40

【 0 0 4 9 】

本発明者は、かかる「横シャドー」の原因の一つが C s バスライン 4 3 c に生じる電圧変動 (リップル) であると考えている。そこで、本発明者は、図 1 0 及び図 1 1 に示すように、ゲートバスライン 4 3 b に入力される走査信号 (ここでは、パルス信号) と、C s バスライン 4 3 c に生じる電圧との関係を調べた。図 1 0 は、ゲートバスライン 4 3 b に白を表示させる領域 1 6 2 がないグレー表示領域 1 6 6、1 6 7 での、ゲートバスライン 4 3 b に入力されるパルス信号と、C s バスライン 4 3 c に生じる電圧との関係を示している。これに対し、図 1 1 は、ゲートバスライン 4 3 b に白を表示させる領域 1 6 2 を有

50

するグレー表示領域 164、165におけるゲートバスライン43bに入力されるパルス信号と、Csバスライン43cに生じる電圧との関係を示している。

【0050】

この場合、図10及び図11に示すように、グレー表示領域164～167では、何れも薄膜トランジスタ47a、47bがONになるタイミングΔTにおいて、Csバスライン43cに電圧変動Vcs1、Vcs2（リップル）が生じる。これは、薄膜トランジスタ47a、47bがONになるタイミングΔTにおいて、ソースバスライン43aから画素電極42a、42bに所要の電圧が印加されるためである。すなわち、画素電極42a、42bは、補助容量Csを介してCsバスライン43cに接続されている。このため、当該タイミングΔTにおいて、ソースバスライン43aから画素電極42a、42bに所要の電圧が印加されると、Csバスライン43cに電圧変動Vcs1、Vcs2（リップル）が生じる。かかる電圧変動Vcs1、Vcs2は時間の経過とともに減衰する。しかしながら、当該タイミングΔT後にCsバスライン43cに電圧変動ΔVcs1、ΔVcs2が残る場合がある。

10

【0051】

図9に示すように、グレー表示領域166、167では、ゲートバスライン43bに白を表示させる領域162がない。これに対して、グレー表示領域164、165は、ゲートバスライン43b（図示省略）に白を表示させる領域162がある。ノーマリブラック方式では、白を表示させる領域162では、グレー表示領域164～167に比べて、ソースバスライン43aから画素電極42a、42bに印加される電圧が大きい。ゲートバスライン43bに白を表示させる領域162があるグレー表示領域164、165の画素電極42a、42bは、図3及び図5に示すように、TFTのドレイン電極123a、123b、補助容量Cs及びCsバスライン43cを介して電氣的に影響を及ぼしあう。このため、図10及び図11に示すように、グレー表示領域166、167（図9参照）に比べて、グレー表示領域164、165の方が、Csバスライン43cに生じる電圧変動Vcs1、Vcs2が大きくなる。そして、当該グレー表示領域164、165では、グレー表示領域166、167に比べて、薄膜トランジスタ47a、47bがONになるタイミングΔT後に、Csバスライン43cに残る電圧変動ΔVcsが大きくなる。

20

【0052】

Csバスライン43cに生じる電圧変動ΔVcsは、図6に示すように、それぞれ補助容量Cs（Ccs）を介して、画素電極42a、42bに影響を及ぼす。このとき、図10及び図11に示すように、グレー表示領域164、165では、他のグレー表示領域166、167に比べて、薄膜トランジスタ47a、47bがONになるタイミングΔT後にCsバスライン43cに残る電圧変動ΔVcsが大きい。画素電極42a、42bに印加された電圧は、かかる電圧変動ΔVcsによって高くなる場合がある。このため、ノーマリブラック方式においては、図9に示すように、本来、グレー表示を表示すべき領域164、165が白っぽく表示される場合がある。

30

【0053】

本発明者は、かかる事象を改善するため、種々の研究を行い、図12に示すように、複数のCsバスライン43cをブリッジ配線210（1）～（8）で接続することを考えた。図12は、図示の便宜上、液晶パネル10の周辺部に4本の幹配線181～184が配設された形態を例示している。Csバスライン43c（1）～（8）は、それぞれ複数の幹配線181～184のうちの幹配線に接続されている。また、各幹配線181～184にはそれぞれ複数のCsバスライン43cが接続されている。そして、ブリッジ配線210（1）～（8）は、液晶パネル10内において同じ幹配線181～184に接続されたCsバスライン43c（1）～（8）を接続している。

40

【0054】

以下、液晶表示装置100においてブリッジ配線210を設けた場合に、どのように「横シャドー」が抑制されるかを説明する。

【0055】

50

すなわち、図 12 に示す例では、ブリッジ配線 210 (1) は、幹配線 181 に接続された Cs バスライン 43c (1)、43c (5) に接続されている。ブリッジ配線 210 (2) は、他の幹配線 182 に接続された Cs バスライン 43c (2)、43c (6) に接続されている。ブリッジ配線 210 (3) は、他の幹配線 183 に接続された Cs バスライン 43c (3)、43c (7) に接続されている。ブリッジ配線 210 (4) は、他の幹配線 184 に接続された Cs バスライン 43c (4)、43c (8) に接続されている。

【0056】

この場合、複数の Cs バスライン 43c がブリッジ配線 210 (1) ~ (8) によって接続されているので、Cs バスライン 43c の抵抗が低下する。また、ブリッジ配線 210 (1) ~ (8) は、複数の Cs バスライン 43c を並列的に接続されているので、Cs バスライン 43c に生じる電圧変動 V_{cs1} 、 V_{cs2} (図 10、11 参照) は小さく抑えられる。そして、かかる電圧変動 V_{cs1} 、 V_{cs2} が小さくなるので、薄膜トランジスタ 47a、47b が ON になるタイミング ΔT 後に、Cs バスライン 43c に残る電圧変動 ΔV_{cs1} 、 ΔV_{cs2} も小さく抑えることができる。このため「横シャドー」の発生を小さくできる。

【0057】

また、この実施形態では、各幹配線 181 ~ 184 にはそれぞれ複数の Cs バスライン 43c が接続されている。そして、ブリッジ配線 210 (1) ~ (8) は、それぞれ一つの幹配線 181 ~ 184 に接続された Cs バスライン 43c (1) ~ (8) を接続している。このため、異なる幹配線 181 ~ 184 によって接続された Cs バスライン 43c (1) ~ (8) には、電圧変動 V_{cs1} の影響は及ばない。

【0058】

また、この実施形態では、液晶パネル 10 は、複数の画素 A がマトリックス状に配置されている。Cs バスライン 43c は、液晶パネル 10 の縦方向に沿って複数本配設されている。また、Cs バスライン 43c は、縦方向に数本置きに同じ幹配線 181 ~ 184 に接続されている。この実施形態では、例えば、図 3 に示すように、同一の画素 A 内でも、各副画素 Pa、Pb において、Cs バスライン 43c は異なる幹配線 181 ~ 184 に接続されている。このため、同一の画素 A 内でも各副画素 Pa、Pb を通る Cs バスライン 43c は、異なるブリッジ配線 210 (1) ~ (8) に接続されている。

【0059】

例えば、この実施形態では、図 6 及び図 12 に示すように、同一画素 A 内の副画素 Pa、Pb は、同じゲートバスライン 43b によって制御される。このとき、副画素 Pa、Pb は、薄膜トランジスタ 47a、47b が ON になるタイミングは同じである。このため、Cs バスライン 43c (1)、43c (2) は、同じタイミングで電圧変動 V_{cs1} が生じる。

【0060】

この実施形態では、一つの画素 A に形成された各副画素 Pa、Pb の補助容量 Cs は、異なる Cs バスライン 43c (1)、43c (2) に接続されている。そして、かかる Cs バスライン 43c (1)、43c (2) は、異なるブリッジ配線 210 (1)、210 (2) によって、異なる Cs バスライン 43c (5)、43c (6) (図 12 参照) に接続されている。また、ブリッジ配線 210 (1) によって接続された Cs バスライン 43c (1) と Cs バスライン 43c (5) とは、異なるゲートバスライン 43b に接続された画素の補助容量 Cs に接続されている。同様に、ブリッジ配線 210 (2) によって接続された Cs バスライン 43c (2) と Cs バスライン 43c (6) とは、異なるゲートバスライン 43b に接続された画素の補助容量 Cs に接続されている。このように、一つの画素 A に形成された各副画素 Pa、Pb の補助容量 Cs に接続された Cs バスライン 43c (1)、43c (2) は、それぞれブリッジ配線 210 によって、異なるゲートバスライン 43b に接続された画素の補助容量 Cs の Cs バスライン 43c に接続されている。

。

10

20

30

40

50

【 0 0 6 1 】

一つの画素 A に形成された各副画素 P a、P b の補助容量 C s に接続された C s バスライン 4 3 c (1)、4 3 c (2) は、同じタイミングで電圧変動 V c s 1 が生じる。しかしながら、一つの画素 A に形成された各副画素 P a、P b の補助容量 C s に接続された C s バスライン 4 3 c (1)、4 3 c (2) は、それぞれブリッジ配線 2 1 0 によって、異なるゲートバスライン 4 3 b に接続された画素の補助容量 C s の C s バスライン 4 3 c に接続されている。このため、同じタイミングで生じた電圧変動 V c s 1 (図 1 0 参照) が一の C s バスライン 4 3 c において重合されることがない。このため、各 C s バスライン 4 3 c に生じた電圧変動 V c s 1 が重合して、大きな電圧変動 V c s 1 を生じさせることがない。

10

【 0 0 6 2 】

このように、液晶表示装置 1 0 0 の液晶パネル 1 0 (表示部) は複数の画素 A がマトリックス状に配置されていてもよい。この場合、例えば、上述した実施形態のように、C s バスライン 4 3 c (補助容量配線) は、液晶パネル 1 0 の縦方向に沿って複数本配設されているとよい。また、幹配線 1 8 1 ~ 1 8 4 は、液晶パネル 1 0 の縦方向に数本置きに配設された C s バスライン 4 3 c (補助容量配線) が接続されているとよい。そして、同一の幹配線 1 8 1 ~ 1 8 4 によって接続された複数の C s バスライン 4 3 c がブリッジ配線 2 1 0 によって接続されているとよい。この場合、ブリッジ配線 2 1 0 は、同一の幹配線 1 8 0 によって接続された複数の C s バスライン 4 3 c を接続している。このため、幹配線 1 8 1 ~ 1 8 4 から各 C s バスライン 4 3 c への駆動信号の伝送は適切に行える。また、かかるブリッジ配線 2 1 0 によって、同一の幹配線 1 8 1 ~ 1 8 4 によって接続された複数の C s バスライン 4 3 c が電氣的に接続されている。これにより、各 C s バスライン 4 3 c に生じる電圧変動 (リップル) の影響が相互に緩和される。

20

【 0 0 6 3 】

またこの実施形態では、液晶パネル 1 0 の各画素 A は R G B のサブ画素 A_R、A_G、A_B を備えている。ブリッジ配線 2 1 0 は、図 3 及び図 5 に示すように、B のサブ画素 A_B を通るように配線されている。各サブ画素 A_R、A_G、A_B の間にはソースバスライン 4 3 a が配設されている。このように、各サブ画素 A_R、A_G、A_B の間などに、ブリッジ配線 2 1 0 を配設するスペースを確保できない場合には、ブリッジ配線 2 1 0 は複数のサブ画素 A_R、A_G、A_B のうち、何れかのサブ画素 A_R、A_G、A_B を通るように配設することができる。

30

【 0 0 6 4 】

このとき、何れのサブ画素 A_R、A_G、A_B にブリッジ配線 2 1 0 を配設するかは、液晶パネル 1 0 について、各画素 A の性質等を考慮して適切なサブ画素を選択するとよい。例えば、画素全体の透過率が低下するのを防止するため、画素全体の透過率に対する影響の小さいサブ画素を選択してもよい。また、例えば、画素全体で表示される色の色味への影響を考慮して、ブリッジ配線 2 1 0 を通すサブ画素を選択するとよい。例えば、サブ画素 A_R、A_G、A_B のうち B のサブ画素 A_B が画素 A 全体への光の透過率への影響が小さい場合には、当該 B のサブ画素 A_B にブリッジ配線 2 1 0 を通して、画素 A 全体への光の透過率への影響を小さく抑えてもよい。また、サブ画素 A_R、A_G、A_B のうち R のサブ画素 A_R が画素 A 全体への色味への影響が小さい場合には、当該 R のサブ画素 A_R にブリッジ配線 2 1 0 を通して、画素 A 全体への色味への影響を小さく抑えてもよい。同様に、サブ画素 A_R、A_G、A_B のうち G のサブ画素 A_G にブリッジ配線 2 1 0 を通すことが適切である場合には、当該サブ画素 A_G にブリッジ配線 2 1 0 を通すとよい。

40

【 0 0 6 5 】

このように、上述した実施形態では、R G B のサブ画素 A_R、A_G、A_B のうち、B のサブ画素 A_B にブリッジ配線 2 1 0 を通しているが、ブリッジ配線 2 1 0 を通す位置は、かかる実施形態に限定されない。R G B のサブ画素 A_R、A_G、A_B のうち、他のサブ画素にブリッジ配線 2 1 0 を通してもよい。また、液晶パネル 1 0 の構成によっては、R G B のサブ画素 A_R、A_G、A_B のサブ画素構成でない場合もある。その場合、ブリッジ配

50

線は複数のサブ画素のうち、適切な何れかのサブ画素を通るように配設されているとよい。例えば、あるブリッジ配線 2 1 0 は、サブ画素 A_R 、 A_G 、 A_B のうち一つのサブ画素（例えば、 A_R ）を通り、他のブリッジ配線 2 1 0 は他のサブ画素（例えば、 A_G ）を通るように設定してもよい。

【0066】

以上の通り、この液晶表示装置 100 では、図 6 及び図 12 に示すように、液晶パネル 10（表示部）内に、複数の Cs バスライン 43c を接続するブリッジ配線 210 を設けた。このため、Cs バスライン 43c に生じる電圧変動（リップル）を小さく抑えることができる。これにより、かかる電圧変動（リップル）に起因する「横シャドー」の発生を抑制することができる。ここでは、電圧変動（リップル）に起因する「横シャドー」の発生を抑制することを主たる目的としているが、本発明は、Cs バスライン 43c に生じる電圧変動（リップル）を小さく抑えることができ、電圧変動（リップル）に起因する種々の不具合を抑制できる。

10

【0067】

以上、本発明の一実施形態として、液晶表示装置 100 を例に、本発明を説明したが、本発明は上記の実施形態には限定されず、種々の変更が可能である。

【0068】

例えば、液晶表示装置の具体的構成は、上述した実施形態に限定されない。特に、各画素の構造、例えば、液晶の種類、液晶の配向構造、液晶の駆動方式、薄膜トランジスタの配置や構造、補助容量の配置や構造、Cs バスライン 43c（補助容量配線）、幹配線 180、ブリッジ配線 210 の配線の仕方、接続の仕方などにおいて、種々の変更ができる。また、上述した実施形態では、1つの画素 A は、RGB のサブ画素 A_R 、 A_G 、 A_B を有し、各サブ画素 A_R 、 A_G 、 A_B は、さらに上下の副画素 Pa、Pb を備えている。そして、上下の副画素 Pa、Pb は、個別に駆動する。このように、上述した実施形態では、マルチ駆動タイプの液晶パネルを例示している。液晶パネルの構造は、特に、マルチ駆動タイプの液晶パネルに限定されない。また、画素はマトリックス状に配置されているが、画素の配置についても、マトリックス状に特に限定されない。すなわち、各画素は補助容量が設けられているとよく、かかる補助容量が接続される補助容量配線を複数備えているとよい。そして、かかる補助容量配線に駆動信号を送る幹配線とは別に、表示部内において複数の補助容量配線を接続するブリッジ配線を備えているとよい。

20

30

【0069】

また、上述した実施形態では、幹配線を複数有し、各幹配線はそれぞれ複数の補助容量配線が接続されている形態を例示した。この場合、ブリッジ配線は、同じ幹配線に接続された補助容量配線を接続している。なお、液晶パネルの構成によっては、幹配線が一つであり、全ての補助容量配線が同じ幹配線に接続され、同じ駆動信号が伝送される場合もある。このような場合には、ブリッジ配線は、同じ駆動信号が伝送される補助容量配線を接続しているとよい。例えば、全ての補助容量配線がブリッジ配線で接続されていてもよい。

【符号の説明】

40

【0070】

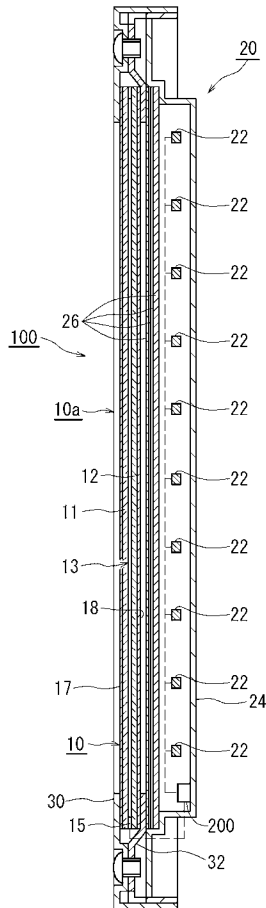
- 10 液晶パネル（表示部）
- 10a 画素領域
- 11 カラーフィルタ基板
- 12 アレイ基板
- 13 液晶層
- 15 シール材
- 17、18 偏光板
- 20 バックライト
- 22 光源
- 24 バックライトシャーシ

50

2 6	光学シート	
3 0	ベゼル	
3 2	フレーム	
4 1	ガラス基板（アレイ基板のガラス基板）	
4 2、4 2 a、4 2 b	画素電極	
4 3 a	ソースバスライン	
4 3 b	ゲートバスライン	
4 3 c	C s バスライン（補助容量配線）	
4 4	平坦化層	
4 6	配向膜	10
4 7、4 7 a、4 7 b	薄膜トランジスタ	
5 1	ガラス基板（カラーフィルタ基板のガラス基板）	
5 2	ブラックマトリックス	
5 3	カラーフィルタ	
5 4	平坦化層	
5 5	対向電極	
5 6	配向膜	
5 9	スペーサ	
7 1	ソースドライバ	
7 2	ゲートドライバ	20
1 0 0	液晶表示装置（表示装置）	
1 2 1	ソース電極	
1 2 2	ゲート電極	
1 2 3、1 2 3 a、1 2 3 b	ドレイン電極	
1 4 2 a、1 4 2 b	補助容量電極	
1 4 4 a、1 4 4 b	引出配線	
1 8 0、1 8 1 ~ 1 8 4	幹配線	
2 0 0	制御部	
2 0 1	信号入力部	
2 0 2	タイミング制御部	30
2 0 3	電源	
2 1 0	ブリッジ配線	
A	画素	
A _R 、A _G 、A _B	サブ画素	
C s（C c s）	補助容量	
C l c	液晶層を操作するコンデンサ	
P a、P b	副画素	
V c s 1、V c s 2	電圧変動（リップル）	

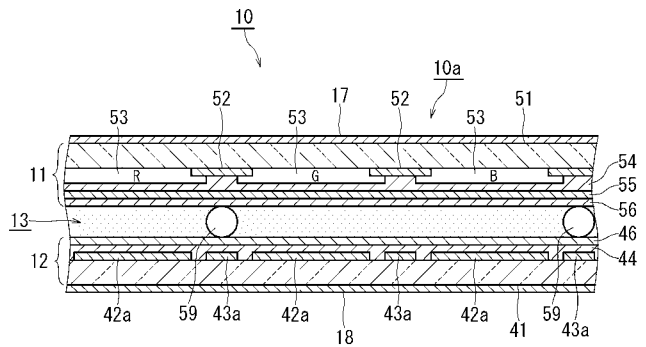
【 図 1 】

FIG. 1



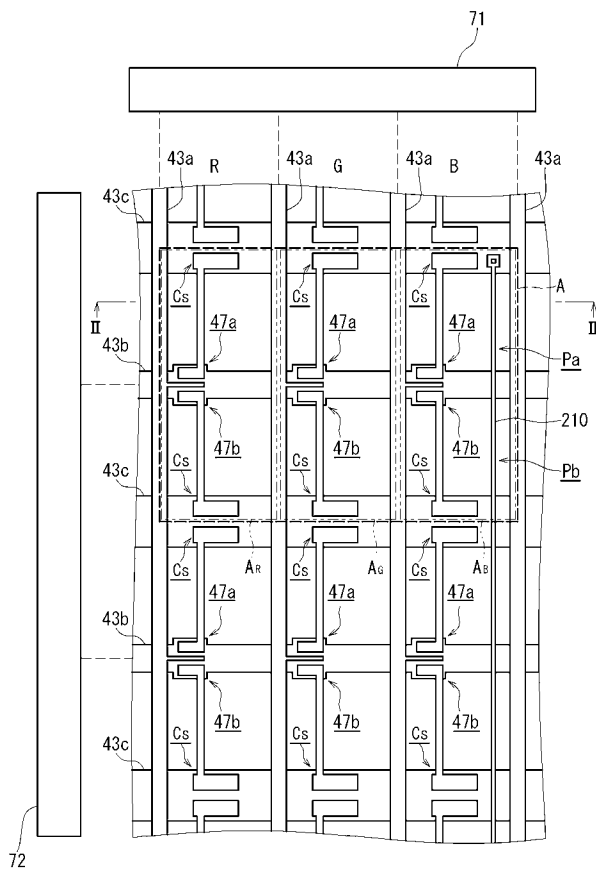
【 図 2 】

FIG. 2



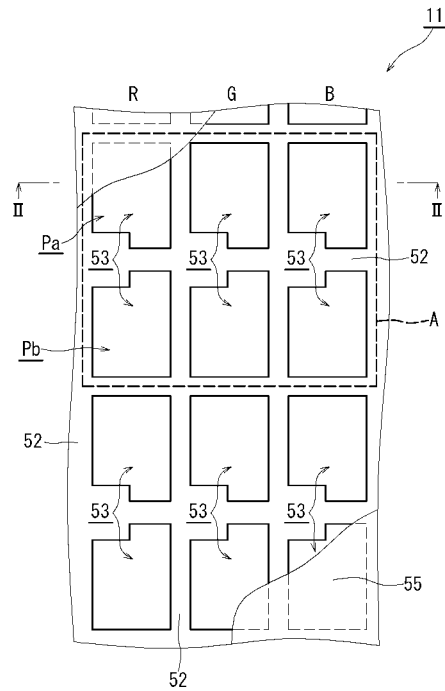
【 図 3 】

FIG. 3



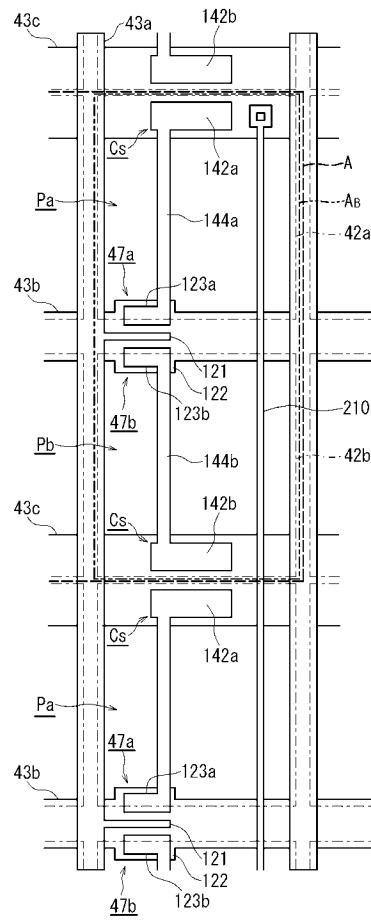
【 図 4 】

FIG. 4



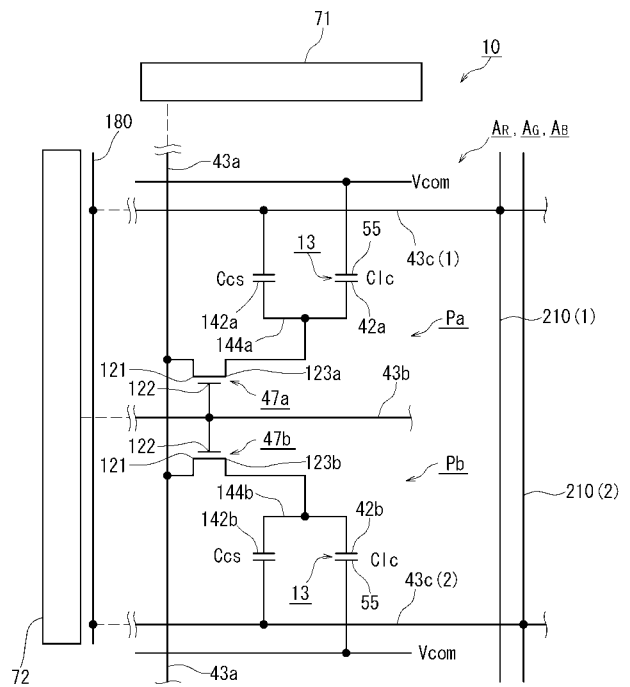
【 図 5 】

FIG. 5



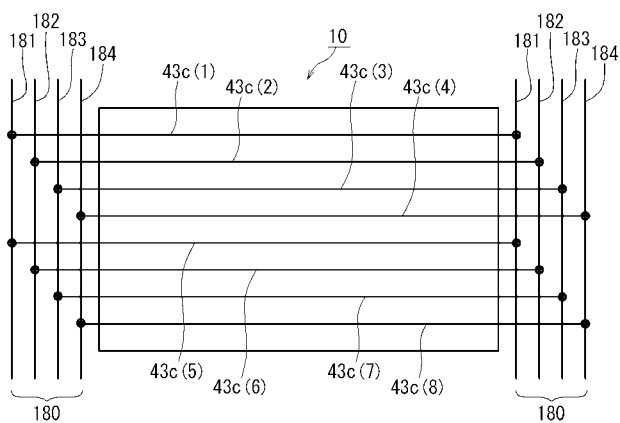
【 図 6 】

FIG. 6



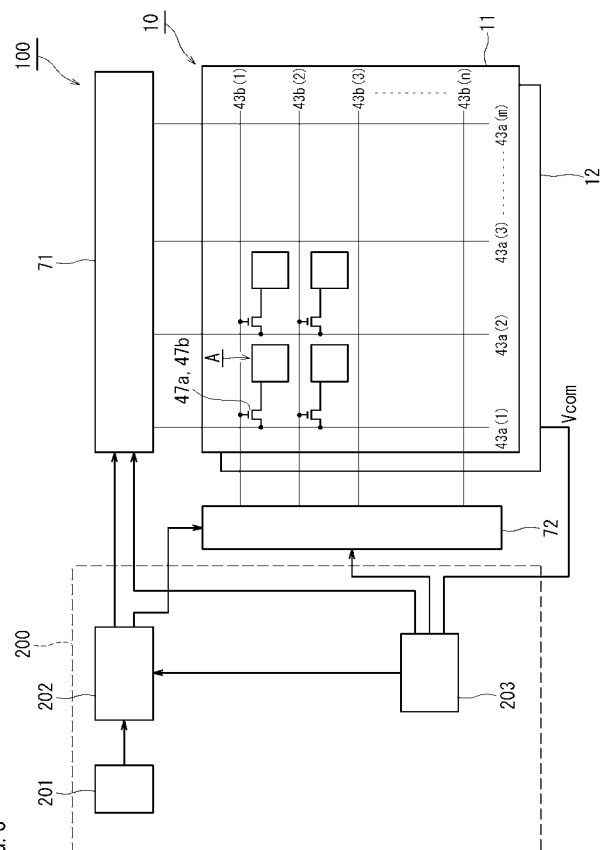
【 圖 7 】

FIG. 7

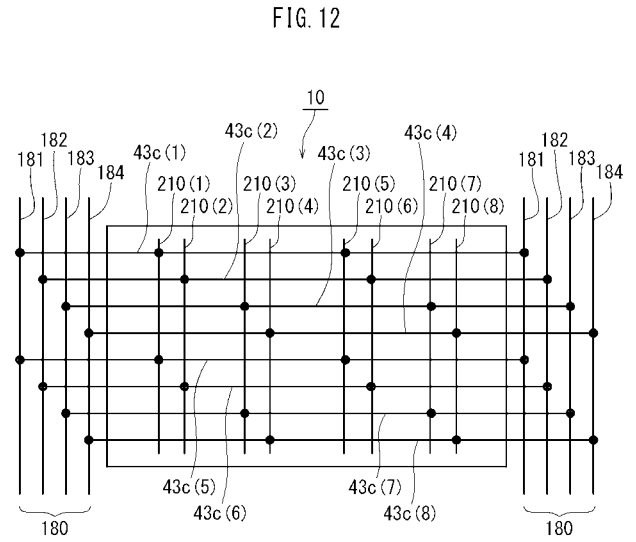
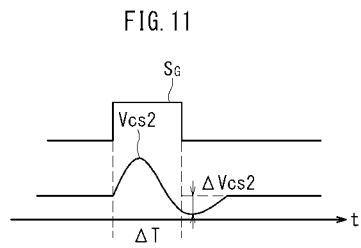
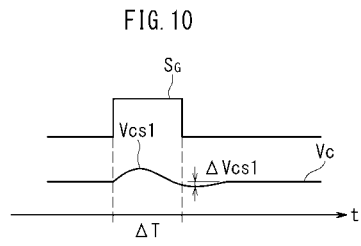


【 図 8 】

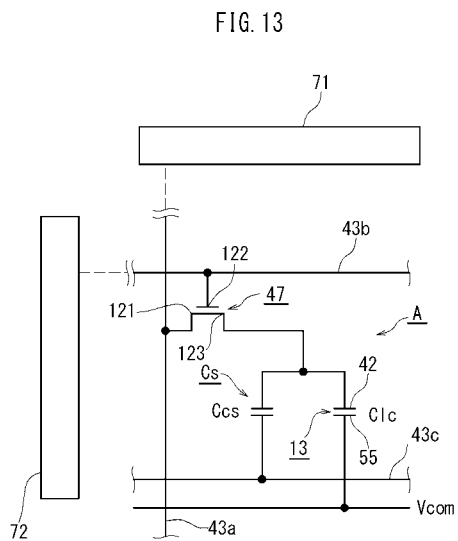
FIG. 8



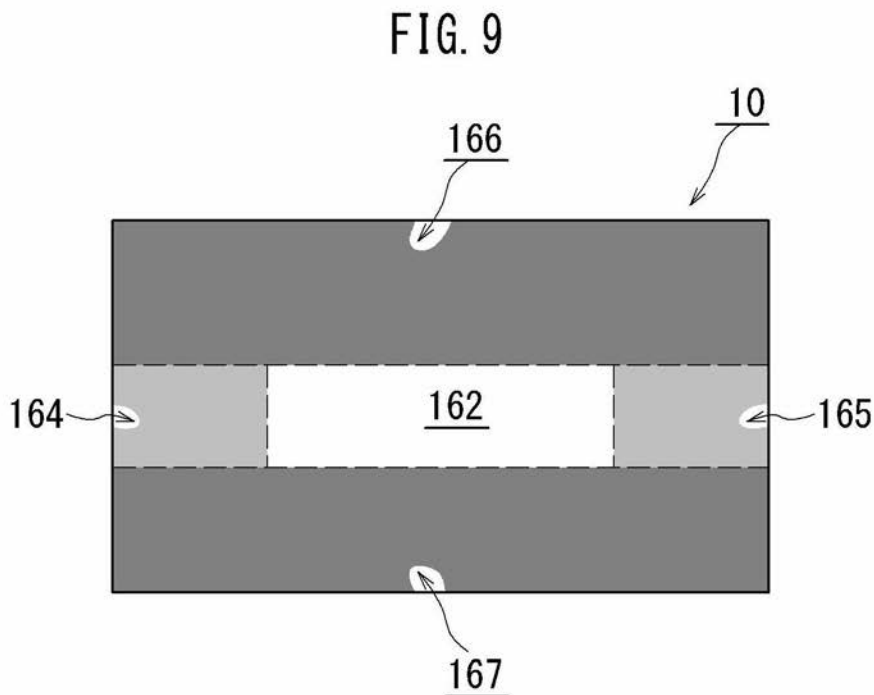
【 図 1 2 】



【 図 1 3 】



【図 9】



【手続補正書】

【提出日】平成23年7月7日(2011.7.7)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

また、液晶表示装置の表示部は複数の画素がマトリックス状に配置されていてもよい。この場合、幹配線は表示部の縦方向に沿って複数本配設されているとよい。また、補助容量配線は、表示部の横方向に沿って複数本配設されており、それぞれ複数の幹配線のうちの幹配線に接続されているとよい。この場合、同じ幹配線に接続された補助容量配線が、ブリッジ配線によって接続されているとよい。これにより、各補助容量配線への駆動信号の伝送を阻害せず、各補助容量配線に生じるリップルを低減できる。これにより横シャドウを抑制できる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

この実施形態では、各サブ画素AR、AG、ABは、図5及び図6に示すように、ソースバスライン43aとゲートバスライン43bの交差部分に、薄膜トランジスタ47a、47b(TFT)が配設されている。薄膜トランジスタ47a、47bは、ソース電極121と、ゲート電極122と、ドレイン電極123a、123bとを備えている。この実施形態では、ソース電極121は、ソースバスライン43aから薄膜トランジスタ47a、47bの配設位置に延びている。このソース電極121は、上下の薄膜トランジスタ47a、47bで共通している。ゲート電極122は、ゲートバスライン43bに設けられ

ている。ドレイン電極 1 2 3 a、1 2 3 b は、それぞれ上下の副画素 P a、P b の領域に配設されている。ソース電極 1 2 1 と、ゲート電極 1 2 2 と、ドレイン電極 1 2 3 a、1 2 3 b との間には、半導体（図示省略）が介在している。また、ドレイン電極 1 2 3 a、1 2 3 b は、図示は省略するが層間絶縁膜を貫通するコンタクトホールを通じて画素電極 4 2 a、4 2 b に接続されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【0 0 3 5】

この実施形態では、幹配線 1 8 0 は、図 7 に示すように、複数の幹配線 1 8 1 ~ 1 8 4 を備えている。C s バスライン 4 3 c は液晶パネル 1 0 の横方向に沿って複数本配設されており、それぞれ液晶パネル 1 0 に横方向に一連に配設された各副画素 P a、P b の補助容量 C s が接続されている。かかる C s バスライン 4 3 c は、液晶パネル 1 0 の縦方向において数本置きに同じ幹配線 1 8 1 ~ 1 8 4 に接続されている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 6

【補正方法】変更

【補正の内容】

【0 0 3 6】

図 7 に示す例では、8 本の C s バスライン 4 3 c (1) ~ (8) が、液晶パネル 1 0 の横方向に順に配設されている。この場合、C s バスライン 4 3 c は、液晶パネル 1 0 の縦方向において 4 本おきに同じ幹配線 1 8 1 ~ 1 8 4 に接続されている。すなわち、C s バスライン 4 3 c (1)、4 3 c (5) は、幹配線 1 8 1 に接続されている。C s バスライン 4 3 c (2)、4 3 c (6) は、幹配線 1 8 2 に接続されている。C s バスライン 4 3 c (3)、4 3 c (7) は、幹配線 1 8 3 に接続されている。C s バスライン 4 3 c (4)、4 3 c (8) は、幹配線 1 8 4 に接続されている。なお、図示は省略するが、かかる液晶パネル 1 0 の副画素 P a、P b に設けられた補助容量 C s に接続された C s バスライン 4 3 c は、それぞれ異なる幹配線に接続されているとよい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 8

【補正方法】変更

【補正の内容】

【0 0 5 8】

また、この実施形態では、液晶パネル 1 0 は、複数の画素 A がマトリックス状に配置されている。C s バスライン 4 3 c は、液晶パネル 1 0 の横方向に沿って複数本配設されている。また、C s バスライン 4 3 c は、縦方向に数本置きに同じ幹配線 1 8 1 ~ 1 8 4 に接続されている。この実施形態では、例えば、図 3 に示すように、同一の画素 A 内でも、各副画素 P a、P b において、C s バスライン 4 3 c は異なる幹配線 1 8 1 ~ 1 8 4 に接続されている。このため、同一の画素 A 内でも各副画素 P a、P b を通る C s バスライン 4 3 c は、異なるブリッジ配線 2 1 0 (1) ~ (8) に接続されている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 2

【補正方法】変更

【補正の内容】

【0 0 6 2】

このように、液晶表示装置 100 の液晶パネル 10 (表示部) は複数の画素 A がマトリックス状に配置されていてもよい。この場合、例えば、上述した実施形態のように、Cs バスライン 43c (補助容量配線) は、液晶パネル 10 の横方向に沿って複数本配設されているとよい。また、幹配線 181 ~ 184 には、液晶パネル 10 の横方向に数本置きに配設された Cs バスライン 43c (補助容量配線) が接続されているとよい。そして、同一の幹配線 181 ~ 184 によって接続された複数の Cs バスライン 43c がブリッジ配線 210 によって接続されているとよい。この場合、ブリッジ配線 210 は、同一の幹配線 180 によって接続された複数の Cs バスライン 43c を接続している。このため、幹配線 181 ~ 184 から各 Cs バスライン 43c への駆動信号の伝送は適切に行える。また、かかるブリッジ配線 210 によって、同一の幹配線 181 ~ 184 によって接続された複数の Cs バスライン 43c が電氣的に接続されている。これにより、各 Cs バスライン 43c に生じる電圧変動 (リップル) の影響が相互に緩和される。

【手続補正 7】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素が配置された表示部を備えた液晶表示装置であって、
前記表示部の各画素に設けられた補助容量と、
前記補助容量が接続された複数の補助容量配線と、
前記補助容量配線に接続され、補助容量配線を介して補助容量に駆動信号を伝送する幹配線と、
前記幹配線とは別に、複数の補助容量配線を接続するブリッジ配線と、
を備え、
前記幹配線を複数有し、各幹配線にはそれぞれ複数の補助容量配線が接続されており、
前記ブリッジ配線は、同じ幹配線に接続された補助容量配線を接続しており、
前記表示部は前記複数の画素がマトリックス状に配置されており、
前記幹配線は前記表示部の縦方向に沿って複数本配設されており、
前記補助容量配線は前記表示部の横方向に沿って複数本配設されており、それぞれ複数の
幹配線のうちの幹配線に接続されており、同じ幹配線に接続された補助容量配線が、
前記ブリッジ配線によって接続されている、液晶表示装置。

【請求項 2】

前記表示部の複数の画素は複数のサブ画素を備え、前記ブリッジ配線は前記複数のサブ画素のうち、何れかのサブ画素を通るように配設されている、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記表示部の複数の画素は RGB のサブ画素を備え、前記ブリッジ配線は前記 RGB のサブ画素のうち、R のサブ画素を通るように配線されている、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記表示部の複数の画素は RGB のサブ画素を備え、前記ブリッジ配線は前記 RGB のサブ画素のうち、G のサブ画素を通るように配線されている、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記表示部の複数の画素は RGB のサブ画素を備え、前記ブリッジ配線は前記 RGB のサブ画素のうち、B のサブ画素を通るように配線されている、請求項 1 に記載の液晶表示装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/064990

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1368, G02F1/133, G09F9/30, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-093734 A (Fujitsu Display Technologies Corp.), 25 March 2004 (25.03.2004), paragraphs [0026] to [0034]; fig. 2 & US 2003/0133054 A1 & TW 594156 B	1, 2 3-7
X A	JP 2003-043948 A (Sanyo Electric Co., Ltd., Tottori Sanyo Electric Co., Ltd.), 14 February 2003 (14.02.2003), paragraphs [0020] to [0038]; fig. 1 to 3 (Family: none)	1, 4-7 2, 3
X A	JP 2000-111937 A (Advanced Display Inc.), 21 April 2000 (21.04.2000), paragraphs [0021] to [0035]; fig. 1 to 6 & US 6621537 B1 & KR 10-2000-0028864 A	1 2-7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 October, 2009 (09.10.09)Date of mailing of the international search report
27 October, 2009 (27.10.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/JP2009/064990	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G02F1/1368, G02F1/133, G09F9/30, G09G3/20, G09G3/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2009年 日本国実用新案登録公報 1996-2009年 日本国登録実用新案公報 1994-2009年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X A	JP 2004-093734 A（富士通ディスプレイテクノロジーズ株式会社） 2004.03.25, 段落【0026】－【0034】、第2図 & US 2003/0133054 A1 & TW 594156 B	1, 2 3-7	
X A	JP 2003-043948 A（三洋電機株式会社、鳥取三洋電機株式会社） 2003.02.14, 段落【0020】－【0038】、第1-3図 （ファミリーなし）	1, 4-7 2, 3	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 09.10.2009		国際調査報告の発送日 27.10.2009	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福田 知喜 電話番号 03-3581-1101 内線 3255	2L 3703

国際調査報告		国際出願番号 PCT/J P 2 0 0 9 / 0 6 4 9 9 0
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2000-111937 A (株式会社アドバンスト・ディスプレイ) 2000.04.21, 段落【0021】－【0035】、第1－6図 & US 6621537 B1 & KR 10-2000-0028864 A	1 2-7

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 正楽 明大

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 下敷領 文一

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 北山 雅江

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 GA13 GA15 JA24 JA37 JA41 JA46 JB05 JB13 JB22 JB31

JB64 JB69 NA25 PA06

5C006 AA16 AA22 AC22 AF42 BB16 BB29 EA01 FA22 FA26 FA37

5C080 AA10 BB05 CC03 CC06 DD05 JJ01 JJ02 JJ03 JJ04 JJ06

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶表示装置		
公开(公告)号	JPWO2010087049A1	公开(公告)日	2012-07-26
申请号	JP2010548365	申请日	2009-08-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山下祐樹 正楽明大 下敷領文一 北山雅江		
发明人	山下 祐樹 正楽 明大 下敷領 文一 北山 雅江		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G02F1/136213 G09G3/3648 G09G2300/0426 G09G2300/0439		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.680.H G09G3/20.642.A		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB64 2H092/JB69 2H092/NA25 2H092/PA06 5C006/AA16 5C006/AA22 5C006/AC22 5C006/AF42 5C006/BB16 5C006/BB29 5C006/EA01 5C006/FA22 5C006/FA26 5C006/FA37 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC06 5C080/DD05 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	安倍晋三诚		
优先权	2009015865 2009-01-27 JP		
其他公开文献	JP5238826B2		
外部链接	Espacenet		

摘要(译)

液晶显示装置 (100) 包括配置有多个像素 (A) 的液晶面板 (10) 。 在液晶面板 (10) 的每个像素 (A) 中设有存储电容器 (Cs) 。 存储电容器 (Cs) 连接到Cs总线 (43c) 。 液晶显示装置 (100) 具有多个Cs总线 (43c) 。 Cs总线线路 (43c) 连接到干线线路 (180) 。 干线 (180) 通过Cs总线 (43c) 将驱动信号传输到存储电容器 (Cs) 。 液晶显示装置 (100) 包括与干线 (180) 分开的桥接线 (210) , 用于连接多条Cs总线 (43c) 。

FIG. 6

FIG. 6

