

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6542901号
(P6542901)

(45) 発行日 令和1年7月10日(2019.7.10)

(24) 登録日 令和1年6月21日(2019.6.21)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)
 G 0 9 G 3/20 (2006.01)
 G 1 1 C 19/28 (2006.01)

G O 9 G 3/36
 G O 9 G 3/20 6 2 2 E
 G O 9 G 3/20 6 1 2 K
 G 1 1 C 19/28 2 3 O
 G O 9 G 3/20 6 8 O G

請求項の数 5 (全 19 頁)

(21) 出願番号 特願2017-540746 (P2017-540746)
 (86) (22) 出願日 平成27年4月30日(2015.4.30)
 (65) 公表番号 特表2018-511071 (P2018-511071A)
 (43) 公表日 平成30年4月19日(2018.4.19)
 (86) 国際出願番号 PCT/CN2015/078000
 (87) 国際公開番号 W02016/165162
 (87) 国際公開日 平成28年10月20日(2016.10.20)
 審査請求日 平成29年8月1日(2017.8.1)
 (31) 優先権主張番号 201510186029.8
 (32) 優先日 平成27年4月17日(2015.4.17)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 515203228
 深▲せん▼市華星光電技術有限公司
 中華人民共和国廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 (73) 特許権者 517264292
 武漢華星光電技術有限公司
 中国湖北省武漢市東湖開發區高新大道66
 6號生物城C5棟430079
 (74) 代理人 100143720
 弁理士 米田 耕一郎
 (74) 代理人 100080252
 弁理士 鈴木 征四郎
 (72) 発明者 肖軍城
 中華人民共和国廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 最終頁に続く

(54) 【発明の名称】 GOA回路と液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

複数のGOAユニットを備えるとともに液晶ディスプレイに用いられるGOA回路であって、

NステージGOAユニットは、表示領域の第Nステージ水平走査線(G(N))に対して充電を行い、

前記NステージGOAユニットは、

Nステージプルアップ制御回路と、

Nステージプルアップ回路と、

Nステージ伝送回路と、

Nステージプルダウン回路と、

Nステージプルダウン維持回路と、からなり、

前記Nステージプルアップ回路及び前記Nステージプルダウン維持回路は、第Nステージゲート電極信号点(Q(N))と、前記第Nステージ水平走査線(G(N))にそれぞれ接続され、

前記Nステージプルアップ制御回路と、Nステージプルダウン回路と、Nステージ伝送回路とは、前記第Nステージゲート電極信号点(Q(N))に接続され、

前記Nステージプルアップ回路は、前記第Nステージゲート電極信号点(Q(N))が高レベルの際オンし、第一クロック信号(CKN1)を受信するとともに、第一クロック信号(CKN1)が高電位の際、前記第Nステージ水平走査線(G(N))に対して充電

を行い、

前記Nステージ伝送回路は、前記第Nステージゲート電極信号点(Q(N))が高レベルの際オンし、第二クロック信号(CKN2)を受信するとともに、Nステージ伝送信号ST(N)を出力することによって、N+1ステージGOAユニットの作動を制御し、

第二クロック信号(CKN2)のパルス幅は、第一クロック信号(CKN1)のパルス幅より大きく、

前記Nステージプルダウン維持回路は、

第一トランジスタ(T1)と、

第二トランジスタ(T2)と、

第三トランジスタ(T3)と、

第四トランジスタ(T4)と、

第六トランジスタ(T6)と、

第七トランジスタ(T7)と、

第八トランジスタ(T8)と、

第九トランジスタ(T9)と、

第十トランジスタ(T10)と、

第十一トランジスタ(T11)と、からなり、

前記第一トランジスタ(T1)において、ゲート電極及びドレイン電極は、直流高電圧(H)と接続され、

前記第二トランジスタ(T2)において、ゲート電極は、第一トランジスタ(T1)のソース電極と接続され、ドレイン電極は、前記直流高電圧(H)と接続され、ソース電極は、公共点(P(N))と接続され、

前記第三トランジスタ(T3)において、ゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続され、ドレイン電極は、第一トランジスタ(T1)のソース電極と接続され、ソース電極は、第一直流低電圧(VSS1)と接続され、

前記第四トランジスタ(T4)において、ゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続され、ドレイン電極は、前記公共点(P(N))と接続され、

前記第六トランジスタ(T6)において、ゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続されドレイン電極は、第四トランジスタ(T4)および前記第九トランジスタ(T9)のソース電極と接続され、ソース電極は、第三直流低電圧(VSS3)と接続され、

前記第七トランジスタ(T7)において、ゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続され、ドレイン電極は前記第八トランジスタ(T8)のソース電極および前記第九トランジスタのゲート電極に接続され、ソース電極は、前記第三直流低電圧(VSS3)と接続され、

前記第八トランジスタ(T8)において、ゲート電極及びドレイン電極は、前記直流高電圧(H)と接続され、

前記第九トランジスタ(T9)において、ゲート電極は、前記第八トランジスタ(T8)のソース電極と接続され、ドレイン電極は、前記直流高電圧(H)と接続され、ソース電極は、前記第四トランジスタ(T4)のソース電極および前記第六トランジスタ(T6)のドレイン電極と接続され、

前記第十トランジスタ(T10)において、ゲート電極は、前記公共点(P(N))と接続され、ドレイン電極は、前記第Nステージゲート電極信号点(Q(N))と接続され、ソース電極は、第二直流低電圧(VSS2)と接続され、

前記第十一トランジスタ(T11)において、ゲート電極は、前記公共点(P(N))と接続され、ドレイン電極は、前記第Nステージ水平走査線(G(N))と接続され、ソース電極は、第一直流低電圧(VSS1)と接続され、

前記第一直流低電圧(VSS1)は、前記第二直流低電圧(VSS2)より大きく、前記第二直流低電圧(VSS2)は、前記第三直流低電圧(VSS3)より大きく、

前記Nステージ伝送回路は、さらに、Nステージブーストラップコンデンサ(Cb)を

10

20

30

40

50

備え、

前記Nステージブーストラップコンデンサ(Cb)は、前記第Nステージゲート電極信号点(Q(N))と前記Nステージ伝送信号ST(N)の出力線との間に接続されることを特徴とするGOA回路。

【請求項2】

複数のGOAユニットを備えるとともに液晶ディスプレイに用いられるGOA回路であって、

NステージGOAユニットは、表示領域の第Nステージ水平走査線(G(N))に対して充電を行い、

前記NステージGOAユニットは、

Nステージプルアップ制御回路と、

Nステージプルアップ回路と、

Nステージ伝送回路と、

Nステージプルダウン回路と、

Nステージプルダウン維持回路と、からなり、

前記Nステージプルアップ回路及び前記Nステージプルダウン維持回路は、第Nステージゲート電極信号点(Q(N))と、前記第Nステージ水平走査線(G(N))にそれぞれ接続され、

前記Nステージプルアップ制御回路と、Nステージプルダウン回路と、Nステージ伝送回路とは、前記第Nステージゲート電極信号点(Q(N))に接続され、

前記Nステージプルアップ回路は、前記第Nステージゲート電極信号点(Q(N))が高レベルの際オンし、第一クロック信号(CKN1)を受信するとともに、第一クロック信号(CKN1)が高電位の際、前記第Nステージ水平走査線(G(N))に対して充電を行い、

前記Nステージ伝送回路は、前記第Nステージゲート電極信号点(Q(N))が高レベルの際オンし、第二クロック信号(CKN2)を受信するとともに、Nステージ伝送信号ST(N)を出力することによって、N+1ステージGOAユニットの作動を制御し、

第二クロック信号(CKN2)のパルス幅は、第一クロック信号(CKN1)のパルス幅より大きく、

前記Nステージプルダウン維持回路は、

第一トランジスタ(T1)と、

第二トランジスタ(T2)と、

第三トランジスタ(T3)と、

第四トランジスタ(T4)と、

第六トランジスタ(T6)と、

第九トランジスタ(T9)と、

第十トランジスタ(T10)と、

第十一トランジスタ(T11)と、からなり、

前記第一トランジスタ(T1)において、ゲート電極及びドレイン電極は、直流高電圧(H)と接続され、

前記第二トランジスタ(T2)において、ゲート電極は、第一トランジスタ(T1)のソース電極と接続され、ドレイン電極は、前記直流高電圧(H)と接続され、ソース電極は、公共点(P(N))と接続され、

前記第三トランジスタ(T3)において、ゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続され、ドレイン電極は、第一トランジスタ(T1)のソース電極と接続され、ソース電極は、第一直流低電圧(VSS1)と接続され、

前記第四トランジスタ(T4)において、ゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続され、ドレイン電極は、前記公共点(P(N))と接続され、

前記第六トランジスタ(T6)において、ゲート電極は、前記第Nステージゲート電極信号点(Q(N))と接続されドレイン電極は、第四トランジスタ(T4)および前記第

10

20

30

40

50

九トランジスタ (T 9) のソース電極と接続され、ソース電極は、第三直流低電圧 (V S S 3) と接続され、

前記第九トランジスタ (T 9) において、ゲート電極は、前記第二トランジスタ (T 2) のゲート電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、前記第四トランジスタ (T 4) のソース電極および前記第六トランジスタ (T 6) のドレイン電極と接続され、

前記第十トランジスタ (T 1 0) において、ゲート電極は、前記公共点 (P (N)) と接続され、ドレイン電極は、前記第 N ステージゲート電極信号点 (Q (N)) と接続され、ソース電極は、第二直流低電圧 (V S S 2) と接続され、

前記第十一トランジスタ (T 1 1) において、ゲート電極は、前記公共点 (P (N)) と接続され、ドレイン電極は、前記第 N ステージ水平走査線 (G (N)) と接続され、ソース電極は、第一直流低電圧 (V S S 1) と接続され、

前記第一直流低電圧 (V S S 1) は、前記第二直流低電圧 (V S S 2) より大きく、前記第二直流低電圧 (V S S 2) は、前記第三直流低電圧 (V S S 3) より大きく、

前記 N ステージ伝送回路は、さらに、N ステージブーストラップコンデンサ (C b) を備え、

前記 N ステージブーストラップコンデンサ (C b) は、前記第 N ステージゲート電極信号点 (Q (N)) と前記 N ステージ伝送信号 S T (N) の出力線との間に接続されることを特徴とする G O A 回路。

【請求項 3】

複数の G O A ユニットを備えるとともに液晶ディスプレイに用いられる G O A 回路であって、

N ステージ G O A ユニットは、表示領域の第 N ステージ水平走査線 (G (N)) に対して充電を行い、

前記 N ステージ G O A ユニットは、

N ステージプルアップ制御回路と、

N ステージプルアップ回路と、

N ステージ伝送回路と、

N ステージプルダウン回路と、

N ステージプルダウン維持回路と、からなり、

前記 N ステージプルアップ回路及び前記 N ステージプルダウン維持回路は、第 N ステージゲート電極信号点 (Q (N)) と、前記第 N ステージ水平走査線 (G (N)) にそれぞれ接続され、

前記 N ステージプルアップ制御回路と、N ステージプルダウン回路と、N ステージ伝送回路とは、前記第 N ステージゲート電極信号点 (Q (N)) に接続され、

前記 N ステージプルアップ回路は、前記第 N ステージゲート電極信号点 (Q (N)) が高レベルの際オンし、第一クロック信号 (C K N 1) を受信するとともに、第一クロック信号 (C K N 1) が高電位の際、前記第 N ステージ水平走査線 (G (N)) に対して充電を行い、

前記 N ステージ伝送回路は、前記第 N ステージゲート電極信号点 (Q (N)) が高レベルの際オンし、第二クロック信号 (C K N 2) を受信するとともに、N ステージ伝送信号 S T (N) を出力することによって、N + 1 ステージ G O A ユニットの作動を制御し、

第二クロック信号 (C K N 2) のパルス幅は、第一クロック信号 (C K N 1) のパルス幅より大きく、

前記 N ステージプルダウン維持回路は、

第一トランジスタ (T 1) と、

第二トランジスタ (T 2) と、

第三トランジスタ (T 3) と、

第四トランジスタ (T 4) と、

第六トランジスタ (T 6) と、

第九トランジスタ（Ｔ９）と、
第十トランジスタ（Ｔ１０）と、
第十一トランジスタ（Ｔ１１）と、からなり、

前記第一トランジスタ（Ｔ１）において、ゲート電極及びドレイン電極は、直流高電圧（Ｈ）と接続され、

前記第二トランジスタ（Ｔ２）において、ゲート電極は、第一トランジスタ（Ｔ１）のソース電極と接続され、ドレイン電極は、前記直流高電圧（Ｈ）と接続され、ソース電極は、公共点（Ｐ（Ｎ））と接続され、

前記第三トランジスタ（Ｔ３）において、ゲート電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続され、ドレイン電極は、第一トランジスタ（Ｔ１）のソース電極と接続され、ソース電極は、第一直流低電圧（ＶＳＳ１）と接続され、

10

前記第四トランジスタ（Ｔ４）において、ゲート電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続され、ドレイン電極は、前記公共点（Ｐ（Ｎ））と接続され、

前記第六トランジスタ（Ｔ６）において、ゲート電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続されドレイン電極は、第四トランジスタ（Ｔ４）および前記第九トランジスタ（Ｔ９）のソース電極と接続され、ソース電極は、第三直流低電圧（ＶＳＳ３）と接続され、

前記第九トランジスタ（Ｔ９）において、ゲート電極は、前記公共点（Ｐ（Ｎ））と接続され、ドレイン電極は、前記直流高電圧（Ｈ）と接続され、ソース電極は、前記第四トランジスタ（Ｔ４）のソース電極および前記第六トランジスタ（Ｔ６）のドレイン電極と接続され、

20

前記第十トランジスタ（Ｔ１０）において、ゲート電極は、前記公共点（Ｐ（Ｎ））と接続され、ドレイン電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続され、ソース電極は、第二直流低電圧（ＶＳＳ２）と接続され、

前記第十一トランジスタ（Ｔ１１）において、ゲート電極は、前記公共点（Ｐ（Ｎ））と接続され、ドレイン電極は、前記第Ｎステージ水平走査線（Ｇ（Ｎ））と接続され、ソース電極は、第一直流低電圧（ＶＳＳ１）と接続され、

前記第一直流低電圧（ＶＳＳ１）は、前記第二直流低電圧（ＶＳＳ２）より大きく、前記第二直流低電圧（ＶＳＳ２）は、前記第三直流低電圧（ＶＳＳ３）より大きく、

前記第Ｎステージ伝送回路は、さらに、第Ｎステージブーストラップコンデンサ（Ｃｂ）を備え、

30

前記第Ｎステージブーストラップコンデンサ（Ｃｂ）は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と前記第Ｎステージ伝送信号ＳＴ（Ｎ）の出力線との間に接続されることを特徴とするＧＯＡ回路。

【請求項４】

請求項１から請求項３のいずれかに記載のＧＯＡ回路において、

前記第Ｎステージプルダウン回路の制御端には、第三クロック信号（ＸＣＮＫ２）が入力され、

前記第一クロック信号（ＣＫＮ１）のデューティ比は、５０％より小さいとともに、前記第一クロック信号（ＣＫＮ１）の高レベルの開始時間及び第二クロック信号（ＣＫＮ２）の高レベルの開始時間は同じであり、

40

前記第三クロック信号（ＸＣＮＫ２）の高レベルは、前記第二クロック信号（ＣＫＮ２）の低レベルに対応し、前記第三クロック信号（ＸＣＮＫ２）の低レベルは、前記第二クロック信号（ＣＫＮ２）の高レベルに対応する

ことを特徴とするＧＯＡ回路。

【請求項５】

請求項１から請求項４のいずれかに記載のＧＯＡ回路を具備した液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【０００１】

50

本発明は液晶表示分野に関し、特にGOA回路と液晶ディスプレイに関する。

【背景技術】

【0002】

Gate Driver On Array, 略称GOAは、従来の薄膜トランジスタ液晶ディスプレイArray工程におけるGate走査駆動信号回路を、Array基板上に実装させ、Gateに対して、順次走査を行う駆動方式の技術を実現させる。

【0003】

低温ポリシリコン(LTPS)半導体薄膜トランジスタの発展につれて、LTPS半導体本体は、ずば抜けて高いキャリア移動度の特性によって、対応するパネル周辺の集積回路も、皆に注目される焦点であるとともに、System on Panel(SOP)の関連する技術研究に取り組む人も多く、しだいに現実となってきた。

10

【0004】

LTPS半導体は、比較的高い移動度を具える。しかしながら、その閾値電圧値は比較的低く(一般的におおよそ0V前後の低さ)、サブスレッショルド領域のスイングは、比較的小さいとともに、GOA回路は閉鎖状態の際、多くの部品が、V_{th}と接近、さらには、V_{th}を上回る状況のもとで操作されることにより、回路におけるTFTの漏電と作動電流のドリフトによって、LTPS GOA回路設計の難度が増し、アモルファスシリコン半導体に適用される多くの走査駆動回路は、LTPS TFT-LCDに簡単に応用することはできず、いくつか機能性の問題が存在する。このようにIGZO GOA回路が作動しようのない事態を直接招くので、回路設計の際、これらの部品の特性のGOA回路に対する影響を考慮する必要がある。

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、GOA回路における走査線のより良い充電を保証することができ、回路は各ノードの正常作動に有利である、GOA回路と液晶ディスプレイを提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明のGOA回路は、
複数のGOAユニットを備えるとともに液晶ディスプレイに用いられるGOA回路であって、

30

NステージGOAユニットは、表示領域の第Nステージ水平走査線(G(N))に対して充電を行い、

前記NステージGOAユニットは、

Nステージプルアップ制御回路と、

Nステージプルアップ回路と、

Nステージ伝送回路と、

Nステージプルダウン回路と、

Nステージプルダウン維持回路と、からなり、

40

前記Nステージプルアップ回路及び前記Nステージプルダウン維持回路は、第Nステージゲート電極信号点(Q(N))と、前記第Nステージ水平走査線(G(N))にそれぞれ接続され、

前記Nステージプルアップ制御回路と、Nステージプルダウン回路と、Nステージ伝送回路とは、前記第Nステージゲート電極信号点(Q(N))に接続され、

前記Nステージプルアップ回路は、前記第Nステージゲート電極信号点(Q(N))が高レベルの際オンし、第一クロック信号(CKN1)を受信するとともに、第一クロック信号(CKN1)が高電位の際、前記第Nステージ水平走査線(G(N))に対して充電を行い、

前記Nステージ伝送回路は、前記第Nステージゲート電極信号点(Q(N))が高レベ

50

ルの際オンし、第二クロック信号 (CKN2) を受信するとともに、N ステージ伝送信号 ST(N) を出力することによって、N + 1 ステージGOAユニットの作動を制御し、

第二クロック信号 (CKN2) のパルス幅は、第一クロック信号 (CKN1) のパルス幅より大きく、

前記Nステージプルダウン維持回路は、

第一トランジスタ (T1) と、

第二トランジスタ (T2) と、

第三トランジスタ (T3) と、

第四トランジスタ (T4) と、

第六トランジスタ (T6) と、

第七トランジスタ (T7) と、

第八トランジスタ (T8) と、

第九トランジスタ (T9) と、

第十トランジスタ (T10) と、

第十一トランジスタ (T11) と、からなり、

前記第一トランジスタ (T1) において、ゲート電極及びドレイン電極は、直流高電圧 (H) と接続され、

前記第二トランジスタ (T2) において、ゲート電極は、第一トランジスタ (T1) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、公共点 (P(N)) と接続され、

前記第三トランジスタ (T3) において、ゲート電極は、前記第Nステージゲート電極信号点 (Q(N)) と接続され、ドレイン電極は、第一トランジスタ (T1) のソース電極と接続され、ソース電極は、第一直流低電圧 (VSS1) と接続され、

前記第四トランジスタ (T4) において、ゲート電極は、前記第Nステージゲート電極信号点 (Q(N)) と接続され、ドレイン電極は、前記公共点 (P(N)) と接続され、

前記第六トランジスタ (T6) において、ゲート電極は、前記第Nステージゲート電極信号点 (Q(N)) と接続されドレイン電極は、第四トランジスタ (T4) および前記第九トランジスタ (T9) のソース電極と接続され、ソース電極は、第三直流低電圧 (VSS3) と接続され、

前記第七トランジスタ (T7) において、ゲート電極は、前記第Nステージゲート電極信号点 (Q(N)) と接続され、ドレイン電極は前記第八トランジスタ (T8) のソース電極および前記第九トランジスタのゲート電極に接続され、ソース電極は、前記第三直流低電圧 (VSS3) と接続され、

前記第八トランジスタ (T8) において、ゲート電極及びドレイン電極は、前記直流高電圧 (H) と接続され、

前記第九トランジスタ (T9) において、ゲート電極は、前記第八トランジスタ (T8) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、前記第四トランジスタ (T4) のソース電極および前記第六トランジスタ (T6) のドレイン電極と接続され、

前記第十トランジスタ (T10) において、ゲート電極は、前記公共点 (P(N)) と接続され、ドレイン電極は、前記第Nステージゲート電極信号点 (Q(N)) と接続され、ソース電極は、第二直流低電圧 (VSS2) と接続され、

前記第十一トランジスタ (T11) において、ゲート電極は、前記公共点 (P(N)) と接続され、ドレイン電極は、前記第Nステージ水平走査線 (G(N)) と接続され、ソース電極は、第一直流低電圧 (VSS1) と接続され、

前記第一直流低電圧 (VSS1) は、前記第二直流低電圧 (VSS2) より大きく、前記第二直流低電圧 (VSS2) は、前記第三直流低電圧 (VSS3) より大きく、

前記Nステージ伝送回路は、さらに、Nステージブーストラップコンデンサ (Cb) を備え、

前記Nステージブーストラップコンデンサ (Cb) は、前記第Nステージゲート電極信

10

20

30

40

50

号点 ($Q(N)$) と前記 N ステージ伝送信号 $ST(N)$ の出力線との間に接続されることを特徴とする。

【 0 0 0 7 】

本発明の GOA 回路は、

複数の GOA ユニットの備えるとともに液晶ディスプレイに用いられる GOA 回路であって、

N ステージ GOA ユニットの、表示領域の第 N ステージ水平走査線 ($G(N)$) に対して充電を行い、

前記 N ステージ GOA ユニットの、

N ステージプルアップ制御回路と、

N ステージプルアップ回路と、

N ステージ伝送回路と、

N ステージプルダウン回路と、

N ステージプルダウン維持回路と、からなり、

前記 N ステージプルアップ回路及び前記 N ステージプルダウン維持回路は、第 N ステージゲート電極信号点 ($Q(N)$) と、前記第 N ステージ水平走査線 ($G(N)$) にそれぞれ接続され、

前記 N ステージプルアップ制御回路と、 N ステージプルダウン回路と、 N ステージ伝送回路とは、前記第 N ステージゲート電極信号点 ($Q(N)$) に接続され、

前記 N ステージプルアップ回路は、前記第 N ステージゲート電極信号点 ($Q(N)$) が高レベルの際オンし、第一クロック信号 ($CKN1$) を受信するとともに、第一クロック信号 ($CKN1$) が高電位の際、前記第 N ステージ水平走査線 ($G(N)$) に対して充電を行い、

前記 N ステージ伝送回路は、前記第 N ステージゲート電極信号点 ($Q(N)$) が高レベルの際オンし、第二クロック信号 ($CKN2$) を受信するとともに、 N ステージ伝送信号 $ST(N)$ を出力することによって、 $N+1$ ステージ GOA ユニットの作動を制御し、

第二クロック信号 ($CKN2$) のパルス幅は、第一クロック信号 ($CKN1$) のパルス幅より大きく、

前記 N ステージプルダウン維持回路は、

第一トランジスタ ($T1$) と、

第二トランジスタ ($T2$) と、

第三トランジスタ ($T3$) と、

第四トランジスタ ($T4$) と、

第六トランジスタ ($T6$) と、

第九トランジスタ ($T9$) と、

第十トランジスタ ($T10$) と、

第十一トランジスタ ($T11$) と、からなり、

前記第一トランジスタ ($T1$) において、ゲート電極及びドレイン電極は、直流高電圧 (H) と接続され、

前記第二トランジスタ ($T2$) において、ゲート電極は、第一トランジスタ ($T1$) のソース電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、公共点 ($P(N)$) と接続され、

前記第三トランジスタ ($T3$) において、ゲート電極は、前記第 N ステージゲート電極信号点 ($Q(N)$) と接続され、ドレイン電極は、第一トランジスタ ($T1$) のソース電極と接続され、ソース電極は、第一直流低電圧 ($VSS1$) と接続され、

前記第四トランジスタ ($T4$) において、ゲート電極は、前記第 N ステージゲート電極信号点 ($Q(N)$) と接続され、ドレイン電極は、前記公共点 ($P(N)$) と接続され、

前記第六トランジスタ ($T6$) において、ゲート電極は、前記第 N ステージゲート電極信号点 ($Q(N)$) と接続されドレイン電極は、第四トランジスタ ($T4$) および前記第九トランジスタ ($T9$) のソース電極と接続され、ソース電極は、第三直流低電圧 (VSS)

10

20

30

40

50

S 3) と接続され、

前記第九トランジスタ (T 9) において、ゲート電極は、前記第二トランジスタ (T 2) のゲート電極と接続され、ドレイン電極は、前記直流高電圧 (H) と接続され、ソース電極は、前記第四トランジスタ (T 4) のソース電極および前記第六トランジスタ (T 6) のドレイン電極と接続され、

前記第十トランジスタ (T 1 0) において、ゲート電極は、前記公共点 (P (N)) と接続され、ドレイン電極は、前記第 N ステージゲート電極信号点 (Q (N)) と接続され、ソース電極は、第二直流低電圧 (V S S 2) と接続され、

前記第十一トランジスタ (T 1 1) において、ゲート電極は、前記公共点 (P (N)) と接続され、ドレイン電極は、前記第 N ステージ水平走査線 (G (N)) と接続され、ソース電極は、第一直流低電圧 (V S S 1) と接続され、

前記第一直流低電圧 (V S S 1) は、前記第二直流低電圧 (V S S 2) より大きく、前記第二直流低電圧 (V S S 2) は、前記第三直流低電圧 (V S S 3) より大きく、

前記 N ステージ伝送回路は、さらに、N ステージブーストラップコンデンサ (C b) を備え、

前記 N ステージブーストラップコンデンサ (C b) は、前記第 N ステージゲート電極信号点 (Q (N)) と前記 N ステージ伝送信号 S T (N) の出力線との間に接続されることを特徴とする。

10

【 0 0 0 8 】

20

本発明の G O A 回路は、

複数の G O A ユニットを備えるとともに液晶ディスプレイに用いられる G O A 回路であって、

N ステージ G O A ユニットは、表示領域の第 N ステージ水平走査線 (G (N)) に対して充電を行い、

前記 N ステージ G O A ユニットは、

N ステージプルアップ制御回路と、

N ステージプルアップ回路と、

N ステージ伝送回路と、

N ステージプルダウン回路と、

N ステージプルダウン維持回路と、からなり、

30

前記 N ステージプルアップ回路及び前記 N ステージプルダウン維持回路は、第 N ステージゲート電極信号点 (Q (N)) と、前記第 N ステージ水平走査線 (G (N)) にそれぞれ接続され、

前記 N ステージプルアップ制御回路と、N ステージプルダウン回路と、N ステージ伝送回路とは、前記第 N ステージゲート電極信号点 (Q (N)) に接続され、

前記 N ステージプルアップ回路は、前記第 N ステージゲート電極信号点 (Q (N)) が高レベルの際オンし、第一クロック信号 (C K N 1) を受信するとともに、第一クロック信号 (C K N 1) が高電位の際、前記第 N ステージ水平走査線 (G (N)) に対して充電を行い、

40

前記 N ステージ伝送回路は、前記第 N ステージゲート電極信号点 (Q (N)) が高レベルの際オンし、第二クロック信号 (C K N 2) を受信するとともに、N ステージ伝送信号 S T (N) を出力することによって、N + 1 ステージ G O A ユニットの作動を制御し、

第二クロック信号 (C K N 2) のパルス幅は、第一クロック信号 (C K N 1) のパルス幅より大きく、

前記 N ステージプルダウン維持回路は、

第一トランジスタ (T 1) と、

第二トランジスタ (T 2) と、

第三トランジスタ (T 3) と、

第四トランジスタ (T 4) と、

50

第六トランジスタ（Ｔ６）と、
第九トランジスタ（Ｔ９）と、
第十トランジスタ（Ｔ１０）と、
第十一トランジスタ（Ｔ１１）と、からなり、

前記第一トランジスタ（Ｔ１）において、ゲート電極及びドレイン電極は、直流高電圧（Ｈ）と接続され、

前記第二トランジスタ（Ｔ２）において、ゲート電極は、第一トランジスタ（Ｔ１）のソース電極と接続され、ドレイン電極は、前記直流高電圧（Ｈ）と接続され、ソース電極は、公共点（Ｐ（Ｎ））と接続され、

前記第三トランジスタ（Ｔ３）において、ゲート電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続され、ドレイン電極は、第一トランジスタ（Ｔ１）のソース電極と接続され、ソース電極は、第一直流低電圧（ＶＳＳ１）と接続され、

前記第四トランジスタ（Ｔ４）において、ゲート電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続され、ドレイン電極は、前記公共点（Ｐ（Ｎ））と接続され、

前記第六トランジスタ（Ｔ６）において、ゲート電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続されドレイン電極は、第四トランジスタ（Ｔ４）および前記第九トランジスタ（Ｔ９）のソース電極と接続され、ソース電極は、第三直流低電圧（ＶＳＳ３）と接続され、

前記第九トランジスタ（Ｔ９）において、ゲート電極は、前記公共点（Ｐ（Ｎ））と接続され、ドレイン電極は、前記直流高電圧（Ｈ）と接続され、ソース電極は、前記第四トランジスタ（Ｔ４）のソース電極および前記第六トランジスタ（Ｔ６）のドレイン電極と接続され、

前記第十トランジスタ（Ｔ１０）において、ゲート電極は、前記公共点（Ｐ（Ｎ））と接続され、ドレイン電極は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と接続され、ソース電極は、第二直流低電圧（ＶＳＳ２）と接続され、

前記第十一トランジスタ（Ｔ１１）において、ゲート電極は、前記公共点（Ｐ（Ｎ））と接続され、ドレイン電極は、前記第Ｎステージ水平走査線（Ｇ（Ｎ））と接続され、ソース電極は、第一直流低電圧（ＶＳＳ１）と接続され、

前記第一直流低電圧（ＶＳＳ１）は、前記第二直流低電圧（ＶＳＳ２）より大きく、前記第二直流低電圧（ＶＳＳ２）は、前記第三直流低電圧（ＶＳＳ３）より大きく、

前記第Ｎステージ伝送回路は、さらに、第Ｎステージブーストラップコンデンサ（Ｃｂ）を備え、

前記第Ｎステージブーストラップコンデンサ（Ｃｂ）は、前記第Ｎステージゲート電極信号点（Ｑ（Ｎ））と前記第Ｎステージ伝送信号ＳＴ（Ｎ）の出力線との間に接続されることを特徴とする。

【０００９】

本発明では、

前記第Ｎステージプルダウン回路の制御端には、第三クロック信号（ＸＣＮＫ２）が入力され、

前記第一クロック信号（ＣＫＮ１）のデューティ比は、５０％より小さいとともに、前記第一クロック信号（ＣＫＮ１）の高レベルの開始時間及び第二クロック信号（ＣＫＮ２）の高レベルの開始時間は同じであり、

前記第三クロック信号（ＸＣＮＫ２）の高レベルは、前記第二クロック信号（ＣＫＮ２）の低レベルに対応し、前記第三クロック信号（ＸＣＮＫ２）の低レベルは、前記第二クロック信号（ＣＫＮ２）の高レベルに対応する

ことが好ましい。

【００１０】

本発明の液晶ディスプレイは、前記ＧＯＡ回路を具備した液晶ディスプレイである。

【図面の簡単な説明】

【００１１】

10

20

30

40

50

【図 1】本発明の G O A 回路の実施例 1 における複数の G O A ユニットの縦続接続の構造を示した概略図である。

【図 2】本発明の G O A 回路の実施例 1 における G O A ユニットの構造を示した概略図である。

【図 3】本発明の G O A 回路の実施例 2 における G O A ユニットの具体的な回路の接続を示した概略図である。

【図 4】本発明の G O A 回路の実施例 2 における G O A ユニットの各ノードの第一種電圧波形を示した概略図である。

【図 5】本発明の G O A 回路の実施例 2 における G O A ユニットの各ノードの第二種電圧波形を示した概略図である。

10

【図 6】本発明の G O A 回路の実施例 3 における G O A ユニットの具体的な回路の接続を示した概略図である。

【図 7】本発明の G O A 回路の実施例 4 における G O A ユニットの具体的な回路の接続を示した概略図である。

【図 8】本発明の G O A 回路の実施例 5 における G O A ユニットの具体的な回路の接続を示した概略図である。

【図 9】本発明の G O A 回路の実施例 6 における G O A ユニットの具体的な回路の接続を示した概略図である。

【発明を実施するための形態】

【 0 0 1 2 】

20

(実施例 1)

図 1 を参照する。図 1 は、本発明の G O A 回路の実施例 1 における複数の G O A ユニットの縦続接続の構造を示した概略図である。前記 G O A 回路は、複数の G O A ユニットのうち、N ステージ G O A ユニットのうち、表示領域の第 N ステージ水平走査線 G (N) に対して充電を行う。

【 0 0 1 3 】

図 2 を参照する。図 2 は、本発明の G O A 回路の実施例 1 における G O A ユニットの構造を示した概略図である。N ステージステージ G O A ユニットのうち、N ステージステージプルアップ制御回路 1 0 1 と、N ステージプルアップ回路 1 0 2 と、N ステージ伝送回路 1 0 3 と、N ステージプルダウン回路 1 0 4 と、N ステージプルダウン維持回路 1 0 5 と、からなる。その内、N ステージプルアップ回路 1 0 3 及び N ステージプルダウン維持回路 1 0 5 は、第 N ステージゲート電極信号点 Q (N) と、第 N ステージ水平走査線 G (N) にそれぞれ接続され、N ステージプルアップ制御回路 1 0 1 と、N ステージプルダウン回路 1 0 4 と、N ステージ伝送回路 1 0 3 は、第 N ステージゲート電極信号点 Q (N) に接続される。N ステージプルアップ回路は、第 N ステージゲート電極信号点 Q (N) が高レベルの際オンになり、第一クロック信号 C K N 1 を受信するとともに、第一クロック信号 C K N 1 が高電位の際、第 N ステージ水平走査線 G (N) に対して充電を行う。N ステージ伝送回路は、第 N ステージゲート電極信号点 Q (N) が高レベルの際オンになり、第二クロック信号 C K N 2 を受信するとともに、N ステージ伝送信号 S T (N) を出力することによって、N + 1 ステージ G O A ユニットの作動を制御する。その内、第二クロック信号 C K N 2 のパルス幅は、第一クロック信号 C K N 1 のパルス幅より大きい。

30

40

【 0 0 1 4 】

具体的には、N ステージプルアップ制御回路 1 0 1 は、ひとつ前のステージの G O A ユニットの高電位の S T (N - 1) 信号を受信する際、オンするとともに、第 N ステージゲート電極信号点 Q (N) の電位を高電位に上昇させることによって、N ステージプルアップ回路 1 0 2 及び N ステージ伝送回路 1 0 3 が オンし、それによって、N ステージプルアップ回路 1 0 2 及び N ステージ伝送回路 1 0 3 は、第一クロック信号 C K N 1 及び第二クロック信号 C K N 2 をそれぞれ出力し、出力後、N ステージプルダウン回路 1 0 4 とプルダウン第 N ステージゲート電極信号点 Q (N) の電位は、低電位となり、N ステージプルダウン維持回路 1 0 5 は、第 N ステージゲート電極信号点 Q (N) 及び第 N ステージ水平

50

【 0 0 1 5 】

【 0 0 1 6 】

10

【 0 0 1 7 】

30

50

図4を参照する。図4は、本発明のGOA回路の実施例2におけるGOAユニットの各ノードの第一種電圧波形を示した概略図である。前記波形において、Nステージプルダウン回路の制御端には、XCKN2を入力する。以下は第二クロック信号CKN2の二つの周期を例にあげて、回路作動原理を紹介する。

【0019】

第一作用区間は、以下の通りである。前ステージの伝送信号ST(N-1)は、低電位であるため、Nステージプルアップ制御回路301及びNステージ伝送回路は、いずれも閉鎖され、この時、T3と、T4と、T5も閉鎖される。しかしながら、T1とT2のオン、及びH信号の入力によって、公共点P(N)は高電位となり、それによりT10とT11がオンし、第Nステージ水平走査線G(N)及び第Nステージゲート電極信号点Q(N)の電位をそれぞれプルダウンする。

10

【0020】

第二作用区間は、以下の通りである。第一クロック信号CKN1だけが変化するため、その他クロック信号及び伝送信号は、変化しない。しかしながら、Nステージプルアップ回路の閉鎖によって、その他ノードの電位は、いずれも変化しない。

【0021】

第三作用区間は、以下の通りである。前ステージの伝送信号ST(N-1)は、高電位であり、Nステージプルアップ制御回路301はオンし、第Nステージゲート電極信号点Q(N)は上昇し、公共点P(N)は低電位となり、Nステージプルアップ回路302及びNステージ伝送回路303はいずれもオンし、G(N)は、CKN1と同じであり、ST(N)は、CKN2と同じである。

20

【0022】

第四作用区間は、以下の通りである。コンデンサCbのブートストラップ作用によって、第Nステージゲート電極信号点Q(N)は、高電位を継続的に保持させ、G(N)は、CKN1と同じであり、ST(N)は、CKN2と同じである。

【0023】

第五作用区間は以下の通りである。第二クロック信号CKN2は、高電位に変化し、高電位のNステージ伝送信号ST(N)を出力するとともに、コンデンサCbは、第Nステージゲート電極信号点Q(N)の電位を更に高く上昇させることにより、Nステージプルアップ回路302及びNステージ伝送回路303の自由な出力を保証する。

30

【0024】

第六作用区間は、以下の通りである。第Nステージゲート電極信号点Q(N)の電位は、再度上昇し更に高くなり、CKN1は、高電位となり、第Nステージ水平走査線G(N)は、スムーズに高電位信号を出力する。

【0025】

第七作用区間では、XCKN2は、高電位に変化し、プルダウンNステージゲート電極信号点Q(N)の電位と、Nステージプルアップ回路302及びNステージ伝送回路303は、いずれも閉鎖され、第Nステージ水平走査線G(N)及び伝送信号ST(N)は、低電位である。

【0026】

第八作用区間は、以下の通りである。各電位は、第七作用区間と類似しており、各出力は、低電位を維持する。

40

【0027】

上記実施例において、Nステージプルダウン回路の制御端には、第三クロック信号XCKN2を入力する。その内、第一クロック信号CKN1のデューティ比は、50%より小さいとともに、第一クロック信号CKN1の高レベルの開始時間及び第二クロック信号CKN2の高レベルの開始時間は同じである。第三クロック信号XCKN2の高レベルは、第二クロック信号CKN2の低レベルに対応し、第三クロック信号XCKN2の低レベルは、第二クロック信号CKN2の高レベルに対応する。

【0028】

50

図5を参照する。図5は、本発明のGOA回路の実施例2におけるGOAユニットの各ノードの第二種電圧波形を示した概略図である。

【0029】

前記第二種波形は、第一種波形と類似しているが、異なるのは、第一クロック信号CKN1の位相が左に四分の一周期移動する点であり、それにより、第Nステージゲート電極信号点Q(N)における第六作用区間の電位が若干下降し、第Nステージ水平走査線G(N)が第五作用区間において出力する。

【0030】

上記実施例において、Nステージプルダウン回路の制御端には、第三クロック信号XCNK2を入力する。その内、第一クロック信号CKN1のデューティ比は、50%より小さいとともに、第一クロック信号CKN1の高レベルの終了時間及び第二クロック信号CKN2の高レベルの終了時間は同じである。第三クロック信号XCNK2の高レベルは、第二クロック信号CKN2の低レベルに対応し、第三クロック信号XCNK2の低レベルは、第二クロック信号CKN2の高レベルに対応する。

【0031】

当然、第一クロック信号CKN1の高レベルの開始時間と終了時間は、第二クロック信号CKN2の高レベル開始時間と終了時間といずれも同じでなくてもよく、また、第一クロック信号CKN1の高レベル区間は、第二クロック信号CKN2の高レベル区間内でもいい。

【0032】

(実施例3)

図6を参照する。図6は、本発明のGOA回路の実施例3におけるGOAユニットの具体的な回路の接続を示した概略図である。本実施例と実施例2との違いは、Nステージプルダウン維持回路605が第七トランジスタT7及び第八トランジスタT8を備えない点である。第九トランジスタT9のゲート電極は、公共点P(N)と接続される。本実施例は、TFトランジスタを二つ減らすことで、回路を簡素化させ、消費電力を下げる。

【0033】

(実施例4)

図7を参照する。図7は、本発明のGOA回路の実施例4におけるGOAユニットの具体的な回路の接続を示した概略図である。本実施例と実施例3との違いは、Nステージプルダウン維持回路705が、第五トランジスタT5を備えない点である。第六トランジスタT6のドレイン電極及び第九トランジスタT9のソース電極は、第四トランジスタのソース電極と接続され、第六トランジスタT6のゲート電極及び第七トランジスタT7のゲート電極は、第Nステージゲート電極信号点Q(N)と接続される。

【0034】

(実施例5)

図8を参照する。図8は、本発明のGOA回路の実施例5におけるGOAユニットの具体的な回路の接続を示した概略図である。本実施例と、実施例4との違いは、Nステージプルダウン維持回路805が、第七トランジスタT7及び第八トランジスタT8を備えない点である。第九トランジスタのゲート電極は、第二トランジスタT2のゲート電極と接続される。本実施例は、従来の回路の要点を信号として利用し、直流高電位信号Hの接続を減らし、回路を簡素化させる。

【0035】

(実施例6)

図9を参照する。図9は、本発明のGOA回路の実施例6におけるGOAユニットの具体的な回路の接続を示した概略図である。本実施例は、実施例5の一種変形で、その原理は類似している。

【0036】

上記各種実施例におけるNステージ伝送回路のブーストラップコンデンサCbは、全て取り除くことができる。

10

20

30

40

50

【 0 0 3 7 】

本発明の液晶ディスプレイの実施例 1 において、前記液晶ディスプレイは、上記のあらゆる実施例における G O A 回路を備える。

【 0 0 3 8 】

以上前記の内容は、本発明の実施例に過ぎず、本発明の特許請求の範囲を制限するものではない。本発明の明細書と図の内容を用いて行った同様の効果をもつ構造や同様の効果をもつ工程の変更（直接的に、或いは、間接的にその他関連のある技術領域に運用したもの）は、同様にいずれも、本発明の特許の保護範囲に含まれる。

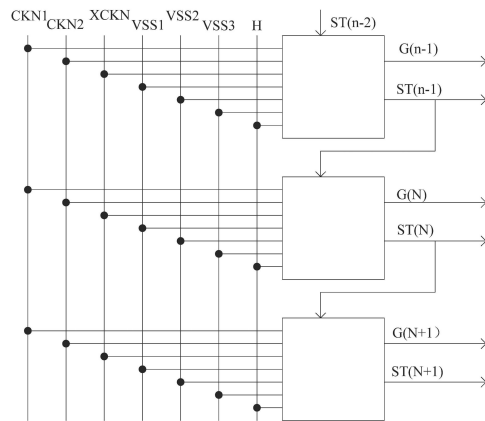
【 符号の説明 】

【 0 0 3 9 】

1 0 1	N ステージステージブルアップ制御回路	10
1 0 2	N ステージブルアップ回路	
1 0 3	N ステージ伝送回路	
1 0 4	N ステージブルダウン回路	
1 0 5	N ステージブルダウン維持回路	
3 0 1	N ステージブルアップ制御回路	
3 0 2	N ステージブルアップ回路	
3 0 3	N ステージ伝送回路	
3 0 4	N ステージブルダウン回路	
3 0 5	N ステージブルダウン維持回路	20
C b	N ステージブーストラップコンデンサ	
C K N 1	第一クロック信号	
C K N 2	第二クロック信号	
G (N)	第 N ステージ水平走査線	
H	直流高電圧	
P (N)	公共点	
Q (N)	第 N ステージゲート電極信号点	
S T (N)	N ステージ伝送信号	
T 1	第一トランジスタ	
T 2	第二トランジスタ	30
T 3	第三トランジスタ	
T 4	第四トランジスタ	
T 5	第五トランジスタ	
T 6	第六トランジスタ	
T 7	第七トランジスタ	
T 8	第八トランジスタ	
T 9	第九トランジスタ	
T 1 0	第十トランジスタ	
T 1 1	第十一トランジスタ	
V S S 1	第一直流低電圧	40
V S S 2	第二直流低電圧	
V S S 3	第三直流低電圧	
X C N K 2	第三クロック信号	

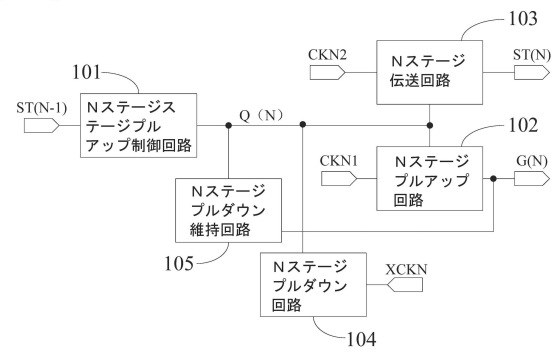
【図 1】

【図 1】



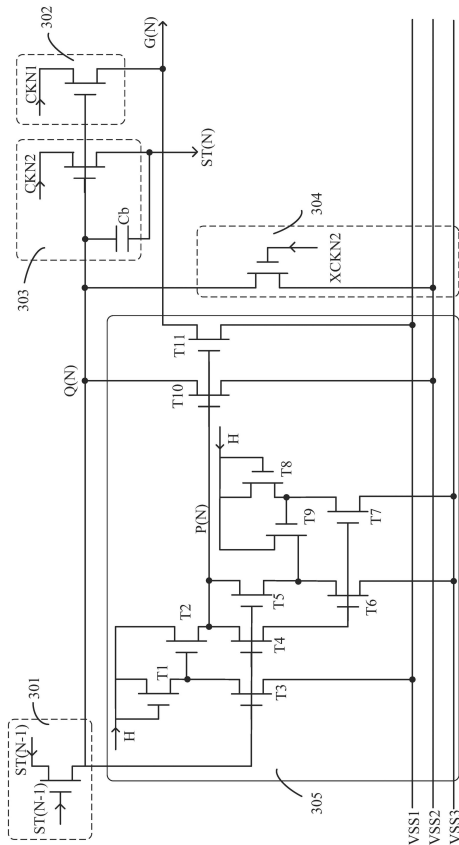
【図 2】

【図 2】



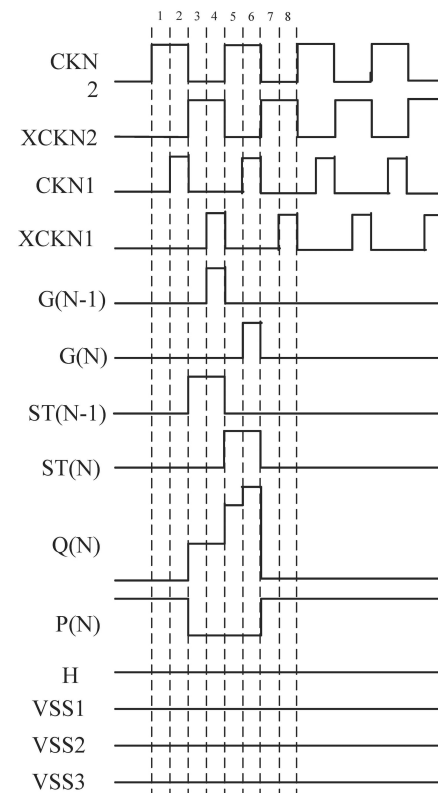
【図 3】

【図 3】



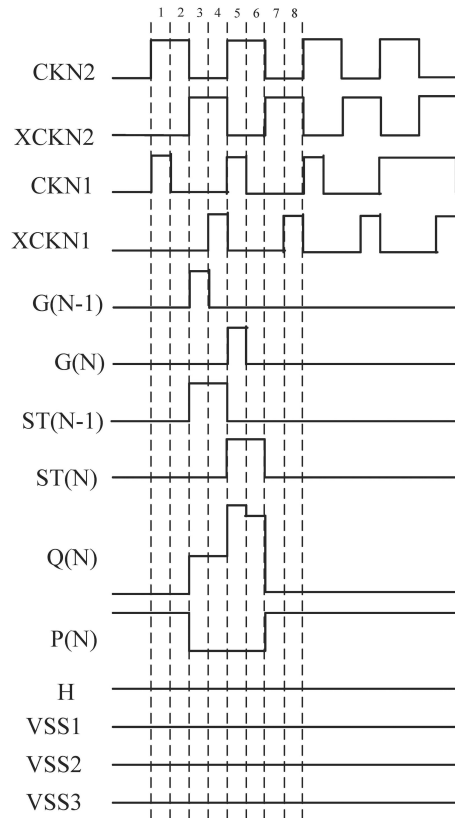
【図 4】

【図 4】



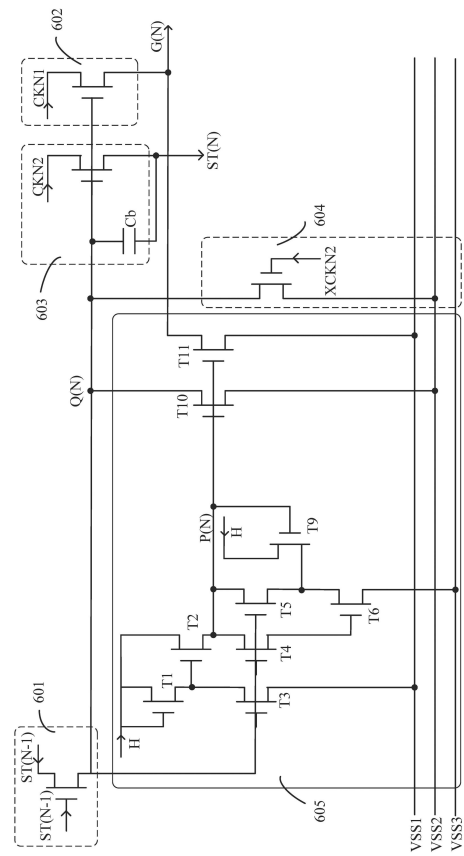
【図 5】

【図 5】



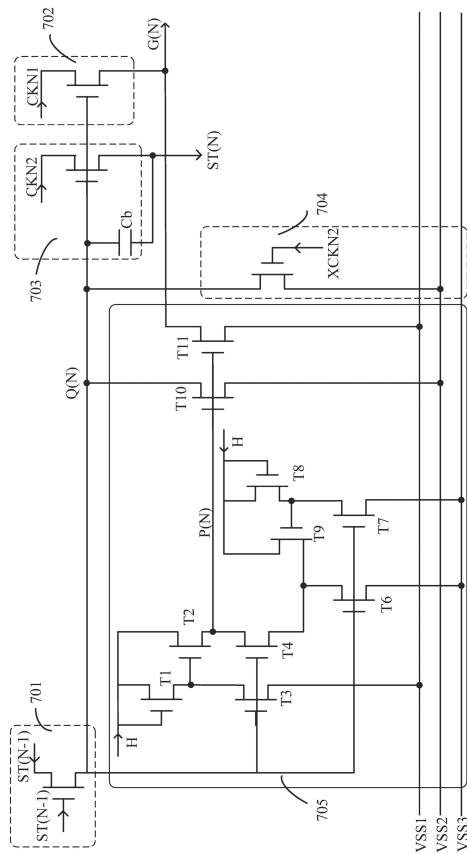
【図 6】

【図 6】



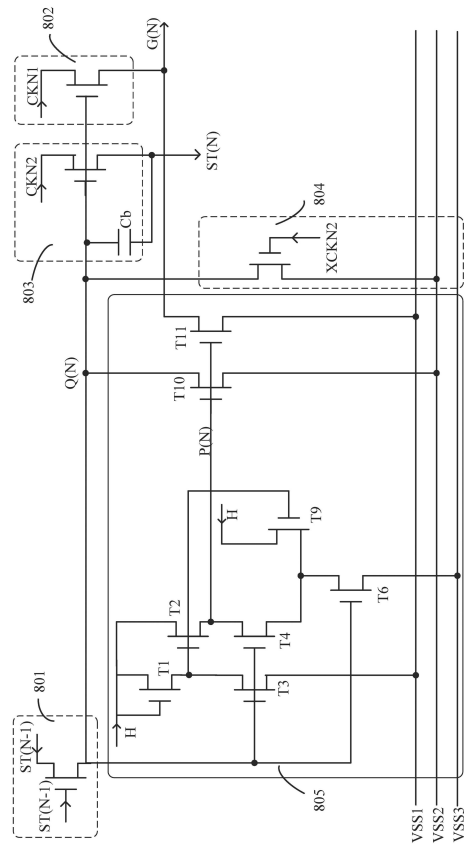
【図 7】

【図 7】



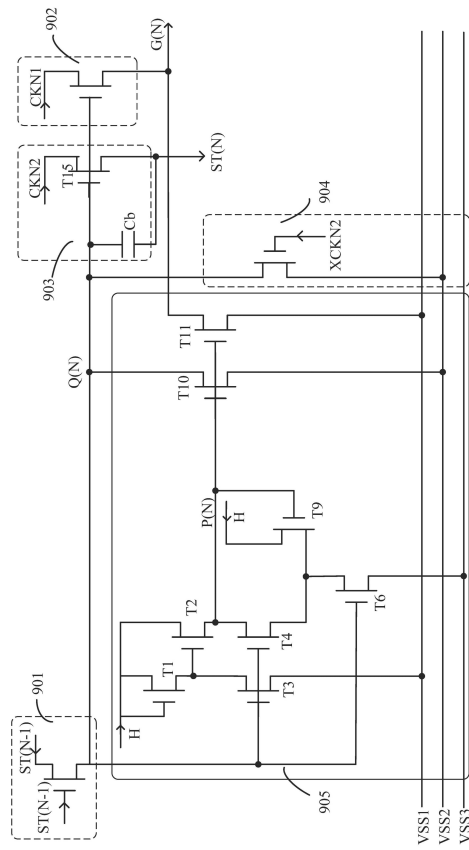
【図 8】

【図 8】



【図 9】

【図 9】



フロントページの続き

審査官 斎藤 厚志

(56)参考文献 中国特許出願公開第104464656(CN,A)
特開2012-150455(JP,A)
中国特許出願公開第104464660(CN,A)
中国特許出願公開第104464665(CN,A)
中国特許出願公開第103928007(CN,A)
特開2004-295126(JP,A)

(58)調査した分野(Int.Cl.,DB名)
G09G 3/36
G09G 3/20
G11C 19/28

专利名称(译)	GOA电路和液晶显示器		
公开(公告)号	JP6542901B2	公开(公告)日	2019-07-10
申请号	JP2017540746	申请日	2015-04-30
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
当前申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	肖軍城		
发明人	肖軍城		
IPC分类号	G09G3/36 G09G3/20 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.K G11C19/28.230 G09G3/20.680.G		
代理人(译)	铃木 征四郎		
审查员(译)	齐藤敦		
优先权	201510186029.8 2015-04-17 CN		
其他公开文献	JP2018511071A		
外部链接	Espacenet		

摘要(译)

公开了一种包括GOA单元和液晶显示器的GOA电路。N级GOA单元对显示区域中的第N级水平扫描线充电,包括N级上拉控制电路,N级上拉电路,N级传输电路,N级下拉电路电路和N级下拉保持电路。当第N级栅极信号点处于高电压电平时,N级上拉电路导通,当第一时钟信号处于高电压电平时,接收第一时钟信号并对N级水平扫描线充电。当第N级栅极信号点处于高电压电平时,N级转移电路接收第二时钟信号,并输出N级转移信号以控制(N+1)级GOA单元的操作。本公开可以确保GOA电路中的扫描线被更好地充电,以促进电路中的每个点的正常操作。

(19) 日本国特許庁(JP)	(12) 特 許 公 報 (B2)	(71) 特許番号
		特許第6542901号 (P6542901)
(45) 発行日 令和1年7月10日(2019.7.10)	(24) 登録日 令和1年6月21日(2019.6.21)	
(51) Int. Cl.	F 1	
G 0 6 G 3/36 (2006. 01)	G 0 9 G 3/36	
G 0 9 G 3/20 (2006. 01)	G 0 9 G 3/20	6 2 2 E
G 1 1 C 19/28 (2006. 01)	G 0 9 G 3/20	6 1 2 K
	G 1 1 C 19/28	2 3 0
	G 0 9 G 3/20	6 8 0 G
		請求項の数 5 (全 19 頁)
(21) 出願番号	特願2017-540746 (P2017-540746)	(73) 特許権者
(86) (22) 出願日	平成27年4月30日(2015.4.30)	深▲せん▼市華星電光技術有限公司
(54) 公表番号	特表2018-511071 (P2018-511071A)	中華人民共和國廣東省深▲せん▼市光明新
(43) 公表日	平成30年4月19日(2018.4.19)	區塘明大道9-2號518132
(48) 国際出願番号	PCT/CN2015/078000	(73) 特許権者
(87) 国際公開番号	W02016/165162	武漢華星電光技術有限公司
(87) 国際公開日	平成28年10月20日(2016.10.20)	中国湖北省武漢市東湖開發區高新大道66
審査請求日	平成29年8月1日(2017.8.1)	6號生物城C5棟430079
(31) 優先権主張番号	201510186029.8	(74) 代理人
(32) 優先日	平成27年4月17日(2015.4.17)	弁理士 米田 耕一郎
(33) 優先権主張国	中国 (CN)	(74) 代理人
		弁理士 鈴木 征四郎
		内軍城
		中華人民共和國廣東省深▲せん▼市光明新
		區塘明大道9-2號518132
		最終頁に続く
(54) 【発明の名称】GOA回路と液晶ディスプレイ		