

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6235179号
(P6235179)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G09F 9/00 (2006.01)
 G02F 1/133 (2006.01)

G09G 3/36
 G09G 3/20 611A
 G09G 3/20 611G
 G09G 3/20 612B
 G09G 3/20 612D

請求項の数 8 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2017-38090 (P2017-38090)
 (22) 出願日 平成29年3月1日 (2017.3.1)
 (62) 分割の表示 特願2015-135275 (P2015-135275)
 の分割
 原出願日 平成23年4月19日 (2011.4.19)
 (65) 公開番号 特開2017-107233 (P2017-107233A)
 (43) 公開日 平成29年6月15日 (2017.6.15)
 審査請求日 平成29年3月10日 (2017.3.10)
 (31) 優先権主張番号 特願2010-100365 (P2010-100365)
 (32) 優先日 平成22年4月23日 (2010.4.23)
 (33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 早川 昌彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 岡野 真也
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶表示パネルと、コンバータと、を有し、
 前記液晶表示パネルは、画素部と、駆動回路と、を有し、
 前記画素部は、トランジスタと、液晶素子と、を有し、
 前記駆動回路は、ゲート線側駆動回路を有し、
 前記トランジスタは、前記液晶素子の画素電極に電気的に接続されており、
 前記トランジスタは、酸化物半導体層にチャネル形成領域を有し、
 前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、
 前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

10

、
 第1の期間と、第2の期間と、を有し、
 前記第1の期間において前記画素部に静止画が表示され、
 前記第2の期間において前記画素部に動画が表示され、
 前記第1の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画
 素電極に前記画像信号を書き込む頻度は、前記第2の期間において前記駆動回路から前記
 トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

、
 前記第1の期間は、前記ゲート線側駆動回路へのクロック信号の供給と、スタートパル
 ス信号の供給と、が停止され、かつ、前記ゲート線側駆動回路に供給される電源電位が高

20

電源電位から低電源電位になる期間を有し、

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【請求項 2】

液晶表示パネルと、コンバータと、を有し、

前記液晶表示パネルは、画素部と、駆動回路と、を有し、

前記画素部は、トランジスタと、液晶素子と、を有し、

前記駆動回路は、ゲート線側駆動回路を有し、

前記トランジスタは、前記液晶素子の画素電極に電氣的に接続されており、

前記トランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記酸化物半導体層は、In、Ga、及びZnを含み、

前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、

前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

10

、
第 1 の期間と、第 2 の期間と、を有し、

前記第 1 の期間において前記画素部に静止画が表示され、

前記第 2 の期間において前記画素部に動画が表示され、

前記第 1 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度は、前記第 2 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

20

、
前記第 1 の期間は、前記ゲート線側駆動回路へのクロック信号の供給と、スタートパルス信号の供給と、が停止され、かつ、前記ゲート線側駆動回路に供給される電源電位が高電源電位から低電源電位になる期間を有し、

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【請求項 3】

液晶表示パネルと、コンバータと、を有し、

前記液晶表示パネルは、画素部と、駆動回路と、を有し、

前記画素部は、トランジスタと、液晶素子と、を有し、

前記駆動回路は、ゲート線側駆動回路を有し、

前記トランジスタは、前記液晶素子の画素電極に電氣的に接続されており、

前記トランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記酸化物半導体層上には、ソース電極及びドレイン電極が位置し、

前記酸化物半導体層上、前記ソース電極上、及び前記ドレイン電極上には、酸化シリコン膜が位置し、

前記酸化シリコン膜上には、窒化シリコン膜が位置し、

前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、

前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

40

、
第 1 の期間と、第 2 の期間と、を有し、

前記第 1 の期間において前記画素部に静止画が表示され、

前記第 2 の期間において前記画素部に動画が表示され、

前記第 1 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度は、前記第 2 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

、
前記第 1 の期間は、前記ゲート線側駆動回路へのクロック信号の供給と、スタートパルス信号の供給と、が停止され、かつ、前記ゲート線側駆動回路に供給される電源電位が高電源電位から低電源電位になる期間を有し、

50

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【請求項 4】

液晶表示パネルと、コンバータと、を有し、
前記液晶表示パネルは、画素部と、駆動回路と、を有し、
前記画素部は、トランジスタと、液晶素子と、を有し、
前記駆動回路は、ゲート線側駆動回路を有し、
前記トランジスタは、前記液晶素子の画素電極に電氣的に接続されており、
前記トランジスタは、酸化物半導体層にチャネル形成領域を有し、
前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、
前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

10

、
第 1 の期間と、第 2 の期間と、を有し、
前記第 1 の期間において前記画素部に静止画が表示され、
前記第 2 の期間において前記画素部に動画が表示され、
前記第 1 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度は、前記第 2 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

、
前記第 1 の期間は、前記ゲート線側駆動回路へのスタートパルス信号の供給が停止される第 1 の動作と、前記第 1 の動作の後、前記ゲート線側駆動回路へのクロック信号の供給が停止される第 2 の動作と、前記第 2 の動作の後、前記ゲート線側駆動回路に供給される電源電位が高電源電位から低電源電位になる第 3 の動作と、が行われる期間を有し、

20

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【請求項 5】

液晶表示パネルと、コンバータと、を有し、
前記液晶表示パネルは、画素部と、駆動回路と、を有し、
前記画素部は、トランジスタと、液晶素子と、を有し、
前記駆動回路は、ゲート線側駆動回路を有し、
前記トランジスタは、前記液晶素子の画素電極に電氣的に接続されており、
前記トランジスタは、酸化物半導体層にチャネル形成領域を有し、
前記酸化物半導体層は、In、Ga、及びZnを含み、
前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、
前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

30

、
第 1 の期間と、第 2 の期間と、を有し、
前記第 1 の期間において前記画素部に静止画が表示され、
前記第 2 の期間において前記画素部に動画が表示され、
前記第 1 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度は、前記第 2 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

40

、
前記第 1 の期間は、前記ゲート線側駆動回路へのスタートパルス信号の供給が停止される第 1 の動作と、前記第 1 の動作の後、前記ゲート線側駆動回路へのクロック信号の供給が停止される第 2 の動作と、前記第 2 の動作の後、前記ゲート線側駆動回路に供給される電源電位が高電源電位から低電源電位になる第 3 の動作と、が行われる期間を有し、

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【請求項 6】

50

液晶表示パネルと、コンバータと、を有し、
前記液晶表示パネルは、画素部と、駆動回路と、を有し、
前記画素部は、トランジスタと、液晶素子と、を有し、
前記駆動回路は、ゲート線側駆動回路を有し、
前記トランジスタは、前記液晶素子の画素電極に電氣的に接続されており、
前記トランジスタは、酸化物半導体層にチャネル形成領域を有し、
前記酸化物半導体層上には、ソース電極及びドレイン電極が位置し、
前記酸化物半導体層上、前記ソース電極上、及び前記ドレイン電極上には、酸化シリコン膜が位置し、
前記酸化シリコン膜上には、窒化シリコン膜が位置し、
前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、
前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

10

、
第 1 の期間と、第 2 の期間と、を有し、
前記第 1 の期間において前記画素部に静止画が表示され、
前記第 2 の期間において前記画素部に動画が表示され、
前記第 1 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度は、前記第 2 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

20

、
前記第 1 の期間は、前記ゲート線側駆動回路へのスタートパルス信号の供給が停止される第 1 の動作と、前記第 1 の動作の後、前記ゲート線側駆動回路へのクロック信号の供給が停止される第 2 の動作と、前記第 2 の動作の後、前記ゲート線側駆動回路に供給される電源電位が高電源電位から低電源電位になる第 3 の動作と、が行われる期間を有し、

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【請求項 7】

液晶表示パネルと、コンバータと、を有し、
前記液晶表示パネルは、画素部と、駆動回路と、を有し、
前記画素部は、トランジスタと、液晶素子と、を有し、
前記駆動回路は、ゲート線側駆動回路を有し、
前記トランジスタは、前記液晶素子の画素電極に電氣的に接続されており、
前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、
前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

30

、
第 1 の期間と、第 2 の期間と、を有し、
前記第 1 の期間において前記画素部に静止画が表示され、
前記第 2 の期間において前記画素部に動画が表示され、
前記第 1 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度は、前記第 2 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

40

、
前記第 1 の期間は、前記ゲート線側駆動回路へのクロック信号の供給と、スタートパルス信号の供給と、が停止され、かつ、前記ゲート線側駆動回路に供給される電源電位が高電源電位から低電源電位になる期間を有し、

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【請求項 8】

液晶表示パネルと、コンバータと、を有し、
前記液晶表示パネルは、画素部と、駆動回路と、を有し、

50

前記画素部は、トランジスタと、液晶素子と、を有し、
前記駆動回路は、ゲート線側駆動回路を有し、
前記トランジスタは、前記液晶素子の画素電極に電氣的に接続されており、
前記コンバータは、前記液晶表示パネルに電力を供給する機能を有し、
前記駆動回路は、前記画素部に画像信号を書き込む機能を有する液晶表示装置であって

、
第 1 の期間と、第 2 の期間と、を有し、

前記第 1 の期間において前記画素部に静止画が表示され、

前記第 2 の期間において前記画素部に動画が表示され、

前記第 1 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度は、前記第 2 の期間において前記駆動回路から前記トランジスタを介して前記液晶素子の画素電極に前記画像信号を書き込む頻度よりも低く

10

、
前記第 1 の期間は、前記ゲート線側駆動回路へのスタートパルス信号の供給が停止される第 1 の動作と、前記第 1 の動作の後、前記ゲート線側駆動回路へのクロック信号の供給が停止される第 2 の動作と、前記第 2 の動作の後、前記ゲート線側駆動回路に供給される電源電位が高電源電位から低電源電位になる第 3 の動作と、が行われる期間を有し、

前記トランジスタが非導通状態になることで前記液晶素子の画素電極が浮遊状態となることを特徴とする液晶表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

表示装置及びその駆動方法に関する。

【背景技術】

【0002】

半導体素子の集積化が進み演算素子の処理能力が向上した結果、電子機器は小型化、軽量化し、高機能な電子機器を携帯して利用できるようになった。また、記憶素子の大容量化だけでなく、社会の情報伝達基盤が充足することで、外出先であっても携帯可能な電子機器を利用して大量の情報を取り扱うことができるようになった。特に、使用者に視覚を通じて情報を伝達する表示装置は、電子機器の発達に伴い重要度を増している。

30

【0003】

一方、携帯可能な電子機器は、電灯線からの受電が困難な状況であっても連続して長い時間動作することが望まれる。動作可能な時間を長くするために、バッテリーの容量の増大と、消費電力の低減に対する要求は極めて強い。

【0004】

また、昨今のエネルギー問題の観点からも、電子機器の消費電力の低減は急務であり、携帯可能な電子機器に限らず、大型化が進むテレビジョン装置なども消費電力を抑制する技術が求められている。

【0005】

従来の表示装置は、連続する期間の画像データが同じ場合であっても、一定の間隔で同じ画像データを書き込む動作を行っている。このような表示装置の消費電力を抑制するために、例えば、静止画表示において、画面を一回走査し画像データを書き込んだ後、非走査期間として走査期間よりも長い休止期間を設ける技術が報告されている（例えば、特許文献 1 及び非特許文献 1 参照。）。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】米国特許第 7 3 2 1 3 5 3 号明細書

【非特許文献】

【0007】

50

【非特許文献１】K. Tsuda他. IDW '02 Proc., p. 295 - 298

【発明の概要】

【発明が解決しようとする課題】

【０００８】

表示装置の消費電力は、表示パネルが書き込み動作時に消費する電力と、書き込まれた画像を保持している期間（画像保持期間ともいう）に消費する電力の和となる。従って、表示装置の表示パネルへの書き込み頻度を少なくするだけでなく、画像保持期間の消費電力も抑制する必要がある。

【０００９】

本発明は、このような技術的背景のもとでなされたものであり、画像保持期間に消費する電力が抑制された表示装置を提供することを課題とする。

10

【課題を解決するための手段】

【００１０】

上記目的を達成するために、本発明は表示パネルの駆動回路に設けた電源回路のDC-DCコンバータが画像保持期間に消費する電力に着眼した。

【００１１】

例えば、液晶表示パネルに設けた各画素の画素電極と、共通電極の間に形成される容量が保持する画像情報を、画像保持期間中に劣化することなく高品位に保つために、電源回路は共通電極に固定電位を供給する必要がある。共通電極に供給する固定電位は、バッテリー等の外部電源が提供する電力から電源回路に設けたDC-DCコンバータにより生成されるため、DC-DCコンバータの変換効率は画像保持期間に消費する電力に影響を与える。

20

【００１２】

DC-DCコンバータの変換効率は、消費する電力に対する出力する電力の比で表され、接続する負荷が大きい時に高い変換効率を示すDC-DCコンバータを用いることが好ましい。しかし、DC-DCコンバータの変換効率は接続する負荷の大きさに依存して変化するため、負荷が大きい時に高い変換効率を示すDC-DCコンバータに、負荷が小さい時にも高い変換効率を望むことはできない。

【００１３】

例えば負荷として液晶表示パネルを接続する場合、書き込み動作時に75%程度の高い変換効率を示すDC-DCコンバータを選択して用いる。しかし、画像保持期間に消費する電力は、書き込み動作時に消費する電力の 10^{-1} 倍から、 10^{-4} 倍程度であり、画像保持期間のDC-DCコンバータの変換効率は数十%程度に低下してしまう場合がある。

30

【００１４】

このように、変動が大きい負荷が接続されたDC-DCコンバータが消費する電力を低減するには、負荷が大きくなる際には高い変換効率を示すDC-DCコンバータを用い、負荷が小さくなる際には別の手段で固定電位を供給すればよいことに発明者は想到した。

【００１５】

具体的には、液晶表示装置に電源入力を所定の直流電力に変換するコンバータとバックアップ回路を設け、負荷が大きくなる書き込み動作時にはコンバータを用いて固定電位を供給すると共にバックアップ回路に設けたキャパシタを充電し、負荷が小さくなる画像保持期間にはコンバータを用いることなく充電されたキャパシタから優先的に固定電位を供給すればよい。

40

【００１６】

なお、バックアップ回路は、電源からコンバータを介して電力を液晶表示パネル、及びキャパシタに供給する第1のモードと、電源からコンバータへの電力の供給を停止して、キャパシタに蓄えた電力を液晶表示パネルに供給する第2のモードを備える。

【００１７】

すなわち本発明の一態様は、電源入力を所定の直流電力に変換するコンバータと、コンバータが出力する電力を充電するキャパシタを有するバックアップ回路と、コンバータ又は

50

バックアップ回路から供給される電力で駆動され、同一画像を一定期間保持する機能を有し、画像書き込み時の消費電力が、画像保持期間の消費電力の10倍以上 10^4 倍以下である液晶表示パネルを有する。さらに、バックアップ回路は、コンバータを介して電力を液晶表示パネル、及びキャパシタに供給する第1のモードと、コンバータへの電力の供給を停止して、キャパシタに蓄えた電力を液晶表示パネルに供給する第2のモードを備える。加えて、画像保持期間に第2のモードにより液晶表示パネルに電力を供給する液晶表示装置である。

【0018】

上記本発明の一態様によれば、液晶表示パネルが同一の画像を保持する期間に、電源入力を所定の直流電力に変換するコンバータが停止して、バックアップ回路のキャパシタが液晶表示パネルに固定電位を供給する。これにより、コンバータの変換効率が悪い負荷領域、具体的には極めて負荷が小さい領域である液晶表示パネルの画像保持期間にコンバータが電力を消費しなくなるため、画像保持期間に消費する電力が抑制された液晶表示装置を提供できる。

10

【0019】

また本発明の一態様は、電源入力を所定の直流電力に変換するコンバータと、コンバータが出力する電力を充電するキャパシタを有するバックアップ回路と、コンバータ又はバックアップ回路から供給される電力で駆動され、同一画像を一定期間保持する機能を有し、画像書き込み時の消費電力が、画像保持期間の消費電力の10倍以上 10^4 倍以下である液晶表示パネルを有する。さらに、バックアップ回路は、コンバータを介して電力を液晶表示パネル、及びリミッタ回路が接続されたキャパシタに供給する第1のモードと、コンバータへの電力の供給を停止して、キャパシタに蓄えた電力を液晶表示パネルに供給する第2のモードを備える。加えて、画像保持期間に第2のモードにより液晶表示パネルに電力を供給する液晶表示装置である。

20

【0020】

上記本発明の一態様によれば、液晶表示パネルが同一の画像を保持する期間に、コンバータが停止して、充電リミッタ付バックアップ回路のキャパシタが液晶表示パネルに固定電位を供給する。これにより、コンバータの変換効率が悪い負荷領域、具体的には極めて負荷が小さい領域である液晶表示パネルの画像保持期間にコンバータが電力を消費しなくなるため、画像保持期間に消費する電力が抑制された液晶表示装置を提供できる。

30

【0021】

また、本発明の一態様は充電リミッタ付バックアップ回路を備えている。充電リミッタ付バックアップ回路のキャパシタがリミッタ回路を介してコンバータと接続されているため、電荷で満たされていないキャパシタがコンバータに接続されてもキャパシタへの急激な充電による不具合を解消できる。

【0022】

また本発明の一態様は、同一画像信号を10秒以上600秒以下の間隔で液晶表示パネルに書き込む上記の液晶表示装置である。

【0023】

上記本発明の一態様によれば、コンバータの停止期間を長くすることが可能になり、消費電力の低減に顕著な効果を発現する。

40

【0024】

また本発明の一態様は、電源入力を所定の直流電力に変換するコンバータを介して供給される電力を用いて、バックアップ回路が備えるキャパシタの充電、並びに液晶表示パネルへの画像の書き込みを行い、設定間隔毎に前記液晶表示パネルの画素トランジスタのゲート電位、並びにバックアップ回路に設けたキャパシタの電位を監視し、画素トランジスタのゲート電位の絶対値が第1の設定電位より小さくなるとコンバータに電力を供給し、キャパシタの電位が第2の設定電位より大きくなるとコンバータへの電力を切断し、設定時間が経過、または割り込み命令により中断するまで、前記監視動作を繰り返す液晶表示装置の駆動方法である。

50

【 0 0 2 5 】

上記本発明の一態様によれば、バックアップ回路に設けたキャパシタの電位に応じて、画像保持期間に液晶表示パネルに供給する固定電位を選択する。これにより、コンバータの変換効率が悪い負荷領域、具体的には極めて負荷が小さい領域である液晶表示パネルの画像保持期間にコンバータが電力を消費しなくなるため、画像保持期間に消費する電力が抑制された液晶表示装置の駆動方法を提供できる。

【 0 0 2 6 】

上記本発明の一態様によれば、画素トランジスタのゲート電位の絶対値が設定電位より小さくなるとコンバータに電力を供給し、キャパシタの液晶表示パネル側の電位が設定電位より大きくなるとコンバータへの電力の供給を遮断する。これによりバックアップ回路がコンバータの負荷となり、変換効率の高い領域を利用してバックアップ回路のキャパシタに充電することができる。

10

【 0 0 2 7 】

また本発明の一態様は、上記第 1 の設定電位が、5 V 以上である上記液晶表示装置の駆動方法である。

【 0 0 2 8 】

上記本発明の一態様によれば、液晶表示パネルの画素部に設けた画素トランジスタのゲート電位の絶対値が 5 V より大きい値になるように保つ。これによりバックアップ回路が供給する電位により、画素トランジスタがオフ状態を保つことができ、保持画像が乱れる現象を防ぐことができる。

20

【 0 0 2 9 】

また本発明の一態様は、第 2 の設定電位が、コンバータの出力電位の 9 8 % 以下である上記液晶表示装置の駆動方法である。

【 0 0 3 0 】

上記本発明の一態様によれば、バックアップ回路が備えるキャパシタの充電が満了に近づきすぎると負荷が小さくなる。この低負荷領域での充電を排除することで、変換効率の高い領域を優先的に利用してバックアップ回路のキャパシタに充電することができる。

【 0 0 3 1 】

なお、本明細書において、高電源電位 V_{dd} とは、基準電位より高い電位のことであり、低電源電位 V_{ss} とは基準電位以下の電位のことをいう。また、高電源電位 V_{dd} 及び低電源電位 V_{ss} はともに、トランジスタが動作できる程度の電位であることが望ましい。なお高電源電位 V_{dd} 及び低電源電位 V_{ss} を併せて、電源電圧と呼ぶこともある。また、本明細書において接続されているとは、電氣的に接続されていることをいう。

30

【 0 0 3 2 】

また、本明細書において、共通電位 V_{com} は、画素電極に供給される画像信号の電位に対して基準となる固定電位であればよく、一例としてはグラウンド電位であってもよい。

【 発明の効果 】

【 0 0 3 3 】

本発明によれば、画像保持期間に消費する電力が抑制された表示装置を提供できる。

【 図面の簡単な説明 】

40

【 0 0 3 4 】

【 図 1 】 実施の形態に係わる液晶表示装置の構成を説明するブロック図。

【 図 2 】 実施の形態に係わる電源回路の構成を説明するブロック図。

【 図 3 】 実施の形態に係わる液晶表示パネルの構成を説明する等価回路図。

【 図 4 】 実施の形態に係わる液晶表示装置の駆動方法を説明するタイミングチャート。

【 図 5 】 実施の形態に係わる液晶表示装置の駆動方法を説明するタイミングチャート。

【 図 6 】 実施の形態に係わる液晶表示装置の駆動方法を説明するタイミングチャート。

【 図 7 】 実施の形態に係わる電源回路の駆動方法を説明する図。

【 図 8 】 実施の形態に係わる電源回路の駆動方法を説明する図。

【 図 9 】 実施の形態に係わるトランジスタの作製方法を説明する図。

50

【図 1 0】実施例に係わる液晶表示装置の構成を説明するブロック図。

【図 1 1】実施例に係わるバックアップ回路の構成を説明する回路図。

【図 1 2】実施例に係わる液晶表示装置の画像保持時間と駆動可能な時間の関係を説明する図。

【発明を実施するための形態】

【 0 0 3 5 】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【 0 0 3 6 】

(実施の形態 1)

本実施の形態では、入力される電源電位を所定の直流電位に変換するコンバータまたはバックアップ回路から供給される電力で駆動する液晶表示パネルを備える液晶表示装置について図 1、及び図 2 を用いて説明する。

【 0 0 3 7 】

本実施の形態で例示する液晶表示装置 1 0 0 の構成を、図 1 に示すブロック図を用いて説明する。液晶表示装置 1 0 0 は駆動回路部 1 1 0、液晶表示パネル 1 2 0、記憶装置 1 4 0、電源部 1 5 0、並びに入力装置 1 6 0 を備える。なお、バックライト部 1 3 0 は必要に応じて設けることができる。

20

【 0 0 3 8 】

液晶表示装置 1 0 0 は、電源部 1 5 0 から電源回路 1 1 6 に電力が供給されている。電源回路 1 1 6 は表示制御回路 1 1 3 並びに液晶表示パネル 1 2 0 に電源電位を供給する。表示制御回路 1 1 3 は記憶装置 1 4 0 に記憶された電子情報を取り込み、液晶表示パネル 1 2 0 に出力する。また、バックライト部 1 3 0 を備えている場合は、表示制御回路 1 1 3 は電源電位及び制御信号をバックライト部 1 3 0 に出力する。

【 0 0 3 9 】

駆動回路部 1 1 0 は開閉回路 1 1 2、表示制御回路 1 1 3、並びに電源回路 1 1 6 を備え、表示制御回路 1 1 3 は演算回路 1 1 4、信号生成回路 1 1 5 a、並びに液晶駆動回路 1 1 5 b を備える。また、電源回路 1 1 6 は電源電位生成回路 1 1 7、第 1 の DC - DC コンバータ 1 1 8 a、第 2 の DC - DC コンバータ 1 1 8 b、第 3 の DC - DC コンバータ 1 1 8 c、第 1 のバックアップ回路 1 1 9 a、並びに第 2 のバックアップ回路 1 1 9 b を備える。

30

【 0 0 4 0 】

電源回路 1 1 6 において、電源部 1 5 0 から供給される電源電位を第 1 の DC - DC コンバータ 1 1 8 a は第 1 のバックアップ回路 1 1 9 a を介して昇圧し、第 2 の DC - DC コンバータ 1 1 8 b は第 2 のバックアップ回路 1 1 9 b を介して反転し、電源電位生成回路 1 1 7 に供給する。電源電位生成回路 1 1 7 は表示制御回路 1 1 3 に電源電位（高電源電位 V_{dd} 、及び低電源電位 V_{ss} ）と液晶表示パネル 1 2 0 に共通電位 V_{com} を供給する。また、第 3 の DC - DC コンバータ 1 1 8 c は電源部 1 5 0 から供給される電力を降圧して表示制御回路 1 1 3 の演算回路 1 1 4 に供給する。

40

【 0 0 4 1 】

第 1 のバックアップ回路 1 1 9 a、及び第 2 のバックアップ回路 1 1 9 b の構成を、図 2 に示すブロック図を用いて説明する。なお、図 2 は、図 1 から電源回路 1 1 6 を中心に抜粋したブロック図であり、同じ構成には同じ符号を用いている。また第 1 のバックアップ回路 1 1 9 a、及び第 2 のバックアップ回路 1 1 9 b は同じ構成を有するため、ここでは第 1 のバックアップ回路 1 1 9 a について説明する。

【 0 0 4 2 】

50

第1のバックアップ回路119aは、第1のDC-DCコンバータ118aの端子に第1の開閉器190aの一方の端子が接続されている。また、第1のDC-DCコンバータ118aの同じ端子には第1のリミッタ回路191aの一方の端子が接続され、第1のリミッタ回路191aの他方の端子が第2の開閉器193aの一方の端子に接続されている。第2の開閉器193aの他方の端子はキャパシタ192aの一方の端子195aと第3の開閉器194aの一方の端子に接続され、キャパシタ192aの他方の端子は接地されている。第1の開閉器190aの他方の端子と、第3の開閉器194aの他方の端子は共に電源電位生成回路117に接続し、第1のDC-DCコンバータ118aが供給する電位を、電源電位生成回路117を介して図2に図示されていない液晶表示パネル120に出力している。

10

【0043】

本実施の形態で例示する第1のバックアップ回路119aは、キャパシタの他に第1のリミッタ回路191aを備えているため、充電リミッタ付バックアップ回路とも言うことができる。第1のリミッタ回路191aは、キャパシタ192aが低い充電状態において第1のDC-DCコンバータ118aを流れる電流を制限し、第1のDC-DCコンバータ118aが出力する電位が降下する現象を抑制し、液晶表示装置100の動作を安定させる。なお、リミッタ回路を用いない構成とすることもできる。

【0044】

演算回路114は電源回路116を監視している。具体的には第1のバックアップ回路119aが備えるキャパシタ192aの端子195aの電位と、第2のバックアップ回路119bが備えるキャパシタ192bの端子195bの電位、並びに電源電位生成回路117が出力する電源電位（例えば、 V_{dd} 、及び V_{ss} ）を監視する。これらの電位を監視して、キャパシタ192a、及びキャパシタ192bの充電状態並びに、液晶表示パネル120の表示状態を知ることができる。

20

【0045】

また、演算回路114は開閉回路112を制御する。演算回路114はキャパシタ192a、キャパシタ192bの充電状態（または端子195a、端子195bの電位）、乃至画素トランジスタのゲート電位（または画素トランジスタのゲート電極に電氣的に接続する配線の電位）に応じて、開閉回路112を介して第1のDC-DCコンバータ118a、及び第2のDC-DCコンバータ118bへの電力の供給を制御できる。

30

【0046】

なお、バックアップ回路に設けた第1の開閉器190a、第1の開閉器190b、第2の開閉器193a、第2の開閉器193b、第3の開閉器194a、及び第3の開閉器194bは開閉回路112と接続・切断のタイミングが同期する。具体的には、開閉回路112を介して電源部150と電源回路116が接続する状態では、第1の開閉器190a、第1の開閉器190b、第2の開閉器193a、及び第2の開閉器193bは全て接続状態となり、第3の開閉器194a、及び第3の開閉器194bは切断状態となる。また、開閉回路112が切断状態では、第1の開閉器190a、第1の開閉器190b、第2の開閉器193a、及び第2の開閉器193bは全て切断状態となり、第3の開閉器194a、及び第3の開閉器194bは接続状態となる。なお、開閉器の代わりに整流素子を用いてバックアップ回路を構成することもできる。

40

【0047】

第1のDC-DCコンバータ118a、及び第2のDC-DCコンバータ118bへの電力の供給を制御することにより、負荷が大きくなる書き込み動作時にはDC-DCコンバータを用いて固定電位を供給すると共にキャパシタを充電し、負荷が小さくなる画像保持期間にはDC-DCコンバータを用いることなくキャパシタから優先的に固定電位を供給できる。

【0048】

表示制御回路113において（図1参照）、演算回路114は記憶装置140から取り出した電子データを解析、演算、及び加工処理する。処理した画像を制御信号と共に液晶駆

50

動回路 1 1 5 b に出力し、液晶駆動回路 1 1 5 b は画像を液晶表示パネル 1 2 0 が表示可能な画像信号 D a t a に変換して出力する。また、信号生成回路 1 1 5 a は演算回路 1 1 4 に同期して、電源電位から制御信号（スタートパルス S P、及びクロック信号 C K）を液晶表示パネル 1 2 0 に供給する。なお、演算回路 1 1 4 は液晶表示パネル 1 2 0 の共通電極 1 2 8 の電位を浮遊状態（フローティング）にする制御信号を、信号生成回路 1 1 5 a を介してスイッチング素子 1 2 7 に出力するようにしてもよい。

【 0 0 4 9 】

画像信号 D a t a は、ドット反転駆動、ソースライン反転駆動、ゲートライン反転駆動、フレーム反転駆動等の方法で適宜反転する構成とすればよい。また、外部から画像信号を入力してもよく、画像信号がアナログの信号の場合には、A / D コンバータ等を介してデジタルの信号に変換して、液晶表示装置 1 0 0 に供給する構成とすればよい。

10

【 0 0 5 0 】

また、演算回路 1 1 4 は開閉回路 1 1 2 を用いて、電源部 1 5 0 から第 1 の D C - D C コンバータ 1 1 8 a、及び第 2 の D C - D C コンバータ 1 1 8 b への電力の供給を制御する。さらに演算回路 1 1 4 は第 1 のバックアップ回路 1 1 9 a、及び第 2 のバックアップ回路 1 1 9 b が備えるキャパシタの充電状況、並びに表示パネルのゲート電位を監視する。

【 0 0 5 1 】

演算回路 1 1 4 が記憶装置から取り出した電子データを解析、演算、及び加工処理する内容としては、例えば電子データを解析し動画であるか静止画であるかを判断し、判断結果を含む制御信号を信号生成回路 1 1 5 a、及び液晶駆動回路 1 1 5 b に出力できる。また、演算回路 1 1 4 は、静止画を含む画像信号 D a t a から 1 フレームの静止画を切り出し、静止画であることを意味する制御信号と共に信号生成回路 1 1 5 a、及び液晶駆動回路 1 1 5 b に出力できる。また、演算回路 1 1 4 は、動画を含む画像信号 D a t a から動画を検知し、動画であることを意味する制御信号と共に連続するフレームを液晶表示パネル 1 2 0 に出力できる。

20

【 0 0 5 2 】

演算回路 1 1 4 は入力される電子データに応じて本実施の形態の液晶表示装置 1 0 0 に異なる動作をさせる。なお、本実施の形態において、演算回路 1 1 4 が画像を静止画と判断しておこなう動作を静止画表示モード、演算回路 1 1 4 が画像を動画と判断しておこなう動作を動画表示モードとよぶ。また、本明細書では静止画表示の時に表示される画像を静止画像とよぶ。

30

【 0 0 5 3 】

また、本実施の形態で例示される演算回路 1 1 4 は、表示モード切り替え機能を有していてもよい。表示モード切り替え機能は、演算回路 1 1 4 の判断によらず、当該液晶表示装置の利用者が手動または外部接続機器を用いて当該液晶表示装置の動作モードを選択し、動画表示モードまたは静止画表示モードを切り替える機能である。

【 0 0 5 4 】

上述した機能は演算回路 1 1 4 が有する機能の一例であり、表示装置の用途に応じて種々の画像処理機能を選択して適用すればよい。

【 0 0 5 5 】

なお、デジタル信号に変換された画像信号は演算（例えば画像信号の差分を検出する等）が容易であるため、入力される画像信号（画像信号 D a t a）がアナログの信号の場合には、A / D コンバータ等を演算回路 1 1 4 に設けることができる。

40

【 0 0 5 6 】

記憶装置 1 4 0 は記憶媒体と読み出し装置を備える。なお、記憶媒体に書き込み可能な構成としてもよい。

【 0 0 5 7 】

電源部 1 5 0 は、二次電池 1 5 1 と太陽電池 1 5 5 を備える。二次電池はキャパシタを用いることもできる。なお、電源部 1 5 0 としてはこれに限定されず、電池、発電装置等の他、電灯線に接続した交流 - 直流変換器を電源部 1 5 0 に適用することができる。

50

【 0 0 5 8 】

入力装置 1 6 0 としては、開閉器やキーボードを用いればよく、液晶表示パネル 1 2 0 にタッチパネルを設けて用いてもよい。使用者は入力装置 1 6 0 を用いて、記憶装置 1 4 0 に記憶された電子データを選択し、液晶表示装置 1 0 0 に表示する命令を入力できる。

【 0 0 5 9 】

液晶表示パネル 1 2 0 は一对の基板（第 1 の基板と第 2 の基板）を有する。また、液晶層を一对の基板の間に挟持して液晶素子 2 1 5 を形成している。第 1 の基板上には、画素駆動回路部 1 2 1、画素部 1 2 2、及び端子部 1 2 6 が設けられている。また、スイッチング素子 1 2 7 を設けてもよい。第 2 の基板上には、共通電極 1 2 8（コモン電極、または対向電極ともいう）が設けられている。なお、本実施の形態においては、共通接続部（コモンコンタクトともいう）が第 1 の基板、または第 2 の基板に設けられ、第 1 の基板上の接続部と第 2 の基板上の共通電極 1 2 8 が接続されている。

10

【 0 0 6 0 】

画素部 1 2 2 には、複数のゲート線 1 2 4（走査線）、及びソース線 1 2 5（信号線）が設けられており、複数の画素 1 2 3 がゲート線 1 2 4 及びソース線 1 2 5 に環囲されてマトリクス状に設けられている。なお、本実施の形態で例示する液晶表示パネル 1 2 0 においては、ゲート線 1 2 4 はゲート線側駆動回路 1 2 1 A から延在し、ソース線 1 2 5 はソース線側駆動回路 1 2 1 B から延在している。

【 0 0 6 1 】

画素 1 2 3 はスイッチング素子としてトランジスタ 2 1 4、該トランジスタ 2 1 4 と接続する容量素子 2 1 0、及び液晶素子 2 1 5 を有する。

20

【 0 0 6 2 】

トランジスタ 2 1 4 は、ゲート電極が画素部 1 2 2 に設けられた複数のゲート線 1 2 4 のうちのひとつと接続され、ソース電極またはドレイン電極の一方が複数のソース線 1 2 5 のうちのひとつと接続され、ソース電極またはドレイン電極の他方が容量素子 2 1 0 の一方の電極、及び液晶素子 2 1 5 の一方の電極（画素電極）と接続される。

【 0 0 6 3 】

またトランジスタ 2 1 4 はオフ電流が低減されたトランジスタを用いることが好ましく、例えば実施の形態 3 で説明するトランジスタが好適である。オフ電流が低減されていると、オフ状態のトランジスタ 2 1 4 は、液晶素子 2 1 5、及び容量素子 2 1 0 に安定して電荷を保持できる。また、オフ電流が充分低減されたトランジスタ 2 1 4 を用いることによって、容量素子 2 1 0 を設けることなく画素 1 2 3 を構成することもできる。

30

【 0 0 6 4 】

このような構成とすることで画素 1 2 3 は、トランジスタ 2 1 4 がオフ状態になる前に書き込まれた状態を長時間に渡って保持でき、消費電力を低減できる。

【 0 0 6 5 】

液晶素子 2 1 5 は、液晶の光学的変調作用によって光の透過又は非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界によって制御される。液晶にかかる電界方向は液晶材料、駆動方法、及び電極構造によって異なり、適宜選択することができる。例えば、液晶の厚さ方向（いわゆる縦方向）に電界をかける駆動方法を用いる場合は液晶を挟持するように第 1 の基板に画素電極を、第 2 の基板に共通電極をそれぞれ設ける構造とすればよい。また、液晶に基板面内方向（いわゆる横電界）に電界をかける駆動方法を用いる場合は、液晶に対して同一面に、画素電極と共通電極を設ける構造とすればよい。また画素電極及び共通電極は、多様な開口パターンを有する形状としてもよい。

40

【 0 0 6 6 】

液晶素子に適用する液晶の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子分散型液晶（P D L C）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、バナナ型液晶などを挙げることができる。

【 0 0 6 7 】

50

また、液晶の駆動モードとしては、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、OCB (Optically Compensated Birefringence) モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモードなどを用いることができる。また、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モードなどを適宜用いることができる。もちろん、本実施の形態においては光学的変調作用によって光の透過又は非透過を制御する素子であれば、液晶材料、駆動方法、及び電極構造は特に限定されない。

【0068】

なお、本実施の形態で例示する液晶素子は第1の基板に設けられた画素電極と、第2の基板に設けられた画素電極に対向する共通電極の間に生じる縦方向の電界により、液晶の配向を制御するが、例示した液晶材料、又は液晶の駆動モードに応じ、画素電極を適宜変更して横電界により液晶の配向を制御する構成にすることもできる。

【0069】

端子部126は、表示制御回路113が出力する所定の信号（高電源電位V_{dd}、低電源電位V_{ss}、スタートパルスSP、クロック信号CK、及び画像信号Data等）、並びに共通電位V_{com}等を画素駆動回路部121に供給する入力端子である。

【0070】

画素駆動回路部121は、ゲート線側駆動回路121A、ソース線側駆動回路121Bを有する。ゲート線側駆動回路121A、ソース線側駆動回路121Bは、複数の画素を有する画素部122を駆動するための駆動回路であり、シフトレジスタ回路（シフトレジスタともいう）を有する。

【0071】

なお、ゲート線側駆動回路121A、及びソース線側駆動回路121Bは、画素部122と同じ基板に形成されるものでもよいし、別の基板に形成されるものであってもよい。

【0072】

また画素駆動回路部121には、表示制御回路113によって制御された高電源電位V_{dd}、低電源電位V_{ss}、スタートパルスSP、クロック信号CK、画像信号Dataが供給される。

【0073】

スイッチング素子127を設ける場合は、トランジスタを適用することができる。スイッチング素子127のゲート電極は端子126Aに接続され、表示制御回路113が出力する制御信号に応じて、共通電位V_{com}を、端子126Bを介して共通電極128に供給する。スイッチング素子127のゲート電極及びソース電極またはドレイン電極の一方を端子部126に接続し、他方を共通電極128に接続して、電源電位生成回路117から共通電極128に共通電位V_{com}が供給されるようにすればよい。なお、スイッチング素子127は画素駆動回路部121、または画素部122と同じ基板に形成されるものでもよいし、別の基板に形成されるものであってもよい。

【0074】

また、スイッチング素子127として例えば実施の形態3で説明するオフ電流が低減されたトランジスタを用いることにより、液晶素子215の両端子に加わる電位の経時的な低下を抑制できる。

【 0 0 7 5 】

共通電極 1 2 8 は、電源電位生成回路 1 1 7 から供給される共通電位 V_{com} を与える共通電位線と、共通接続部において電氣的に接続する。

【 0 0 7 6 】

共通接続部の具体的な一例としては、絶縁性球体に金属薄膜が被覆された導電粒子を間に介することにより共通電極 1 2 8 と共通電位線との電氣的な接続を図ることができる。なお、共通接続部は、液晶表示パネル 1 2 0 内に複数箇所設けられる構成としてもよい。

【 0 0 7 7 】

また、測光回路を液晶表示装置に設けてもよい。測光回路を設けた液晶表示装置は当該液晶表示装置がおかれている環境の明るさを検知できる。液晶表示装置が薄暗い環境で使用されていることが判明すると表示制御回路 1 1 3 はバックライト 1 3 2 の光の強度を高めるように制御して表示画面の良好な視認性を確保し、反対に液晶表示装置が極めて明るい外光下（例えば屋外の直射日光下）で利用されていることが判明すると、表示制御回路 1 1 3 はバックライト 1 3 2 の光の強度を抑えるように制御しバックライト 1 3 2 が消費する電力を低下させる。このように、測光回路から入力される信号に応じて、表示制御回路 1 1 3 がバックライト、サイドライト等の光源の駆動方法を制御することができる。

【 0 0 7 8 】

バックライト部 1 3 0 はバックライト制御回路 1 3 1、及びバックライト 1 3 2 を有する。バックライト 1 3 2 は、液晶表示装置 1 0 0 の用途に応じて選択して組み合わせればよく、発光ダイオード（LED）などを用いることができる。バックライト 1 3 2 には例えば白色の発光素子（例えば LED）を配置することができる。バックライト制御回路 1 3 1 には、表示制御回路 1 1 3 からバックライトを制御するバックライト信号、及び電源電位が供給される。もちろんバックライト部 1 3 0 を用いず、外光で表示を視認できる反射型の液晶表示パネルは消費電力が少ないため好ましい。

【 0 0 7 9 】

バックライト部 1 3 0、及び液晶表示パネル 1 2 0 の画素電極に可視光を透過する領域を設けることで、透過型、または半透過型の液晶表示装置を提供できる。透過型、または半透過型の液晶表示装置は薄暗い場所であっても、表示画像を視認できるため便宜である。

【 0 0 8 0 】

なお、必要に応じて光学フィルム（偏光フィルム、位相差フィルム、反射防止フィルムなど）も適宜組み合わせる用いることができる。半透過型液晶表示装置に用いられるバックライト等の光源は、液晶表示装置 1 0 0 の用途に応じて選択して組み合わせればよく、冷陰極管や発光ダイオード（LED）などを用いることができる。また複数の LED 光源、または複数のエレクトロルミネセンス（EL）光源などを用いて面光源を構成してもよい。面光源として、3 種類以上の LED を用いてもよいし、白色発光の LED を用いてもよい。なお、バックライトに RGB の発光ダイオード等を配置し、時分割によりカラー表示する継時加法混色法（フィールドシーケンシャル法）を採用するときには、カラーフィルタを設けない場合もある。バックライトの光を吸収するカラーフィルタを用いない継時加法混色法を適用することで、消費電力を低減できる。

【 0 0 8 1 】

本実施の形態で例示した液晶表示装置によれば、液晶表示パネルが同一の画像を保持する期間に、DC - DC コンバータを停止することができる。DC - DC コンバータの停止期間中にバックアップ回路のキャパシタが液晶表示パネルに固定電位を供給するため、DC - DC コンバータの変換効率が悪い負荷領域、具体的には極めて負荷が小さい領域である液晶表示パネルの画像保持期間に DC - DC コンバータが電力を消費しなくなるため、画像保持期間に消費する電力が抑制された表示装置を提供できる。

【 0 0 8 2 】

また、本実施の形態で例示した液晶表示装置は充電リミッタ付バックアップ回路を備えている。充電リミッタ付バックアップ回路のキャパシタがリミッタ回路を介して DC - DC コンバータと接続されているため、電荷で満たされていないキャパシタが DC - DC コン

10

20

30

40

50

バータに接続されてもキャパシタへの急激な充電による不具合を解消できる。

【 0 0 8 3 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 0 8 4 】

(実施の形態 2)

本実施の形態では、D C - D C コンバータまたはバックアップ回路から供給される電力で駆動する液晶表示パネルを備える液晶表示装置の駆動方法について図 3、乃至図 8 を用いて説明する。

【 0 0 8 5 】

図 1 に例示した液晶表示装置 1 0 0 の駆動方法について、図 3、乃至図 6 を用いて説明する。本実施の形態で説明する液晶表示装置の駆動方法は、表示する画像の特性に応じて、表示パネルの書き換え頻度（または周波数）を変え、負荷が大きくなる書き込み動作時には D C - D C コンバータを用いて固定電位を供給すると共にキャパシタを充電し、負荷が小さくなる画像保持期間には D C - D C コンバータを用いることなくキャパシタから優先的に固定電位を供給する表示方法である。

【 0 0 8 6 】

具体的には、連続するフレームの画像信号が異なる画像（動画）を表示する場合は、フレーム毎に画像信号が書き込まれる表示モードを用いる。一方、連続するフレームの画像信号が同一な画像（静止画）を表示する場合は、同一な画像を表示し続ける期間に新たに画像信号は書き込まれないか、書き込む頻度を極めて少なくし、さらに液晶素子に電圧を印加する画素電極及び共通電極の電位を浮遊状態（フローティング）にして液晶素子にかかる電圧を保持し、新たに電位を供給することなく静止画の表示を行う表示モードを用いる。

【 0 0 8 7 】

また、負荷が大きくなる書き込み動作時には D C - D C コンバータを用いて固定電位を供給すると共にキャパシタを充電し、同一な画像を表示し続ける期間には D C - D C コンバータへの電力の供給を止め、キャパシタから優先的に固定電位を供給する。

【 0 0 8 8 】

なお、液晶表示装置は動画と静止画を組み合わせる画面に表示する。動画は、複数のフレームに時分割した複数の異なる画像を高速に切り替えることで人間の目に動く画像として認識される画像をいう。具体的には、1 秒間に 6 0 回（6 0 フレーム）以上画像を切り替えることで、人間の目にはちらつきが少なく動画と認識されるものとなる。一方、静止画は、動画及び部分動画と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させていても、連続するフレーム期間、例えば n フレーム目と、(n + 1) フレーム目とで変化しない画像のことをいう。

【 0 0 8 9 】

はじめに、液晶表示装置 1 0 0 に電力を供給する。電源電位生成回路 1 1 7 は、共通電位 V c o m と、表示制御回路 1 1 3 を介して電源電位（高電源電位 V d d、及び低電源電位 V s s）、並びに制御信号（スタートパルス S P、及びクロック信号 C K）を液晶表示パネル 1 2 0 に供給する。

【 0 0 9 0 】

液晶表示装置 1 0 0 の演算回路 1 1 4 は、表示する電子データを解析する。ここでは、電子データが動画と静止画を含み、演算回路 1 1 4 が動画と静止画を判別して、それぞれで異なる信号を出力する処理を行う場合について説明する。

【 0 0 9 1 】

演算回路 1 1 4 が表示する電子データが動画から静止画に移行する際、電子データから静止画を切り出し、静止画であることを意味する制御信号と共に信号生成回路 1 1 5 a、並びに液晶駆動回路 1 1 5 b に出力する。また、電子データが静止画から動画に移行する際に、動画を含む画像信号を、動画であることを意味する制御信号と共に信号生成回路 1 1

10

20

30

40

50

5 a、並びに液晶駆動回路 1 1 5 b に出力する。

【 0 0 9 2 】

次に、画素に供給する信号の様子を、図 3 に示す液晶表示装置の等価回路図、及び図 4 に示すタイミングチャートを用いて説明する。

【 0 0 9 3 】

図 4 に、表示制御回路 1 1 3 がゲート線側駆動回路 1 2 1 A に供給するクロック信号 G C K、及びスタートパルス G S Pを示す。また、表示制御回路 1 1 3 がソース線側駆動回路 1 2 1 B に供給するクロック信号 S C K、及びスタートパルス S S Pを示す。なお、クロック信号の出力のタイミングを説明するために、図 4 ではクロック信号の波形を単純な矩形波で示す。

10

【 0 0 9 4 】

また図 4 には、D a t a l i n e、画素電極の電位、並びに共通電極の電位を示す。なお、スイッチング素子 1 2 7 を備える場合はソース線 1 2 5 の電位、画素電極の電位、端子 1 2 6 A の電位、端子 1 2 6 B の電位、並びに共通電極の電位を示す。

【 0 0 9 5 】

図 4 において期間 1 4 0 1 は、動画を表示するための画像信号を書き込む期間に相当する。期間 1 4 0 1 では画像信号が画素部 1 2 2 の各画素に、共通電位が共通電極に供給されるように動作する。また、負荷が大きい書き込み動作が連続するため、D C - D C コンバータを用いて固定電位を供給すると共にキャパシタを充電する。

【 0 0 9 6 】

20

また、期間 1 4 0 2 は、静止画を表示する期間（画像保持期間ともいう）に相当する。期間 1 4 0 2 では、画素部 1 2 2 の各画素への画像信号 D a t a を停止し、画素トランジスタがオフ状態となる電位をゲート線に供給し、共通電極 1 2 8 へ共通電位を供給する。なお、負荷が小さい画像保持期間 1 4 0 2 にはキャパシタから優先的に固定電位を供給する。なお図 4 に示す期間 1 4 0 2 では、信号生成回路 1 1 5 a、及び液晶駆動回路 1 1 5 b の動作を停止するよう各信号を供給する構成について示したが、期間 1 4 0 2 の長さ及びリフレッシュレートによって、定期的に画像信号を書き込むことで静止画の画像の劣化を防ぐ構成とすることが好ましい。

【 0 0 9 7 】

まず、動画を表示するための画像信号を書き込む期間 1 4 0 1 におけるタイミングチャートを説明する。期間 1 4 0 1 では、クロック信号 G C K として、常時クロック信号が供給され、スタートパルス G S P として、垂直同期周波数に応じたパルスが供給される。また、期間 1 4 0 1 では、クロック信号 S C K として、常時クロック信号が供給され、スタートパルス S S P として、1 ゲート選択期間に応じたパルスが供給される。

30

【 0 0 9 8 】

また、各行の画素に画像信号 D a t a がソース線 1 2 5 を介して供給され、ゲート線 1 2 4 の電位に応じて画素電極にソース線 1 2 5 の電位が供給される。

【 0 0 9 9 】

また、表示制御回路 1 1 3 がスイッチング素子 1 2 7 の端子 1 2 6 A にスイッチング素子 1 2 7 を導通状態とする電位を供給し、端子 1 2 6 B を介して共通電極に共通電位を供給する。

40

【 0 1 0 0 】

次に、静止画を表示する期間 1 4 0 2 におけるタイミングチャートを説明する。期間 1 4 0 2 では、クロック信号 G C K、スタートパルス G S P、クロック信号 S C K、及びスタートパルス S S P は共に停止する。また、期間 1 4 0 2 において、ソース線 1 2 5 に供給していた画像信号 D a t a は停止する。クロック信号 G C K 及びスタートパルス G S P が共に停止する期間 1 4 0 2 では、トランジスタ 2 1 4 が非導通状態となり画素電極の電位が浮遊状態となる。

【 0 1 0 1 】

また、期間 1 4 0 2 においても電源電位生成回路 1 1 7 は共通電位 V c o m を共通電極 1

50

28に供給し、電位が浮遊状態の画素電極と、共通電位Vcomの共通電極128の間に液晶層を有する液晶素子215は、静止画を安定して保持できる。またこの際、DC-DCコンバータを用いることなくキャパシタから優先的に固定電位を供給することで画像保持期間に消費する電力を低減できる。

【0102】

また、液晶表示パネルがスイッチング素子127を備える場合は、表示制御回路113がスイッチング素子127の端子126Aにスイッチング素子127を非導通状態とする電位を供給し、共通電極128の電位も浮遊状態にすることができる。

【0103】

期間1402では、液晶素子215の両端の電極、即ち画素電極及び共通電極の電位を浮遊状態にして、静止画の表示を行うことができる。スイッチング素子127を備える場合は期間1402中に、電源電位生成回路117が共通電極128に共通電位Vcomを供給する必要がなくなり、電源電位生成回路117は共通電位Vcomの生成を停止できる。演算回路114を用いて共通電位Vcomの生成を制御する構成とすることで、さらに消費電力を低減できるため好ましい。

【0104】

また、ゲート線側駆動回路121A、及びソース線側駆動回路121Bに供給するクロック信号、及びスタートパルスを停止することにより低消費電力化を図ることができる。さらに、DC-DCコンバータへの電源の供給を停止して第1のバックアップ回路119a、並びに第2のバックアップ回路119bが備えるキャパシタから、電源電位生成回路117を介して液晶表示パネル120に固定電位を出力するため、DC-DCコンバータの待機電力を節減できる。

【0105】

特に、トランジスタ214及びスイッチング素子127にオフ電流が低減されたトランジスタを用いることにより、液晶素子215の両端子に加わる電圧が経時的に低下する現象を抑制でき好適である。

【0106】

次に、動画から静止画に切り替える期間(図4中の期間1403)、及び静止画から動画に切り替える期間もしくは静止画を書き替える期間(図4中の期間1404)における表示制御回路の動作を、図5(A)、(B)を用いて説明する。図5(A)、(B)は表示制御回路が出力する、高電源電位Vdd、クロック信号(ここではGCK)、スタートパルス信号(ここではGSP)、及び端子126Aの電位を示す。

【0107】

動画から静止画に切り替える期間1403の表示制御回路の動作を図5(A)に示す。表示制御回路は、スタートパルスGSPを停止する(図5(A)のE1、第1のステップ)。次いで、スタートパルス信号GSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、複数のクロック信号GCKを停止する(図5(A)のE2、第2のステップ)。次いで、電源電位の高電源電位Vddを低電源電位Vssにする(図5(A)のE3、第3のステップ)。

【0108】

なお、液晶表示パネル120がスイッチング素子127を備える場合は、次いで端子126Aの電位を、スイッチング素子127が非導通状態となる電位にする(図5(A)のE4、第4のステップ)。また、演算回路114は電源電位生成回路117を制御して共通電位Vcomの生成を停止することができる。

【0109】

以上の手順をもって、画素駆動回路部121の誤動作を引き起こすことなく、画素駆動回路部121に供給する信号を停止できる。動画から静止画に切り替える際の誤動作はノイズを生じ、ノイズは静止画として保持されるため、誤動作が少ない表示制御回路を搭載した液晶表示装置は画像の劣化が少ない静止画を表示できる。

【0110】

次に静止画から動画に切り替える期間、もしくは静止画を書き替える期間 1 4 0 4 の表示制御回路の動作を図 5 (B) に示す。液晶表示パネル 1 2 0 がスイッチング素子 1 2 7 を備える場合は、表示制御回路は、端子 1 2 6 A の電位をスイッチング素子 1 2 7 が導通状態となる電位にする (図 5 (B) の S 1、第 1 のステップ)。

【 0 1 1 1 】

次いで、スイッチング素子 1 2 7 の有無にかかわらず、電源電位を低電源電位 V_{ss} から高電源電位 V_{dd} にする (図 5 (B) の S 2、第 2 のステップ)。次いで、クロック信号 GCK として後に与える通常のクロック信号 GCK より長いパルス信号で先にハイの電位を与えた後、複数のクロック信号 GCK を供給する (図 5 (B) の S 3、第 3 のステップ)。次いでスタートパルス信号 GSP を供給する (図 5 (B) の S 4、第 4 のステップ)。

10

【 0 1 1 2 】

以上の手順をもって、画素駆動回路部 1 2 1 の誤動作を引き起こすことなく画素駆動回路部 1 2 1 に駆動信号の供給を再開できる。各配線の電位を適宜順番に動画表示時に戻すことで、誤動作なく画素駆動回路部 1 2 1 の駆動を行うことができる。

【 0 1 1 3 】

また、図 6 に、動画を表示する期間 6 0 1、または静止画を表示する期間 6 0 2 における、フレーム期間毎の画像信号の書き込み頻度を模式的に示す。図 6 中、「W」は画像信号の書き込み期間であることをあらわし、「H」は画像信号を保持する期間であることを示している。また、図 6 中、期間 6 0 3 は 1 フレーム期間を表したものであるが、別の期間であってよい。

20

【 0 1 1 4 】

このように、本実施の形態の液晶表示装置の構成において、期間 6 0 2 で表示される静止画の画像信号は期間 6 0 4 に書き込まれ、期間 6 0 4 で書き込まれた画像信号は、期間 6 0 2 の他の期間で保持される。

【 0 1 1 5 】

次に、電源回路 1 1 6 の駆動方法について図 7 及び図 8 を用いて説明する。本実施の形態で例示する液晶表示装置 1 0 0 は、表示する画像の特性に応じて、液晶表示パネル 1 2 0 の書き換え頻度 (または周波数) を変えるだけでなく、負荷が大きくなる書き込み動作時に、DC - DC コンバータを用いて固定電位の供給と共にキャパシタを充電し、負荷が小さくなる画像保持期間には DC - DC コンバータを用いずにキャパシタから優先的に固定電位を供給する。

30

【 0 1 1 6 】

頻繁に画像を書き込む動画表示期間においては、電源部 1 5 0 から DC - DC コンバータ並びに電源電位生成回路 1 1 7 を介して液晶表示パネル 1 2 0 に固定電位を供給すると共に、第 1 のバックアップ回路 1 1 9 a、及び第 2 のバックアップ回路 1 1 9 b が備えるそれぞれのキャパシタに充電すればよい。なお、DC - DC コンバータは、液晶表示パネル 1 2 0 に画像を書き込む負荷と、キャパシタに充電する負荷が接続される状態で、高い変換効率を示すものを選択して用いればよい。

【 0 1 1 7 】

また、第 1 のバックアップ回路 1 1 9 a、及び第 2 のバックアップ回路 1 1 9 b が備えるキャパシタの充電量が低過ぎる場合、当該キャパシタを DC - DC コンバータと接続した結果、DC - DC コンバータの出力電位が低下してしまい、電源電位生成回路 1 1 7 が適正な固定電位を液晶表示パネルに出力できなくなる不具合を生じる。本発明の一態様のバックアップ回路はリミッタ回路を備え、リミッタ回路がキャパシタに流れ込む電流を制限することでキャパシタへの急激な充電による不具合を防ぐことができる。

40

【 0 1 1 8 】

静止画表示期間 (画像保持期間ともいう) に代表される画像を書き込む頻度が低い期間における電源回路の駆動方法について図 7 に示すフローチャートを用いて説明する。

【 0 1 1 9 】

50

画像保持期間中は静止画像が液晶表示パネル 120 に表示され、演算回路 114 は時間を計測（カウンタ動作ともいう）しながら、定期的（例えば数秒毎）に表示装置の状態を監視している。具体的には第 1 のバックアップ回路 119 a、及び第 2 のバックアップ回路 119 b が備えるキャパシタの電位、並びに画素トランジスタのゲート電位を監視する。なお、監視動作の詳細については後述にて説明する。

【0120】

またカウンタ動作中に入力装置 160 から画像の書き込み命令を受けた場合、演算回路 114 は記憶装置 140 から電子データを読み込み、カウンタ動作を中断する。

【0121】

次いで演算回路 114 は開閉回路 112 を用いて第 1 の DC - DC コンバータ 118 a、及び第 2 の DC - DC コンバータ 118 b に電源部 150 を接続し、電源電位生成回路 117 を介して液晶表示パネル 120 に電力を供給する。

10

【0122】

演算回路 114 は電子データを画像信号に変換し、第 1 の DC - DC コンバータ 118 a、及び第 2 の DC - DC コンバータ 118 b から供給される電力を用いて液晶表示パネル 120 に画像データを書き込む。書き込み後、演算回路 114 は表示装置の状態を監視する。

【0123】

次いでカウンタ動作に移行する。カウントする時間の設定は、表示画像データを自動的に書き込む間隔に相当し、例えば数秒から数十分の値を設定すればよい。特に、10 秒以上 600 秒以下の値が好ましく、10 秒以上とすることで消費電力の低減効果が顕著となり、600 秒以下とすることで保持画像の品位の低下を防ぐことができる。

20

【0124】

なお、演算回路 114 は電源部 150 と常時接続された第 3 の DC - DC コンバータ 118 c から電力の供給を受けているため、使用者等からの割り込み命令に遅滞なく応答できる。また、演算回路 114 は時間のカウント動作中にスリープモードに移行すれば、消費電力をさらに低減できる。

【0125】

演算回路 114 の監視動作について図 8 に示すフローチャートを用いて説明する。演算回路 114 は時間のカウント動作中に、表示装置の状態を定期的に監視し、電源部 150 を第 1 の DC - DC コンバータ 118 a、及び第 2 の DC - DC コンバータ 118 b に接続する動作を、開閉回路 112 を用いて制御する。

30

【0126】

演算回路 114 は定期的（例えば数秒毎）に画素トランジスタのゲート電位を参照し、画素トランジスタのゲート電位の絶対値が設定電位より小さくなると開閉回路 112 を用いて第 1 の DC - DC コンバータ 118 a、及び第 2 の DC - DC コンバータ 118 b を電源部 150 に接続する。画素トランジスタのゲート電位は画素トランジスタのゲート電極と電氣的に接続する配線の電位を参照して知ることができ、設定電位としては例えば絶対値として 5 V 以上とすればよい。当該設定電位の絶対値の大きさは画像を保持している状態の画素トランジスタのオフ電流が充分低くなる程度であって、且つノイズ等によりトランジスタが誤ってオン状態になることを防げる程度とすればよい。具体的には、酸化物半導体層をチャネル形成領域に用い、閾値 V_{th} が 0 V 程度のノーマリオフ型の n 型のトランジスタを画素トランジスタに用いる場合は、ゲート電位を - 5 V 以下に維持すればよい。

40

【0127】

第 1 の DC - DC コンバータ 118 a、及び第 2 の DC - DC コンバータ 118 b に電力を供給していない状態では、第 1 のバックアップ回路 119 a、又は第 2 のバックアップ回路 119 b が備えるキャパシタの出力電位が、画素トランジスタのゲート電位の絶対値に影響する。第 1 のバックアップ回路 119 a、又は第 2 のバックアップ回路 119 b が備えるキャパシタは、液晶表示装置 100 を構成する回路で生じるリーク電流により放電

50

し、その出力電位は低下する。

【0128】

従って、第1のバックアップ回路119a、又は第2のバックアップ回路119bが備えるキャパシタの充電量が不足して、画素トランジスタのゲート電位の絶対値が設定電位を下回る場合は、演算回路114が開閉回路112を用いて電源部150を第1のDC-DCコンバータ118a、及び第2のDC-DCコンバータ118bに接続し、電源電位生成回路117を介して画素トランジスタのゲート電位の絶対値を設定電位以上に保つようにする。

【0129】

また、演算回路114は定期的に第1のバックアップ回路119a、及び第2のバックアップ回路119bが備えるキャパシタの電位を参照し、設定電位より大きくなると開閉回路112を用いて第1のDC-DCコンバータ118a、及び第2のDC-DCコンバータ118bを電源部150から切断する。設定電位としては例えばキャパシタを接続する第1のDC-DCコンバータ118a、又は第2のDC-DCコンバータ118bの出力電位の98%程度とすればよい。

【0130】

キャパシタを接続する第1のDC-DCコンバータ118a、又は第2のDC-DCコンバータ118bの出力電位の98%程度を設定電位とすることで、コンバータの負荷を実使用上問題のない範囲に設定しつつ消費電力を低減することができる。

【0131】

本実施の形態で例示した液晶表示装置によれば、液晶表示パネルが同一の画像を保持する期間に、DC-DCコンバータを停止することができる。DC-DCコンバータの停止期間中にバックアップ回路のキャパシタが液晶表示パネルに固定電位を供給するため、DC-DCコンバータの変換効率が悪い負荷領域、具体的には極めて負荷が小さい領域である液晶表示パネルの画像保持期間にDC-DCコンバータが電力を消費しなくなるため、画像保持期間に消費する電力が抑制された液晶表示装置を提供できる。

【0132】

また、本実施の形態で例示した液晶表示装置は充電リミッタ付バックアップ回路を備えている。充電リミッタ付バックアップ回路のキャパシタがリミッタ回路を介してDC-DCコンバータと接続されているため、電荷で満たされていないキャパシタがDC-DCコンバータに接続されてもキャパシタへの急激な充電による不具合を解消できる。

【0133】

特に、本実施の形態の液晶表示装置は、オフ電流が低減されたトランジスタを各画素、並びに共通電極のスイッチング素子に適用することにより、保持容量で電位を保持できる期間(時間)を長く取ることができる。その結果、画像信号の書き込み頻度を画期的に低減することが可能になり、静止画を表示する際の低消費電力化、及び目の疲労の低減に、顕著な効果を有する。

【0134】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0135】

(実施の形態3)

本実施の形態は、実施の形態1又は実施の形態2で説明した液晶表示装置に用いる酸化物半導体層を含むトランジスタ、及び作製方法の一例を、図9を用いて詳細に説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0136】

図9(A)乃至(E)にトランジスタの断面構造の一例を示す。図9(A)乃至(E)に示すトランジスタ510は、実施の形態1又は実施の形態2で説明した液晶表示装置に用

10

20

30

40

50

いることができるボトムゲート構造の逆スタガ型トランジスタである。本実施の形態で例示する酸化物半導体層をチャネル形成領域に含むトランジスタはオフ状態においてソース電極とドレイン電流を流れる電流が極めて小さいため、液晶表示パネルの画素トランジスタに適用することで、画像保持期間中に画素に書き込んだ画像情報が劣化する現象を抑制できる。

【0137】

以下、図9(A)乃至(E)を用い、基板505上にトランジスタ510を作製する工程を説明する。

【0138】

まず、絶縁表面を有する基板505上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層511を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0139】

本実施の形態では絶縁表面を有する基板505としてガラス基板を用いる。

【0140】

下地膜となる絶縁膜を基板505とゲート電極層511との間に設けてもよい。下地膜は、基板505からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

20

【0141】

また、ゲート電極層511の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0142】

次いで、ゲート電極層511上にゲート絶縁層507を形成する。ゲート絶縁層507は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

30

【0143】

本実施の形態の酸化物半導体は、不純物を除去され、I型化又は実質的にI型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

【0144】

例えば、μ波(例えば周波数2.45GHz)を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位密度を低減して界面特性を良好なものとすることができるからである。

40

【0145】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0146】

また、ゲート絶縁層507、酸化物半導体膜530に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜530の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層511が形成された基板505、又はゲート絶縁層5

50

07までが形成された基板505を予備加熱し、基板505に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層516の成膜前に、ソース電極層515a及びドレイン電極層515bまで形成した基板505にも同様に行ってもよい。

【0147】

次いで、ゲート絶縁層507上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を形成する(図9(A)参照。)。

【0148】

なお、酸化物半導体膜530をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層507の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することが好ましい。逆スパッタとは、アルゴン雰囲気下で基板にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0149】

酸化物半導体膜530に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体、In-Ga-O系酸化物半導体や、In-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その化学量論比は特に問わない。また、InとGaとZn以外の元素を含んでもよい。本実施の形態では、酸化物半導体膜530としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図9(A)に相当する。

【0150】

酸化物半導体膜530をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比]の酸化物ターゲットを用い、In-Ga-Zn-O膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]の酸化物ターゲットを用いてもよい。

【0151】

また、酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

【0152】

酸化物半導体膜530を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0153】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100℃以上600℃以下好ましくは200℃以上400℃以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板505上に酸化物半導体膜530を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例

えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0154】

スパッタリング法を行う雰囲気は、希ガス (代表的にはアルゴン)、酸素、または希ガスと酸素の混合雰囲気とすればよい。

【0155】

成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素 (酸素流量比率 100%) 雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質 (パーティクル、ごみともいう) が軽減でき、膜厚分布も均一となるために好ましい。

【0156】

次いで、酸化物半導体膜 530 を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0157】

また、ゲート絶縁層 507 にコンタクトホールを形成する場合、その工程は酸化物半導体膜 530 の加工時に同時に行うことができる。

【0158】

なお、ここでの酸化物半導体膜 530 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜 530 のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N (関東化学社製) を用いてもよい。

【0159】

次いで、酸化物半導体層に第 1 の加熱処理を行う。この第 1 の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第 1 の加熱処理の温度は、400 以上 750 以下、または 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 531 を得る (図 9 (B) 参照。)。

【0160】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0161】

例えば、第 1 の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す GRTA を行ってもよい。

【0162】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガス

10

20

30

40

50

に、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上好ましくは7 N (9 9 . 9 9 9 9 9 %) 以上 (即ち不純物濃度を1 p p m 以下、好ましくは0 . 1 p p m 以下) とすることが好ましい。

【 0 1 6 3 】

また、第1の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア (露点が - 4 0 以下、好ましくは - 6 0 以下) を導入してもよい。酸素ガスまたは N_2O ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N_2O ガスの純度を、6 N 以上好ましくは7 N 以上 (即ち、酸素ガスまたは N_2O ガス中の不純物濃度を1 p p m 以下、好ましくは0 . 1 p p m 以下) とすることが好ましい。酸素ガス又は N_2O ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及びI型 (真性) 化する。

10

【 0 1 6 4 】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜530に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【 0 1 6 5 】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、あるいは、ソース電極層及びドレイン電極層上に絶縁層を形成した後、のいずれで行っても良い。

20

【 0 1 6 6 】

また、ゲート絶縁層507にコンタクトホールを形成する場合、その工程は酸化物半導体膜530に第1の加熱処理を行う前に行っても良いし、行った後に行ってもよい。

【 0 1 6 7 】

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域、即ち、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3 nm 以上15 nm 以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450 以上850 以下、好ましくは550 以上750 以下の第1の加熱処理を行い、表面を含む領域に結晶領域 (板状結晶を含む) を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450 以上850 以下、好ましくは600 以上700 以下の第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。

30

【 0 1 6 8 】

次いで、ゲート絶縁層507、及び酸化物半導体層531上に、ソース電極層及びドレイン電極層 (これと同じ層で形成される配線を含む) となる導電膜を形成する。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜 (窒化チタン膜、窒化モリブデン膜、窒化タングステン膜) 等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜 (窒化チタン膜、窒化モリブデン膜、窒化タングステン膜) を積層させた構成としても良い。特に酸化物半導体層と接する側にチタンを含む導電膜を設けることが好ましい。

40

【 0 1 6 9 】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層515a、ドレイン電極層515bを形成した後、レジスト

50

マスクを除去する（図9（C）参照。）。

【0170】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層531上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数 nm ～数 10 nm と極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化できる。

10

【0171】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0172】

なお、導電膜のエッチングの際に、酸化物半導体層531がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層531を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層531は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。

【0173】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層531にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

30

【0174】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層516を形成する。

【0175】

絶縁層516は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、絶縁層516に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層516に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャンネルが低抵抗化（N型化）してしまい、寄生チャンネルが形成されるおそれがある。よって、絶縁層516はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

40

【0176】

本実施の形態では、絶縁層516として膜厚 200 nm の酸化シリコン膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。酸化物半導体層に接して

50

形成する絶縁層 5 1 6 は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0177】

酸化物半導体膜 5 3 0 の成膜時と同様に、絶縁層 5 1 6 の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層 5 1 6 に含まれる不純物の濃度を低減できる。また、絶縁層 5 1 6 の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

10

【0178】

絶縁層 5 1 6 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0179】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。例えば、窒素雰囲気下で 250 、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が絶縁層 5 1 6 と接した状態で加熱される。

【0180】

以上の工程を経ることによって、酸化物半導体膜に対して第 1 の加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。よって、酸化物半導体層は高純度化及び I 型（真性）化する。

20

【0181】

以上の工程でトランジスタ 5 1 0 が形成される（図 9（D）参照。）。

【0182】

また、絶縁層 5 1 6 に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

30

【0183】

絶縁層 5 1 6 上にさらに保護絶縁層 5 0 6 を形成してもよい。保護絶縁層 5 0 6 は、例えば、RF スパッタ法を用いて窒化シリコン膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、窒化シリコン膜を用いて保護絶縁層 5 0 6 を形成する（図 9（E）参照。）。

【0184】

本実施の形態では、保護絶縁層 5 0 6 として、絶縁層 5 1 6 まで形成された基板 5 0 5 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層 5 1 6 と同様に、成膜室内の残留水分を除去しつつ保護絶縁層 5 0 6 を成膜することが好ましい。

40

【0185】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

【0186】

50

本実施の形態で例示したトランジスタは、オフ状態においてソース電極とドレイン電極を流れる電流が極めて小さいため、液晶表示パネルの画素トランジスタに適用することで、画像保持期間中に画素に書き込んだ画像情報が劣化する現象を抑制できる。従って画像保持期間を長くでき、画像の書き込み頻度を低減できるため、本実施の形態で例示したトランジスタを適用した液晶表示パネルを用いることで消費電力の低減が可能である。また、画像保持期間中にバックアップ回路のキャパシタから固定電位を供給する構成とすることで、DC - DCコンバータを停止できるだけでなく、本実施の形態で例示したトランジスタを介してキャパシタに充電された電荷がリークすることがないため、消費電力がさらに低減できる。

【0187】

10

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【実施例】

【0188】

本実施例では、DC - DCコンバータまたはバックアップ回路から供給される電力で駆動する液晶表示パネルを備える液晶表示装置を作製し、異なる頻度で静止画像を書き込んだ結果について説明する。

【0189】

本実施例で例示する液晶表示装置の構成を、図10に示すブロック図を用いて説明する。液晶表示装置は太陽電池、リチウムイオンキャパシタ、駆動回路、変換基板、並びに液晶表示パネルを備える。

20

【0190】

駆動回路は+3.3Vをマイクロプロセッサに出力するDC - DCコンバータ、バックアップ回路を介して+14Vを電源生成回路に出力するDC - DCコンバータ、及びバックアップ回路を介して-14Vを電源生成回路に出力するDC - DCコンバータを有する。電源生成回路は信号生成回路に電源を供給し、変換基板を介して液晶表示パネルに電源を供給する。

【0191】

マイクロプロセッサはフラッシュメモリから画像データを読み込み、液晶用ドライバICにデータを転送する。液晶用ドライバICは変換基板を介して画像データを液晶表示パネルに供給する。また、太陽電池は電力を供給してリチウムイオンキャパシタを充電し、リチウムイオンキャパシタは駆動回路に電力を供給する。駆動回路は変換基板を介して液晶表示パネルを駆動する。

30

【0192】

本実施例で例示する液晶表示装置が備えるバックアップ回路の構成を図11に示す。DC - DCコンバータが出力する電力が整流素子を介して電源生成回路に至る第1の回路と、DC - DCコンバータがリミッタ回路と2つの整流素子を介して電源生成回路に至る第2の回路を備える。また、第2の回路の二つの整流素子の間にはキャパシタが接続され、その電位をマイクロプロセッサが監視する構成となっている。

【0193】

40

リチウムイオンキャパシタを用いて、上述の構成を備えた液晶表示装置を駆動できる時間を調べた。なお、4.1mAhの電力を蓄えることができるリチウムイオンキャパシタを用いて、その出力電圧の初期値が4Vから3.5Vに低下するまでの時間を、当該液晶表示装置を駆動できる時間として測定した。また、2秒毎に容量の電位を監視した。

【0194】

画像の書き込み間隔に対し、当該リチウムイオンキャパシタが当該液晶表示装置を駆動できる時間をプロットした結果を図12に実線で示す。画像の書き込み間隔を10秒から600秒まで長くすると、本実施例の液晶表示装置を駆動できる時間は約6.7倍長くなった。本実施例の液晶表示装置を駆動できる時間は画像の書き込み間隔に強く依存し、静止画像を保持する期間にDC - DCコンバータが停止し、消費電力を低減する効果が現れた

50

。

【 0 1 9 5 】

(比較例)

実施例で説明した液晶表示装置からバックアップ回路を取り外した液晶表示装置を、実施例で説明したりチウムイオンキャパシタを用いて駆動できる時間を調べた。なお、電源生成回路に直接電位を出力するように二つのコンバータを接続し、コンバータの出力電位を + 1 3 V と、 - 1 3 V にした。

【 0 1 9 6 】

画像の書き込み間隔に対し、当該リチウムイオンキャパシタが当該液晶表示装置を駆動できる時間をプロットした結果を図 1 2 に破線で示す。画像の書き込み間隔を 1 0 秒から 6 0 0 秒まで長くすると、本比較例の液晶表示装置を駆動できる時間は約 1 . 7 倍長くなった。

10

【 0 1 9 7 】

本比較例の液晶表示装置に比べると、実施例のバックアップ回路を搭載した液晶表示装置は 3 . 4 6 倍長い時間駆動できた。

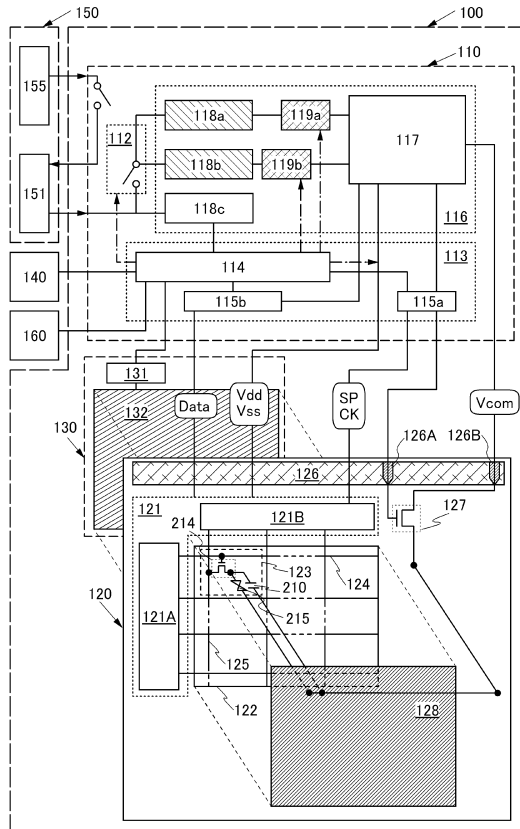
【 符号の説明 】

【 0 1 9 8 】

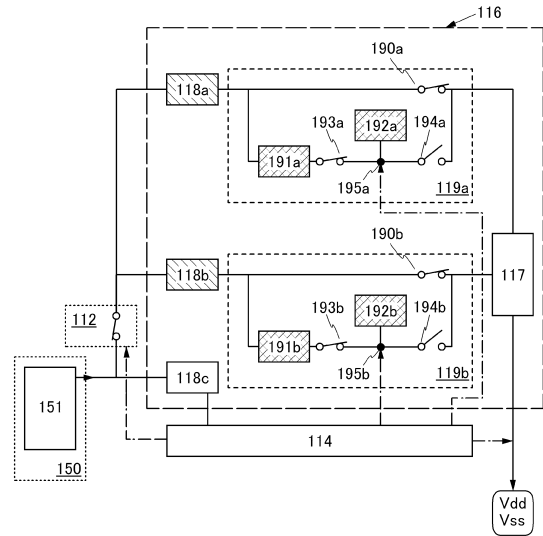
1 0 0	液晶表示装置	
1 1 0	駆動回路部	
1 1 2	開閉回路	20
1 1 3	表示制御回路	
1 1 4	演算回路	
1 1 5 a	信号生成回路	
1 1 5 b	液晶駆動回路	
1 1 6	電源回路	
1 1 7	電源電位生成回路	
1 1 8 a	D C - D C コンバータ	
1 1 8 b	D C - D C コンバータ	
1 1 8 c	D C - D C コンバータ	
1 1 9 a	バックアップ回路	30
1 1 9 b	バックアップ回路	
1 2 0	液晶表示パネル	
1 2 1	画素駆動回路部	
1 2 1 A	ゲート線側駆動回路	
1 2 1 B	ソース線側駆動回路	
1 2 2	画素部	
1 2 3	画素	
1 2 4	ゲート線	
1 2 5	ソース線	
1 2 6	端子部	40
1 2 6 A	端子	
1 2 6 B	端子	
1 2 7	スイッチング素子	
1 2 8	共通電極	
1 3 0	バックライト部	
1 3 1	バックライト制御回路	
1 3 2	バックライト	
1 4 0	記憶装置	
1 5 0	電源部	
1 5 1	二次電池	50

1 5 5	太陽電池	
1 6 0	入力装置	
1 9 0 a	第 1 の開閉器	
1 9 0 b	第 1 の開閉器	
1 9 1 a	第 1 のリミッタ回路	
1 9 2 a	キャパシタ	
1 9 2 b	キャパシタ	
1 9 3 a	第 2 の開閉器	
1 9 3 b	第 2 の開閉器	
1 9 4 a	第 3 の開閉器	10
1 9 4 b	第 3 の開閉器	
1 9 5 a	端子	
1 9 5 b	端子	
2 1 0	容量素子	
2 1 4	トランジスタ	
2 1 5	液晶素子	
5 0 5	基板	
5 0 6	保護絶縁層	
5 0 7	ゲート絶縁層	
5 1 0	トランジスタ	20
5 1 1	ゲート電極層	
5 1 5 a	ソース電極層	
5 1 5 b	ドレイン電極層	
5 1 6	絶縁層	
5 3 0	酸化物半導体膜	
5 3 1	酸化物半導体層	
6 0 1	期間	
6 0 2	期間	
6 0 3	期間	
6 0 4	期間	30
1 4 0 1	期間	
1 4 0 2	期間	
1 4 0 3	期間	
1 4 0 4	期間	

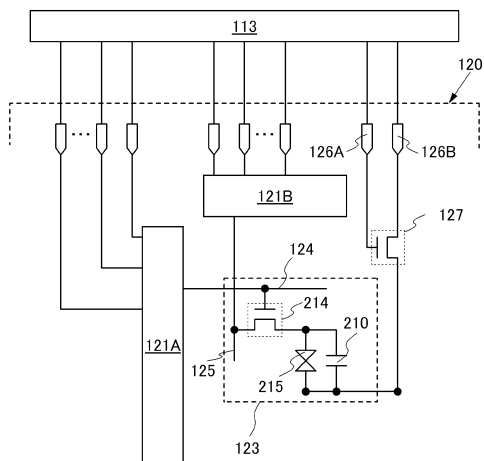
【図 1】



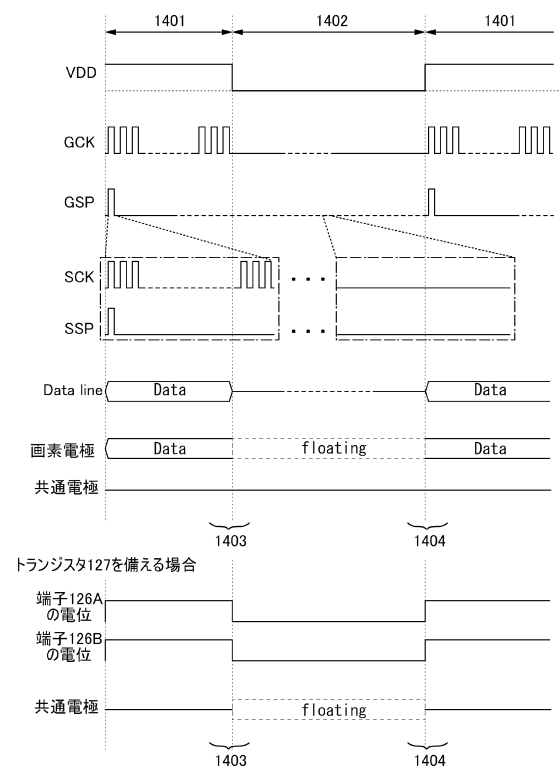
【図 2】



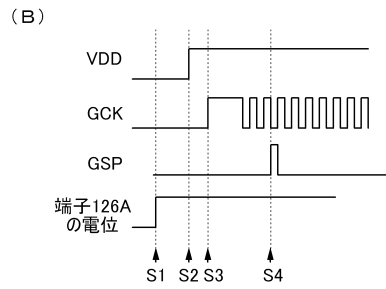
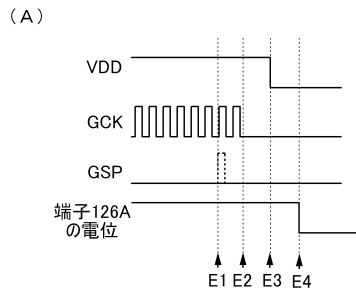
【図 3】



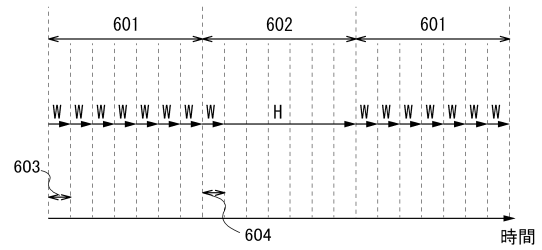
【図 4】



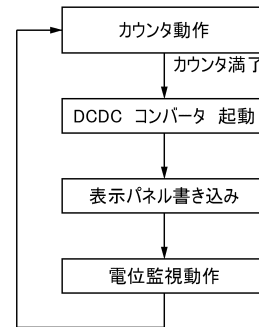
【図 5】



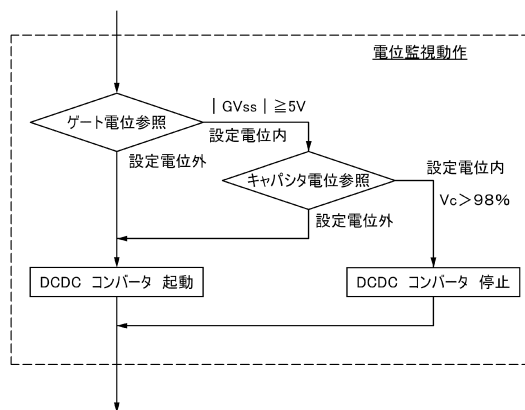
【図 6】



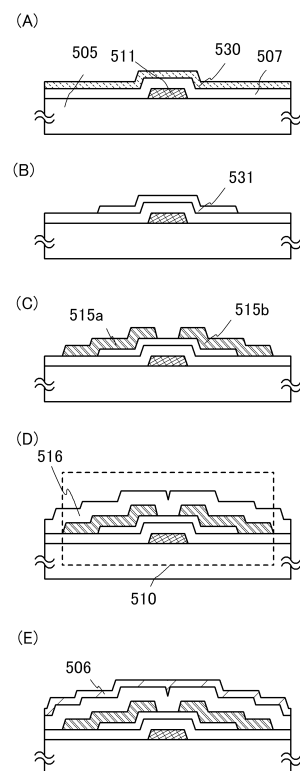
【図 7】



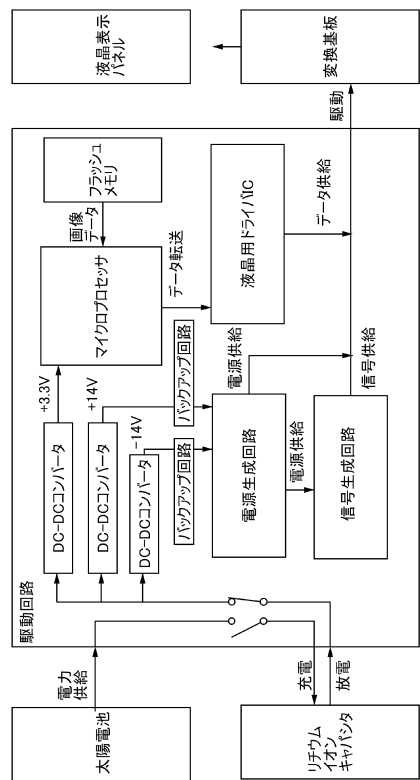
【図 8】



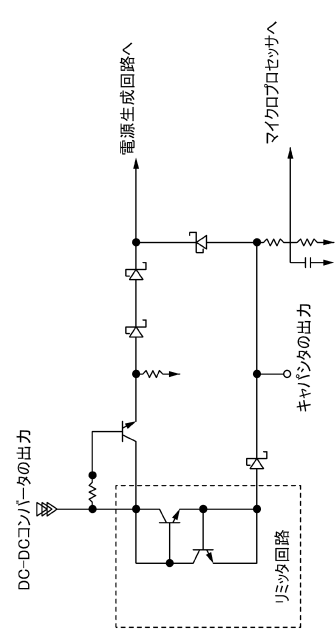
【図 9】



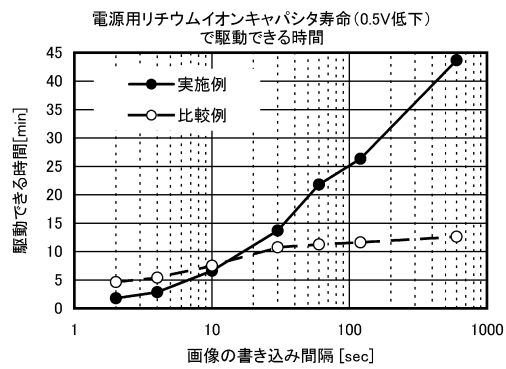
【図 10】



【図 11】



【図 12】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 K
	G 0 9 G	3/20	6 5 0 B
	G 0 9 G	3/20	6 1 2 G
	G 0 9 F	9/00	3 4 8 Z
	G 0 2 F	1/133	5 5 0

(56)参考文献 特開 2 0 0 1 - 3 1 2 2 5 3 (J P , A)
特開 2 0 0 8 - 2 1 8 4 9 5 (J P , A)
特開 2 0 0 9 - 0 1 0 3 6 2 (J P , A)
特開 2 0 0 7 - 1 9 4 5 9 4 (J P , A)
特開 2 0 0 2 - 2 7 8 5 2 3 (J P , A)
米国特許出願公開第 2 0 1 0 / 0 0 8 4 6 5 4 (U S , A 1)
特開 2 0 0 8 - 2 8 1 9 8 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 3
G 0 9 F	9 / 0 0
G 0 9 G	3 / 2 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP6235179B2	公开(公告)日	2017-11-22
申请号	JP2017038090	申请日	2017-03-01
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	早川昌彦 岡野真也		
发明人	早川 昌彦 岡野 真也		
IPC分类号	G09G3/36 G09G3/20 G09F9/00 G02F1/133		
CPC分类号	G09G3/3696 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.611.G G09G3/20.612.B G09G3/20.612.D G09G3/20.621.K G09G3/20.650.B G09G3/20.612.G G09F9/00.348.Z G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZF06 2H193/ZF42 5C006/AA02 5C006/AC26 5C006/AF44 5C006/AF45 5C006/AF63 5C006/AF64 5C006/AF68 5C006/AF69 5C006/AF81 5C006/AF84 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC11 5C006/BF03 5C006/BF22 5C006/BF34 5C006/BF37 5C006/BF39 5C006/BF41 5C006/BF45 5C006/BF49 5C006/EA01 5C006/EC02 5C006/FA04 5C006/FA33 5C006/FA36 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD04 5C080/DD09 5C080/DD26 5C080/DD29 5C080/EE19 5G435/AA16 5G435/BB12 5G435/EE31		
优先权	2010100365 2010-04-23 JP		
其他公开文献	JP2017107233A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，其中在保持书写图像期间消耗的功率被抑制 这是一项任务。显示装置由从转换器或备用电路提供的电力驱动 提供一种液晶显示面板。在写入操作时负载变大，通过使用电容器提供固定电位，并且电容器被充电。然后，负载减少 在图像保持时段中，优选地从电容器提供固定电位而不使用转换器 我希望。背景技术

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)		(11) 特許番号 特許第6235179号 (P6235179)	
(45) 発行日 平成29年11月22日 (2017. 11. 22)		(24) 登録日 平成29年11月2日 (2017. 11. 2)			
(51) Int. Cl.		F I			
G 0 9 G 3/36 (2006. 01)		G 0 9 G 3/36			
G 0 9 G 3/20 (2006. 01)		G 0 9 G 3/20		6 1 1 A	
G 0 9 F 9/00 (2006. 01)		G 0 9 G 3/20		6 1 1 G	
G 0 2 F 1/133 (2006. 01)		G 0 9 G 3/20		6 1 2 B	
		G 0 9 G 3/20		6 1 2 D	
		請求項の数 8 (全 33 頁) 最終頁に続く			
(21) 出願番号 特願2017-38090 (P2017-38090)		(73) 特許権者 000153878			
(22) 出願日 平成29年3月1日 (2017. 3. 1)		株式会社半導体エネルギー研究所			
(62) 分割の表示 特願2015-135275 (P2015-135275)		神奈川県厚木市長台398番地			
の分割		(72) 発明者 早川 昌彦			
原出願日 平成23年4月19日 (2011. 4. 19)		神奈川県厚木市長台398番地 株式会社			
(65) 公開番号 特開2017-107233 (P2017-107233A)		半導体エネルギー研究所内			
(43) 公開日 平成29年6月15日 (2017. 6. 15)		(72) 発明者 岡野 真也			
審査請求日 平成29年3月10日 (2017. 3. 10)		神奈川県厚木市長台398番地 株式会社			
(31) 優先権主張番号 特願2010-100365 (P2010-100365)		半導体エネルギー研究所内			
(32) 優先日 平成22年4月23日 (2010. 4. 23)		審査官 西島 篤宏			
(33) 優先権主張国 日本国 (JP)					
早期審査対象出願					
(54) 【発明の名称】 液晶表示装置					
最終頁に続く					