

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5816496号

(P5816496)

(45) 発行日 平成27年11月18日 (2015.11.18)

(24) 登録日 平成27年10月2日 (2015.10.2)

(51) Int. Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1337 (2006.01)	GO2F 1/1337 505

請求項の数 10 (全 26 頁)

(21) 出願番号	特願2011-195876 (P2011-195876)	(73) 特許権者	502356528
(22) 出願日	平成23年9月8日 (2011.9.8)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-57790 (P2013-57790A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年3月28日 (2013.3.28)	(74) 代理人	110001737
審査請求日	平成26年7月16日 (2014.7.16)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ゲート配線及び前記第1ソース配線と電気的に接続されたスイッチング素子と、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線とで囲まれた画素電極であって、前記スイッチング素子とコンタクトするコンタクト位置よりも前記第1ゲート配線側に位置し第1方向に沿って延出した第1主画素電極、及び、前記コンタクト位置よりも前記第2ゲート配線側に位置し第1方向に沿って延出した第2主画素電極を備え、前記コンタクト位置から前記第1主画素電極までの第2方向に沿った距離と前記コンタクト位置から前記第2主画素電極までの第2方向に沿った距離とが同一である画素電極と、を備えた第1基板と、

10

前記コンタクト位置の上方を通り前記第1主画素電極と前記第2主画素電極との間、前記第1ゲート配線の上方、及び、前記第2ゲート配線の上方にそれぞれ位置し第1方向に沿ってそれぞれ延出した主共通電極と、前記第1ソース配線の上方及び前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した副共通電極とを備えた共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、

を備え、

前記スイッチング素子は、前記第1ゲート配線と電気的に接続されたゲート電極と、前

20

記第1ソース配線と電氣的に接続されたソース電極と、前記コンタクト位置で前記画素電極と電氣的に接続されるときとも前記主共通電極の直下を第1方向に沿って延出したドレイン電極と、を備えたことを特徴とする液晶表示装置。

【請求項2】

前記コンタクト位置は、前記第1ゲート配線及び前記第2ゲート配線の双方から第2方向に沿って等距離にあることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記コンタクト位置は、前記第2ソース配線の側よりも前記第1ソース配線の側に偏在していることを特徴とする請求項1乃至2のいずれか1項に記載の液晶表示装置。

【請求項4】

前記画素電極は、さらに、第2方向に沿って延出し前記前記第1主画素電極と前記第2主画素電極とを接続する接続部を備え、ループ状に形成されたことを特徴とする請求項1乃至3のいずれか1項に記載の液晶表示装置。

【請求項5】

前記第1基板は、さらに、前記第1ゲート配線と前記第2ゲート配線との間で第1方向に沿って延出するとともに前記画素電極との間で容量を形成する補助容量線を備えたことを特徴とする請求項1乃至4のいずれか1項に記載の液晶表示装置。

【請求項6】

前記第1主画素電極及び前記第2主画素電極の少なくとも一方は、前記補助容量線の上方に位置することを特徴とする請求項5に記載の液晶表示装置。

【請求項7】

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ゲート配線及び前記第1ソース配線と電氣的に接続されたスイッチング素子と、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線とで囲まれた画素電極であって、第1方向に沿ってそれぞれ延出した複数本の主画素電極を備え、前記スイッチング素子とコンタクトするコンタクト位置を通り第1方向に平行な直線に対して線対称な形状の画素電極と、を備えた第1基板と、

前記主画素電極間、前記第1ゲート配線の上方、及び、前記第2ゲート配線の上方にそれぞれ位置し第1方向に沿ってそれぞれ延出した複数本の主共通電極と、前記第1ソース配線の上方及び前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した副共通電極とを備えた共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、
を備え、

前記スイッチング素子は、前記第1ゲート配線と電氣的に接続されたゲート電極と、前記第1ソース配線と電氣的に接続されたソース電極と、前記コンタクト位置で前記画素電極と電氣的に接続されるときとも第1方向に沿って延出したドレイン電極と、を備え、

前記主共通電極のいずれか1本は、前記コンタクト位置の上方及び前記ドレイン電極の上方を通り第1方向に沿って延出したことを特徴とする液晶表示装置。

【請求項8】

前記画素電極は、第1方向に沿った長さが第2方向に沿った長さよりも長い画素に配置されたことを特徴とする請求項1乃至7のいずれか1項に記載の液晶表示装置。

【請求項9】

前記第1基板は、さらに、前記第1ゲート配線及び前記第2ゲート配線とそれぞれ対向し前記共通電極と同電位のゲートシールド電極を備えたことを特徴とする請求項1乃至8のいずれか1項に記載の液晶表示装置。

【請求項10】

前記第1基板は、さらに、前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し前記共通電極と同電位のソースシールド電極を備えたことを特徴とする請求項1乃至9のいずれか1項に記載の液晶表示装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードやFFS (Fringe Field Switching) モードなどの横電界（フリンジ電界も含む）を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

10

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】特開2009-42630号公報

【特許文献2】特開2009-192822号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、コストの削減が可能であるとともに、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

30

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ゲート配線及び前記第1ソース配線と電気的に接続されたスイッチング素子と、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線とで囲まれた画素電極であって、前記スイッチング素子とコンタクトするコンタクト位置よりも前記第1ゲート配線側に位置し第1方向に沿って延出した第1主画素電極、及び、前記コンタクト位置よりも前記第2ゲート配線側に位置し第1方向に沿って延出した第2主画素電極を備え、前記コンタクト位置から前記第1主画素電極までの第2方向に沿った距離と前記コンタクト位置から前記第2主画素電極までの第2方向に沿った距離とが同一である画素電極と、を備えた第1基板と、前記コンタクト位置の上方を通り前記第1主画素電極と前記第2主画素電極との間、前記第1ゲート配線の上方、及び、前記第2ゲート配線の上方にそれぞれ位置し第1方向に沿ってそれぞれ延出した主共通電極と、前記第1ソース配線の上方及び前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した副共通電極とを備えた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

40

【0007】

本実施形態によれば、

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記

50

第1ゲート配線及び前記第1ソース配線と電氣的に接続されたスイッチング素子と、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線とで囲まれた画素電極であって、第1方向に沿ってそれぞれ延出した複数本の主画素電極を備え、前記スイッチング素子とコンタクトするコンタクト位置を通り第1方向に平行な直線に対して線対称な形状の画素電極と、を備えた第1基板と、前記主画素電極間、前記第1ゲート配線の上方、及び、前記第2ゲート配線の上方にそれぞれ位置し第1方向に沿ってそれぞれ延出した複数本の主共通電極と、前記第1ソース配線の上方及び前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した副共通電極とを備えた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図1に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図4】図4は、図2のA-B線で切断したアレイ基板の断面構造を概略的に示す断面図である。

20

【図5】図5は、図3のC-D線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図6】図6は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図7】図7は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図8】図8は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図9】図9は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

30

【図10】図10は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図11】図11は、画素電極PEの他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0010】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

40

【0011】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0012】

50

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$)などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第1方向 X に沿って略直線的に延出した信号配線に相当する。これらのゲート配線 G 及び補助容量線 C は、第1方向 X に交差する第2方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第1方向 X と第2方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第2方向 Y に沿って略直線的に延出した信号配線に相当する。なお、ゲート配線 G 、補助容量線 C 、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0013】

10

各ゲート配線 G は、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線 S は、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0014】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0015】

20

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向 X と第2方向 Y とで規定される $X-Y$ 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0016】

スイッチング素子SWは、例えば、 n チャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、アモルファスシリコンによって形成されているが、ポリシリコンによって形成されていても良い。

30

【0017】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキシド(ITO)やインジウム・ジnk・オキシド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

40

【0018】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。対向基板CTの共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0019】

図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、 $X-Y$ 平面における平面図を示している。

【0020】

アレイ基板ARは、ゲート配線 G_1 、ゲート配線 G_2 、補助容量線 C_1 、ソース配線 S

50

1、ソース配線S2、スイッチング素子SW、画素電極PE、第1配向膜AL1などを備えている。

【0021】

図示した例では、画素PXは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも長い横長の長形状である。ゲート配線G1及びゲート配線G2は、第2方向Yに沿って第1ピッチで配置され、それぞれ第1方向Xに沿って延出している。補助容量線C1は、ゲート配線G1とゲート配線G2との間に位置し、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第1方向Xに沿って第2ピッチで配置され、それぞれ第2方向Yに沿って延出している。

【0022】

図示した画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。つまり、画素PXの第1方向Xに沿った長さは、ソース配線間の第2ピッチに相当する。

【0023】

また、画素PXにおいて、ゲート配線G1は上側端部に配置され、ゲート配線G2は下側端部に配置されている。厳密には、ゲート配線G1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。つまり、画素PXの第2方向Yに沿った長さは、ゲート配線間の第1ピッチに相当する。第1ピッチは、第2ピッチよりも小さい。

【0024】

また、図示した画素PXにおいては、補助容量線C1は、ゲート配線G2の側よりもゲート配線G1の側に偏在している。つまり、補助容量線C1とゲート配線G1との第2方向Yに沿った間隔は、補助容量線C1とゲート配線G2との第2方向Yに沿った間隔よりも小さい。

【0025】

スイッチング素子SWは、図示した例では、ゲート配線G2及びソース配線S1に電氣的に接続されている。このスイッチング素子SWは、ゲート配線G2とソース配線S1の交点付近、特に、補助容量線C1とゲート配線G2との間の領域に設けられている。このようなスイッチング素子SWは、ゲート配線G2と電氣的に接続されたゲート電極WG、ゲート電極WGの直上に形成されたアモルファスシリコンからなる半導体層SC、ソース配線S1と電氣的に接続され半導体層SCにコンタクトしたソース電極WS、及び、半導体層SCにコンタクトしたドレイン電極WDを備えている。図示した例では、ゲート電極WGはゲート配線G2と一体的に形成され、ソース電極WSはソース配線S1と一体的に形成されている。また、ドレイン電極WDは、画素PXの左側端部付近に配置された半導体層SCとコンタクトした位置から画素PXの略中央部まで第1方向Xに沿って延出している。

【0026】

画素電極PEは、隣接するソース配線S1とソース配線S2との間に位置するとともに、ゲート配線G1とゲート配線G2との間に位置している。つまり、画素電極PEは、ソース配線S1及びソース配線S2と、ゲート配線G1及びゲート配線G2とで囲まれた内側に位置している。

【0027】

画素電極PEは、主画素電極PA及びコンタクト部PCを備えている。これらの主画素電極PA及びコンタクト部PCは、互いに電氣的に接続されている。

【0028】

コンタクト部PCは、コンタクト位置PPにおいてスイッチング素子SWとコンタクトする。すなわち、このコンタクト部PCは、スイッチング素子SWから延びたドレイン電極WDの直上を通り、画素PXの略中央部において第2方向Yに沿って延出している。こ

10

20

30

40

50

のようなコンタクト部 P C は、ドレイン電極 W D の直上に位置するコンタクト位置 P P においてコンタクトホール C H 1 及びコンタクトホール C H 2 を介してドレイン電極 W D と電氣的に接続されている。

【0029】

主画素電極 P A は、1 個の画素電極 P E に 2 本以上備えられている。このような主画素電極 P A は、コンタクト部 P C からそれぞれ第 1 方向 X に沿って延出している。つまり、複数の主画素電極 P A は、コンタクト部 P C から分岐した櫛歯状に形成されている。このような主画素電極 P A は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。このような主画素電極 P A は、コンタクト部 P C と一体的あるいは連続的に形成され、コンタクト部 P C と電氣的に接続されている。

10

【0030】

図示した例では、画素電極 P E は、2 本の主画素電極 P A 1 及び主画素電極 P A 2 を備えている。主画素電極 P A 1 は、コンタクト位置 P P よりもゲート配線 G 1 側に位置している。主画素電極 P A 2 は、コンタクト位置 P P よりもゲート配線 G 2 側に位置している。コンタクト部 P C は、画素 P X の略中央部に位置し、ドレイン電極 W D と電氣的に接続されている。主画素電極 P A 1 及び主画素電極 P A 2 のそれぞれは、コンタクト部 P C から画素 P X の右側端部（つまり、ソース配線 S 2 側）及び左側端部（つまり、ソース配線 S 1 側）に向かってそれぞれ第 1 方向 X に沿って直線的に延出している。主画素電極 P A 1 について、コンタクト部 P C からソース配線 S 1 側に向かって延出した長さ、コンタクト部 P C からソース配線 S 2 側に向かって延出した長さとは略同一である。同様に、主画素電極 P A 2 について、コンタクト部 P C からソース配線 S 1 側に向かって延出した長さ、コンタクト部 P C からソース配線 S 2 側に向かって延出した長さとは略同一である。つまり、コンタクト部 P C は、主画素電極 P A 1 の略中間の位置と主画素電極 P A 2 の略中間の位置とを繋いでいる。このような構成の画素電極 P E は、H の字形である。

20

【0031】

ここで、画素電極 P E において、コンタクト位置 P P から主画素電極 P A 1 までの第 2 方向 Y に沿った距離 L は、コンタクト位置 P P から主画素電極 P A 2 までの第 2 方向 Y に沿った距離 L と同一である。また、このコンタクト位置 P P は、ゲート配線 G 1 及びゲート配線 G 2 の双方から第 2 方向 Y に沿って等距離にある。

【0032】

30

このような画素電極 P E の主画素電極 P A のうち、少なくとも一本の主画素電極 P A が補助容量線 C 1 の上方に位置している。図示した例では、主画素電極 P A 1 が補助容量線 C 1 の上方に位置している。すなわち、このような画素電極 P E においては、コンタクト部 P C 及び主画素電極 P A 1 において、補助容量線 C 1 と対向し、画素 P X での画像表示に必要な容量を形成している。

【0033】

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。

【0034】

このようなアレイ基板 A R においては、画素電極 P E は、第 1 配向膜 A L 1 によって覆われている。この第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、主画素電極 P A の延出方向である第 1 方向 X と略平行である。

40

【0035】

ここで、寸法の一例について述べると、ゲート配線 G の第 1 ピッチつまりゲート配線 G 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔は $50\ \mu\text{m} \sim 60\ \mu\text{m}$ であり、ソース配線 S の第 2 ピッチつまりソース配線 S 1 とソース配線 S 2 との第 1 方向 X に沿った間隔は $150\ \mu\text{m} \sim 180\ \mu\text{m}$ であり、ゲート配線 G 及び補助容量線 C の第 2 方向 Y に沿った幅が $5\ \mu\text{m}$ であり、主画素電極 P A の第 2 方向 Y に沿った幅が $5\ \mu\text{m}$ であり、ソース配線 S の第 1 方向 X に沿った幅が $3\ \mu\text{m}$ である。なお、ゲート配線 G 及び補助容量線 C は同一層

50

に形成されており、電氣的に絶縁する必要があるため、両者の間に例えば10 μmのマージンを確保している。

【0036】

図3は、図1に示した対向基板CTにおける一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板に備えられた画素電極PE、ソース配線S、ゲート配線Gなどを破線で示している。

【0037】

共通電極CEは、対向基板CTに主共通電極CAを備えている。図示した例では、共通電極CEは、さらに、対向基板CTに副共通電極CBを備えている。これらの主共通電極CA及び副共通電極CBは、互いに電氣的に接続されている。但し、副共通電極CBは省略しても良い。

【0038】

主共通電極CAは、X-Y平面内において、主画素電極PA1及び主画素電極PA2のそれぞれを挟んだ両側で主画素電極PAの延出方向と略平行な第1方向Xに沿って直線的に延出している。あるいは、主共通電極CAは、ゲート配線Gの上方、及び、主画素電極PA間にそれぞれ1本ずつ配置されるとともに主画素電極PAの延出方向と略平行な第1方向Xに沿って延出している。このような主共通電極CAは、第2方向Yに沿って略同一の幅を有する帯状に形成されている。

【0039】

図示した例では、主共通電極CAは、第2方向Yに間隔をおいて3本平行に並んでいる。すなわち、一画素あたり、3本の主共通電極CAが第2方向Yに沿って等ピッチで配置されている。画素PXにおいて、主共通電極CAUは上側端部に配置され、主共通電極CABは下側端部に配置され、主共通電極CACは画素中央部に配置されている。厳密には、主共通電極CAUは当該画素PXとその上側に隣接する画素との境界に跨って配置され、主共通電極CABは当該画素PXとその下側に隣接する画素との境界に跨って配置されている。主共通電極CAUはゲート配線G1の上方に位置し、主共通電極CABはゲート配線G2の上方に位置し、主共通電極CACはコンタクト位置PPの上方を通り主画素電極PA1と主画素電極PA2との間に位置している。スイッチング素子SWのドレイン電極WDは、主共通電極CACの直下を通り第1方向Xに沿って延出している。

【0040】

主共通電極CAU及び主共通電極CACは、主画素電極PA1を挟んだ両側に位置している。同様に、主共通電極CAC及び主共通電極CABは、主画素電極PA2を挟んだ両側に位置している。換言すると、画素中央部に配置された主共通電極CACは、主画素電極PA1と主画素電極PA2との略中間に位置している。つまり、X-Y平面において、第2方向Yに沿って主共通電極CAと主画素電極PAとが交互に並んでおり、図示した例では、主共通電極CAU、主画素電極PA1、主共通電極CAC、主画素電極PA2、主共通電極CABがこの順に並んでいる。なお、主画素電極PA1と主共通電極CACとの間の第2方向Yに沿った電極間距離、及び、主共通電極CACと主画素電極PA2との間の第2方向Yに沿った電極間距離は略同等である。また、主共通電極CAUと主画素電極PA1との間の第2方向Yに沿った電極間距離、及び、主画素電極PA2と主共通電極CABとの間の第2方向Yに沿った電極間距離は略同等である。

【0041】

副共通電極CBは、X-Y平面内において、画素電極PEを挟んだ両側で第2方向Yに沿って直線的に延出している。あるいは、副共通電極CBは、ソース配線Sの上方にそれぞれ位置するとともに第2方向Yに沿って直線的に延出している。このような副共通電極CBは、第1方向Xに沿って略同一の幅を有する帯状に形成されている。また、このような副共通電極CBは、主共通電極CAと一体的あるいは連続的に形成され、主共通電極CAと電氣的に接続されている。つまり、対向基板CTにおいては、共通電極CEは格子状に形成されている。

【0042】

図示した例では、副共通電極C Bは、第1方向Xに間隔をおいて2本平行に並んでおり、画素P Xの左右両端部にそれぞれ配置されている。すなわち、一画素あたり、2本の副共通電極C Bが配置されている。図示した画素P Xにおいて、副共通電極C B Lは左側端部に配置され、副共通電極C B Rは右側端部に配置されている。厳密には、副共通電極C B Lは当該画素P Xとその左側に隣接する画素との境界に跨って配置され、副共通電極C B Rは当該画素P Xとその右側に隣接する画素との境界に跨って配置されている。副共通電極C B Lはソース配線S 1の上方に位置し、副共通電極C B Rはソース配線S 2の上方に位置している。

【0043】

10

このような対向基板C Tにおいては、共通電極C Eは、第2配向膜A L 2によって覆われている。この第2配向膜A L 2には、液晶層L Qの液晶分子を初期配向させるために、第2配向処理方向P D 2に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第2配向膜A L 2が液晶分子を初期配向させる第2配向処理方向P D 2は、第1配向処理方向P D 1とは互いに平行であって、互いに同じ向きあるいは逆向きである。図示した例では、第2配向処理方向P D 2は、第1方向Xと平行であり、X-Y平面内において、第1配向処理方向P D 1とは互いに平行であって、互いに同じ向きである。

【0044】

図示しないブラックマトリクスによって形成される開口部A Pは、図3に示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも長い長方形形状である。換言すると、ゲート配線G 1及びゲート配線G 2、ソース配線S 1及びソース配線S 2、スイッチング素子S W、及び、画素電極P Eのコンタクト部P C及び接続部P Bの上方には、ブラックマトリクスが位置している。

20

【0045】

このような開口部A Pとコンタクト位置P Pとの位置関係に着目すると、コンタクト位置P Pは、開口部A Pの略中心に位置している。つまり、コンタクト位置P Pは、開口部A Pの対角線の交点と重なる。

【0046】

図4は、図2のA-B線で切断したアレイ基板A Rの断面構造を概略的に示す断面図である。

30

【0047】

アレイ基板A Rは、光透過性を有する第1絶縁基板1 0を用いて形成されている。このアレイ基板A Rは、第1絶縁基板1 0においてスイッチング素子S W、補助容量線C 1、画素電極P E、第1絶縁膜1 1、第2絶縁膜1 2、第3絶縁膜1 3、第1配向膜A L 1などを備えている。

【0048】

スイッチング素子S Wのゲート電極W Gは、ゲート配線G 2の一部であり、第1絶縁基板1 0の内面1 0 Aに形成されている。補助容量線C 1は、第1絶縁基板1 0の内面1 0 Aに形成されている。これらのゲート電極W G及び補助容量線C 1は、第1絶縁膜1 1によって覆われている。

40

【0049】

スイッチング素子S Wの半導体層S Cは、第1絶縁膜1 1の上に形成され、ゲート電極W Gの直上に位置している。スイッチング素子S Wのソース電極W Sは、ソース配線S 1の一部であり、第1絶縁膜1 1の上に形成され、半導体層S Cにコンタクトしている。スイッチング素子S Wのドレイン電極W Dは、第1絶縁膜1 1の上に形成され、半導体層S Cにコンタクトしている。半導体層S C、ソース電極W S、及び、ドレイン電極W Dは、第2絶縁膜1 2によって覆われている。この第2絶縁膜1 2には、ドレイン電極W Dまで貫通したコンタクトホールC H 1が形成されている。

【0050】

第3絶縁膜1 3は、第2絶縁膜1 2の上に形成されている。この第3絶縁膜1 3には、

50

コンタクトホールCH2が形成されている。このコンタクトホールCH2は、コンタクトホールCH1よりも大きなサイズであり、コンタクトホールCH1でドレイン電極WDまで貫通するとともにコンタクトホールCH1の周囲の第2絶縁膜12まで貫通する。

【0051】

画素電極PEは、第3絶縁膜13の上に形成され、そのコンタクト部PCがコンタクトホールCH1及びコンタクトホールCH2を介してドレイン電極WDにコンタクトしている。画素電極PEのコンタクト位置PPとは、コンタクト部PCにおいてコンタクトホールCH1を介してドレイン電極WDとコンタクトしている位置に相当する。このような画素電極PEの一部（例えば、主画素電極PA1）は、第1絶縁膜11、第2絶縁膜12、及び、第3絶縁膜13を介して補助容量線C1と対向している。

10

【0052】

第1配向膜AL1は、画素電極PEなどを覆っており、第3絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0053】

図5は、図3のC-D線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【0054】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード（LED）を利用したものや冷陰極管（CCFL）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

20

【0055】

アレイ基板ARにおいて、ゲート配線G1、補助容量線C1、及び、ゲート配線G2は、第1絶縁基板10の内面10A、つまり、対向基板CTと対向する側に形成され、第1絶縁膜11によって覆われている。ドレイン電極WDは、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。このドレイン電極WDは、補助容量線C1及びゲート配線G2のそれぞれの直上の位置よりもそれらの内側に位置している。画素電極PEの主画素電極PA1及び主画素電極PA2は、第3絶縁膜13の上に形成され、第1配向膜AL1によって覆われている。主画素電極PA1及び主画素電極PA2は、ドレイン電極WDの両側に位置するとともに、ゲート配線G1及びゲート配線G2のそれぞれの直上の位置よりもそれらの内側に位置している。主画素電極PA1は、補助容量線C1の直上に位置している。この主画素電極PA1と補助容量線C1との間には、第1絶縁膜11、第2絶縁膜12、及び、第3絶縁膜13が介在している。第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。

30

【0056】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20の内側、つまり、アレイ基板ARと対向する側においてブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

40

【0057】

ブラックマトリクスBMは、各画素PXを区画し、開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線G、補助容量線C、スイッチング素子SWなどの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクスBMは、ゲート配線G1及びゲート配線G2の上方に位置した部分と、図示しないスイッチング素子SWやソース配線S1及びソース配線S2などの上方に位置した部分を備えており、格子状に形成されている。このブラックマトリクスBMは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに配置されている。

【0058】

50

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20AにおいてブラックマトリクスBMによって区画された内側に配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第2方向Yに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士の境界は、ブラックマトリクスBMと重なる位置にある。

10

【0059】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

【0060】

共通電極の主共通電極CAU、主共通電極CAC、及び、主共通電極CAB、図示しない副共通電極CBなどは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。特に、主共通電極CAU及び主共通電極CAB、図示しない副共通電極CBは、ブラックマトリクスBMの直下に位置している。主共通電極CAUは、ゲート配線G1の直上に位置している。主共通電極CABは、ゲート配線G2の直上に位置している。主共通電極CACは、主共通電極CAUと主共通電極CABとの間あるいは主画素電極PA1と主画素電極PA2との間に位置し、ドレイン電極WDの直上に位置している。

20

【0061】

上記の開口部APにおいて、画素電極PEと共通電極CEとの間の領域、つまり、主共通電極CAUと主画素電極PA1との間の領域、主共通電極CACと主画素電極PA1との間の領域、主共通電極CACと主画素電極PA2との間の領域、及び、主共通電極CABと主画素電極PA2との間の領域は、バックライト光が透過可能な透過領域に相当する。

【0062】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CEやオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

30

【0063】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば2~7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材によって貼り合わせられている。

40

【0064】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0065】

尚、主画素電極PAと主共通電極CAとの第2方向Yに沿った間隔は、液晶層LQの厚さよりも大きく、主画素電極PAと主共通電極CAとの間隔は、液晶層LQの厚さの2倍以上の大きさを持つ。

【0066】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面1

50

0 Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

【0067】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

10

【0068】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極PAあるいは主共通電極CAの延出方向と略平行または略直交するように配置されている。つまり、主画素電極PAあるいは主共通電極CAの延出方向が第1方向Xである場合、一方の偏光板の吸収軸は、第1方向Xと略平行である（つまり、第2方向Yと略直交する）、あるいは、第1方向Xと略直交する（つまり、第2方向Yと略平行である）。

20

【0069】

あるいは、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第1方向Xと平行である場合、一方の偏光板の偏光軸は、第1方向Xと平行、あるいは、第2方向Yと平行である。

【0070】

図3において、(a)で示した例では、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向（第1方向X）に対して平行となる（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して直交する（つまり、第2方向Yと平行となる）ように配置されている。

30

【0071】

また、図3において、(b)で示した例では、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向（第1方向X）に対して平行となる（つまり、第1方向Xに平行となる）ように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して直交する（つまり、第2方向Yと平行となる）ように配置されている。

【0072】

次に、上記構成の液晶表示パネルLPNの動作について、図2乃至図5を参照しながら説明する。

40

【0073】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電界が形成されていない状態（OFF時）では、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0074】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレ

50

チルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0075】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第1方向Xと略平行な方向である。OFF時においては、液晶分子LMは、図3に破線で示したように、その長軸が第1方向Xと略平行な方向に初期配向する。

【0076】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。このように液晶分子LMがスプレイ配向している状態では、基板の法線方向から傾いた方向においても第1配向膜AL1の近傍の液晶分子LMと第2配向膜AL2の近傍の液晶分子LMとにより光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【0077】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0078】

バックライト4からのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、第1偏光板PL1の第1吸収軸AX1と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって変化するが、OFF時においては、液晶層LQを通過した直線偏光の偏光状態はほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される（黒表示）。

【0079】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電界が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0080】

図3に示した例では、画素PX内において、主画素電極PA1と主共通電極CACとの間の左側の領域内では、液晶分子LMは、第1方向Xに対して反時計回りに回転し図中の左下を向くように配向し、右側の領域内では、液晶分子LMは、第1方向Xに対して時計回りに回転し図中の右下を向くように配向する。また、主画素電極PA2と主共通電極CACとの間の左側の領域内では、液晶分子LMは、第1方向Xに対して時計回りに回転し図中の左上を向くように配向し、右側の領域内では、液晶分子LMは、第1方向Xに対して反時計回りに回転し図中の右上を向くように配向する。

【0081】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、主画素電極PAと重なる位置あるいは主共通電極CAと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0082】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、第1偏光板PL1の第1吸収軸AX1と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。例えば、第1方向Xに平行な直線偏光が液晶表示パネルLPNに入射すると、液晶層LQを通過する際に第1方向Xに対して45°〜225°方位あるいは135°〜315°方位に配向した液晶分子LMにより $\lambda/2$ の位相差の影響を受ける（但し、 λ は液晶層LQを透過する光の波長である）。これにより、液晶層LQを通過した光の偏光状態は、第2方向Yに平行な直線偏光となる。このため、ON時においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。但し、画素電極あるいは共通電極と重なる位置では、液晶分子が初期配向状態を維持しているため、OFF時と同様に黒表示となる。

10

【0083】

本実施形態によれば、ゲート配線や補助容量線の延出方向である第1方向Xに沿った長さがソース配線の延出方向である第2方向Yに沿った長さよりも長い横長の画素構成としたことにより、第2方向Yに沿った長さが第1方向Xに沿った長さよりも長い縦長の画素構成とした場合と比較して、アクティブエリアにおける総画素数が同一でありながら、ゲート配線、補助容量線、ソース配線などの信号配線の総数を低減することができる。このため、信号配線の端子数を低減することができ、これらの信号配線に信号を供給するドライバの規模を低減することが可能となるとともに液晶表示パネルLPNに実装すべき駆動ICチップの数を低減することが可能となる。したがって、コストの削減が可能となる。

20

【0084】

また、本実施形態によれば、画素電極PEにおいて、スイッチング素子SWとコンタクトするコンタクト位置PPから主画素電極PAの各々までの距離を同等とすることができ、主画素電極PA間での抵抗差などに起因した表示品位の劣化を抑制することが可能となる。このコンタクト位置PPは、画素PXの略中央、あるいは、画素電極PEの略中央、あるいは、ゲート配線G1及びゲート配線G2の双方から等距離にあるため、ゲート配線G間の第1ピッチが仕様毎に変更された場合であっても、コンタクト位置PPから主画素電極PAの各々までの距離に偏りが発生することはなく、種々の画素ピッチの製品を提供することが可能となる。

30

【0085】

また、本実施形態によれば、画素電極PEと共通電極CEとの間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極PAと主共通電極CAとの間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、主画素電極PAと主共通電極CAとの電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

40

【0086】

また、本実施形態によれば、ブラックマトリクスBMと重なる領域では、透過率が十分に低下している。これは、ゲート配線G及びソース配線Sの直上に位置する共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子LMがOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタCFの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

50

【0087】

また、アレイ基板A Rと対向基板C Tとの合わせずれが生じた際に、画素電極P Eを挟んだ両側の共通電極C Eとの電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素P Xに共通に生じるため、画素P X間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板A Rと対向基板C Tとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタC Fの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0088】

10

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。図3に示した例では、一画素内に4つのドメインを形成することが可能となり、しかも、4つのドメインが略同等の面積であるため、更なる視野角補償が可能となる。

【0089】

なお、上記の例では、液晶分子L Mの初期配向方向が第1方向Xと平行である場合について説明したが、液晶分子L Mの初期配向方向は、第1方向X及び第2方向Yを斜めに交差する斜め方向であっても良い。

【0090】

また、上記の例では、液晶層L Qが正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層L Qは、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

20

【0091】

なお、ON時においても、画素電極P E上あるいは共通電極C E上では、横電界がほとんど形成されない（あるいは、液晶分子L Mを駆動するのに十分な電界が形成されない）ため、液晶分子L Mは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極P E及び共通電極C EがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極P E及び共通電極C Eは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウム（Al）、チタン（Ti）、銀（Ag）、モリブデン（Mo）、タングステン（W）などの不透明な導電材料を用いて形成しても良い。

30

【0092】

画素電極P E及び共通電極C Eの少なくとも一方が上記の不透明な導電材料によって形成された場合、液晶表示パネルL P Nに入射した直線偏光は、画素電極P Eや共通電極C Eのエッジの延出方向と略平行であるあるいは略直交する。また、上記のような不透明な導電材料によって形成されているゲート配線G、補助容量線C、及び、ソース配線Sの延出方向は、液晶表示パネルL P Nに入射した直線偏光と略平行であるあるいは略直交する。このため、画素電極P Eや共通電極C E、ゲート配線G、補助容量線C、及び、ソース配線Sのエッジで反射された直線偏光は、その偏光面が乱れにくく、偏光子である第1偏光板P L 1を透過した際の偏光面を維持することができる。したがって、OFF時において、液晶表示パネルL P Nを透過した直線偏光は、検光子である第2偏光板P L 2で十分に吸収されるため、光漏れを抑制することが可能となる。つまり、黒表示の際に十分に透過率を低減することができ、コントラスト比の低下を抑制することが可能となる。また、画素電極P Eや共通電極C Eの周辺での光漏れ対策のためにブラックマトリクスB Mの幅を拡張する必要がなく、開口部A Pの面積の低減、ON時の透過率の低減を抑制することが可能となる。

40

【0093】

また、ON時においても、画素電極P E上あるいは共通電極C E上ではバックライト光がほとんど透過しないため、開口部A P内で画素電極P Eの主画素電極P Aと補助容量線

50

Cとが重なって容量を形成する構成であっても、開口部A Pにおける実質的な透過領域の面積を低減することはない。つまり、主画素電極P A及びコンタクト部P Cと補助容量線Cとによって容量を形成する本実施形態によれば、透過領域の面積を低減することなく、画素P Xにおいて表示に必要な容量を確保することが可能となる。

【0094】

また、一部の主共通電極C Aは、表示に寄与しないゲート配線Gの上方に位置しているため、開口部A Pにおける実質的な透過領域の面積を低減することはない。

【0095】

また、スイッチング素子S Wのドレイン電極W D及び画素電極P Eのコンタクト位置P Pは、表示に寄与しない主共通電極C A Cの直下に位置しているため、開口部A Pにおける透過領域の面積を低減することはない。なお、ドレイン電極W Dにおけるコンタクト位置P Pまでの第2方向Yに沿った幅は、X-Y平面内において主共通電極C A Cと重なる範囲で拡張しても良い。この場合、ドレイン電極W Dの拡幅に伴って透過領域の面積が低減することはない。

【0096】

また、上記の例では、1個の画素電極P Eが2本の主画素電極P Aを備える構成について説明したが、この例に限らない。1個の画素電極P Eが備える主画素電極P Aの本数をa本とした場合、1画素あたりに配置される主共通電極C Aは(a+1)本となり、隣接する主共通電極C Aの間に1本の主画素電極P Aが配置される(但し、aは正数である)。

【0097】

また、1画素のX-Y平面で見た場合に、対向基板C Tに配置された共通電極C Eの内側にアレイ基板A R上に画素電極P Eが配置されている。言い換えれば、1画素P Xにおいて画素電極P Eは共通電極C Eによって囲まれている。このように配置することによって、1画素内で電気力線の始点と終点をもち、自画素の電気力線が隣接画素に漏れることが無い。このため、例えば、第2方向Yに隣接した画素P X間において液晶層L Qに印加される電界が互いに影響を受けることがない。したがって、隣接画素からの電界の影響によって自画素の液晶分子L Mが動くことが無く、表示品位の劣化を抑制することができる。

【0098】

なお、本実施形態において、画素P Xの構造は、上記の例に限定されるものではない。

【0099】

図6は、図1に示したアレイ基板A Rを対向基板側から見たときの一画素P Xの他の構造例を概略的に示す平面図である。

【0100】

ここに示した構造例は、図2に示した構造例と比較して、画素電極P Eにおけるスイッチング素子S Wのドレイン電極W Dとのコンタクト位置P Pがソース配線S 2の側よりもソース配線S 1の側に偏在している点で相違している。つまり、コンタクト位置P Pは、ゲート配線G 2及びソース配線S 1と電氣的に接続されたスイッチング素子S Wに近接して配置されており、図2に示した構造例と比較して、ドレイン電極W Dの第1方向Xに沿ったコンタクト位置P Pまでの長さが短縮される。

【0101】

このような構造例のアレイ基板A Rは、図3に示した対向基板C Tと組み合わせることが可能であり、主共通電極C A Cは、コンタクト位置P P及びドレイン電極W Dの上方を通り主画素電極P A 1と主画素電極P A 2との間に位置する。

【0102】

このような構造例によれば、ドレイン電極W Dの長さが短縮されるため、ドレイン電極W Dの断線を抑制することが可能となる。特に、高精細化の要求に伴って、ドレイン電極W Dの第2方向Yに沿った幅を縮小した場合であっても、ドレイン電極W Dの断線に起因したスイッチング素子S Wと画素電極P Eとの接続不良を抑制することが可能となる。

【0103】

図7は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

【0104】

ここに示した構造例は、図2に示した構造例と比較して、画素電極PEにおけるスイッチング素子SWのドレイン電極WDとのコンタクト位置PPは同一であるが、主画素電極PA1がゲート配線G1に近接し、且つ、主画素電極PA2がゲート配線G2に近接している点で相違している。画素電極PEにおいて、コンタクト位置PPから主画素電極PA1までの第2方向Yに沿った距離Lは、図2に示した構造例と同様に、コンタクト位置PPから主画素電極PA2までの第2方向Yに沿った距離Lと同一である。また、このコンタクト位置PPは、ゲート配線G1及びゲート配線G2の双方から第2方向Yに沿って等距離にある。

10

【0105】

なお、主画素電極PA1の一部はゲート配線G1の直上に位置していても良いし、主画素電極PA2の一部はゲート配線G2の直上に位置していても良い。但し、主画素電極PA1との間で容量を形成する補助容量線C1は、ゲート配線G1との間にマージンを確保する必要がある。

【0106】

このような構造例のアレイ基板ARは、図3に示した対向基板CTと組み合わせることが可能であり、主共通電極CACは、コンタクト位置PP及びドレイン電極WDの上方を通り主画素電極PA1と主画素電極PA2との間に位置する。このとき、X-Y平面内において、主共通電極CACと主画素電極PA1及び主画素電極PA2との第2方向Yに沿った電極間距離は、図2に示した構造例と比較して拡大する。その代わりに、主共通電極CAUと主画素電極PA1との第2方向Yに沿った電極間距離、及び、主共通電極CABと主画素電極PA2との第2方向Yに沿った電極間距離は、ほとんどゼロとなる。主画素電極と主共通電極との間の透過領域の面積は、図2に示した構造例と略同等である。

20

【0107】

アレイ基板ARが主画素電極PAを備え、対向基板CTが主共通電極CAを備えた構成では、主画素電極PAと主共通電極CAとが交互に略平行に配置されているため、アレイ基板ARと対向基板CTとの合わせズレが生じた場合、主画素電極PAと主共通電極CAとの電極間距離が設定値とは異なってしまふ。主画素電極PAと主共通電極CAとの間の電界強度は電極間距離に応じて異なるため、同一の電圧を液晶層LQに印加したとしても、電極間距離の異なるパネル間で輝度にバラツキが生ずる。

30

【0108】

ここに示した構造例によれば、合わせズレによる電極間距離の変化量に対して電極間距離を十分に大きく設定することができ、合わせズレに起因した輝度バラツキを低減することが可能である。

【0109】

図8は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

40

【0110】

ここに示した構造例は、図2に示した構造例と比較して、画素電極PEがループ状に形成されている点で相違している。すなわち、画素電極PEは、複数本の主画素電極PA、コンタクト部PC、及び、接続部PDを備えている。これらの主画素電極PA、コンタクト部PC、及び、接続部PDは、互いに電氣的に接続されている。

【0111】

接続部PDは、第2方向Yに沿って延出し、主画素電極PAの各々を接続している。このような接続部PBは、第1方向Xに沿って略同一の幅を有する帯状に形成されている。図示した例では、画素PXのソース配線S1の側において、接続部PD1は、主画素電極PA1と主画素電極PA2のそれぞれの一端部を接続している。また、画素PXのソース

50

配線 S 2 の側において、接続部 P D 2 は、主画素電極 P A 1 と主画素電極 P A 2 のそれぞれ他端部を接続している。コンタクト部 P C は、接続部 P D 1 と接続部 P D 2 との略中間に位置している。このような構成の画素電極 P E は、8 の字形である。

【0112】

このような構造例によれば、画素電極 P E はループ状に形成されているため、冗長性を向上することが可能となる。すなわち、例えば画素電極 P E の一部で断線が発生したとしても、コンタクト部 P C を介したパス、接続部 P D 1 を介したパス、及び、接続部 P D 2 を介したパスによっていずれの主画素電極 P A にも画素電位を供給することが可能となる。特に、高精細化の要求がさらに高まってくると、主画素電極 P A の幅は極めて細くなり、その一部で断線が発生しやすくなる。例えば、主画素電極 P A 2 で断線が発生したとしても、コンタクト部 P C 及び接続部 P D を介して主画素電極 P A 1 と主画素電極 P A 2 とが接続されているため、主画素電極 P A 1 及び主画素電極 P A 2 の双方に画素電位を供給することが可能となる。したがって、画素 P X 内での主画素電極 P A の断線に起因した表示不良など表示品位の劣化を抑制することが可能となる。

10

【0113】

図 9 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【0114】

ここに示した構造例は、図 8 に示した構造例と比較して、補助容量線 C 1 が画素電極 P E と同様のループ状に形成された点で相違している。すなわち、補助容量線 C 1 は、画素電極 P E の直下においてループ状に形成され、コンタクト部 P C の直下、主画素電極 P A 1 の直下、主画素電極 P A 2 の直下、接続部 P D 1 の直下、及び、接続部 P D 2 の直下に位置している。これにより、補助容量線 C 1 とコンタクト部 P C 及び主画素電極 P A 1 との間のみならず、補助容量線 C 1 と主画素電極 P A 2 との間、及び、補助容量線 C 1 と接続部 P D との間で容量を形成することが可能となる。

20

【0115】

このような構造例によれば、補助容量線 C 1 は画素電極 P E からはみ出さないため、開口部 A P における透過領域の面積を低減することなく、図 8 に示した構造例よりもさらに大きな容量を形成することが可能となる。また、画素電極 P E のみならず、補助容量線 C 1 についても冗長性を向上することが可能となり、補助容量線 C 1 の一部、例えば、主画素電極 P A 1 の直下で断線が発生したとしても、主画素電極 P A 2 の直下を通るパスによって補助容量線 C 1 の全体に補助容量電圧を印加することが可能となる。したがって、同一の補助容量線 C に接続された各画素 P X において表示不良など表示品位の劣化を抑制することが可能となる。

30

【0116】

図 10 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【0117】

ここに示した構造例は、図 2 に示した構造例と比較して、アレイ基板 A R がゲートシールド電極 G S 及びソースシールド電極 S S を備えている点で相違している。

40

【0118】

すなわち、ゲートシールド電極 G S は、ゲート配線 G 1 及びゲート配線 G 2 とそれぞれ対向する（あるいは、ゲートシールド電極 G S は、ゲート配線 G 1 及びゲート配線 G 2 の直上に位置する）。このようなゲートシールド電極 G S は、第 1 方向 X に沿って直線的に延出しており、帯状に形成されている。なお、ゲートシールド電極 G S の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。このゲートシールド電極 G S は、共通電極 C E と電氣的に接続されており、共通電極 C E と同電位である。

【0119】

ソースシールド電極 S S は、ソース配線 S 1 及びソース配線 S 2 とそれぞれ対向する（あるいは、ソースシールド電極 S S は、ソース配線 S 1 及びソース配線 S 2 の直上に位置

50

する)。このようなソースシールド電極 S S は、第 2 方向 Y に沿って直線的に延出しており、帯状に形成されている。なお、ソースシールド電極 S S の第 1 方向 X に沿った幅については、必ずしも一定でなくても良い。このソースシールド電極 S S は、共通電極 C E と電氣的に接続されており、共通電極 C E と同電位である。図示した例では、ゲートシールド電極 G S 及びソースシールド電極 S S は、一体的あるいは連続的に形成されている。

【0120】

これらのゲートシールド電極 G S 及びソースシールド電極 S S は、画素電極 P E と同一層である第 3 絶縁膜 13 の上面に形成されるため、画素電極 P E と同一材料（例えば、ITO など）を用いて形成することが可能である。

【0121】

このような構造例のアレイ基板 A R は、図 3 に示した対向基板 C T と組み合わせた際に、ゲートシールド電極 G S が主共通電極 C A と対向し、ソースシールド電極 S S が副共通電極 C B と対向する。

【0122】

このような構造例によれば、ゲートシールド電極 G S がゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。

【0123】

また、ソースシールド配線 S S がソース配線 S と対向するため、ソース配線 S からの不所望な電界を遮蔽することが可能となる。このため、ソース配線 S から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。

【0124】

また、アレイ基板 A R に備えられたゲートシールド電極 G S 及びソースシールド電極 S S は、互いに電氣的に接続され、アレイ基板 A R において格子状に形成されているため、冗長性を向上することが可能となる。また、対向基板 C T に備えられた主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続され、格子状に形成されているため、冗長性を向上することが可能となる。そして、アレイ基板 A R 側のゲートシールド電極 G S 及びソースシールド電極 S S と、対向基板 C T 側の主共通電極 C A 及び副共通電極 C B とが互いに電氣的に接続されているため、一部で断線が発生したとしても、各画素 P X に安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

【0125】

なお、上記した各構造例においても上記のゲートシールド電極 G S 及びソースシールド電極 S S を適用しても良い。

【0126】

上記の説明では、画素電極 P E が主として 2 本の主画素電極 P A を備えた構成について説明したが、画素電極 P E が 3 本以上の主画素電極 P A を備えた構成において、コンタクト位置 P P との関係について説明する。

【0127】

図 11 は、画素電極 P E の他の構造例を概略的に示す平面図である。なお、ここでは、説明に必要な構成のみを簡略化して図示している。

【0128】

すなわち、画素電極 P E は、第 1 方向 X に沿ってそれぞれ延出した複数本の主画素電極 P A を備え、コンタクト位置 P P を通り第 1 方向 X に平行な直線 L N に対して線対称な形状である。

【0129】

例えば、図中の（a）で示した例では、画素電極 P E は、3 本の主画素電極 P A 1 ～ P A 3 を備えている。主画素電極 P A 1 と主画素電極 P A 2 との第 2 方向 Y に沿った間隔は、主画素電極 P A 2 と主画素電極 P A 3 との第 2 方向 Y に沿った間隔と同一である。画素電極 P E のコンタクト部 P C は、主画素電極 P A 1 の略中間の位置と、主画素電極 P A 2 の略中間の位置と、主画素電極 P A 3 の略中間の位置と、を繋いでいる。このコンタクト部 P C におけるコンタクト位置 P P は、主画素電極 P A 2 とコンタクト部 P C との交差部に位置している。

【0130】

コンタクト部 P C から主画素電極 P A 1 までの第 2 方向 Y に沿った距離は、コンタクト部 P C から主画素電極 P A 2 までの第 2 方向 Y に沿った距離と同一である。このようなコンタクト位置 P P を通り第 1 方向 X に平行な直線 L N は、主画素電極 P A 2 の中心線に相当する。この直線 L N について主画素電極 P A 1 と主画素電極 P A 3 とは対称の位置にある。

10

【0131】

図中の（b）で示した例では、画素電極 P E は、3 本の主画素電極 P A 1 ～ P A 3 を備え、それらの主画素電極の端部付近がコンタクト部 P C と繋がっている。このような例でも、コンタクト位置 P P を通る直線 L N は、主画素電極 P A 2 の中心線に相当し、この直線 L N について主画素電極 P A 1 と主画素電極 P A 3 とは対称の位置にある。

【0132】

図中の（c）で示した例では、画素電極 P E は、4 本の主画素電極 P A 1 ～ P A 4 を備えている。主画素電極 P A 1 と主画素電極 P A 2 との第 2 方向 Y に沿った間隔、主画素電極 P A 2 と主画素電極 P A 3 との第 2 方向 Y に沿った間隔、及び、主画素電極 P A 3 と主画素電極 P A 4 との第 2 方向 Y に沿った間隔は、いずれも同一である。画素電極 P E のコンタクト部 P C は、主画素電極 P A 1 の略中間の位置と、主画素電極 P A 2 の略中間の位置と、主画素電極 P A 3 の略中間の位置と、主画素電極 P A 4 の略中間の位置と、を繋いでいる。このコンタクト部 P C におけるコンタクト位置 P P は、主画素電極 P A 2 と主画素電極 P A 3 との中間、あるいは、コンタクト部 P C の中間に位置している。

20

【0133】

コンタクト部 P C から主画素電極 P A 1 までの第 2 方向 Y に沿った距離は、コンタクト部 P C から主画素電極 P A 4 までの第 2 方向 Y に沿った距離と同一である。また、コンタクト部 P C から主画素電極 P A 2 までの第 2 方向 Y に沿った距離は、コンタクト部 P C から主画素電極 P A 3 までの第 2 方向 Y に沿った距離と同一である。このようなコンタクト位置 P P を通る直線 L N について、主画素電極 P A 1 と主画素電極 P A 4 とは対称の位置にあり、また、主画素電極 P A 2 と主画素電極 P A 3 とは対称の位置にある。

30

【0134】

図中の（d）で示した例では、画素電極 P E は、4 本の主画素電極 P A 1 ～ P A 4 を備え、それらの主画素電極の端部付近がコンタクト部 P C と繋がっている。このような例でも、コンタクト位置 P P を通る直線 L N について、主画素電極 P A 1 と主画素電極 P A 4 とは対称の位置にあり、また、主画素電極 P A 2 と主画素電極 P A 3 とは対称の位置にある。

40

【0135】

このように、画素電極 P E は、コンタクト位置 P P を通る直線 L N に対して線対称な形状であるため、コンタクト位置 P P を挟んでそれぞれ反対側に位置する主画素電極 P A の各々までの距離を同等とすることができ、主画素電極 P A 間での抵抗差などに起因した表示品位の劣化を抑制することが可能となる。

【0136】

以上説明したように、本実施形態によれば、コストの削減が可能であるとともに、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0137】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示

50

したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0138】

LPN…液晶表示パネル

AR…アレイ基板 CT…対向基板 LQ…液晶層

PE…画素電極 PA…主画素電極 PC…コンタクト部 PP…コンタクト位置

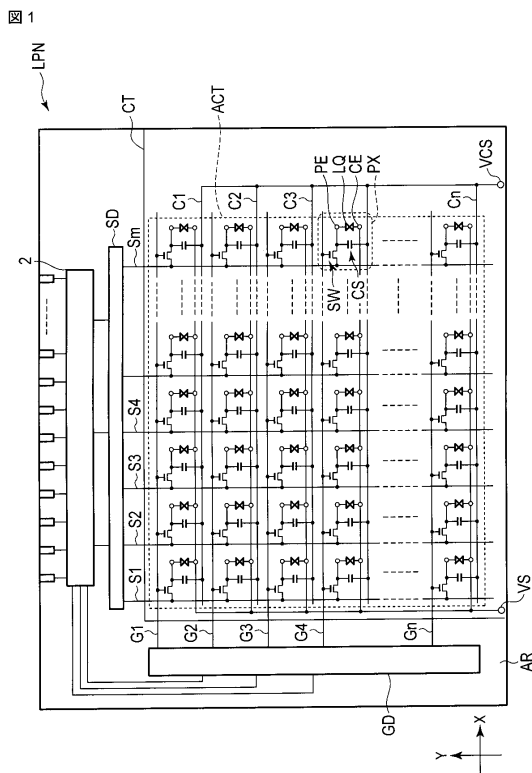
CE…共通電極 CA…主共通電極 CB…副共通電極

G…ゲート配線 C…補助容量線 S…ソース配線

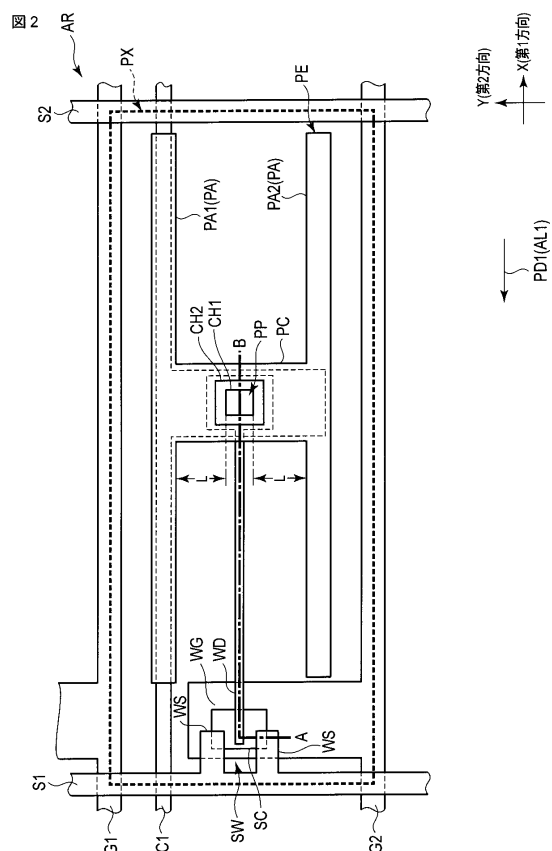
GS…ゲートシールド電極 SS…ソースシールド電極

10

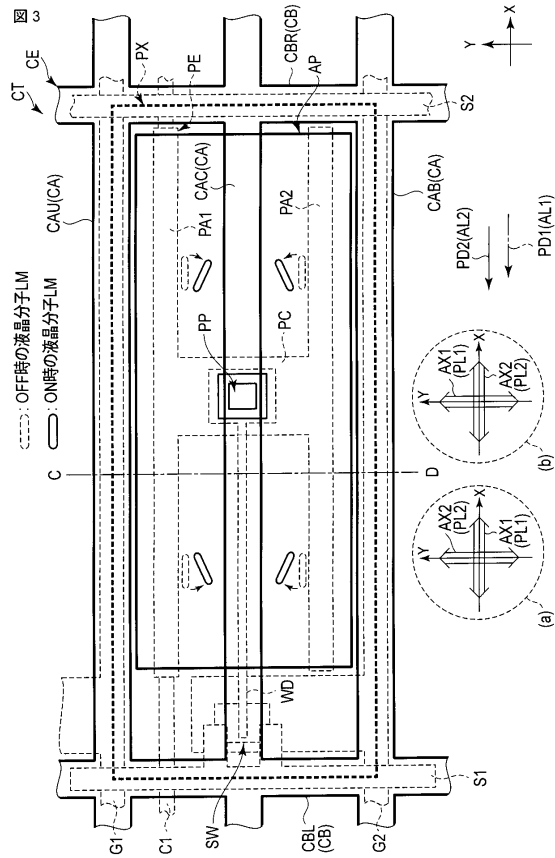
【図1】



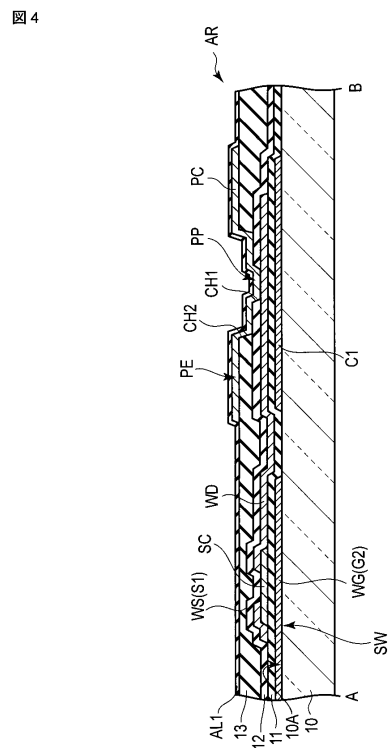
【図2】



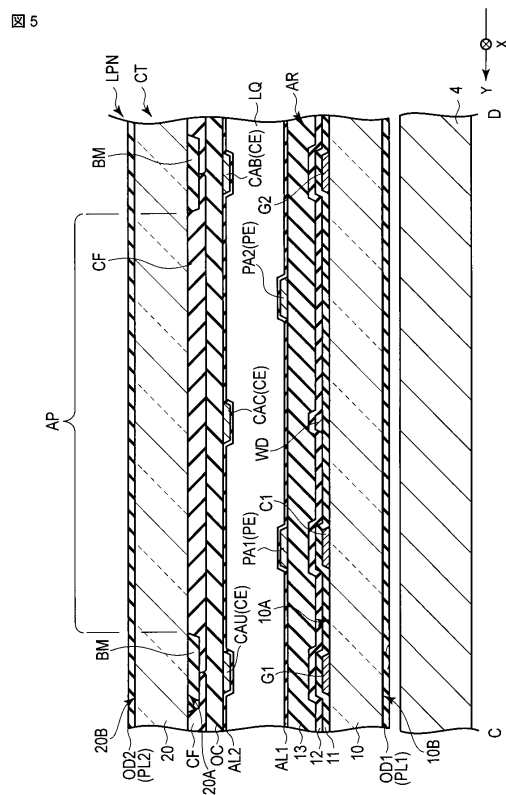
【図 3】



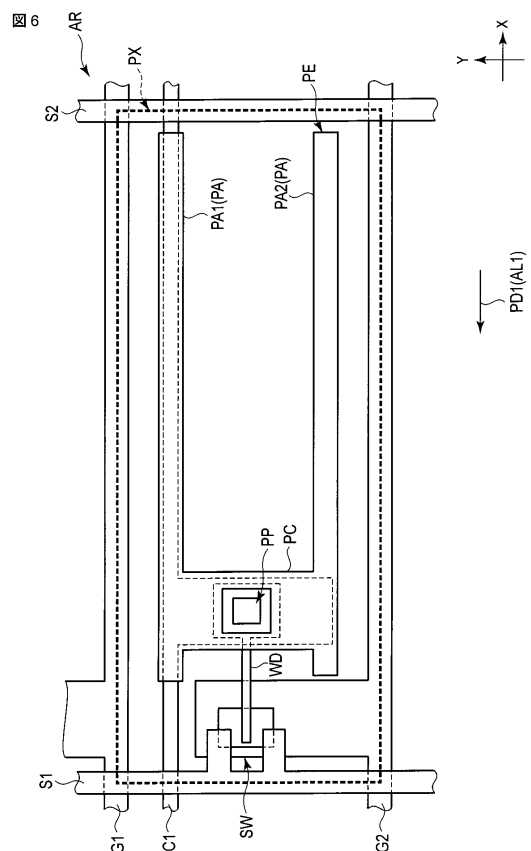
【図 4】



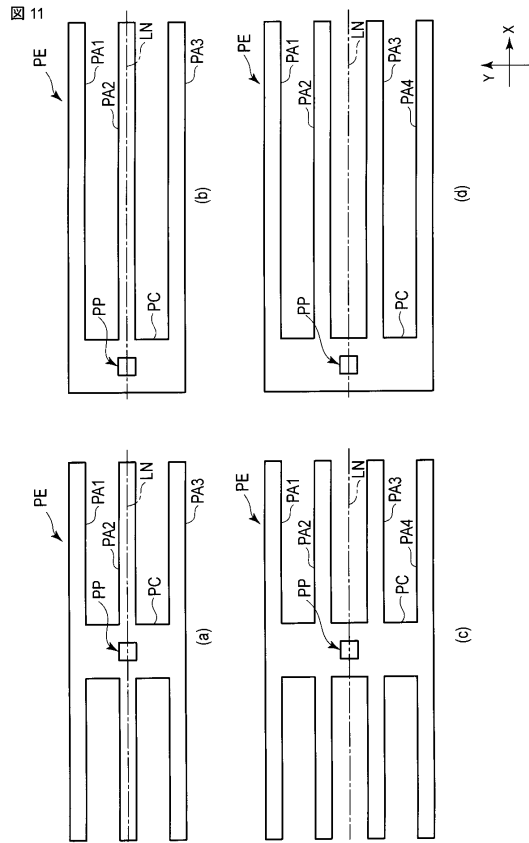
【図 5】



【図 6】



【図 11】



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 化生 正人
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 野中 正信
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 高橋 一博
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 米倉 利昌
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 廣田 かおり

- (56)参考文献 特開平09-159996 (JP, A)
特開平10-232392 (JP, A)
特開平09-160042 (JP, A)
特開2009-192822 (JP, A)
特開2006-293343 (JP, A)
特開2003-207796 (JP, A)
特開2006-259725 (JP, A)
特開2009-109657 (JP, A)
国際公開第2008/129748 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1337

G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5816496B2	公开(公告)日	2015-11-18
申请号	JP2011195876	申请日	2011-09-08
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	化生正人 野中正信 高橋一博 米倉利昌		
发明人	化生 正人 野中 正信 高橋 一博 米倉 利昌		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1337		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337.505		
F-TERM分类号	2H090/LA01 2H090/MA02 2H090/MA07 2H090/MA15 2H092/GA13 2H092/GA14 2H092/GA17 2H092/JA26 2H092/JA42 2H092/JA46 2H092/JA48 2H092/JB05 2H092/JB13 2H092/JB16 2H092/JB66 2H092/JB69 2H092/PA08 2H092/QA09 2H192/AA24 2H192/BA13 2H192/BA32 2H192/BC33 2H192/CB05 2H192/DA12 2H192/DA43 2H192/GA02 2H192/GA41 2H192/JA33 2H290/AA04 2H290/AA05 2H290/BA07 2H290/BB84 2H290/BB85 2H290/BF13 2H290/BF23 2H290/CA42 2H290/CA46		
代理人(译)	河野 哲 中村 誠 河野直樹 岡田 隆		
其他公开文献	JP2013057790A		
外部链接	Espacenet		

摘要(译)

要解决的问题：降低成本，并抑制显示质量的下降。解决方案：一种液晶显示装置，包括：具有像素电极的第一基板，所述像素电极被第一栅极布线和延伸的第二栅极布线包围。第一方向和第一源极布线以及沿第二方向延伸的第二源极布线，并且配备有位于第一栅极布线侧的第一主像素电极而不是与开关元件接触并沿第一方向延伸的接触位置第二主像素电极位于第二栅极布线侧而不是接触位置并沿第一方向延伸，并且其中第二方向上的接触位置到第一主像素电极的距离与距离第二主方向电极的距离为在第二方向上与第二主像素电极的接触位置相同；第二基板，具有在接触位置上方通过的主公共电极，第一栅极布线和第二栅极布线，并沿第一方向延伸；液晶层保持在第一基板和第二基板之间，并包括液晶分子。

(21) 出願番号	特願2011-195876 (P2011-195876)	(73) 特許権者	502356528
(22) 出願日	平成23年9月8日 (2011.9.8)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-57790 (P2013-57790A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年3月28日 (2013.3.28)	(74) 代理人	110001737
審査請求日	平成26年7月16日 (2014.7.16)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘