

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5759813号
(P5759813)

(45) 発行日 平成27年8月5日 (2015.8.5)

(24) 登録日 平成27年6月12日 (2015.6.12)

(51) Int. Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1343

GO2F 1/1368 (2006.01)

GO2F 1/1368

請求項の数 12 (全 21 頁)

(21) 出願番号 特願2011-155150 (P2011-155150)
 (22) 出願日 平成23年7月13日 (2011.7.13)
 (65) 公開番号 特開2013-20189 (P2013-20189A)
 (43) 公開日 平成25年1月31日 (2013.1.31)
 審査請求日 平成26年3月25日 (2014.3.25)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100159651
 弁理士 高倉 成男
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に第1幅を有し第1方向に交差する第2方向に沿って延出した主画素電極と、第1方向に第1幅よりも大きい第2幅をおいて向かい合う第1エッジ及び第2エッジを有し前記主画素電極と電氣的に接続された副画素電極と、前記副画素電極と同層に位置し前記主画素電極を挟んだ両側で第2方向に沿って延出し前記第1エッジ及び前記第2エッジの少なくとも一方と向かい合う位置で途切れた第1主共通電極と、第1方向に沿って延出し前記第1主共通電極と電氣的に接続された第1副共通電極と、を備えた第1基板と、

前記第1主共通電極に対向し第2方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記第1エッジから前記主画素電極までの第1方向に沿った第1距離は、前記第2エッジから前記主画素電極までの第1方向に沿った第2距離よりも小さいことを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記第1主共通電極は、前記第1エッジと向かい合う位置で途切れることなく第2方向に沿って連続的に延出し、且つ、前記第2エッジと向かい合う位置で途切れていることを特徴とする請求項1または2に記載の液晶表示装置。

10

20

【請求項 4】

第 1 方向に沿って延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間において第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿って延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間において第 2 方向に沿って延出した主画素電極と、前記補助容量線と対向し前記主画素電極と電氣的に接続された副画素電極と、前記第 1 ソース配線及び前記第 2 ソース配線のそれぞれと対向し第 2 方向に沿って延出するとともに前記補助容量線と前記第 1 ソース配線との第 1 交差部及び前記補助容量線と前記第 2 ソース配線との第 2 交差部の少なくとも一方で途切れた第 1 主共通電極と、前記第 1 ゲート配線及び前記第 2 ゲート配線のそれぞれと対向し第 1 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、

10

前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 5】

前記第 1 交差部から前記副画素電極までの第 1 方向に沿った第 1 距離は、前記第 2 交差部から前記副画素電極までの第 1 方向に沿った第 2 距離よりも大きいことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

20

前記第 1 主共通電極は、前記第 1 交差部と対向し、前記第 2 交差部で途切れていることを特徴とする請求項 4 または 5 に記載の液晶表示装置。

【請求項 7】

前記主画素電極は第 1 方向に第 1 幅を有し、前記副画素電極は第 1 方向に第 1 幅よりも大きい第 2 幅を有することを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ソース配線に接続されたスイッチング素子と、前記スイッチング素子に接続されたドレイン電極と、前記ソース配線及び前記ドレイン電極を覆う絶縁膜と、第 1 方向に沿って延出し前記絶縁膜上に配置されコンタクトホールを介して前記ドレイン電極と接続された副画素電極と、前記副画素電極と電氣的に接続された主画素電極と、前記絶縁膜上に配置され第 2 方向に沿って延出するとともに前記補助容量線と前記ソース配線との交差部に途切れた間隙部を有する第 1 主共通電極と、第 1 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、

30

前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備え、

40

前記コンタクトホールの中心は、前記主画素電極のセンターラインと前記間隙部と間に配置されたことを特徴とする液晶表示装置。

【請求項 9】

前記主画素電極からその両側に位置する前記第 1 主共通電極までの距離は略同等であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

前記第 1 主共通電極は、前記主画素電極と並んだ位置で第 1 方向に第 1 線幅を有し、前記副画素電極と並んだ位置で第 1 方向に第 1 線幅よりも小さい第 2 線幅を有することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置。

【請求項 11】

50

前記副画素電極及び前記第 1 主共通電極は、同一絶縁膜の上面に形成されたことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の液晶表示装置。

【請求項 12】

前記第 2 基板は、さらに、前記第 1 副共通電極と対向し前記第 2 主共通電極と電氣的に接続された第 2 副共通電極を備えたことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

10

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

20

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009-192822 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

30

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第 1 方向に第 1 幅を有し第 1 方向に交差する第 2 方向に沿って延出した主画素電極と、第 1 方向に第 1 幅よりも大きい第 2 幅を有し第 1 方向に交差する第 2 方向に沿って延出した副画素電極と、前記主画素電極と電氣的に接続された副画素電極と、前記主画素電極を挟んだ両側で第 2 方向に沿って延出し前記第 1 エッジ及び前記第 2 エッジの少なくとも一方と向かい合う位置で途切れた第 1 主共通電極と、第 1 方向に沿って延出し前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

40

【0007】

本実施形態によれば、

第 1 方向に沿って延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間において第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿って延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間において第 2 方向に沿って延出した主画素電極と、

50

前記補助容量線と対向し前記主画素電極と電氣的に接続された副画素電極と、前記第 1 ソース配線及び前記第 2 ソース配線のそれぞれと対向し第 2 方向に沿って延出するとともに前記補助容量線と前記第 1 ソース配線との第 1 交差部及び前記補助容量線と前記第 2 ソース配線との第 2 交差部の少なくとも一方で途切れた第 1 主共通電極と、前記第 1 ゲート配線及び前記第 2 ゲート配線のそれぞれと対向し第 1 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【 0 0 0 8 】

10

本実施形態によれば、

第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ソース配線に接続されたスイッチング素子と、前記スイッチング素子に接続されたドレイン電極と、前記ソース配線及び前記ドレイン電極を覆う絶縁膜と、第 2 方向に沿って延出し前記絶縁膜上に配置されコンタクトホールを介して前記ドレイン電極と接続された副画素電極と、前記副画素電極と電氣的に接続された主画素電極と、第 2 方向に沿って延出するとともに前記補助容量線と前記ソース配線との交差部に途切れた間隙部を有する第 1 主共通電極と、第 1 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備え、前記コンタクトホールの中心は、前記第 1 主画素電極のセンターラインと前記間隙部と間に配置されたことを特徴とする液晶表示装置が提供される。

20

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図 2】図 2 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図 3】図 3 は、図 1 に示した対向基板における一画素の構造例を概略的に示す平面図である。

30

【図 4】図 4 は、図 2 の A - A 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図 5】図 5 は、図 1 に示したアレイ基板におけるアクティブエリアの構造例を概略的に示す平面図である。

【図 6】図 6 は、図 1 に示したアレイ基板におけるアクティブエリアの別の構造例を概略的に示す平面図である。

【図 7】図 7 は、図 1 に示したアレイ基板におけるアクティブエリアの別の構造例を概略的に示す平面図である。

【発明を実施するための形態】

40

【 0 0 1 0 】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【 0 0 1 1 】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【 0 0 1 2 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R

50

に対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0013】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

10

【0014】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

20

【0015】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0016】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

30

【0017】

スイッチング素子SWは、例えば、 n チャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0018】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

40

【0019】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電

50

部VSと電氣的に接続されている。

【0020】

図2は、図1に示したアレ基板ARを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0021】

アレ基板ARは、画素電極PEを備えるとともに、共通電極CEの一部を備えている。

【0022】

図示した画素PXは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形形状である。ゲート配線G1及びゲート配線G2は、第1方向Xに沿って延出している。補助容量線C1は、隣接するゲート配線G1とゲート配線G2との間に配置され、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第2方向Yに沿って延出している。画素電極PEは、隣接するソース配線S1とソース配線S2との間に配置されている。また、この画素電極PEは、ゲート配線G1とゲート配線G2との間に位置している。

【0023】

図示した例では、画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。また、画素PXにおいて、ゲート配線G1は上側端部に配置され、ゲート配線G2は下側端部に配置されている。厳密には、ゲート配線G1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。補助容量線C1は、画素の略中央部に配置されている。この補助容量線C1とソース配線S1とが交差する領域を第1交差部CR1とし、補助容量線C1とソース配線S2とが交差する領域を第2交差部CR2とする。これらの第1交差部CR1及び第2交差部CR2は、図中に斜線で示した領域である。

【0024】

スイッチング素子SWは、図示した例では、ゲート配線G1及びソース配線S1に電氣的に接続されている。このスイッチング素子SWは、ゲート配線G1とソース配線S1の交点に設けられている。スイッチング素子SWのゲート電極WGはゲート配線G1と電氣的に接続され、ソース電極WSはソース配線S1と電氣的に接続され、ドレイン電極WDはソース配線S1及び補助容量線C1に沿って延長され、補助容量線C1と重なる領域に形成されたコンタクトホールCHを介して画素電極PEと電氣的に接続されている。このようなスイッチング素子SWは、ソース配線S1及び補助容量線C1と重なる領域に設けられ、ソース配線S1及び補助容量線C1と重なる領域からほとんどはみ出すことなく、表示に寄与する開口部の面積の低減を抑制している。

【0025】

画素電極PEは、互いに電氣的に接続された主画素電極PA及び副画素電極PBを備えている。主画素電極PAは、ソース配線S1とソース配線S2との間において副画素電極PBから画素PXの上側端部付近及び下側端部付近まで第2方向Yに沿って直線的に延出している。このような主画素電極PAは、第1方向Xに沿って略同一の幅W1を有する帯状に形成されている。

【0026】

副画素電極PBは、補助容量線C1と対向する領域に位置し、コンタクトホールCHを介してスイッチング素子SWのドレイン電極WDと電氣的に接続されている。この副画素電極PBは、第1方向Xに沿って主画素電極PAの幅W1よりも大きい幅W2を有している。すなわち、副画素電極PBは、幅W2において対向する第1エッジE1及び第2エッジE2を有している。これらの第1エッジE1及び第2エッジE2は、第2方向Yに沿って延出している。第1エッジE1は、ソース配線S1と向かい合う側に位置している。第

10

20

30

40

50

2 エッジ E 2 は、ソース配線 S 2 と向かい合う側に位置している。この副画素電極 P B は、第 1 交差部 C R 1 と第 2 交差部 C R 2 との間に位置している。

【 0 0 2 7 】

図示した例では、主画素電極 P A が画素 P X の中央部に位置しているのに対して、副画素電極 P B は、画素 P X の中央部よりもソース配線 S 2 の側に偏在している。副画素電極 P B の第 1 エッジ E 1 から主画素電極 P A までの第 1 方向 X に沿った距離 D 1 は、副画素電極 P B の第 2 エッジ E 2 から主画素電極 P A までの第 1 方向 X に沿った距離 D 2 よりも小さい。

【 0 0 2 8 】

共通電極 C E は、アレイ基板 A R に第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 を備えている。これらの第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、互いに電氣的に接続されている。

【 0 0 2 9 】

第 1 主共通電極 C A 1 は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、第 1 主共通電極 C A 1 は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような第 1 主共通電極 C A 1 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。但し、図示した例では、第 1 主共通電極 C A 1 は、主画素電極 P A と並んだ位置で第 1 方向 X に沿って線幅 W 1 1 を有しているのに対して、副画素電極 P B に並んだ位置では第 1 方向 X に沿って線幅 W 1 1 よりも小さい線幅 W 1 2 を有している。

【 0 0 3 0 】

また、このような第 1 主共通電極 C A 1 は、副画素電極 P B を挟んだ両側において、第 1 エッジ E 1 及び第 2 エッジ E 2 の少なくとも一方と対向する位置で途切れている。つまり、第 1 主共通電極 C A 1 は、第 1 交差部 C R 1 及び第 2 交差部 C R 2 の少なくとも一方で途切れている。

【 0 0 3 1 】

図示した例では、第 1 主共通電極 C A 1 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの第 1 主共通電極 C A 1 を区別するために、図中の左側の第 1 主共通電極を C A L 1 と称し、図中の

【 0 0 3 2 】

第 1 主共通電極 C A L 1 は、第 1 エッジ E 1 と向かい合い、途中で途切れることなくソース配線 S 1 と対向している。つまり、第 1 主共通電極 C A L 1 は、第 1 交差部 C R 1 と対向している。第 1 主共通電極 C A R 1 は、第 2 エッジ E 2 と向かい合う位置で途切れ、その他の位置ではソース配線 S 2 と対向している。つまり、画素 P X 内において、第 1 主共通電極 C A R 1 には、第 2 交差部 C R 2 で途切れた領域である間隙部 K G が存在している。

【 0 0 3 3 】

画素 P X において、第 1 主共通電極 C A L 1 は左側端部に配置され、第 1 主共通電極 C A R 1 は右側端部に配置されている。厳密には、第 1 主共通電極 C A L 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、第 1 主共通電極 C A R 1 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【 0 0 3 4 】

第 1 副共通電極 C B 1 は、X - Y 平面内において、画素電極 P E を挟んだ両側で副画素電極 P B と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、第 1 副共通電極 C B 1 は、ゲート配線 G とそれぞれ対向するとともに副画素電極 P B と略平行に延出している。このような第 1 副共通電極 C B 1 は、帯状に形成されている。第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。また、この第 1 副共通電極 C B 1 は、第 1 主共通電極 C A 1 と一体的あるいは連続的に形成され、第 1 主

共通電極 C A 1 と電氣的に接続されている。

【 0 0 3 5 】

図示した例では、第 1 副共通電極 C B 1 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。以下では、これらの第 1 副共通電極 C B 1 を区別するために、図中の上側の第 1 副共通電極を C B U 1 と称し、図中の下側の第 1 副共通電極を C B B 1 と称する。第 1 副共通電極 C B U 1 は、途中で途切れることなくゲート配線 G 1 と対向している。第 1 副共通電極 C B B 1 は、途中で途切れることなくゲート配線 G 2 と対向している。

【 0 0 3 6 】

画素 P X において、第 1 副共通電極 C B U 1 は上側端部に配置され、第 1 副共通電極 C B B 1 は下側端部に配置されている。厳密には、第 1 副共通電極 C B U 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、第 1 副共通電極 C B B 1 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【 0 0 3 7 】

画素電極 P E と共通電極 C E との位置関係に着目すると、以下の関係が言える。

【 0 0 3 8 】

X - Y 平面内において、主画素電極 P A と第 1 主共通電極 C A 1 とは、第 1 方向 X に沿って交互に配置されている。これらの主画素電極 P A と第 1 主共通電極 C A 1 とは、互いに略平行に配置されている。このとき、X - Y 平面内において、第 1 主共通電極 C A 1 のいずれも画素電極 P E とは重ならない。すなわち、隣接する第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の間には、1 本の主画素電極 P A が位置している。換言すると、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、主画素電極 P A を挟んだ両側に配置されている。あるいは、主画素電極 P A は、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との間に配置されている。このため、第 1 主共通電極 C A L 1、主画素電極 P A、及び、第 1 主共通電極 C A R 1 は、第 1 方向 X に沿ってこの順に配置されている。

【 0 0 3 9 】

これらの主画素電極 P A と第 1 主共通電極 C A 1 との第 1 方向 X に沿った間隔は略一定である。すなわち、第 1 主共通電極 C A L 1 と主画素電極 P A との第 1 方向 X に沿った間隔 D 1 1 は、第 1 主共通電極 C A R 1 と主画素電極 P A との第 1 方向 X に沿った間隔 D 1 2 と略同等である。

【 0 0 4 0 】

また、X - Y 平面内において、副画素電極 P B と第 1 副共通電極 C B 1 とは、第 2 方向 X に沿って交互に配置されている。これらの副画素電極 P B と第 1 副共通電極 C B 1 とは、互いに略平行に配置されている。このとき、X - Y 平面内において、第 1 副共通電極 C B 1 のいずれも画素電極 P E とは重ならない。すなわち、隣接する第 1 副共通電極 C B U 1 及び第 1 副共通電極 C B B 1 の間には、1 本の副画素電極 P B が位置している。換言すると、第 1 副共通電極 C B U 1 及び第 1 副共通電極 C B B 1 は、副画素電極 P B を挟んだ両側に配置されている。あるいは、副画素電極 P B は、第 1 副共通電極 C B U 1 と第 1 副共通電極 C B B 1 との間に配置されている。このため、第 1 副共通電極 C B B 1、副画素電極 P B、及び、第 1 副共通電極 C B U 1 は、第 2 方向 Y に沿ってこの順に配置されている。

【 0 0 4 1 】

この副画素電極 P B から第 1 交差部 C R 1 (あるいは、ソース配線 S 1 のエッジ) までの第 1 方向 X に沿った間隔 D 2 1 は、副画素電極 P B から第 2 交差部 C R 2 (あるいは、ソース配線 S 2 のエッジ) までの第 1 方向 X に沿った間隔 D 2 2 よりも大きい。

【 0 0 4 2 】

すなわち、副画素電極 P B は、間隙部 K G 側に近接するように配置され、第 1 主共通電極 C A L 1 の第 1 交差部 C R 1 からは遠ざかるように配置されている。また、副画素電極 P B とスイッチング素子 S W のドレイン電極を接続させるためのコンタクトホール C H は、補助容量線 C 1 と重なる領域において間隙部 K G 寄りに配置されている。つまり、コン

10

20

30

40

50

タクトホールＣＨの中心Ｏは、主画素電極ＰＡのセンターラインＣＬから間隙部ＫＧの方向にずれて配置されている。

【００４３】

上述のように副画素電極ＰＢを配置すると、副画素電極ＰＢと第１主共通電極ＣＡＬ１等のように同層で異なる電気信号をもつ電極間のショートを防止することが出来る。すなわち、間隙部ＫＧを設けることにより、画素電極と共通電極との間隔に余裕を持たせることができるため製造歩留まりが向上する。特に画素ＰＸの間隔が狭くなる高精細において、製造上の理由によりコンタクトホールＣＨを画素ＰＸの大きさに従い小さくすることが出来ない場合には、コンタクトホールＣＨが画素ＰＸに占める割合は大きくなる。また、ドレイン電極と画素電極ＰＥとの接触抵抗の低減し電極の腐食を防止するために、コンタクトホールＣＨは画素電極ＰＥによって覆われることが必要である。したがって、副画素電極ＰＢの大きさの最小寸法はコンタクトホールＣＨの大きさによって制限される。このため、副画素電極ＰＢと第１主共通電極ＣＡＬ１の間隔が十分に余裕を持っていないと、副画素電極ＰＢと第１主共通電極ＣＡＬ１が製造時にエッチングが十分になされずショートする虞がある。しかしながら、本実施形態によれば、コンタクトホールＣＨの中心を画素ＰＸのセンターラインと間隙部ＫＧの間に配置する。これにより、副画素電極ＰＢがコンタクトホールＣＨを覆っても、共通電極ＣＡ１と画素電極ＰＥの間にはショートを回避する十分な間隔をもつことが可能となる。

【００４４】

図３は、図１に示した対向基板ＣＴにおける一画素ＰＸの構造例を概略的に示す平面図である。ここでは、Ｘ－Ｙ平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板に備えられた画素電極ＰＥと、第１主共通電極ＣＡ１及び第１副共通電極ＣＢ１とを破線で示している。

【００４５】

共通電極ＣＥは、対向基板ＣＴに第２主共通電極ＣＡ２及び第２副共通電極ＣＢ２を備えている。これらの第２主共通電極ＣＡ２及び第２副共通電極ＣＢ２は、互いに電氣的に接続されている。また、これらの第２主共通電極ＣＡ２及び第２副共通電極ＣＢ２は、例えば、アクティブエリアの外側などにおいて、アレイ基板に備えられた第１主共通電極ＣＡ１及び第１副共通電極ＣＢ１と電氣的に接続されている。

【００４６】

第２主共通電極ＣＡ２は、Ｘ－Ｙ平面内において、主画素電極ＰＡを挟んだ両側で主画素電極ＰＡと略平行な第２方向Ｙに沿って直線的に延出している。あるいは、第２主共通電極ＣＡ２は、第１主共通電極ＣＡ１とそれぞれ対向するとともに主画素電極ＰＡと略平行に延出している。このような第２主共通電極ＣＡ２は、第１方向Ｘに沿って略同一の幅を有する帯状に形成されている。

【００４７】

図示した例では、第２主共通電極ＣＡ２は、第１方向Ｘに間隔をおいて２本平行に並んでおり、画素ＰＸの左右両端部にそれぞれ配置されている。以下では、これらの第２主共通電極ＣＡ２を区別するために、図中の左側の第２主共通電極をＣＡＬ２と称し、図中の右側の第２主共通電極をＣＡＲ２と称する。第２主共通電極ＣＡＬ２は、途中で途切れることなく第１主共通電極ＣＡＬ１と対向している。第２主共通電極ＣＡＲ２は、途中で途切れることなく第１主共通電極ＣＡＲ１と対向している。

【００４８】

画素ＰＸにおいて、第２主共通電極ＣＡＬ２は左側端部に配置され、第２主共通電極ＣＡＲ２は右側端部に配置されている。厳密には、第２主共通電極ＣＡＬ２は当該画素ＰＸとその左側に隣接する画素との境界に跨って配置され、第２主共通電極ＣＡＲ２は当該画素ＰＸとその右側に隣接する画素との境界に跨って配置されている。

【００４９】

第２副共通電極ＣＢ２は、Ｘ－Ｙ平面内において、画素電極ＰＥを挟んだ両側で副画素電極ＰＢと略平行な第１方向Ｘに沿って直線的に延出している。あるいは、第２副共通電

極 C B 2 は、第 1 副共通電極 C B 1 とそれぞれ対向するとともに副画素電極 P B と略平行に延出している。このような第 2 副共通電極 C B 2 は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。また、この第 2 副共通電極 C B 2 は、第 2 主共通電極 C A 2 と一体的あるいは連続的に形成され、第 2 主共通電極 C A 2 と電氣的に接続されている。つまり、対向基板 C T においては、共通電極 C E は格子状に形成されている。

【 0 0 5 0 】

図示した例では、第 2 副共通電極 C B 2 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。以下では、これらの第 2 副共通電極 C B 2 を区別するために、図中の上側の第 2 副共通電極を C B U 2 と称し、図中の下側の第 2 副共通電極を C B B 2 と称する。第 2 副共通電極 C B U 2 は、途中で途切れることなく第 1 副共通電極 C B U 1 と対向している。第 2 副共通電極 C B B 2 は、途中で途切れることなく第 1 副共通電極 C B B 2 と対向している。

10

【 0 0 5 1 】

画素 P X において、第 2 副共通電極 C B U 2 は上側端部に配置され、第 2 副共通電極 C B B 2 は下側端部に配置されている。厳密には、第 2 副共通電極 C B U 2 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、第 2 副共通電極 C B B 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【 0 0 5 2 】

図 4 は、図 2 の A - A 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

20

【 0 0 5 3 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 5 4 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。第 1 方向 X に延在した補助容量線 C 1 は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線も同様に、第 1 絶縁膜 1 1 と第 2 絶縁膜 1 2 との間に形成されている。

30

【 0 0 5 5 】

スイッチング素子のドレイン電極 W D 、ソース配線 S 1 及びソース配線 S 2 は、第 2 絶縁膜 1 2 の上に形成され、第 3 絶縁膜 1 3 によって覆われている。ドレイン電極 W D は、ソース配線 S 1 及びソース配線 S 2 から離間し、これらの間に位置している。第 3 絶縁膜 1 3 には、ドレイン電極 W D まで貫通したコンタクトホール C H が形成されている。

【 0 0 5 6 】

画素電極の副画素電極 P B や、共通電極の第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 などは、同一絶縁膜の上面、すなわち、第 3 絶縁膜 1 3 の上面に形成されているが、それぞれ離間している。副画素電極 P B は、コンタクトホール C H に延在し、ドレイン電極 W D と電氣的に接続されている。このような副画素電極 P B は、隣接するソース配線 S 1 及びソース配線 S 2 のそれぞれの直上の位置よりもそれらの内側に位置しているが、ソース配線 S 2 に近接している。つまり、副画素電極 P B は、ソース配線 S 1 の直上に位置する第 1 主共通電極 C A L 1 と、ソース配線 S 2 の直上に位置する第 1 主共通電極 C A R 1 との間に位置しているが、第 1 主共通電極 C A R 1 に近接している。ところが、第 1 主共通電極 C A R 1 は、図中に破線で示したように、副画素電極 P B の第 2 エッジ E 2 と向かい合う位置では途切れている。

40

【 0 0 5 7 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極の副画素電極 P B や共通電極の第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 などを

50

覆っており、第3絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0058】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

【0059】

ブラックマトリクスBMは、各画素PXを区画し、画素電極PEと対向する開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスBMは、第2方向Yに沿って延出した部分のみが図示されているが、第1方向Xに沿って延出した部分を備えていても良い。このブラックマトリクスBMは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに配置されている。

【0060】

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20Aにおける開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第1方向Xに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士の境界は、ブラックマトリクスBMと重なる位置にある。

【0061】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

【0062】

共通電極の第2主共通電極CAL2及び第2主共通電極CAR2などは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。第2主共通電極CAL2は、第1主共通電極CAL1の直上に位置している。第2主共通電極CAR2は、第1主共通電極CAR1の直上に位置している。

【0063】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極の第2主共通電極CAL2及び第2主共通電極CAR2やオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0064】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、ともに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図3に示したように、第2方向Yと略平行であって、同じ向きである。

【0065】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一

方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば $2 \sim 7 \mu\text{m}$ のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせられている。

【 0 0 6 6 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 6 7 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。

【 0 0 6 8 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

【 0 0 6 9 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

【 0 0 7 0 】

図 3 において、（ a ）で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 1 】

また、図 3 において、（ b ）で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 2 】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 乃至図 4 を参照しながら説明する。

【 0 0 7 3 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成されていない状態（O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【 0 0 7 4 】

なお、厳密には、液晶分子 LM は、 $X - Y$ 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 LM の初期配向方向とは、 OFF 時の液晶分子 LM の長軸を $X - Y$ 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 LM は、 $X - Y$ 平面に平行に配向しているものとし、 $X - Y$ 平面と平行な面内で回転するものとして説明する。

【 0 0 7 5 】

ここでは、第 1 配向処理方向 $PD1$ 及び第 2 配向処理方向 $PD2$ は、ともに第 2 方向 Y と略平行な方向である。 OFF 時においては、液晶分子 LM は、図 3 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 LM の初期配向方向は、第 2 方向 Y と平行（あるいは、第 2 方向 Y に対して 0° ）である。

10

【 0 0 7 6 】

図示した例のように、第 1 配向処理方向 $PD1$ 及び第 2 配向処理方向 $PD2$ が平行且つ同じ向きである場合、液晶層 LQ の断面において、液晶分子 LM は、液晶層 LQ の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 $AL1$ の近傍及び第 2 配向膜 $AL2$ の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。なお、第 1 配向処理方向 $PD1$ 及び第 2 配向処理方向 $PD2$ が互いに平行且つ逆向きである場合、液晶層 LQ の断面において、液晶分子 LM は、第 1 配向膜 $AL1$ の近傍、第 2 配向膜 $AL2$ の近傍、及び、液晶層 LQ の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

20

【 0 0 7 7 】

バックライト 4 からのバックライト光は、その一部が第 1 偏光板 $PL1$ を透過し、液晶表示パネル LPN に入射する。液晶表示パネル LPN に入射した光の偏光状態は、液晶層 LQ を通過する際に液晶分子 LM の配向状態によって異なる。 OFF 時においては、液晶層 LQ を通過した光は、第 2 偏光板 $PL2$ によって吸収される（黒表示）。

【 0 0 7 8 】

一方、液晶層 LQ に電圧が印加された状態、つまり、画素電極 PE と共通電極 CE との間に電位差（あるいは電界）が形成された状態（ ON 時）では、画素電極 PE と共通電極 CE との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 LM は、電界の影響を受け、その長軸が図中の実線で示したように $X - Y$ 平面と略平行な平面内で回転する。

30

【 0 0 7 9 】

図 3 に示した例では、画素電極 PE と第 2 主共通電極 $CAL2$ 及び第 2 副共通電極 $CB2$ とで囲まれた領域内の液晶分子 LM は、第 2 方向 Y に対して時計回りに回転し、図中の左下を向くように配向する。画素電極 PE と第 2 主共通電極 $CAR2$ 及び第 2 副共通電極 $CB2$ とで囲まれた領域内の液晶分子 LM は、第 2 方向 Y に対して反時計回りに回転し、図中の右下を向くように配向する。画素電極 PE と第 2 主共通電極 $CAL2$ 及び第 2 副共通電極 $CBU2$ とで囲まれた領域内の液晶分子 LM は、第 2 方向 Y に対して反時計回りに回転し、図中の左上を向くように配向する。画素電極 PE と第 2 主共通電極 $CAR2$ 及び第 2 副共通電極 $CBU2$ とで囲まれた領域内の液晶分子 LM は、第 2 方向 Y に対して時計回りに回転し、図中の右上を向くように配向する。

40

【 0 0 8 0 】

このように、各画素 PX において、画素電極 PE と共通電極 CE との間に電界が形成された状態では、液晶分子 LM の配向方向は、画素電極 PE と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 PX には、複数のドメインが形成される。

【 0 0 8 1 】

このような ON 時には、バックライト 4 から液晶表示パネル LPN に入射したバックライト光は、その一部が第 1 偏光板 $PL1$ を透過し、液晶表示パネル LPN に入射する。液晶層 LQ に入射したバックライト光は、その偏光状態が変化する。このような ON 時に

50

いては、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 8 2 】

本実施形態によれば、アレイ基板 A R は、主画素電極 P A を挟んだ両側に位置するとともに副画素電極 P B を挟んだ両側のうちの少なくとも一方で途切れた第 1 主共通電極 C A 1 を備えている。このため、副画素電極 P B の第 1 方向 X に沿った幅が拡大したり、画素 P X の第 1 方向 X に沿った幅が縮小したりした場合であっても、画素電位となる副画素電極 P B とコモン電位の第 1 主共通電極 C A 1 との水平電極間距離を十分に確保することが可能となる。したがって、画素電極 P E と共通電極 C E とのショートに起因した表示不良の発生を抑制することが可能となる。また、第 1 方向 X に沿った画素ピッチを低減した狭画素ピッチに対応することが可能となり、高精細化が可能となる。

10

【 0 0 8 3 】

また、第 1 主共通電極 C A 1 がソース配線 S と対向するため、ソース配線 S からの不所望な電界を遮蔽することが可能となる。このため、ソース配線 S から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。したがって、表示品位の良好な液晶表示装置を提供することができる。

【 0 0 8 4 】

20

なお、ソース配線 S からの電界の遮蔽性能を向上するために、第 1 主共通電極 C A 1 の第 1 方向 X に沿った幅は、ソース配線 S の第 1 方向 X に沿った幅よりも大きく設定されることが望ましい。

【 0 0 8 5 】

また、第 1 副共通電極 C B 1 がゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。したがって、表示品位の良好な液晶表示装置を提供することができる。

【 0 0 8 6 】

30

なお、ゲート配線 G からの電界の遮蔽性能を向上するために、第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅は、ゲート配線 G の第 2 方向 Y に沿った幅よりも大きく設定されることが望ましい。

【 0 0 8 7 】

また、これらの第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、互いに電氣的に接続され、略格子状に形成されているため、冗長性を向上することが可能となる。したがって、アレイ基板 A R に備えられた共通電極 C E の一部で断線が発生したとしても、各画素 P X に安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

【 0 0 8 8 】

40

さらに、アレイ基板 A R に備えられた第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 が互いに電氣的に接続されているため、第 1 方向 X に隣接する各画素、及び、第 2 方向 Y に隣接する各画素に対して同一のコモン電位を供給することが可能となるとともに、ゲート配線 G 及びソース配線 S からの電界の影響を受けにくく、H V 反転駆動や V ライン反転駆動など、共通電極に印加されるコモン電位が D C となる駆動方法を適用した場合に、表示不良の発生を抑制することが可能となる。

【 0 0 8 9 】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することで対応す

50

ることが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素 P X の略中央に配置された主画素電極 P A に対して主共通電極 C A の配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

【 0 0 9 0 】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域で透過率が十分に低下している。これは、共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 9 1 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 9 2 】

また、本実施形態によれば、第 1 主共通電極 C A 1 はそれぞれソース配線 S と対向し、第 2 主共通電極 C A 2 は第 1 主共通電極 C A 1 と対向している。つまり、ソース配線 S、第 1 主共通電極 C A 1、及び、第 2 主共通電極 C A 2 は、液晶表示パネル L P N の法線方向に沿ってこの順に並んでいる。このような構成の場合には、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 がソース配線 S の上方の位置よりも画素電極 P E の側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【 0 0 9 3 】

また、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 がソース配線 S の上方の位置よりも画素電極 P E の側に配置された場合と比較して、画素電極 P E と第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【 0 0 9 4 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【 0 0 9 5 】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 3 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、このなす角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【 0 0 9 6 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

【 0 0 9 7 】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

【 0 0 9 8 】

本実施形態において、画素 P X の構造は、図 2 及び図 3 に示した例に限定されるものではない。また、本実施形態においては、共通電極 C E を構成する第 2 副共通電極 C B 2 を省略しても良い。

【 0 0 9 9 】

以下に、より具体的な例について説明する。

【 0 1 0 0 】

図 5 は、アレイ基板 A R におけるアクティブエリア A C T の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 1 0 1 】

図示した例は、青色画素 P X B 1、赤色画素 P X R 1、緑色画素 P X G 1、青色画素 P X B 2、赤色画素 P X R 2 がこの順に第 1 方向 X に沿って並んでいる場合に相当する。各画素に配置された画素電極 P E は左上がりの斜線で示し、共通電極 C E を構成する第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は右上がりの斜線で示している。

【 0 1 0 2 】

青色画素 P X B 1 に着目すると、副画素電極 P B は、画素中央部よりも図中の左側に偏在している。画素電極 P E の右側に位置する第 1 主共通電極 C A 1 は途切れることなく第 2 方向 Y に延出しているのに対して、画素電極 P E の左側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置で途切れた間隙部 K G が設けられている。他の青色画素 P X B 2 や、第 2 方向 Y に隣接する青色画素についても同様である。

【 0 1 0 3 】

赤色画素 P X R 1 に着目すると、副画素電極 P B は、画素中央部よりも図中の右側に偏在している。画素電極 P E の左側に位置する第 1 主共通電極 C A 1 は途切れることなく第 2 方向 Y に延出しているのに対して、画素電極 P E の右側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置で途切れている。すなわち、画素電極 P E の右側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置に間隙部 K G が設けられている。他の赤色画素 P X R 2 や、第 2 方向 Y に隣接する赤色画素についても同様である。

【 0 1 0 4 】

緑色画素 P X G 1 に着目すると、副画素電極 P B は、画素の略中央部に位置している。画素電極 P E の両側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置で途切れている。すなわち、第 1 主共通電極 C A 1 には間隙部 K G が設けられている。図示していないが、他の緑色画素についても同様である。

【 0 1 0 5 】

つまり、図示した例では、赤色画素と緑色画素との間、及び、緑色画素と青色画素との

10

20

30

40

50

間の第1主共通電極CA1は、各副画素電極PBと向かい合う位置で途切れている。これにより、各副画素電極PBと第1主共通電極CA1との間の第1方向Xに沿った水平電極間距離を十分に確保することが可能となる。一方で、赤色画素と青色画素との間の第1主共通電極CA1は、アクティブエリアACTにおいて途切れることなく第2方向Yに沿って直線的に延出している。これにより、アレイ基板ARに備えられた共通電極の第1主共通電極CA1と第1副共通電極CB1とがアクティブエリアACT内で電氣的に接続され、冗長化が可能となる。また、特定の色画素間、つまり、赤色画素と青色画素との間で第1主共通電極CA1を延出し、第2方向Yに沿って隣接する画素間の第1副共通電極CB1を電氣的に接続している。赤色や青色は、緑色と比較して比視感度が低いため、例えばこれらの特定の色画素で表示ムラが発生したとしても、視認性が低く、表示品位に与える影響を低減することが可能となる。

10

【0106】

図6は、アレイ基板ARにおけるアクティブエリアACTの別の構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0107】

図示した例は、青色画素PXB1、赤色画素PXR1、緑色画素PXG1、青色画素PXB2、赤色画素PXR2がこの順に第1方向Xに沿って並んでいる場合に相当する。各画素に配置された画素電極PEは左上がりの斜線で示し、共通電極CEを構成する第1主共通電極CA1及び第1副共通電極CB1は右上がりの斜線で示している。

【0108】

20

赤色画素PXR1と緑色画素PXG1に着目すると、赤色画素PXR1の画素電極PEの左側、及び、緑色画素PXG1の画素電極PEの右側に位置する第1主共通電極CA1は途切れることなく第2方向Yに延出しているのに対して、赤色画素PXR1と緑色画素PXG1の画素電極PEの間に位置する第1主共通電極CA1は副画素電極PBと向かい合う位置で途切れた間隙部KGを設けている。また、赤色画素PXR1と緑色画素PXG1の副画素電極PBは、画素中央部よりも図中の間隙部KGの方向に偏在している。

【0109】

この間隙部KGは、ソース配線Sの1本置きに設けられている。言い換えれば、隣接する2画素に1つの間隙部KGが存在する。このように間隙部KGを配置すると、画素電極PEと間隙部KGとの距離よりも画素電極PEと共通電極CA1との間の距離を大きくすることができ、製造上生じる電極間のショートを抑圧する効果が生じる。

30

【0110】

図7は、アレイ基板ARにおけるアクティブエリアACTの別の構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0111】

画素PXの間隔に対してコンタクトホールCHが大きい場合には、コンタクトホールCHを画素PXのセンターラインから間隙部KGの方向にずらして配置する。言い換えれば、画素PXのセンターラインと間隙部KGの間にコンタクトホールの中心を配置する。あるいは、隣接する画素において間隙部KGを挟んだコンタクトホールCH間の距離は、隣接する画素において共通電極を挟んだコンタクトホールCH間の距離よりも小さくなるように、コンタクトホールを配置する。このようにコンタクトホールCHを配置することによって、画素電極PEがコンタクトホールCHのすべてを覆っても、エッチングが不十分な場合に生じる製造時の共通電極CA1と画素電極PEの間のショートを回避することができる。

40

【0112】

以上説明したように、本実施形態によれば、表示品位の劣化を抑圧することが可能な液晶表示装置を提供することが可能となる。

【0113】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態

50

は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0114】

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極

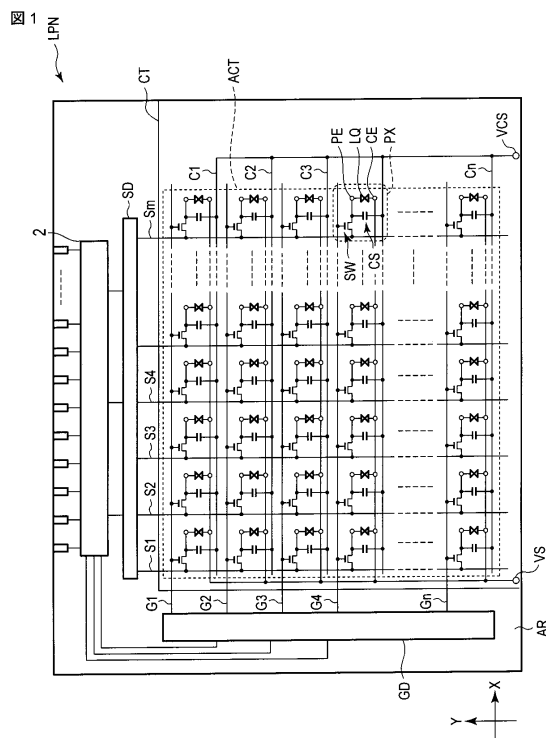
C E ... 共通電極 C A ... 主共通電極 C B ... 副共通電極

C A 1 ... 第1主共通電極 C B 1 ... 第1副共通電極

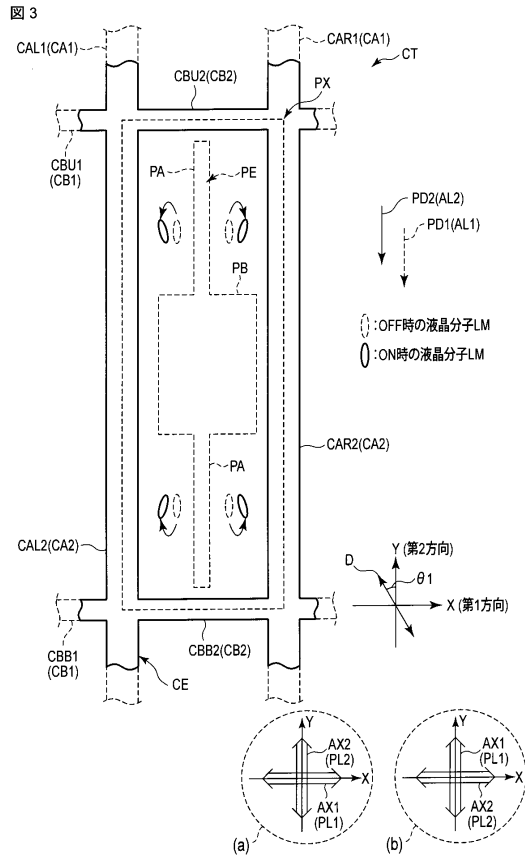
C A 2 ... 第2主共通電極 C B 2 ... 第2副共通電極

10

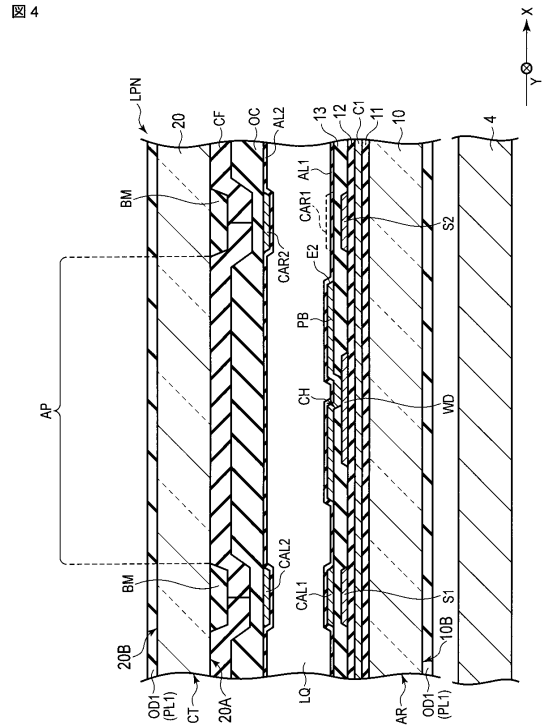
【図1】



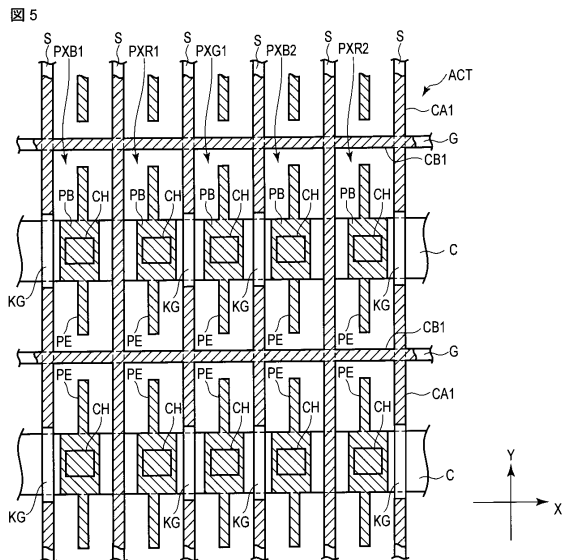
【図 3】



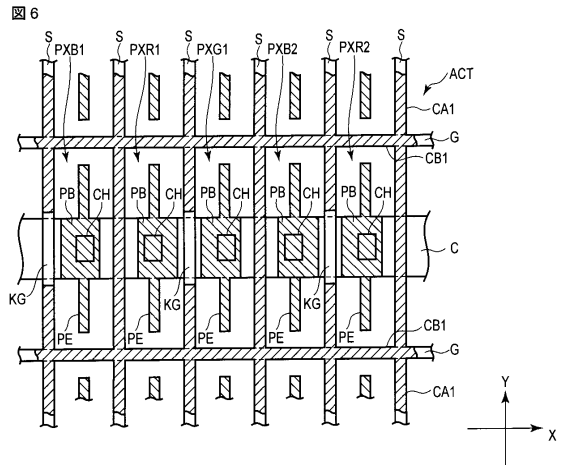
【図 4】



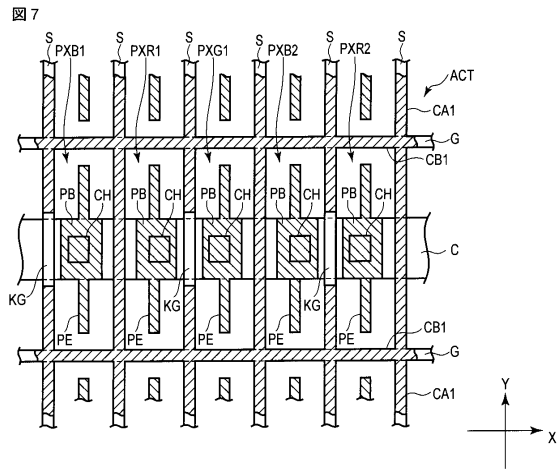
【図 5】



【図 6】



【図 7】



フロントページの続き

(74)代理人 100075672
弁理士 峰 隆司
(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(72)発明者 中村 真人
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 弓指 洋平

(56)参考文献 特開平09-230380(JP,A)
特開2002-202736(JP,A)
特開2009-109657(JP,A)
米国特許出願公開第2004/0085503(US,A1)
特開2000-162639(JP,A)
特開2004-198846(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5759813B2	公开(公告)日	2015-08-05
申请号	JP2011155150	申请日	2011-07-13
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	中村真人		
发明人	中村 真人		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/133707 G02F1/134363 G02F2001/134318		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA29 2H092/GA60 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA01 2H092/NA07 2H092/NA16 2H092/PA02 2H192/AA24 2H192/AA43 2H192/BA32 2H192/BB32 2H192/BB52 2H192/BB73 2H192/BC32 2H192/CC05 2H192/DA12 2H192/DA74 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GA03 2H192/GA42 2H192/GD12 2H192/GD42 2H192/GD61 2H192/JA33		
代理人(译)	河野 哲 中村 诚 河野直树 冈田隆		
其他公开文献	JP2013020189A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。所述的第一方向和沿第二方向交叉的第一方向上延伸的主像素电极具有第一宽度，在一个较大的第二宽度比所述第一宽度更大的所述第一方向相对的第一边缘和所述主像素电极，电连接到子像素电极具有第二边缘，在所述像素电极和所述第一边缘和所述的主相对侧延伸出来沿着第二方向第一主公共电极由至少一个和所述第二边缘的相反位置，即推出了第一主公共电极和电沿第一方向连接的第一子共电极，与中断第二基板，包括第一基板和第二主公共电极，第二基板和第二主公共电极沿第二方向延伸并与第一主公共电极相对并且电连接到第一主公共电极;并且液晶层保持在第一基板和第二基板之间。点域

(21) 出願番号	特願2011-155150 (P2011-155150)	(73) 特許権者	502356528
(22) 出願日	平成23年7月13日 (2011. 7. 13)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-20189 (P2013-20189A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年1月31日 (2013. 1. 31)	(74) 代理人	110001737
審査請求日	平成26年3月25日 (2014. 3. 25)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	10008683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 榎原 淑弘