

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5596330号  
(P5596330)

(45) 発行日 平成26年9月24日 (2014.9.24)

(24) 登録日 平成26年8月15日 (2014.8.15)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 D

H O 1 L 21/336 (2006.01)

請求項の数 9 (全 18 頁)

(21) 出願番号 特願2009-260984 (P2009-260984)  
 (22) 出願日 平成21年11月16日 (2009.11.16)  
 (65) 公開番号 特開2011-107323 (P2011-107323A)  
 (43) 公開日 平成23年6月2日 (2011.6.2)  
 審査請求日 平成24年9月21日 (2012.9.21)

(73) 特許権者 506087819  
 パナソニック液晶ディスプレイ株式会社  
 兵庫県姫路市飾磨区妻鹿日田町1-6  
 (74) 代理人 110000154  
 特許業務法人はるか国際特許事務所  
 (72) 発明者 船橋 祐太  
 千葉県茂原市早野3732番地 株式会社  
 I P S アルファテクノロジー内  
 (72) 発明者 川村 徹也  
 千葉県茂原市早野3732番地 株式会社  
 I P S アルファテクノロジー内  
 (72) 発明者 平田 将史  
 千葉県茂原市早野3732番地 株式会社  
 I P S アルファテクノロジー内

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1基板に半導体パターン及び金属パターンを、前記半導体パターンが、前記金属パターンの下に積層された第1部分と、前記第1部分から前記金属パターンの外側にはみ出す第2部分と、を有するように形成する工程と、

前記金属パターン及び前記半導体パターンを覆う第1の絶縁層を形成する工程と、

前記第1の絶縁層の、前記金属パターンの上方の第1領域と、前記半導体パターンの少なくとも前記第2部分の上方の第2領域と、に対して行うエッチング工程と、

前記第1の絶縁層を覆う第2の絶縁層を形成する工程と、

前記第2の絶縁層の上に電極を形成する工程と、その後、

前記第1基板と、前記第1基板に対向する第2基板との間に、シールに囲まれて封止されるように液晶を配置する工程と、

を含み、

前記エッチング工程で、前記第1領域では前記第1の絶縁層をエッチングして前記金属パターンとの電氣的接続のための貫通穴を形成し、前記第2領域では前記第1の絶縁層及び前記半導体パターンをエッチングして、前記半導体パターンの前記第2部分を除去してスペースを形成し、前記第2の絶縁層を形成する工程で、前記スペースに前記第2の絶縁層を形成し、

前記金属パターンは、前記シールで囲まれる領域内に位置する複数の第1配線と、前記シールで囲まれる前記領域の外側に位置する複数の第2配線と、を含み、

10

20

前記複数の第 1 配線は、隣同士の間隔をあけて並列し、隣同士の前記第 1 配線の間の領域の下方に、エッチングされる前記第 2 部分が位置し、

前記複数の第 2 配線は、隣同士の間隔をあけて並列し、隣同士の前記第 2 配線の間の領域の下方に、前記エッチング工程で残される前記半導体パターンの第 3 部分が位置することを特徴とする液晶表示装置の製造方法。

【請求項 2】

請求項 1 に記載された液晶表示装置の製造方法において、

前記第 2 領域は、前記半導体パターンの前記第 1 部分及び前記第 2 部分並びに前記第 1 部分上の前記金属パターンの上方にあり、

前記エッチング工程で、前記第 1 部分上の前記金属パターンをマスクとして、前記第 1 部分を残すように、前記半導体パターンの前記第 2 部分を除去することを特徴とする液晶表示装置の製造方法。

10

【請求項 3】

請求項 2 に記載された液晶表示装置の製造方法において、

前記金属パターンは、配線を含み、

前記半導体パターンの前記第 2 部分は、前記配線の幅方向の両側にはみ出すことを特徴とする液晶表示装置の製造方法。

【請求項 4】

請求項 1 に記載された液晶表示装置の製造方法において、

前記第 2 の絶縁層は、カラーフィルタの少なくとも 1 色の着色層を形成する材料であることを特徴とする液晶表示装置の製造方法。

20

【請求項 5】

請求項 1 から 4 のいずれか 1 項に記載された液晶表示装置の製造方法において、前記電極は、共通電極であることを特徴とする液晶表示装置の製造方法。

【請求項 6】

請求項 1 から 4 のいずれか 1 項に記載された液晶表示装置の製造方法において、前記電極は、画素電極であることを特徴とする液晶表示装置の製造方法。

【請求項 7】

薄膜トランジスタが形成された第 1 基板と、

前記第 1 基板に対向する第 2 基板と、

前記第 1 基板と前記第 2 基板の間に配置された液晶と、

前記第 1 基板と前記第 2 基板の間で前記液晶の周囲に配置されたシールと、  
を含み、

30

前記第 1 基板には、半導体パターン及び金属パターンが、前記半導体パターンが前記金属パターンの下に積層されるように形成され、

前記半導体パターン及び金属パターンを覆う絶縁層と、前記絶縁層の上に形成された電極と、をさらに含み、

前記金属パターンは、隣同士の間隔をあけて並列し、前記シールで囲まれる領域内に位置する複数の第 1 配線と、前記シールで囲まれる前記領域の外側に位置する複数の第 2 配線と、を含み、

40

前記半導体パターンが、前記金属パターンの下に積層された第 1 部分と、隣同士の前記第 1 配線の間の領域の下方に位置し前記第 1 部分から前記金属パターンの外側にはみ出す第 2 部分と、を有するように形成された前記第 2 部分をエッチングにより除去することにより、前記シールに囲まれた領域では、前記半導体パターンの側面と前記金属パターンの側面が面一になっており、

前記複数の第 2 配線は、隣同士の間隔をあけて並列し、隣同士の前記第 2 配線の間の領域の下方に、前記エッチング工程で残される前記半導体パターンの第 3 部分が位置することを特徴とする液晶表示装置。

【請求項 8】

請求項 7 に記載された液晶表示装置において、前記電極は、共通電極であることを特徴

50

とする液晶表示装置。

【請求項 9】

請求項 7 に記載された液晶表示装置において、前記電極は、画素電極であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

アクティブマトリクス型の液晶表示装置では、薄膜トランジスタを構成するため、半導体層及び金属層が積層されている。ボトムゲート型の薄膜トランジスタでは、金属層からパターニングされたドレイン電極及びソース電極及びドレイン配線（画素電極を駆動するための映像信号が供給される配線）が、半導体層の上に形成される。このような構造において、半導体層は、ドレイン配線がソース配線などの交差する配線を乗り越える領域などに、段差を小さくするために使用される場合がある（特許文献 1）。

【0003】

また、近年は画素の高精細化が進み、一つの画素間に 2 本のドレイン配線が形成される場合がある（特許文献 2）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】W O 0 1 / 0 1 8 5 9 7 号公報

【特許文献 2】特開 2 0 0 5 - 7 7 4 2 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体層を先にパターニングしてからドレイン電極及びソース電極、及びドレイン電極に接続するドレイン配線の金属層をパターニングする方法では、位置ずれを考慮して、半導体層を重畳する金属層よりも幅広に形成する。そのため、ドレイン配線下の半導体層は、特に交差する他の配線を乗り越える領域において、ドレイン配線からはみ出して形成される。

【0006】

また、半導体層の上に金属層を積層し、1つのエッチングレジストを使用して、金属層及び半導体層を連続的にパターニングする方法では、金属層はウエットエッチングのサイドエッチングによってエッチングレジストよりも小さくなるため、ドレイン配線下の半導体層がドレイン配線からはみ出す。

【0007】

特許文献 2 に示されるような、画素間にドレイン配線が 2 本形成される場合、隣接するドレイン配線下のはみ出した半導体層が、お互いに接触してしまう可能性がある。このような場合は、電氣的なショート発生の原因となり得る。この状況を回避するためには、ドレイン配線間を広くすることが考えられるが、ドレイン配線上は光の散乱が生じるため、ドレイン配線よりも幅の広いブラックマトリクスを形成しなければならない。しかし、ドレイン配線の間隔が広がると、必然的に開口率が低下する。

【0008】

本発明は、金属パターンの下に配置される半導体パターンを適切に処理することを目的とする。

【課題を解決するための手段】

【0009】

（1）本発明に係る液晶表示装置の製造方法は、第 1 基板に半導体パターン及び金属パ

10

20

30

40

50

ターンを、前記半導体パターンが、前記金属パターンの下に積層された第1部分と、前記第1部分から前記金属パターンの外側にはみ出す第2部分と、を有するように形成する工程と、前記金属パターン及び前記半導体パターンを覆う絶縁層を形成する工程と、前記絶縁層の、前記金属パターンの上方の第1領域と、前記半導体パターンの少なくとも前記第2部分の上方の第2領域と、に対して行うエッチング工程と、その後、前記第1基板と、前記第1基板に対向する第2基板との間に、シールに囲まれて封止されるように液晶を配置する工程と、を含み、前記エッチング工程で、前記第1領域では前記絶縁層をエッチングして前記金属パターンとの電氣的接続のための貫通穴を形成し、前記第2領域では前記絶縁層及び前記半導体パターンをエッチングして、前記半導体パターンの前記第2部分を除去することを特徴とする。

10

【0010】

(2)(1)に記載された液晶表示装置の製造方法において、前記金属パターンは、間隔をあけて並列する複数の配線を含み、前記半導体パターンの前記第2部分は、隣同士の前記配線の間の領域の下方に位置することを特徴としてもよい。

【0011】

(3)(1)に記載された液晶表示装置の製造方法において、前記第2領域は、前記半導体パターンの前記第1部分及び前記第2部分並びに前記第1部分上の前記金属パターンの上方にあり、前記エッチング工程で、前記第1部分上の前記金属パターンをマスクとして、前記第1部分を残すように、前記半導体パターンの前記第2部分を除去することを特徴としてもよい。

20

【0012】

(4)(3)に記載された液晶表示装置の製造方法において、前記金属パターンは、配線を含み、前記半導体パターンの前記第2部分は、前記配線の幅方向の両側にはみ出すことを特徴としてもよい。

【0013】

(5)(1)に記載された液晶表示装置の製造方法において、前記金属パターンは、前記シールで囲まれる領域内に位置する複数の第1配線と、前記シールで囲まれる前記領域の外側に位置する複数の第2配線と、を含み、前記複数の第1配線は、隣同士の間隔をあけて並列し、隣同士の前記第1配線の間の領域の下方に、エッチングされる前記第2部分が位置し、前記複数の第2配線は、隣同士の間隔をあけて並列し、隣同士の前記第2配線の間の領域の下方に、前記エッチング工程で残される前記半導体パターンの第3部分が位置することを特徴としてもよい。

30

【0014】

(6)(1)から(5)のいずれか1項に記載された液晶表示装置の製造方法において、前記エッチング工程後に、前記第2部分が除去されて形成されたスペースを絶縁材料で埋める工程をさらに含むことを特徴としてもよい。

【0015】

(7)(6)に記載された液晶表示装置の製造方法において、前記絶縁材料は、カラーフィルタの少なくとも1色の着色層を形成する材料であることを特徴としてもよい。

【0016】

40

(8)本発明に係る液晶表示装置は、薄膜トランジスタが形成された第1基板と、前記第1基板に対向する第2基板と、前記第1基板と前記第2基板の間に配置された液晶と、前記第1基板と前記第2基板の間で前記液晶の周囲に配置されたシールと、を含み、前記第1基板には、半導体パターン及び金属パターンが、前記半導体パターンが前記金属パターンの下に積層されるように形成され、前記半導体パターンの側面と前記金属パターンの側面が面一になっていることを特徴とする。

【0017】

(9)本発明に係る液晶表示装置は、薄膜トランジスタが形成された第1基板と、前記第1基板に対向する第2基板と、前記第1基板と前記第2基板の間に配置された液晶と、前記第1基板と前記第2基板の間で前記液晶を囲むように配置されたシールと、を含み、

50

前記第 1 基板には、半導体パターン及び金属パターンが、前記半導体パターンが前記金属パターンの下に積層されるように形成され、前記半導体パターン及び前記金属パターンは、前記シールに囲まれた領域から前記シールに囲まれた前記領域の外側に至るように形成され、前記シールに囲まれた前記領域の外側では、前記半導体パターンが前記金属パターンの下に積層された部分と前記金属パターンからはみ出す部分を有し、前記シールに囲まれた前記領域では、前記半導体パターンの側面と前記金属パターンの側面が面一になっていることを特徴とする。

【図面の簡単な説明】

【0018】

【図 1 A】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

10

【図 1 B】図 1 A に示す構造の IB - IB 線断面図である。

【図 2 A】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 2 B】図 2 A に示す構造の IIB - IIB 線断面図である。

【図 3 A】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 3 B】図 3 A に示す構造の III - III 線断面図である。

【図 4】本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 5】第 1 の実施形態の変形例を説明する図である。

【図 6】第 1 の実施形態の変形例を説明する図である。

【図 7】第 1 の実施形態の変形例を説明する図である。

【図 8】第 1 の実施形態の変形例を説明する図である。

20

【図 9】第 1 の実施形態の変形例を説明する図である。

【図 10 A】本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 10 B】図 10 A に示す構造の XB - XB 線断面図である。

【図 11 A】本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 11 B】図 11 A に示す構造の XIB - XIB 線断面図である。

【図 12】本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 13】第 2 の実施形態の変形例を説明する図である。

【図 14】第 2 の実施形態の変形例を説明する図である。

30

【図 15】第 2 の実施形態の変形例を説明する図である。

【図 16】第 2 の実施形態の変形例を説明する図である。

【図 17】第 2 の実施形態の変形例を説明する図である。

【図 18】本発明の第 3 の実施形態に係る液晶表示装置を示す図である。

【図 19】本発明の第 4 の実施形態に係る液晶表示装置を示す図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態について図面を参照して説明する。

【0020】

[第 1 の実施形態]

40

図 1 A ~ 図 4 は、本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。図 1 B は、図 1 A に示す構造の IB - IB 線断面図である。図 2 B は、図 2 A に示す構造の IIB - IIB 線断面図である。図 3 B は、図 3 A に示す構造の III - III 線断面図である。

【0021】

本実施形態では、図 1 B に示すように、第 1 基板 10 を用意する。第 1 基板 10 は光透過性を有する材料からなる。第 1 基板 10 にゲート配線 12 を形成する。ゲート配線 12 は、薄膜トランジスタのゲート電極として機能する部分を有し、銅などの金属からなる。第 1 基板 10 の全面に金属膜を形成し、金属膜をエッチングしてゲート配線 12 を形成することができる。ゲート配線 12 を覆うように、第 1 基板 10 にゲート絶縁膜 14 を形成

50

する。ゲート絶縁膜 14 は無機材料（例えば SiN）からなる。

【0022】

図 1 A 及び図 1 B に示すように、ゲート絶縁膜 14 上に、半導体パターン 16 及び金属パターン 18 を形成する。半導体パターン 16 は、薄膜トランジスタの半導体層を形成するときに同時に同じ材料（アモルファスシリコンなどの半導体）から形成することができるが、薄膜トランジスタの一部ではない。ゲート絶縁膜 14 の下にはゲート配線 12 が配置されているため、ゲート絶縁膜 14 の表面には、ゲート配線 12 の厚みによって凸部が形成されている。このため、ゲート絶縁膜 14 の表面には段差が形成されるので、段差を小さくするために半導体パターン 16 がゲート絶縁膜 14 上に形成されている。半導体パターン 16 は、ゲート絶縁膜 14 を介して、ゲート配線 12 と立体交差するように配置されている。

10

【0023】

金属パターン 18 は、間隔をあけて並列する複数の配線 20（データ配線ともいう）を含む。配線 20 は、ゲート配線 12 と立体交差するように形成される。詳しくは、配線 20 は、ゲート配線 12、ゲート絶縁膜 14 及び半導体パターン 16 と重なる部分と、ゲート絶縁膜 14 及び半導体パターン 16 と重なるがゲート配線 12 とは重ならない部分と、ゲート絶縁膜 14 と重なるがゲート配線 12 及び半導体パターン 16 とは重ならない部分と、を含む。

【0024】

金属パターン 18 は、相互に分離（電氣的に絶縁）されたドレイン電極 22 及びソース電極 24 を含む。ドレイン電極 22 及びソース電極 24 の一方は配線 20 と接続されている。ドレイン電極 22 と接続された配線 20 をドレイン配線ともいう。ドレイン電極 22 及びソース電極 24 は半導体層上に載って、薄膜トランジスタを構成している。

20

【0025】

半導体パターン 16 は、金属パターン 18（配線 20）の下に積層された第 1 部分 26 と、第 1 部分 26 から金属パターン 18（配線 20）の外側にはみ出す第 2 部分 28 と、を有するように形成する。第 1 部分 26 は配線 20 と接触している。半導体パターン 16 の第 2 部分 28 は、隣同士の配線 20 の間の領域の下方に位置する。第 2 部分 28 は、第 1 部分 26 と一体的に形成されている。

【0026】

30

次に、金属パターン 18 及び半導体パターン 16 を覆う絶縁層 30 を形成する。絶縁層 30 は無機材料（例えば SiO<sub>2</sub>）からなる。

【0027】

図 2 A 及び図 2 B に示すように、絶縁層 30 上にエッチングレジスト 32 を配置する。エッチングレジスト 32 は、フォトリソグラフィによってパターンニングして形成する。

【0028】

図 3 A 及び図 3 B に示すように、絶縁層 30 をエッチングする。エッチングは、エッチングレジスト 32 をマスクとして行う。詳しくは、絶縁層 30 の、金属パターン 18（詳しくはドレイン電極 22 及びソース電極 24 の一方）の上方の第 1 領域 33 と、半導体パターン 16 の少なくとも第 2 部分 28 の上方の第 2 領域 35 と、に対してエッチング（例えばドライエッチング）を行う。

40

【0029】

エッチング工程で、第 1 領域 33 では絶縁層 30 をエッチングして金属パターン 18（詳しくはドレイン電極 22 及びソース電極 24 の一方）との電氣的接続のための貫通穴 34 を形成する（図 3 A 参照）。また、第 2 領域 35 では絶縁層 30 及び半導体パターン 16 をエッチングして、半導体パターン 16 の第 2 部分 28 を除去する（図 3 B 参照）。これにより、隣同士の配線 20 の下にある第 1 部分 26 が分離される。

【0030】

エッチングは、半導体パターン 16 を超えてゲート絶縁膜 14 に至るように行ってもよ

50

い。ただし、ゲート絶縁膜 14 を構成する材料（例えば SiN）に対するエッチングスピードが、半導体パターン 16 を構成する材料（例えばアモルファスシリコン）に対するエッチングスピードよりも遅ければ、エッチングがゲート絶縁膜 14 を貫通する前にエッチングを止めることが容易になる。

#### 【0031】

半導体パターン 16 の第 2 部分 28 が隣同士の配線 20 の間に残っていたので、第 2 部分 28 に光が入るとキャリアが発生して隣同士の配線 20 が導通するおそれがあったが、第 2 部分 28 を除去するので導通を防止することができる。また、導通を防止するために隣同士の配線 20 の間隔を広げる必要もない。

#### 【0032】

10

図 4 に示すように、エッチング工程後に、第 2 部分 28 が除去されて形成されたスペースを絶縁材料（無機材料又は有機材料）で埋めて第 1 パッシベーション膜 36 を形成する。第 1 パッシベーション膜 36 は、絶縁層 30 上に載るように形成する。

#### 【0033】

IPS（In Plane Switching）方式の液晶表示装置であれば、第 1 パッシベーション膜 36 上に第 1 電極 38 を形成する。そして、第 1 電極 38 を覆うように第 1 パッシベーション膜 36 上に第 2 パッシベーション膜 40 を形成し、その上に第 2 電極 42 を形成する。第 1 電極 38 及び第 2 電極 42 の一方が画素電極であり、他方が共通電極である。画素電極及び共通電極は、ITO（Indium Tin Oxide）などの透明導電材料から形成する。

#### 【0034】

20

第 1 変形例として、図 5 に示すように、第 2 部分 28 が除去されて形成されたスペースを避けてカラーフィルタ層 44 を形成し、第 2 部分 28 が除去されて形成されたスペースを絶縁材料（無機材料、有機材料、カラーフィルタ用材料又は遮光性材料）で埋めてパッシベーション膜 37 を形成してもよい。パッシベーション膜 37 は、カラーフィルタ層 44 上に載るように形成する。IPS（In Plane Switching）方式の液晶表示装置であれば、カラーフィルタ層 44 上に第 1 電極 38 を形成する。そして、第 1 電極 38 を覆うようにカラーフィルタ層 44 上にパッシベーション膜 37 を形成し、その上に第 2 電極 42 を形成する。第 1 電極 38 及び第 2 電極 42 の一方が画素電極であり、他方が共通電極である。

#### 【0035】

30

第 2 変形例として、図 6 に示すように、第 2 部分 28 が除去されて形成されたスペースを埋める絶縁材料として、カラーフィルタの少なくとも 1 色の着色層 46 を形成する材料を使用してもよい。例えば、カラーフィルタ層 44 の隣同士の着色層 46 の端部同士で、第 2 部分 28 が除去されて形成されたスペースを埋める。そして、カラーフィルタ層 44 上にパッシベーション膜 37 を形成する。その他の構成は図 5 に示す例と同じである。

#### 【0036】

さらに変形例として、図 4 に示す例を VA（Vertical Alignment）方式に変形するには、図 7 に示すように、パッシベーション膜 39 上に画素電極 48 を形成する。あるいは、図 5 に示す例を VA（Vertical Alignment）方式に変形するには、図 8 に示すように、パッシベーション膜 39 上に画素電極 48 を形成する。また、図 6 に示す例を VA（Vertical Alignment）方式に変形するには、図 9 に示すように、パッシベーション膜 39 上に画素電極 48 を形成する。

40

#### 【0037】

その後、液晶表示装置の公知の製造プロセスを行うことで、液晶表示装置を製造することができる。

#### 【0038】

#### [第 2 の実施形態]

図 10A ~ 図 12 は、本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。図 10B は、図 10A に示す構造の XB - XB 線断面図である。図 11B は、図 11A に示す構造の XIB - XIB 線断面図である。

50

## 【 0 0 3 9 】

本実施形態で、第 1 基板 1 0、ゲート配線 1 2 及びゲート絶縁膜 1 4 については、第 1 の実施形態で説明した内容が該当する。

## 【 0 0 4 0 】

図 1 0 A 及び図 1 0 B に示すように、ゲート絶縁膜 1 4 上に、半導体パターン 1 1 6 及び金属パターン 1 1 8 を形成する。また、半導体パターン 1 1 6 と同じ層に、薄膜トランジスタの半導体層を形成する。これらの形成方法の概要（図示省略）は、半導体膜及び金属膜を積層して形成し、同一のエッチングレジストを使用して、半導体膜及び金属膜に対して複数回のエッチングを行うというものである。この方法では、同一のエッチングレジストを使用するため、その形成のためのフォトリソグラフィの回数が 1 回で済む。ただし、金属パターン 1 1 8 に対してはサイドエッチングが進行するため、図 1 0 B に示すように、金属パターン 1 1 8 が、その下の半導体パターン 1 1 6 よりも小さくなる。その詳細は、公知であるため説明を省略する。

10

## 【 0 0 4 1 】

金属パターン 1 1 8 全体の下には半導体パターン 1 1 6 が存在している。したがって、金属パターン 1 1 8 は、ゲート配線 1 2、ゲート絶縁膜 1 4 及び半導体パターン 1 1 6 と重なる部分と、ゲート絶縁膜 1 4 及び半導体パターン 1 1 6 と重なるがゲート配線 1 2 とは重ならない部分を含む。しかし、第 1 の実施形態とは違って、金属パターン 1 1 8 には、半導体パターン 1 1 6 とは重ならない部分は存在しない。

## 【 0 0 4 2 】

金属パターン 1 1 8 は、配線 1 2 0（データ配線ともいう）を含む。配線 1 2 0 は、ゲート配線 1 2 と立体交差するように形成される。金属パターン 1 1 8 がドレイン電極 1 2 2 及びソース電極 1 2 4 を含むことは、第 1 の実施形態と同じである。

20

## 【 0 0 4 3 】

半導体パターン 1 1 6 は、金属パターン 1 1 8（配線 1 2 0）の下に積層された第 1 部分 1 2 6 と、第 1 部分 1 2 6 から金属パターン 1 1 8（配線 1 2 0）の外側にはみ出す第 2 部分 1 2 8 と、を有するように形成する。第 1 部分 1 2 6 は配線 1 2 0 と接触している。半導体パターン 1 1 6 の第 2 部分 1 2 8 は、配線 1 2 0 の幅方向の両側にはみ出す。第 2 部分 1 2 8 は、第 1 部分 1 2 6 と一体的に形成されている。

## 【 0 0 4 4 】

次に、金属パターン 1 1 8 及び半導体パターン 1 1 6 を覆う絶縁層 1 3 0 を形成する。絶縁層 1 3 0 は無機材料（例えば  $\text{SiO}_2$ ）からなる。そして、絶縁層 1 3 0 上にエッチングレジスト 1 3 2 を配置する。エッチングレジスト 1 3 2 は、フォトリソグラフィによってパターンニングして形成する。

30

## 【 0 0 4 5 】

図 1 1 A 及び図 1 1 B に示すように、絶縁層 1 3 0 をエッチングする。エッチングは、エッチングレジスト 1 3 2 をマスクとして行う。詳しくは、絶縁層 1 3 0 の、金属パターン 1 1 8（詳しくはドレイン電極 1 2 2 及びソース電極 1 2 4 の一方）の上方の第 1 領域 1 3 3 と、半導体パターン 1 1 6 の第 2 領域 1 3 5 と、に対してエッチング（例えばドライエッチング）を行う。第 2 領域 1 3 5 は、半導体パターン 1 1 6 の第 1 部分 1 2 6 及び第 2 部分 1 2 8 並びに第 1 部分 1 2 6 上の金属パターン 1 1 8 の上方にある。

40

## 【 0 0 4 6 】

エッチング工程で、第 1 領域 1 3 3 では絶縁層 1 3 0 をエッチングして金属パターン 1 1 8（詳しくはドレイン電極 1 2 2 及びソース電極 1 2 4 の一方）との電氣的接続のための貫通穴 1 3 4 を形成する（図 1 1 A 参照）。また、第 2 領域 1 3 5 では絶縁層 1 3 0 及び半導体パターン 1 1 6 をエッチングする。そして、第 1 部分 1 2 6 上の金属パターン 1 1 8 をマスクとして、第 1 部分 1 2 6 を残すように、半導体パターン 1 1 6 の第 2 部分 1 2 8 を除去する。エッチングの詳細は、第 1 の実施形態で説明した内容が該当する。

## 【 0 0 4 8 】

詳しくは、配線 1 2 0 の外側に残っていた半導体パターン 1 1 6 の第 2 部分 1 2 8 は、

50

光の散乱が生じるため、これを覆うように幅の広いブラックマトリクスを形成しなければならなかったが、第２部分１２８を除去するのでブラックマトリクスの幅を狭くすることができる。これにより、開口率の低下を避けることができる。

【００４９】

図１２に示すように、エッチング工程後に、第２部分１２８が除去されて形成されたスペースを絶縁材料（無機材料又は有機材料）で埋めて第１パッシベーション膜１３６を形成する。第１パッシベーション膜１３６は、絶縁層１３０上に載るように形成する。

【００５０】

ＩＰＳ（In Plane Switching）方式の液晶表示装置であれば、第１パッシベーション膜１３６上に第１電極１３８を形成する。そして、第１電極１３８を覆うように第１パッシベーション膜１３６上に第２パッシベーション膜１４０を形成し、その上に第２電極１４２を形成する。第１電極１３８及び第２電極１４２の一方が画素電極であり、他方が共通電極である。画素電極及び共通電極は、ＩＴＯ（Indium Tin Oxide）などの透明導電材料から形成する。

10

【００５１】

第１変形例として、図１３に示すように、第２部分１２８が除去されて形成されたスペースを避けてカラーフィルタ層１４４を形成し、第２部分１２８が除去されて形成されたスペースを絶縁材料（無機材料、有機材料、カラーフィルタ用材料又は遮光性材料）で埋めてパッシベーション膜１３７を形成してもよい。パッシベーション膜１３７は、カラーフィルタ層１４４上に載るように形成する。ＩＰＳ（In Plane Switching）方式の液晶表示装置であれば、カラーフィルタ層１４４上に第１電極１３８を形成する。そして、第１電極１３８を覆うようにカラーフィルタ層１４４上にパッシベーション膜１３７を形成し、その上に第２電極１４２を形成する。第１電極１３８及び第２電極１４２の一方が画素電極であり、他方が共通電極である。

20

【００５２】

第２変形例として、図１４に示すように、第２部分１２８が除去されて形成されたスペースを埋める絶縁材料として、カラーフィルタの少なくとも１色の着色層１４６を形成する材料を使用してもよい。例えば、カラーフィルタ層１４４の隣同士の着色層１４６の端部同士で、第２部分１２８が除去されて形成されたスペースを埋める。そして、カラーフィルタ層１４４上にパッシベーション膜１３７を形成する。その他の構成は図１３に示す例と同じである。

30

【００５３】

さらに変形例として、図１２に示す例をＶＡ（Vertical Alignment）方式に変形するには、図１５に示すように、第２パッシベーション膜１４０上に画素電極１４８を形成する。あるいは、図１３に示す例をＶＡ（Vertical Alignment）方式に変形するには、図１６に示すように、パッシベーション膜１３９上に画素電極１４８を形成する。また、図１４に示す例をＶＡ（Vertical Alignment）方式に変形するには、図１７に示すように、パッシベーション膜１３９上に画素電極１４８を形成する。

【００５４】

その後、液晶表示装置の公知の製造プロセスを行うことで、液晶表示装置を製造することができる。

40

【００５５】

[ 第３の実施形態 ]

図１８は、本発明の第３の実施形態に係る液晶表示装置を示す図である。

【００５６】

本実施形態に係る液晶表示装置の製造方法では、第１の実施形態及び第２の実施形態の少なくとも一方で説明した工程を行う。その後、第１基板１０と、第１基板１０に対向する第２基板５０との間に、シール５２に囲まれて封止されるように液晶５４を配置する。

【００５７】

液晶表示装置は、薄膜トランジスタが形成された第１基板１０と、第１基板１０に対向

50

する第2基板50と、第1基板10と第2基板50の間に配置された液晶54と、第1基板10と第2基板50の間で液晶54の周囲に配置されたシール52と、を含む。

【0058】

第1基板10には、半導体パターン216及び金属パターン218が、半導体パターン216が金属パターン218の下に積層されるように形成されている。半導体パターン216及び金属パターン218は、第1の実施形態及び第2の実施形態で説明した半導体パターン16, 116及び金属パターン18, 118の内容が該当する。

【0059】

半導体パターン216(第1部分226)の側面と金属パターン218(配線220)の側面が面一になっている。これら側面は絶縁材料236によって被覆されている。第1の実施形態及び第2の実施形態で説明したように、絶縁材料236によって、パッシベーション膜又はカラーフィルタ層などを形成する。第1部分226及び配線220は、第1の実施形態及び第2の実施形態で説明した第1部分26, 126及び配線20, 120の内容が該当する。絶縁材料236は、第1の実施形態及び第2の実施形態で説明した第1パッシベーション膜36, 136、パッシベーション膜37, 39, 137, 139、着色層46, 146を構成する材料の内容が該当する。

【0060】

本実施形態によれば、半導体パターン216が金属パターン218(配線220)からはみ出さないので、配線220を狭ピッチで配列することができる。

【0061】

[第4の実施形態]

図19は、本発明の第4の実施形態に係る液晶表示装置を示す図である。

【0062】

本実施形態に係る液晶表示装置の製造方法では、第1の実施形態及び第2の実施形態の少なくとも一方で説明した工程を行う。

【0063】

詳しくは、金属パターン318は、シール52で囲まれる領域内に位置する複数の第1配線320を含む。複数の第1配線320は、隣同士の間隔をあけて並列している。半導体パターン316のパターニングプロセスで、隣同士の第1配線320の間の領域の下方に第2部分(図1Bの第2部分128参照)が位置するのでこれを除去する(第2の実施形態参照)。半導体パターン316及び金属パターン318の詳細は、第1の実施形態及び第2の実施形態で説明した半導体パターン16, 116及び金属パターン18, 118の内容が該当する。

【0064】

本実施形態では、シール52で囲まれる領域の外側(外気に晒される領域)では、本発明を適用しない。すなわち、金属パターン318は、シール52で囲まれる領域の外側に位置する複数の第2配線322を含む。複数の第2配線322は、隣同士の間隔をあけて並列している。隣同士の第2配線322の間の領域の下方に半導体パターン316の第3部分356が位置するが、これは除去せずに残す。

【0065】

その後、第1基板10と、第1基板10に対向する第2基板50との間に、シール52に囲まれて封止されるように液晶54を配置する。

【0066】

液晶表示装置は、薄膜トランジスタが形成された第1基板10と、第1基板10に対向する第2基板50と、第1基板10と第2基板50の間に配置された液晶54と、第1基板10と第2基板50の間で液晶54を囲むように配置されたシール52と、を含む。

【0067】

第1基板10には、半導体パターン316及び金属パターン318が、半導体パターン316が金属パターン318の下に積層されるように形成されている。半導体パターン316及び金属パターン318は、シール52に囲まれた領域からシール52に囲まれた領

10

20

30

40

50

域の外側に至るように形成されている。

【 0 0 6 8 】

シール 5 2 に囲まれた領域では、半導体パターン 3 1 6 の側面と金属パターン 3 1 8 の側面が面一になっている。これら側面は、絶縁材料によって被覆されていないとしても、液晶 5 4 の封止領域内にあるため、外気からは遮断されている。

【 0 0 6 9 】

シール 5 2 に囲まれた領域の外側では、半導体パターン 3 1 6 が金属パターン 3 1 8 (第 2 配線 3 2 2) の下に積層された第 1 部分 3 2 6 と金属パターン 3 1 8 からはみ出す第 3 部分 3 5 6 を有している。第 3 部分 3 5 6 は、上述したように除去される第 2 部分 3 2 8 とは異なり、除去されずに残る部分である。すなわち、シール 5 2 に囲まれた領域の外側では、半導体パターン 3 1 6 の金属パターン 3 1 8 からはみ出した部分を除去する工程を行わないため、その上の絶縁層 3 3 0 がエッチングされない。したがって、絶縁層 3 3 0 によって、第 2 配線 3 2 2 は被覆された状態になっている。

【 0 0 7 0 】

本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

【 符号の説明 】

【 0 0 7 1 】

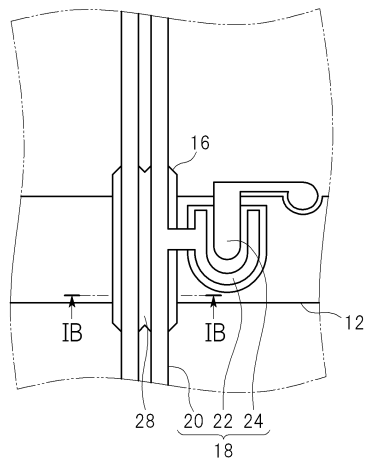
1 0 第 1 基板、1 2 ゲート配線、1 4 ゲート絶縁膜、1 6 半導体パターン、1 8 金属パターン、2 0 配線、2 2 ドレイン電極、2 4 ソース電極、2 6 第 1 部分、2 8 第 2 部分、3 0 絶縁層、3 2 エッチングレジスト、3 3 第 1 領域、3 4 貫通穴、3 5 第 2 領域、3 6 第 1 パッシベーション膜、3 7 パッシベーション膜、3 8 第 1 電極、3 9 パッシベーション膜、4 0 第 2 パッシベーション膜、4 2 第 2 電極、4 4 カラーフィルタ層、4 6 着色層、4 8 画素電極、5 0 第 2 基板、5 2 シール、5 4 液晶、1 1 6 半導体パターン、1 1 8 金属パターン、1 2 0 配線、1 2 2 ドレイン電極、1 2 4 ソース電極、1 2 6 第 1 部分、1 2 8 第 2 部分、1 3 0 絶縁層、1 3 2 エッチングレジスト、1 3 3 第 1 領域、1 3 4 貫通穴、1 3 5 第 2 領域、1 3 6 第 1 パッシベーション膜、1 3 7 パッシベーション膜、1 3 8 第 1 電極、1 3 9 パッシベーション膜、1 4 0 第 2 パッシベーション膜、1 4 2 第 2 電極、1 4 4 カラーフィルタ層、1 4 6 着色層、1 4 8 画素電極、2 1 6 半導体パターン、2 1 8 金属パターン、2 2 0 配線、2 2 6 第 1 部分、2 3 6 絶縁材料、3 1 6 半導体パターン、3 1 8 金属パターン、3 2 0 第 1 配線、3 2 2 第 2 配線、3 2 6 第 1 部分、3 2 8 第 2 部分、3 3 0 絶縁層、3 5 6 第 3 部分。

10

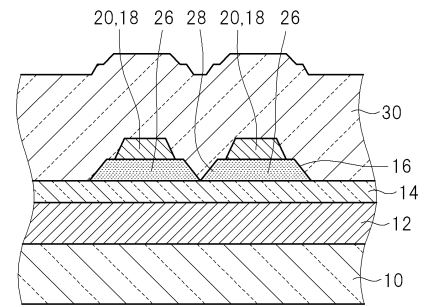
20

30

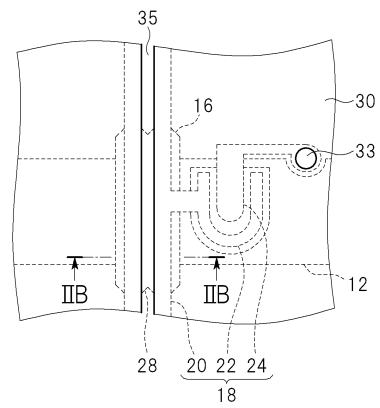
【図 1 A】



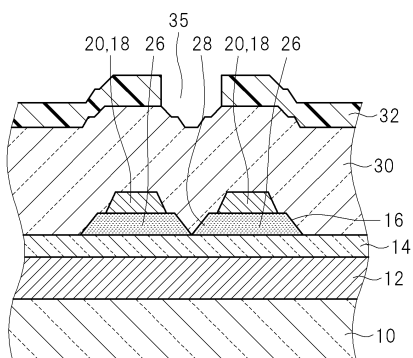
【図 1 B】



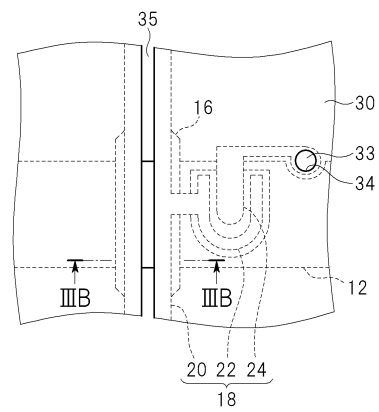
【図 2 A】



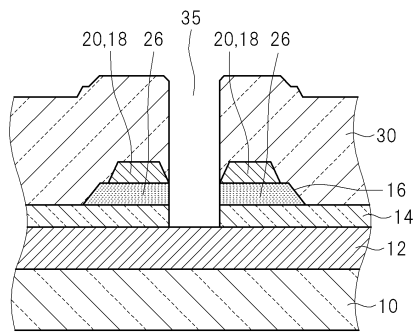
【図 2 B】



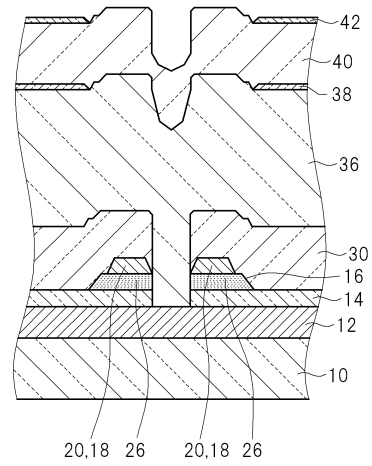
【図 3 A】



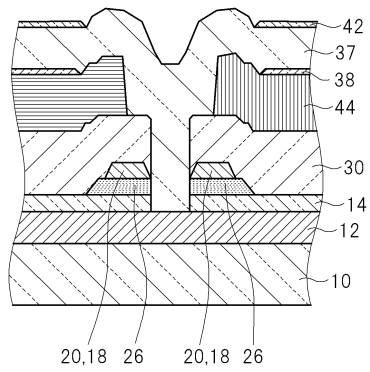
【図 3 B】



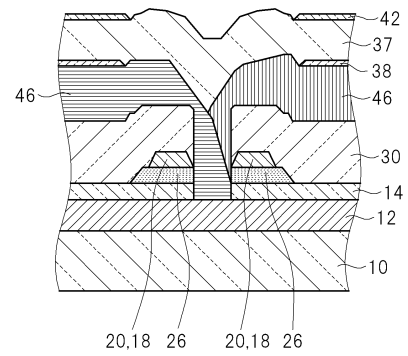
【図 4】



【図 5】

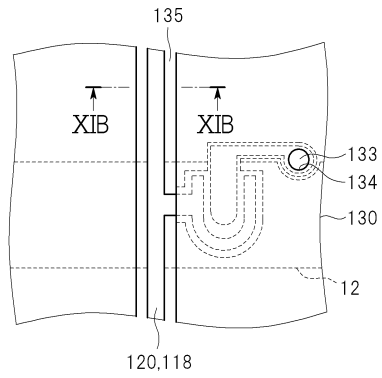


【図 6】

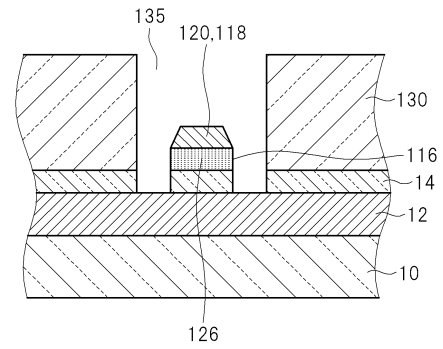




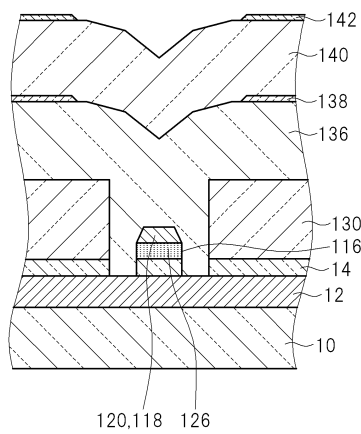
【図 1 1 A】



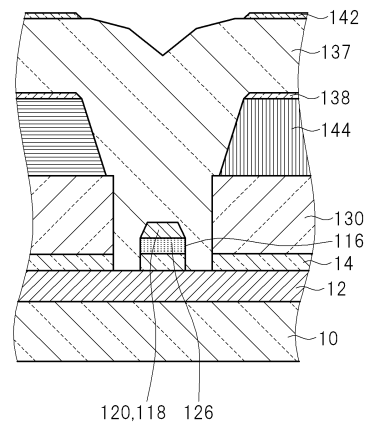
【図 1 1 B】



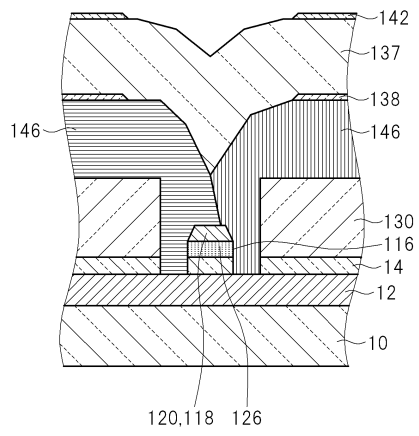
【図 1 2】



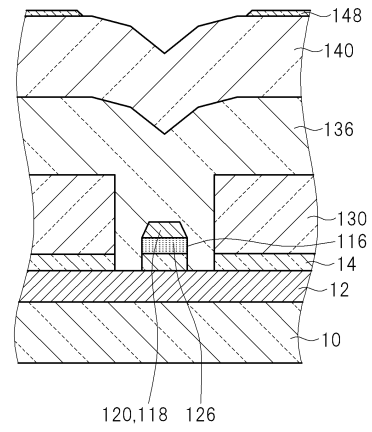
【図 1 3】



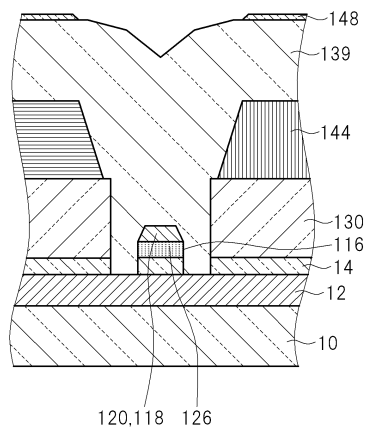
【図 14】



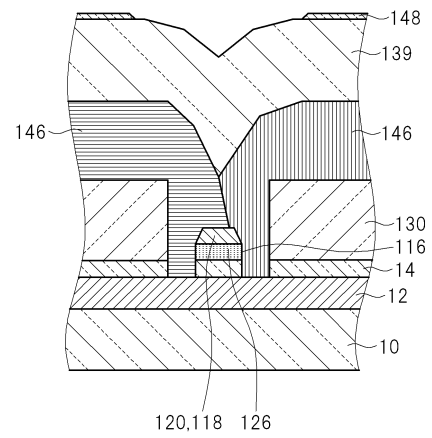
【図 15】



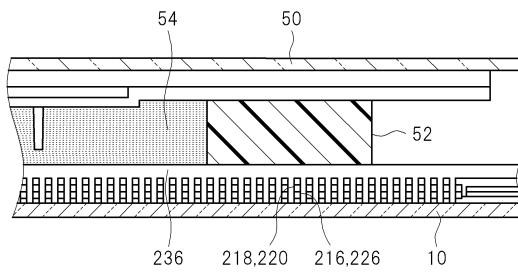
【図 16】



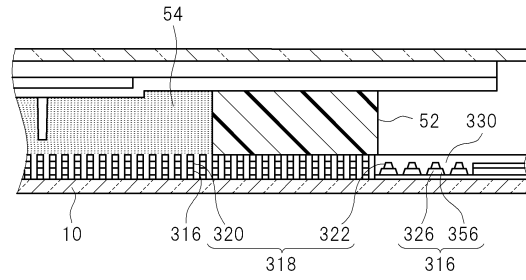
【図 17】



【図 18】



【図 19】



---

フロントページの続き

審査官 弓指 洋平

- (56)参考文献 特開 2 0 0 2 - 0 4 0 4 7 9 ( J P , A )  
特開 2 0 0 2 - 2 9 6 6 1 5 ( J P , A )  
特開平 1 0 - 0 3 1 2 0 9 ( J P , A )  
特開 2 0 0 4 - 1 7 7 8 9 5 ( J P , A )  
特開 2 0 0 5 - 0 7 7 4 2 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

|         |             |
|---------|-------------|
| G 0 2 F | 1 / 1 3 6 8 |
| G 0 2 F | 1 / 1 3 4 3 |

|               |                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
|---------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)       | 液晶显示装置及其制造方法                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 公开(公告)号       | <a href="#">JP5596330B2</a>                                                                                                                                                                                                                                                                                                                                                                                                                                        | 公开(公告)日 | 2014-09-24 |
| 申请号           | JP2009260984                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 申请日     | 2009-11-16 |
| 申请(专利权)人(译)   | 松下液晶显示器有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 当前申请(专利权)人(译) | 松下液晶显示器有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| [标]发明人        | 船橋祐太<br>川村徹也<br>平田将史                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| 发明人           | 船橋 祐太<br>川村 徹也<br>平田 将史                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| IPC分类号        | G02F1/1368 G02F1/1343 H01L29/786 H01L21/336                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| CPC分类号        | G02F1/136227 G02F1/134363 G02F2001/136222 H01L27/1244 H01L27/1248 H01L27/1259 H01L29/41733                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| FI分类号         | G02F1/1368 G02F1/1343 H01L29/78.612.D                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| F-TERM分类号     | 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA46 2H092/JB23 2H092/JB32 2H092/KA05 2H092/KA11 2H092/KA12 2H092/KB24 2H092/KB26 2H092/MA15 2H092/MA17 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC04 2H192/CC42 2H192/CC64 2H192/EA72 2H192/FA32 2H192/GD25 2H192/HA43 2H192/JA13 2H192/JA33 5F110/AA26 5F110/BB01 5F110/CC07 5F110/EE02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG26 5F110/HK02 5F110/HM04 5F110/HM05 5F110/HM12 5F110/NN03 5F110/NN23 5F110/NN27 |         |            |
| 其他公开文献        | JP2011107323A                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 外部链接          | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |

#### 摘要(译)

要解决的问题：适当地处理布置在金属图案下的半导体图案。解决方案：形成半导体图案16和金属图案18，使得半导体图案16具有堆叠在金属图案18下方的第一部分26和从第一部分26突出到金属图案18外部的第二部分28。形成覆盖金属图案18和半导体图案16的层30。对绝缘层30的金属图案18上方的第一区域和半导体图案16的至少第二部分28上方的第二区域进行蚀刻。在该蚀刻工艺中，对于第一区域，蚀刻绝缘层30以形成用于与金属图案18电连接的通孔34，并且对于第二区域，蚀刻绝缘层30和半导体图案16以去除半导体图案16的第二部分28。

**B ]**

