

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5569448号
(P5569448)

(45) 発行日 平成26年8月13日 (2014. 8. 13)

(24) 登録日 平成26年7月4日 (2014. 7. 4)

(51) Int. Cl. F 1
GO 2 F 1/1343 (2006. 01) GO 2 F 1/1343

請求項の数 2 (全 12 頁)

(21) 出願番号 特願2011-66094 (P2011-66094)
(22) 出願日 平成23年3月24日 (2011. 3. 24)
(65) 公開番号 特開2012-203107 (P2012-203107A)
(43) 公開日 平成24年10月22日 (2012. 10. 22)
審査請求日 平成25年10月1日 (2013. 10. 1)

(73) 特許権者 308036402
株式会社 J V C ケンウッド
神奈川県横浜市神奈川区守屋町 3 丁目 1 2
番地
(74) 代理人 100085235
弁理士 松浦 兼行
(72) 発明者 川中 博之
神奈川県横浜市神奈川区守屋町 3 丁目 1 2
番地
審査官 鈴木 俊光

最終頁に続く

(54) 【発明の名称】 液晶表示素子及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

表面に複数の光反射性及び導電性の画素電極が形成された画素電極基板と、
表面に光透過性及び導電性の共通電極が形成された光透過性の共通電極基板と、
前記画素電極基板の前記画素電極と前記共通電極基板の前記共通電極とを対向させて、
前記画素電極基板と前記共通電極基板とを離間して貼り合わせて生じた空隙内に封入され
た液晶層と
を備え、

前記画素電極基板は、複数の画素を構成する複数の前記画素電極のそれぞれにおいて、
前記画素電極の面内中央を対称中心として点対称に配置された偶数個のスルーホールを有
し、

前記偶数個のスルーホールの一端は前記画素電極に電氣的に接続され、
前記偶数個のスルーホールのうち少なくとも 1 個の第 1 のスルーホールの他端は前記画素
電極の下層の回路素子部に電氣的に接続され、
かつ、前記偶数個のスルーホールのうち前記第 1 のスルーホール以外の少なくとも 1 個の
第 2 のスルーホールの他端は、前記回路素子部に電氣的に非接続とされていることを特徴
とする液晶表示素子。

【請求項 2】

画素電極基板となる半導体基板上に形成された回路配線部の最上位の層間絶縁膜に、各
光反射性及び導電性の画素電極毎に、その画素電極の面内中央を対称中心として点対称の

10

20

位置に偶数個のスルーホールを開口する第 1 の工程と、

前記層間絶縁膜上の全面を導電材料で被覆すると共に前記偶数個のスルーホールの内部に前記導電材料を埋めこむ第 2 の工程と、

前記第 2 の工程により前記層間絶縁膜上に被覆された前記導電材料を除去した後、前記層間絶縁膜上に導電性を有する画素電極を形成する第 3 の工程と

を含み、

前記第 1 の工程は、前記偶数個のスルーホールを開口すると共に、

前記偶数個のスルーホールの一端は前記画素電極に電氣的に接続されるように開口し、前記偶数個のスルーホールのうち少なくとも 1 個の第 1 のスルーホールの他端は前記画素電極の下層の回路素子部に電氣的に接続されるように開口し、かつ、前記偶数個のスルーホールのうち前記第 1 のスルーホール以外の少なくとも 1 個の第 2 のスルーホールの他端は前記回路素子部に電氣的に非接続とされるように開口することを特徴とすることを特徴とする液晶表示素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示素子及びその製造方法に係り、特に開口率及び反射率の高い液晶表示素子及びその製造方法に関する。

【背景技術】

【0002】

従来より、分子配列が一定の秩序を保ちながらその一方で流動性を有し、さらに電界の印加によってその配向が変化する液晶は、表示装置用の材料として各分野の電気電子機器に広く利用されている。

【0003】

近年、これら液晶表示装置に関する技術の進歩によって、反応速度等の表示性能の向上、高解像度化、及び大型化が達成され、携帯電話、ノート型パソコン、携帯型オーディオプレーヤ、PDA(Personal Digital Assistants)、デジタルビデオカメラ、デジタルカメラ等の携帯型電気電子機器はもとより、カーステレオ、カーナビゲーションシステム、車載型のテレビモニタ等の車載型電気電子機器、更には、テレビモニタ、パーソナルコンピュータのディスプレイ等の比較的大型な表示装置としても液晶表示装置が利用可能となった。特にテレビモニタの分野に関しては、高画質な映像表示に対応した高解像度、大画面の液晶表示装置が多く商品化されている。また、投射プロジェクタ等のように映像を外部スクリーンなどに表示するための投射型表示装置に関してもこの液晶表示装置を利用したものが商品化されている。

【0004】

これら液晶表示装置には液晶表示素子を構成する画素の制御方式として、アクティブマトリクス方式とパッシブマトリクス方式とに大別される。アクティブマトリクス方式は画素毎にスイッチング素子を有しており複雑な駆動回路の形成が必要となるが、パッシブマトリクス方式に比べ応答時間が短く、また、画素毎に表示、非表示を高精度に制御可能なため、走査線数の多い高解像度のテレビモニタ等に適している。

【0005】

また、液晶表示装置は、画面表示に必要な光の供給方法から透過型の液晶表示装置と反射型の液晶表示装置とに大別することができる。透過型の液晶表示装置はその裏面側もしくは側面側に設置されたバックライトからの光を透過させて画面表示を行うため、駆動回路等によって遮られる部分の光を画面表示に用いることができず開口率（表示領域全面に対する画素領域の占める割合）が低いという問題点を有している。

【0006】

これに対して、反射型の液晶表示装置は表示面方向からの光を画素電極により反射して画面表示を行うため、駆動回路等が光を遮ることがなく、開口率を大きくとることができる。よって、反射型の液晶表示装置は、より高輝度な画面表示を行うことができる。

【0007】

反射型の液晶表示素子を構成する画素部は、液晶表示素子の裏面側に位置する複数の画素電極が表面に形成された画素電極基板と、液晶表示素子の表示側に位置する全ての画素部に共通の共通電極が表面に形成された共通電極基板と、これら画素電極基板と共通電極基板とが離間対向して配置されると共にそれらの基板の間隙に封入された液晶層とを有している。共通電極基板の上方から照射された光は液晶層を透過して画素電極の表面で反射し、再び液晶層及び共通電極基板を透過する。反射光が液晶層を通過するときに画素電極と共通電極との間に印加された電圧により液晶層の屈折率が変化しこれにより、光が変調されて像の明暗を投影する。

【0008】

10

画素電極の表面は光を効率良く反射することが画像の明るさやコントラスト向上のためには望ましく、表面はできるだけ平坦でなければならない。一方で、画素電極基板は回路部を搭載しており、いわゆる半導体プロセスすなわちフォトリソグラフィ法とエッチング処理あるいはCMP（Chemical Mechanical Polishing）とによる形成手法により製造される。画素電極基板を作製するには通常Al（アルミニウム）の多層配線を用いる（例えば、特許文献1参照）。

【0009】

図4は、従来の液晶表示素子の要部の一例の製造工程の各工程断面図を示す。従来は図4（a）に示す絶縁膜11に対して、同図（b）に示すようにフォトリソグラフィ及びエッチングによりスルーホール12を開け、同図（c）に示すようにCVD（Chemical Vapor Deposition）によりW（タングステン）材料13を全面に被覆すると共にスルーホール12の内部に埋めこむ。このときにタングステン材料13はスルーホール12の周辺で僅かに凹形状となる。

20

【0010】

続いて、図4（d）に示すようにCMP及びエッチバックにより全面のタングステン材料13を取り去りスルーホール12内だけにタングステン材料13を残す。このときにもCMP平坦化においては段差を完全に解消することは困難で、スルーホール12を中心としてすり鉢状の凹段差が残っている。そして、図4（e）に示すようにAl（アルミニウム）膜14をスパッタにより表面上に成膜してパターンニングし画素電極とする。スパッタでは所定の厚みの膜が均一に成膜されるので図4（e）に示すように、同図（d）で残った段差はそのまま転写される。

30

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2004-004337号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

従来の液晶表示素子の製造方法では、画素電極の製造時に図4（e）に示したように画素電極であるAl膜14にはスルーホール12を中心としたすり鉢状の凹段差がどうしても生じてしまう。最新の半導体製造プロセスにおいてはこの段差は最小限に抑えられているが、10nm程度以下にするのは困難である。この10nmは光の波長と比較して無視できる差ではなく、僅かな差でも光の干渉効果によりノイズとして目立つレベルとなっている。レイアウトのスペースに余裕があり、スルーホールの位置を画素中央に配置できる場合でもスルーホールを中心として凹段差は生じているが、1画素毎の繰り返しは画像ノイズとして認識されることはなく、全く問題になっていなかった。

40

【0013】

しかしながら、近年の液晶表示素子の高解像度化に伴い、必要とされる画素数は増加する一方で小型化やコストダウンの必要性も高く、画素サイズは微細化の一途をたどっている。画素を微細化にするためには回路パターン自体を小さくしていかなければならないが

50

、最先端の半導体製造技術を用いても回路配置には制約があり、例えばトランジスタを複数画素で共用したり、2画素ごとにミラー反転したレイアウトを採用することで微細化を実現せざるを得ない状況となってきた。

【0014】

図5は、隣合う画素をミラー反転構造のレイアウトにて並べた場合の、上記製造方法で画素電極を形成したときの断面形状を示す。図5は、画素部の画面垂直方向に隣接する2つの画素電極14a、14bとそれに通ずるスルーホール内のタングステン材料13a、13bのみ示してある。図5に示すように、レイアウトにスペース的な制約が多い場合、スルーホールは画素電極14a、14bのそれぞれの中央に位置することができなくなる場合が多く、片側に寄った配置となる。

10

【0015】

このように画素電極14a、14bの中央に対してスルーホールが片側に寄った配置になると、スルーホールを中心とする凹部分15a、15bの位置が偏ってしまい、これにより垂直方向の2画素周期での凹凸の繰り返しが図6に示すように画像に現れてしまう。この図6に示す画像は、明度が低いライン画像21と明度が高いライン画像22とが交互に繰り返される、垂直方向の2画素毎（すなわち、2ライン毎）の明暗の縞状の画像である。このように、従来の液晶表示素子の製造方法では、画素電極形成時のスルーホールを中心とする凹部分15a、15bの位置の偏りにより、2ライン毎の明暗の縞状の画像ノイズが発生し、表示画像品位を劣化させてしまうという課題がある。また、凹部分15a、15bを低減するためにプロセスの平坦化条件を改善するには多大な時間とコストがかかる。

20

【0016】

本発明は、上記の点に鑑みてなされたものであり、画素電極表面に生じる段差による縞状の画像ノイズを低減し、高品質な画像表示を行い得る液晶表示素子及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0017】

上記の目的を達成するため、本発明の液晶表示素子は、表面に複数の光反射性及び導電性の画素電極が形成された画素電極基板と、表面に光透過性及び導電性の共通電極が形成された光透過性の共通電極基板と、画素電極基板の画素電極と共通電極基板の共通電極とを対向させて、画素電極基板と共通電極基板とを離間して貼り合わせて生じた空隙内に封入された液晶層とを備え、画素電極基板は、複数の画素を構成する複数の画素電極のそれぞれにおいて、画素電極の面内中央を対称中心として点対称に配置された偶数個のスルーホールを有し、前記偶数個のスルーホールの一端は前記画素電極に電氣的に接続され、前記偶数個のスルーホールのうち少なくとも1個の第1のスルーホールの他端は前記画素電極の下層の回路素子部に電氣的に接続され、かつ、前記偶数個のスルーホールのうち前記第1のスルーホール以外の少なくとも1個の第2のスルーホールの他端は、前記回路素子部に電氣的に非接続とされていることを特徴とする。

30

【0019】

また、上記の目的を達成するため、本発明の液晶表示素子の製造方法は、画素電極基板となる半導体基板上に形成された回路配線部の最上位の層間絶縁膜に、各光反射性及び導電性の画素電極毎に、その画素電極の面内中央を対称中心として点対称の位置に偶数個のスルーホールを開口する第1の工程と、層間絶縁膜上の全面を導電材料で被覆すると共に偶数個のスルーホールの内部に導電材料を埋めこむ第2の工程と、第2の工程により層間絶縁膜上に被覆された導電材料を除去した後、層間絶縁膜上に導電性を有する画素電極を形成する第3の工程とを含み、第1の工程は、偶数個のスルーホールを開口すると共に、前記偶数個のスルーホールの一端は前記画素電極に電氣的に接続されるように開口し、偶数個のスルーホールのうち少なくとも1個の第1のスルーホールの他端は前記画素電極の下層の回路素子部に電氣的に接続されるように開口し、かつ、偶数個のスルーホールのうち第1のスルーホール以外の少なくとも1個の第2のスルーホールの他端は前記回路素子

40

50

部に電氣的に非接続とされるように開口することを特徴とする。

【発明の効果】

【0021】

本発明によれば、画素微細化に伴うレイアウトスペースの制約により画素をミラー反転構造のレイアウトとした場合でも、画素電極形成工程に起因する画素電極表面段差を画素毎に同じ形状とすることができ、画素電極表面に生じる段差による縞状の画像ノイズを低減し、高品質な画像表示を行うことができる。

【図面の簡単な説明】

【0022】

【図1】本発明の液晶表示素子の一実施の形態の模式的断面図である。

10

【図2】本発明の液晶表示素子の一実施の形態の要部である画素電極とそれに接続されたスルーホールの部分を示す模式的断面図である。

【図3】本発明の液晶表示素子の製造方法の一実施の形態の要部の各工程の素子断面図である。

【図4】従来の液晶表示素子の要部の一例の製造工程の各工程の素子断面図である。

【図5】従来の液晶表示素子の製造方法により隣合う画素電極をミラー反転構造のレイアウトにて並べた場合の断面形状を示す模式的断面図である。

【図6】従来の液晶表示素子による縞状の画像ノイズのイメージ図である。

【発明を実施するための形態】

【0023】

20

以下、本発明になる液晶表示素子及びその製造方法の実施の形態について図面を参照して詳細に説明する。

【0024】

図1は、本発明になる液晶表示素子の一実施の形態の模式的断面図を示す。図1は、本実施の形態のアクティブマトリクス方式の反射型液晶表示素子100の画素部を構成する複数の画素のうち、或る一つの画素全体とそれに画面垂直方向に隣接する2画素の一部分とを示している。

【0025】

液晶表示素子100は、表面に複数の導電性及び光反射性のある画素電極111a～111cが形成された画素電極基板部Aと、表面に全ての画素に共通の光透過性のある共通電極131が形成された共通電極基板部Bと、画素電極基板部Aと共通電極基板部Bとが画素電極111a～111cと共通電極131とが離間対向するように貼り合わされると共に、それら画素電極基板部Aと共通電極基板部Bとの間の間隙に封入された液晶層Cとを有する構造である。かかる構造自体は公知であるが、本実施の形態の液晶表示素子100は、画素電極111a～111cに通じるスルーホールのレイアウトに特徴がある。

30

【0026】

画素電極基板部Aは半導体基板101上にスイッチング素子部Tr及び保持容量部C等の回路素子が形成された回路素子部A1と、画素電極分割部112で区切られた画素電極111a、111b、111cを有する画素電極部A3と、回路素子部A1と画素電極部A3とを接続するとともに所定の信号等を画素電極基板部Aに供給する所定の配線電極等を備えた回路配線部A2とを有した構成である。画素電極111a、111b、111cは画面上において垂直方向に隣接する3つの画素の画素電極である。

40

【0027】

半導体基板101には拡散層102～106が形成されている。スイッチング素子部Trは、離間して形成された拡散層103及び104とそれらの上方に絶縁膜（図示せず）を介して形成されたポリシリコン等のゲート電極107とにより構成されている。また、保持容量部Cは、拡散層105とその上に絶縁膜（図示せず）を介して形成されたポリシリコン等の電極108とから構成されている。スイッチング素子部Trと保持容量部Cとはフィールド酸化膜110により区画されている。

【0028】

50

また、スイッチング素子部Trを構成する拡散層103及び104のうち拡散層103はスルーホール113を介して回路配線部A2の第1メタル117に電氣的に接続されている。また、拡散層104と保持容量部Cを構成する電極108及び拡散層105のうち電極108とはそれぞれスルーホール114、115を介して第1メタル117に電氣的に接続され、更にスルーホール118と回路配線部A2の第2メタル120とスルーホール121とを介して画素電極111aに電氣的に接続されている。また、拡散層105はスルーホール116、第1メタル117、スルーホール119を介して第2メタル120に電氣的に接続されている。

【0029】

更に、画素電極111aに一端が電氣的に接続されているスルーホール122の他端は第2メタル120に電氣的に接続されているが、第2メタル120の下層回路には接続されていない。すなわち、画素電極111aは、回路配線部A2を介して下層の回路素子部A1に電氣的に接続されているスルーホール121と、下層の回路素子部A1に接続されていないスルーホール122とに電氣的に接続されている。画素電極111a～111cの表面は配向膜121により被覆されている。なお、スルーホール113～116、118、119、121及び122内にはタングステン等の導電材料が充填されている。

【0030】

共通電極基板部Bは、光透過性基板130の表面に画素部の全ての画素に共通に形成された光透過性及び導電性を備える共通電極131と、共通電極131の表面を被覆する配向膜132とを有している。

【0031】

本実施の形態の液晶表示素子100は、一つの画素の画素電極111aに通ずるスルーホールが、画素表面の面内中央を対称中心として121及び122の2つ（あるいはそれ以上の偶数個でもよい）配置することで、画素電極111aの表面に生じる段差が存在しても縞状の画像ノイズが発生しない高品質な液晶表示装置を実現する。なお、他の画素の画素電極111b、111cについても画素電極111aと同様に画素電極111b、111cに通ずるスルーホールが、画素表面の面内中央を対称中心として2つ（あるいはそれ以上の偶数個でもよい）配置されている。

【0032】

この液晶表示素子100では、共通電極基板部Bの上方から照射されたバックライトの光が共通電極基板部B及び液晶層LCを順次に透過して画素電極部A3に入射して反射される。その反射光は入射光経路と逆方向の経路を辿り、液晶層LC及び共通電極基板部Bを透過して出射される。ここで、画素電極部A3の各画素電極と共通電極基板部Bの共通電極131との間には、画素電極単位で画像信号に応じた電圧が印加されており、その印加電圧により液晶層LCの屈折率が変化し、反射光が変調されて像の明暗を投影する。

【0033】

図2は、本発明になる液晶表示素子の一実施の形態の要部である画素電極とそれに接続されたスルーホールの部分を示す模式的断面図である。同図中、図1と同一構成部分には同一符号を付してある。

【0034】

レイアウトにスペース的な制約が多い場合、図5と共に説明したように画素電極に接続されるスルーホールは画素電極の中央に位置することができなくなる場合が多く、片側に寄った配置となる。本実施の形態では、図2に示すように、スルーホール121、124は電氣的に画素電極111a、111bに電圧を供給するために必ず無くてはならず、下層の回路パターンに接続されている。

【0035】

一方、画素電極111a、111bに電氣的に接続されているスルーホール122、124は下層の回路に接続されず、ダミーとして配置されている。すなわち、スルーホール122、124は電氣的な接続を下層とは持たず、単なる形状のダミーとして置かれているだけである。また、スルーホール122、124は画素電極の面内中央Ia、Ibを対称

10

20

30

40

50

中心としてスルーホール 210a、210b に対して点対称の位置に配置されている。もちろんスルーホール 122、124 をスルーホール 121、123 と同様に下層の回路に接続しても構わない。

【0036】

スルーホールがある場合、前述のようにスルーホールを中心としてすり鉢状に凹段差が画素電極表面に生じてしまうが、画素内で画素電極の面内中央を対称中心として点対称に配置されたスルーホールが偶数個ある場合は、画面上において垂直方向に隣り合う複数の画素と比較した場合に、上記のすり鉢状の凹段差は 1 画素ごとの繰り返しパターンとなる。このため、本実施の形態の液晶表示素子 100 によれば、画像に投影した場合に従来の図 6 に示した垂直方向の 2 画素間隔の濃淡画像としては原理的に見えなくなり、画素電極表面に生じる段差による縞状の画像ノイズを低減でき、高品質な画像表示を行うことができる。ただし、凹段差の生じる領域がスルーホールの数に応じて増えるが、視覚上目立たないため問題ない。

10

【0037】

半導体プロセスにおける CMP 段差を無くすという解決手段も考えられるが、プロセス条件の改善には大幅な時間とコストがかかってしまう。本実施形態では、画素内で点対称にダミーのスルーホールを配置することはレイアウト上では必ず可能であり、簡便に縞状ノイズを低減する手段として非常に優れているといえる。

【0038】

次に、本発明になる液晶表示素子の製造方法の一実施の形態の概略動作について説明する。図 3 は、本発明になる液晶表示素子の製造方法の一実施の形態の要部の各工程の素子断面図を示す。図 3 は、隣合う画素をミラー反転構造のレイアウトにて並べた場合の、本実施の形態の製造方法で画素電極を形成したときの断面形状を示す。図 3 は、画素部の画面垂直方向に隣接する 2 つの画素電極 111a、111b とそれに通ずるスルーホールのみ示してある。

20

【0039】

まず、図 3 (a) に示すように半導体基板 101 上に形成された回路配線部 A2 の最上位の例えば第 2 メタルの上の層間絶縁膜 141 にフォトリソグラフィ及びエッチングによりスルーホール 143、144、145、146 を開けた後、CVD (Chemical Vapor Deposition) により W (タングステン) などの導電材料 142 を全面に被覆すると共にスルーホール 143、144、145、146 の内部に埋めこむ。このときに導電材料 142 はスルーホール 143、144、145、146 の周辺で僅かに凹形状となる。

30

【0040】

ここで、上記のスルーホール 143 及び 144 は、一つの画素電極の面内中央 Ia を対称中心として点対称の位置に配置されている。また、上記のスルーホール 145 及び 146 は、別の一つの画素電極の面内中央 Ib を対称中心として点対称の位置に配置されている。また、スルーホール 143 及び 145 は下層の回路配線部 A2 を介して回路素子部 A1 に電氣的に接続されているのに対し、スルーホール 144 及び 146 は下層の回路素子部 A1 には接続されていない（接続されていてもよい）。

【0041】

続いて、図 3 (b) に示すように CMP 及びエッチバックにより全面のタングステン材料 142 を取り去りスルーホール 143～146 内だけに導電材料を残す。導電材料が充填されたスルーホール 143～146 は前述したスルーホール 121～124 を構成する。このときにも CMP 平坦化においては段差を完全に解消することは困難で、スルーホール 121～124 のそれぞれを中心としてすり鉢状の凹段差が残っている。

40

【0042】

そして、図 3 (c) に示すように A1 (アルミニウム) 膜 147 をスパッタにより表面上に成膜してパターンニングし、画面上の垂直方向に隣接する画素電極 111a、111b を形成する。画素電極 111a はスルーホール 121 及び 122 に電氣的に接続され、また、画素電極 111b はスルーホール 123 及び 124 に電氣的に接続される。このよう

50

にして、図１の模式的断面図に示した各画素内で画素電極の面内中央を対称中心として点対称に配置されたスルーホールが偶数個ある液晶表示素子１００が製造される。

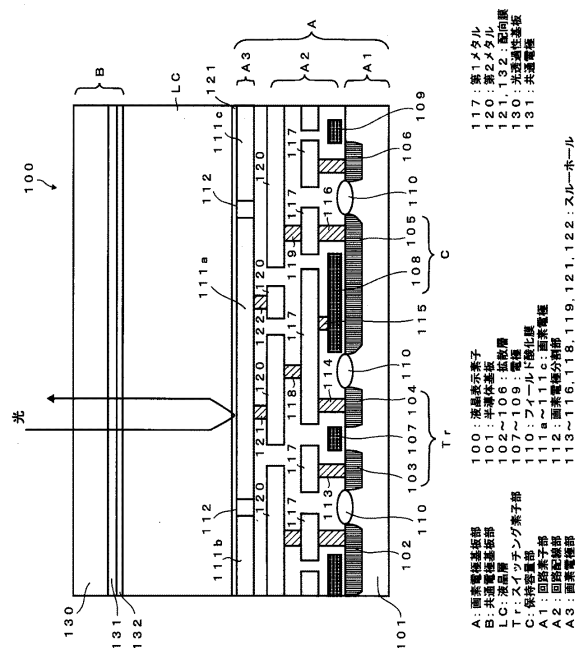
【符号の説明】

【００４３】

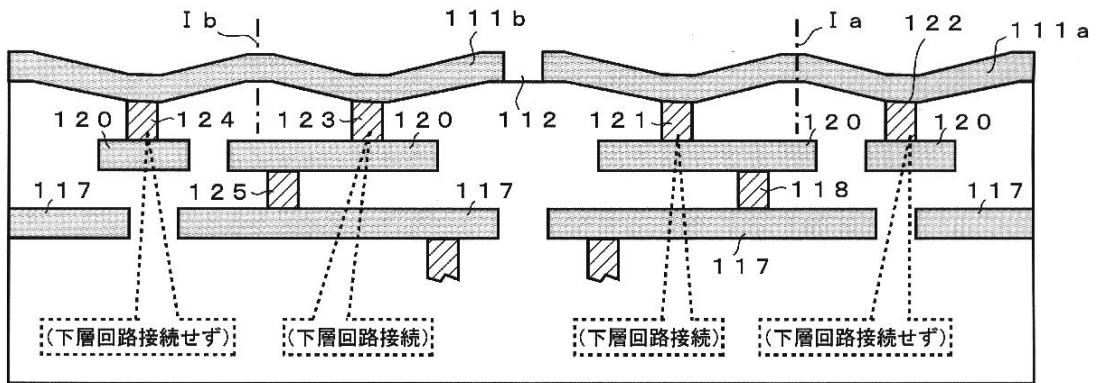
- １００ 液晶表示素子
- １１１ａ～１１１ｃ 画素電極
- １１２ 画素電極分割部
- １１３～１１６、１１８、１１９、１２１～１２５、１４３～１４６ スルーホール
- １３０ 光透過性基板
- １３１ 共通電極
- A 画素電極基板部
- A１ 回路素子部
- A２ 回路配線部
- A３ 画素電極部
- B 共通電極基板部
- LC 液晶層
- Tr スイッチング部
- C 保持容量部

10

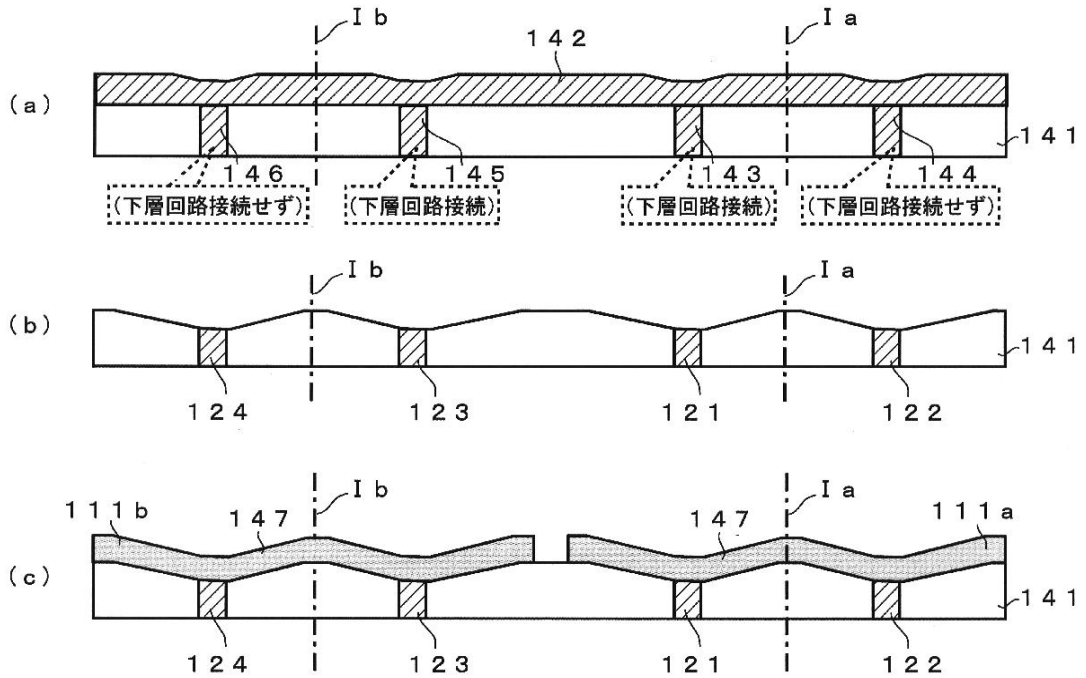
【図１】



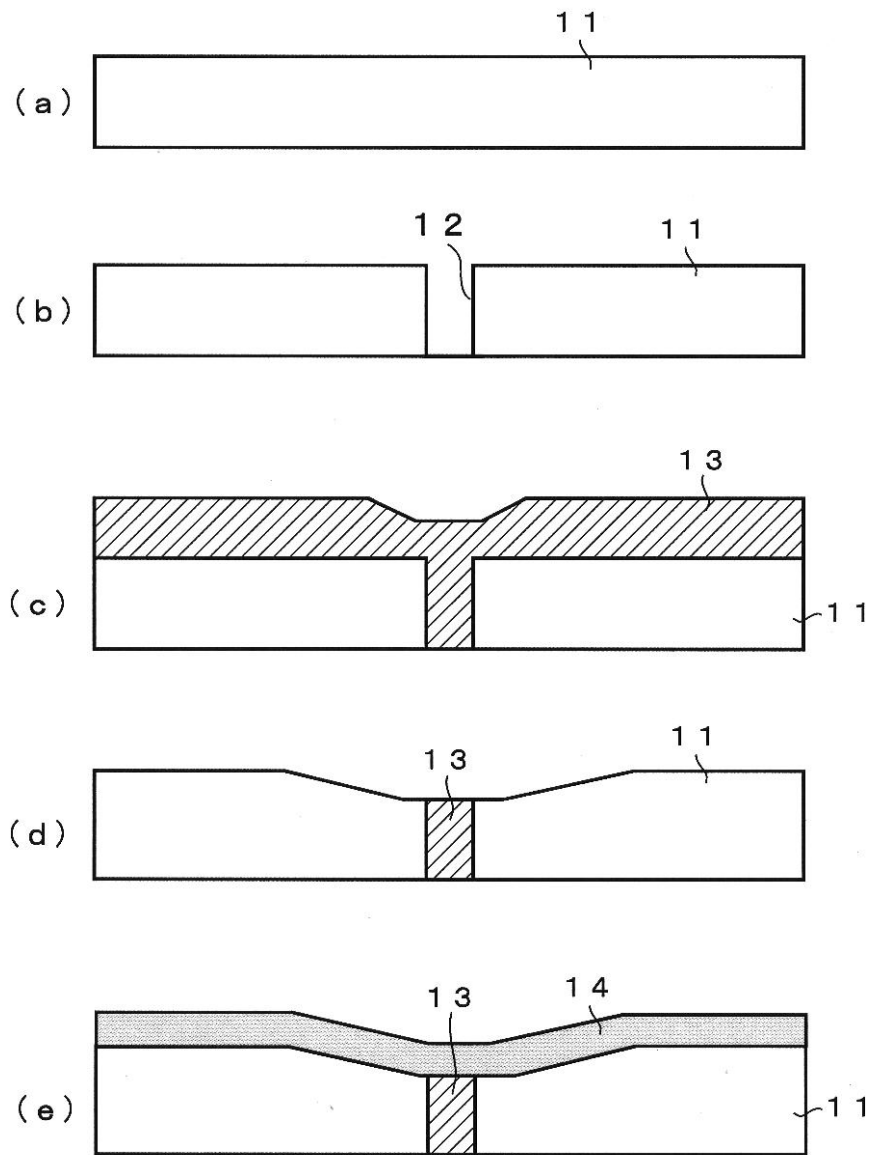
【図 2】



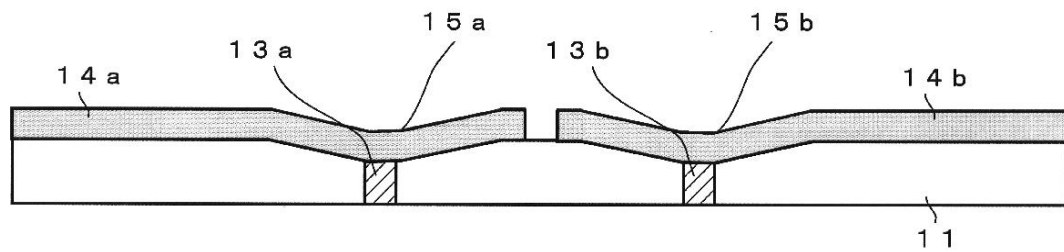
【図 3】



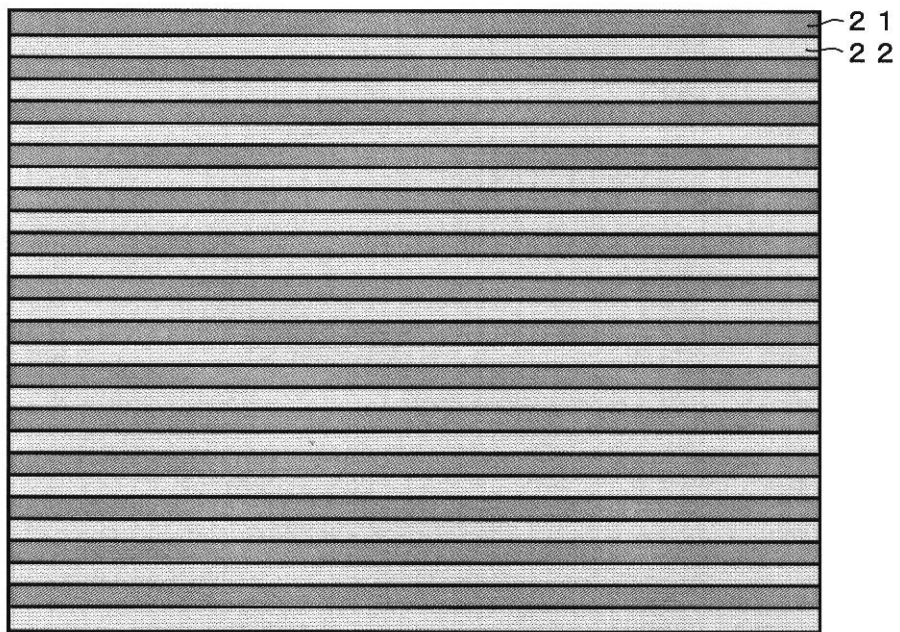
【図 4】



【図 5】



【図 6】



フロントページの続き

- (56)参考文献 特開2005-258183 (JP, A)
特開2001-242485 (JP, A)
特開2004-004337 (JP, A)
特開2002-122886 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1343 - 1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP5569448B2	公开(公告)日	2014-08-13
申请号	JP2011066094	申请日	2011-03-24
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	川中博之		
发明人	川中 博之		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA29 2H092/JA25 2H092/JA46 2H092/JB07 2H092/JB61 2H092/MA05 2H092/MA07 2H092/MA13 2H092/NA01 2H092/NA07		
审查员(译)	铃木俊光		
其他公开文献	JP2012203107A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过减少由于在像素电极的表面上发生的步骤而导致的图像的条纹噪声来显示高质量的图像。溶解：在液晶显示元件中，两个（或更多偶数）通孔121和与一个像素的像素电极111a连通的122相对于像素表面的面内中心点1a对称设置，由此提供高质量的液晶显示装置，尽管存在，但没有图像的条纹噪声实现了在像素电极111a的表面上发生的步骤。对于其他像素的每个像素电极111b和111c，与像素电极111b（111c）连通的两个（或更多个偶数）通孔相对于表面的面内中心点对称地设置。像素以与像素电极111a相同的方式。

【 图 1 】

