

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5552457号
(P5552457)

(45) 発行日 平成26年7月16日 (2014. 7. 16)

(24) 登録日 平成26年5月30日 (2014. 5. 30)

(51) Int. Cl.

F I

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1337 (2006. 01)

G O 2 F 1/1337 5 O 5

請求項の数 6 (全 17 頁)

(21) 出願番号 特願2011-78553 (P2011-78553)
 (22) 出願日 平成23年3月31日 (2011. 3. 31)
 (65) 公開番号 特開2012-212083 (P2012-212083A)
 (43) 公開日 平成24年11月1日 (2012. 11. 1)
 審査請求日 平成25年1月21日 (2013. 1. 21)

前置審査

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (72) 発明者 山本 浩司
 埼玉県深谷市幡羅町一丁目9番地2 東芝
 モバイルディスプレイ株式会社内
 (72) 発明者 廣澤 仁
 埼玉県深谷市幡羅町一丁目9番地2 東芝
 モバイルディスプレイ株式会社内

審査官 佐藤 洋允

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、第1ソース配線及び第2ソース配線上に位置する絶縁膜と、前記絶縁膜上に形成され前記第1ソース配線と前記第2ソース配線との間に位置し第1方向に沿って延出した主画素電極と、前記絶縁膜上に形成され前記第1ソース配線及び前記第2ソース配線のそれぞれと対向し第1方向に沿って延出した第1主共通電極と、を備えた第1基板と、

前記第1主共通電極と対向し第1方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、
 を備え、

前記第1主共通電極のそれぞれは、前記第1ソース配線及び前記第2ソース配線の直上に配置され且つ前記第1ソース配線及び前記第2ソース配線と同等の幅を有し、

前記第1基板において、前記第1ソース配線と対向する前記第1主共通電極、前記主画素電極、及び、前記第2ソース配線と対向する前記第1主共通電極は、第1方向に直交する第2方向に沿ってこの順に配置され、前記第1主共通電極のそれぞれと前記主画素電極との間に開口部が形成され、

前記第2基板において、前記主画素電極の直上に開口部が形成されたことを特徴とする液晶表示装置。

【請求項 2】

10

20

前記主画素電極は、前記絶縁膜上に形成され、前記第 1 主共通電極のそれぞれと同一材料によって形成されたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

第 1 方向に直交する第 2 方向に沿った前記第 1 ソース配線と前記主画素電極との間隔は前記第 2 ソース配線と前記主画素電極との間隔と同等であることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記主画素電極と前記第 1 主共通電極及び前記第 2 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 1 方向に平行な方向、もしくは、第 1 方向を斜めに交差する方向であることを特徴とする請求項 1 乃至3 のいずれか 1 項に記載の液晶表示装置。

10

【請求項 5】

さらに、前記第 1 基板に備えられ前記主画素電極及び前記第 1 主共通電極を覆う第 1 配向膜と、前記第 2 基板に備えられ前記第 2 主共通電極を覆う第 2 配向膜と、を備え、

前記第 1 配向膜が前記液晶分子を初期配向させる第 1 配向処理方向及び前記第 2 配向膜が前記液晶分子を初期配向させる第 2 配向処理方向は、第 1 方向に平行な方向、もしくは、第 1 方向を斜めに交差する方向であることを特徴とする請求項 1 乃至4 のいずれか 1 項に記載の液晶表示装置。

【請求項 6】

前記第 1 基板は、さらに、第 1 方向に直交する第 2 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、前記ゲート配線と前記第 1 ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続され前記主画素電極と繋がり第 2 方向に沿って延出し前記補助容量線と対向した容量部と、を備えたことを特徴とする請求項 1 乃至5 のいずれか 1 項に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

30

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 192822 号公報

【特許文献 2】特開平 9 - 160041 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

50

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間に位置し第1方向に沿って延出した主画素電極と、前記第1ソース配線及び前記第2ソース配線のそれぞれとの間に絶縁膜を介して対向し第1方向に沿って延出した第1主共通電極と、を備えた第1基板と、前記第1主共通電極と対向し第1方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図3】図3は、本実施形態の基本構成について一画素における最小の単位構成体を概略的に示す平面図である。

【図4】図4は、スイッチング素子などを含む液晶表示パネルの断面を概略的に示す断面図である。

【図5】図5は、本実施形態の一構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

20

【図6】図6は、本実施形態の一構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図7】図7は、図6に示した液晶表示パネルの一画素をA-A線で切断した断面構造を概略的に示す断面図である。

【図8】図8は、本実施形態において導入したクロストーク率の定義を説明するための図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

30

【0009】

図1は、本実施形態における液晶表示装置1の構成を概略的に示す図である。

【0010】

すなわち、液晶表示装置1は、アクティブマトリクスタイプの液晶表示パネルLPN、液晶表示パネルLPNに接続された駆動ICチップ2及びフレキシブル配線基板3、液晶表示パネルLPNを照明するバックライト4などを備えている。

【0011】

液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

40

【0012】

バックライト4は、図示した例では、アレイ基板ARの背面側に配置されている。このようなバックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

50

【 0 0 1 3 】

図 2 は、図 1 に示した液晶表示パネル L P N の構成及び等価回路を概略的に示す図である。

【 0 0 1 4 】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$)などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向である Y 方向に沿って交互に並列配置されている。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 Y に交差する第 2 方向である X 方向に沿ってそれぞれ延出しているが、必ずしも直線的に延出していなくても良い。ここでは、第 1 方向 Y と第 2 方向 X とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差する。ソース配線 S は、第 1 方向 Y に沿ってそれぞれ延出しているが、必ずしも直線的に延出していなくても良い。なお、ゲート配線 G 、補助容量線 C 、及び、ソース配線 S は、それらの一部が屈曲していてもよい。

10

【 0 0 1 5 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ $G D$ に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ $S D$ に接続されている。これらのゲートドライバ $G D$ 及びソースドライバ $S D$ の少なくとも一部は、例えば、アレイ基板 $A R$ に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

20

【 0 0 1 6 】

各画素 $P X$ は、スイッチング素子 $S W$ 、画素電極 $P E$ 、共通電極 $C E$ などを備えている。保持容量 C_s は、例えば補助容量線 C と画素電極 $P E$ との間に形成される。

【 0 0 1 7 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 $P E$ がアレイ基板 $A R$ に形成される一方で共通電極 $C E$ がアレイ基板 $A R$ 及び対向基板 $C T$ に形成された構成であり、これらの画素電極 $P E$ と共通電極 $C E$ との間に形成される電界を主に利用して液晶層 $L Q$ の液晶分子をスイッチングする。画素電極 $P E$ と共通電極 $C E$ との間に形成される電界は、アレイ基板 $A R$ の主面あるいは対向基板 $C T$ の主面にほぼ平行な横電界（あるいは、基板主面に対してわずかに傾いた斜め電界）である。

30

【 0 0 1 8 】

スイッチング素子 $S W$ は、例えば、 n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 $S W$ は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個のスイッチング素子 $S W$ が形成されている。

【 0 0 1 9 】

画素電極 $P E$ は、スイッチング素子 $S W$ に電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個の画素電極 $P E$ が形成されている。共通電極 $C E$ は、例えばコモン電位であり、液晶層 $L Q$ を介して複数の画素 $P X$ の画素電極 $P E$ に対して共通に配置されている。補助容量線 C は、補助容量電圧が印加される電圧印加部 $V C S$ と電氣的に接続されている。

40

【 0 0 2 0 】

アレイ基板 $A R$ は、アクティブエリア A C T の外側に形成された給電部 $V S$ を備えている。共通電極 $C E$ のうち、アレイ基板 $A R$ に形成された共通電極 $C E$ の一部は、アクティブエリア A C T の外側で給電部 $V S$ と電氣的に接続されている。また、共通電極 $C E$ のうち、対向基板 $C T$ に形成された共通電極 $C E$ の一部は、図示しない導電部材を介して、アレイ基板 $A R$ に形成された給電部 $V S$ と電氣的に接続されている。

【 0 0 2 1 】

以下に、本実施形態の基本構成について説明する。

【 0 0 2 2 】

50

図3は、一画素PXにおける最小の単位構成体を概略的に示す平面図である。

【0023】

画素電極PEは、主画素電極PA及び容量部PCを有している。これらの主画素電極PA及び容量部PCは、互いに電氣的に接続されている。本実施形態においては、画素電極PEの全体がアレイ基板ARに備えられている。

【0024】

主画素電極PAは、第1方向Yに沿って延出している。容量部PCは、第1方向Yとは異なる第2方向Xに沿って延出している。より具体的には、主画素電極PAは、略画素中央部において第1方向Yに沿って直線的に延出した帯状に形成されている。容量部PCは、画素PXの上側端部において第2方向Xに沿って直線的に延出した帯状に形成されている。なお、容量部PCは、上下画素間に配置されても良い。つまり、容量部PCは、図示した当該画素PXとその上側の画素（図示せず）との境界に跨って配置されても良い。

10

【0025】

この容量部PCは、主画素電極PAの一端部に結合し、主画素電極PAからその両側に向かって延出している。このような容量部PCは、主画素電極PAと略直交している。なお、容量部PCは、主画素電極PAの一端部よりも他端部寄りに結合していても良い。画素電極PEは、例えば、この容量部PCにおいて図示を省略したスイッチング素子と電氣的に接続されている。

【0026】

共通電極CEは、複数の主共通電極CAを有している。これらの主共通電極CAは、互いに電氣的に接続されている。このような共通電極CEは、画素電極PEとは電氣的に絶縁されている。本実施形態においては、共通電極CEにおいて、主共通電極CAの少なくとも一部は、対向基板CTに備えられている。

20

【0027】

主共通電極CAは、第1方向Yに沿って延出している。図示した例では、主共通電極CAは、第1方向Yに沿って直線的に延出した帯状に形成されている。なお、主共通電極CAは第2方向Xに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の左側の主共通電極をCALと称し、図中の右側の主共通電極をCARと称する。

【0028】

主共通電極CAL及び主共通電極CARは左右画素間に配置されている。すなわち、主共通電極CALは図示した当該画素PXとその左側の画素（図示せず）との境界に跨って配置され、主共通電極CARは図示した当該画素PXとその右側の画素（図示せず）との境界に跨って配置されている。

30

【0029】

主共通電極CAは、主画素電極PAを挟んだ両側に配置されている。つまり、主画素電極PAと主共通電極CAとは、第2方向Xに沿って交互に配置されている。これらの主画素電極PAと、主共通電極CAとは、互いに略平行に配置されている。このとき、X-Y平面内において、主共通電極CAのいずれも主画素電極PAとは重ならず、主共通電極CAのそれぞれと主画素電極PAとの間には主として表示に寄与する開口部が形成されている。

40

【0030】

すなわち、隣接する主共通電極CAL及び主共通電極CARの間には、1本の主画素電極PAが位置している。換言すると、主共通電極CAL及び主共通電極CARは、主画素電極PAを挟んだ両側に配置されている。このため、主共通電極CAL、主画素電極PA、及び、主共通電極CARは、第2方向Xに沿ってこの順に配置されている。

【0031】

第2方向Xに沿った主共通電極CALと主画素電極PAとの間隔は、第2方向Xに沿った主共通電極CARと主画素電極PAとの間隔と略同等である。主共通電極CALと主画素電極PAとの間及び主画素電極PAと主共通電極CARの間には、それぞれ開口部が形成される。つまり、ここに示した例では、一画素PXにおいて、2つの開口部が形成さ

50

れる。

【0032】

ここに示した例では、液晶分子LMの初期配向方向は、例えば、第1方向Yと略平行な方向であるが、第1方向Yを斜めに交差する斜め方向Dであっても良い。ここで、第1方向Yに対する初期配向方向Dのなす角度 θ_1 は、 0° より大きく 45° より小さい角度である。なお、このなす角度 θ_1 については、 $5^\circ \sim 25^\circ$ 程度、より望ましくは 10° 前後とすることが液晶分子LMの配向制御の観点で極めて有効である。ここでは、なす角度 θ_1 は、第1方向Yに対して数 $^\circ$ 程度わずかに傾いた方向であり、例えば、 7° である。

【0033】

なお、画素電極PEは、さらに、第2方向Xに沿って延出した副画素電極を備えていても良い。また、共通電極CEは、さらに、第2方向Xに沿って延出した副共通電極を備えていても良い。

10

【0034】

図4は、スイッチング素子SW、ゲート配線G、及び、補助容量線Cを含む液晶表示パネルLPNの断面を概略的に示す断面図である。なお、ここでは、共通電極の図示を省略し、説明に必要な箇所のみを図示している。

【0035】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。

【0036】

20

アレイ基板ARは、例えば、ガラス基板やプラスチック基板などの光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の対向基板CTに対向する側に、スイッチング素子SW、画素電極PE、第1配向膜AL1などを備えている。

【0037】

図示した例では、スイッチング素子SWは、トップゲート型の薄膜トランジスタであるが、ボトムゲート型の薄膜トランジスタであっても良い。また、スイッチング素子SWの半導体層SCは、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0038】

30

半導体層SCは、チャンネル領域SCCを挟んだ両側にそれぞれソース領域SCS及びドレイン領域SCDを有している。なお、第1絶縁基板10と半導体層SCとの間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層SCは、ゲート絶縁膜11によって覆われている。また、ゲート絶縁膜11は、第1絶縁基板10の上にも配置されている。

【0039】

スイッチング素子SWのゲート電極WGは、ゲート絶縁膜11の上に形成され、半導体層SCのチャンネル領域SCCの直上に位置している。また、ゲート配線G及び補助容量線Cも、ゲート絶縁膜11の上に形成されている。これらのゲート電極WG、ゲート配線G及び補助容量線Cは、同一材料を用いて同一工程で形成可能である。ゲート電極WGは、ゲート配線Gと電気的に接続されている。

40

【0040】

ゲート電極WG、ゲート配線G及び補助容量線Cは、第1層間絶縁膜12によって覆われている。また、この第1層間絶縁膜12は、ゲート絶縁膜11の上にも配置されている。これらのゲート絶縁膜11及び第1層間絶縁膜12は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

【0041】

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第1層間絶縁膜12の上に形成されている。また、図示しないソース配線も、第1層間絶縁膜12の上に形成されている。これらのソース電極WS、ドレイン電極WD、及び、ソース配線は、同一材

50

料を用いて同一工程で形成可能である。ソース電極WSは、ソース配線と電氣的に接続されている。

【0042】

ソース電極WSは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのソース領域SCSにコンタクトしている。ドレイン電極WDは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのドレイン領域SCDにコンタクトしている。これらのゲート電極WG、ゲート配線G、補助容量線C、ソース電極WS、ドレイン電極WD、及び、ソース配線Sは、例えば、モリブデン、アルミニウム、タングステン、チタンなどの導電材料によって形成されている。

10

【0043】

このような構成のスイッチング素子SWは、第2層間絶縁膜13によって覆われている。つまり、ソース電極WS、ドレイン電極WD、及び、ソース配線は、第2層間絶縁膜13によって覆われている。また、この第2層間絶縁膜13は、第1層間絶縁膜12の上にも配置されている。この第2層間絶縁膜13は、例えば、紫外線硬化型樹脂や熱硬化型樹脂などの各種有機材料によって形成されている。

【0044】

画素電極PEは、第2層間絶縁膜13の上に形成されている。詳述しないが、画素電極PEを構成する主画素電極PA及び容量部PCは、第2層間絶縁膜13の上に形成されている。この画素電極PEは、第2層間絶縁膜13を貫通するコンタクトホールを介してドレイン電極WDに接続されている。このような画素電極PEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

20

【0045】

なお、アレイ基板ARは、後述するように、さらに、共通電極の一部として第1主共通電極を備えている。

【0046】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PE及び図示しない第1主共通電極を覆っており、第2層間絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

30

【0047】

一方、対向基板CTは、例えば、ガラス基板やプラスチック基板などの光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20のアレイ基板ARに対向する側に、図示を省略した共通電極のうちの第2主共通電極や、第2配向膜AL2などを備えている。また、この対向基板CTは、図示を省略するが、各画素PXを区画する(あるいは、ソース配線S、ゲート配線G、補助容量線C、スイッチング素子SWなどの配線部に対向するように配置された)ブラックマトリクスや各画素PXに対応して配置されたカラーフィルタ層、ブラックマトリクス及びカラーフィルタ層の表面の凹凸の影響を緩和するオーバーコート層などが配置されても良い。

40

【0048】

共通電極は、例えば、ITOやIZOなどの光透過性を有する導電材料によって形成されている。

【0049】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、図示しない共通電極の第2主共通電極などを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0050】

50

これらの第1配向膜AL1及び第2配向膜AL2には、液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向は、上記の通り、第1方向Yと略平行な方向、あるいは、第1方向Yを斜めに交差する斜め方向Dである。これらの第1配向処理方向及び第2配向処理方向は、ともに平行であって、互いに逆向きの方向あるいは同じ向きの方

【0051】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のギャップ、例えば3～7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で図示しないシール材によって貼り合わせられている。

【0052】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、図示しない液晶分子を含んでいる。このような液晶層LQは、ポジ型の液晶材料によって構成されている。

【0053】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面には、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、第1偏光軸を有する第1偏光板PL1を含んでいる。また、対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面には、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、第2偏光軸を有する第2偏光板PL2を含んでいる。第1偏光板PL1の第1偏光軸と、第2偏光板PL2の第2偏光軸とは、例えば、直交する位置関係にある。一方の偏光板は、例えば、その偏光軸が液晶分子の長軸方向つまり第1配向処理方向あるいは第2配向処理方向と平行（あるいは、第1方向Yと平行）または直交（あるいは、第2方向Xと平行）するように配置されている。これにより、ノーマリーブラックモードを実現している。

【0054】

すなわち、液晶層LQに電圧が印加されていない状態つまり画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成されていない無電界時（OFF時）には、図3において破線で示したように、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向及び第2配向膜AL2の第2配向処理方向を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0055】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、液晶分子LMの厳密な初期配向方向とは、OFF時の液晶分子LMの配向方向をX-Y平面に正射影した方向である。しかしながら、説明を簡略にするために、以下では、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0056】

ここでは、第1配向膜AL1の第1配向処理方向及び第2配向膜AL2の第2配向処理方向は、ともに第1方向Yと略平行な方向、あるいは、ともに斜め方向Dと略平行な方向である。このようなOFF時においては、液晶分子LMは、その長軸が第1方向Yと略平行な方向、あるいは、斜め方向Dと略平行な方向に配向する。つまり、液晶分子LMの初期配向方向は、第1方向Yあるいは斜め方向Dと平行である。図3に示した例では、液晶分子LMの初期配向方向は第1方向Yと平行である。

【 0 0 5 7 】

第 1 配向膜 A L 1 の第 1 配向処理方向及び第 2 配向膜 A L 2 の第 2 配向処理方向が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向している（ホモジニアス配向）。また、第 1 配向膜 A L 1 の第 1 配向処理方向及び第 2 配向膜 A L 2 の第 2 配向処理方向が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部において略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

10

【 0 0 5 8 】

バックライト 4 からのバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって異なる。O F F 時には、液晶層 L Q を通過した光は、第 2 偏光板 P L 2 によって吸収される（黒表示）。

【 0 0 5 9 】

一方、画素電極 P E と共通電極 C E との間に電位差が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。これにより、図 3 において実線で示したように、液晶分子 L M は、その長軸が電界の向きと略平行となるように基板主面と略平行な平面内で回転する。

20

【 0 0 6 0 】

図 3 に示した例では、主画素電極 P A と主共通電極 C A L との間の領域内の液晶分子 L M は、第 1 方向 Y に対して反時計回りに回転し、電界に沿って図中の左上を向くように配向する。主画素電極 P A と主共通電極 C A R との間の領域内の液晶分子 L M は、第 1 方向 Y に対して時計回りに回転し、電界に沿って図中の右上を向くように配向する。

【 0 0 6 1 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に横電界（あるいは斜め電界）が形成された状態では、液晶分子 L M の配向方向が少なくとも 2 方向に分かれ、それぞれの配向方向でドメインが形成される。つまり、一画素 P X には、少なくとも 2 つのドメインが形成される。

30

【 0 0 6 2 】

このような O N 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶層 L Q に入射したバックライト光は、画素電極 P E と共通電極 C E とで区画された 2 つの領域（開口部）をそれぞれ通過した際に、その偏光状態が変化する。このような O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 6 3 】

このような本実施形態によれば、一画素内に少なくとも 2 つのドメインを形成することが可能となるため、少なくとも 2 方向での視野角を光学的に補償することができ、広視野角化が可能となる。したがって、高い透過率の表示を実現することができ、表示品位の良好な液晶表示装置を提供することが可能となる。

40

【 0 0 6 4 】

また、一画素内において、画素電極 P E と共通電極 C E とで区画される少なくとも 2 つの開口部それぞれについて面積を略同一に設定することにより、各領域の透過率が略同等となり、それぞれの開口部を透過した光が互いに光学的に補償し合い、広い視野角範囲に亘って均一な表示を実現することが可能となる。

【 0 0 6 5 】

なお、O N 時には、画素電極 P E の主画素電極 P A 付近、あるいは、共通電極 C E の主共通電極 C A 付近では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動

50

するのに十分な電界が形成されない)ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、上記のように、画素電極PE及び共通電極CEが光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀などの導電材料を用いて形成しても良い。

【0066】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。

10

【0067】

次に、本実施形態の一構成例について説明する。

【0068】

図5は、本実施形態の一構成例における液晶表示パネルLPNの対向基板CTにおける一画素PXの構造を概略的に示す平面図である。

【0069】

ここで説明する構成例では、共通電極CEは、主共通電極として、図示しないアレイ基板に備えられた第1主共通電極、及び、対向基板CTに備えられた第2主共通電極CA2を有している。

20

【0070】

すなわち、図示した対向基板CTは、第1方向Yに沿って直線的に延出した帯状の第2主共通電極CA2を備えている。複数の第2主共通電極CA2は、電氣的に接続されている。図示した例では、対向基板CTにおいて、共通電極CEは、ストライプ状に形成されている。

【0071】

なお、図示した第2主共通電極CA2は第2方向Xに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第2主共通電極をCAL2と称し、図中の右側の第2主共通電極をCAR2と称する。このような共通電極CEの第2主共通電極CA2は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

30

【0072】

次に、図5に示した対向基板CTとの組み合わせが好適なアレイ基板ARについて説明する。

【0073】

図6は、本実施形態の一構成例における液晶表示パネルLPNの一画素PXを対向基板CT側から見たときのアレイ基板ARの構造を概略的に示す平面図である。なお、一画素PXにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【0074】

アレイ基板ARは、第2方向Xに沿って延出した補助容量線C1及び補助容量線C2と、第2方向Xに沿って延出したゲート配線G1と、第1方向Yに沿って延出したソース配線S1及びソース配線S2と、画素電極PEと、共通電極CEの一部として第1方向Yに沿って直線的に延出した帯状の第1主共通電極CA1と、を備えている。補助容量線C1、補助容量線C2、及び、ゲート配線G1は、ゲート絶縁膜11の上に形成され、第1層間絶縁膜12によって覆われている。ソース配線S1及びソース配線S2は、第1層間絶縁膜12の上に形成され、第2層間絶縁膜13によって覆われている。画素電極PEは、第2層間絶縁膜13の上に形成されている。第1主共通電極CA1は、例えば、画素電極PEと同様に、第2層間絶縁膜13の上に形成されている。

40

【0075】

50

図示した例では、画素 P X は、図中の破線で示した領域に相当し、第 2 方向 X に沿った長さよりも第 1 方向 Y に沿った長さの方が長い長方形状である。また、図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され（厳密には、ソース線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置されている）、ソース配線 S 2 は右側端部に配置され（厳密には、ソース線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている）、補助容量線 C 1 は上側端部に配置され、ゲート配線 G 1 は略画素中央部に配置されている。なお、補助容量線 C 1 は、当該画素 P X とその上側の画素との境界に跨って配置されてもよい。同様に、補助容量線 C 2 は、当該画素 P X とその下側の画素との境界に跨って配置されてもよい。

【0076】

10

共通電極 C E において、図示した第 1 主共通電極 C A 1 は第 2 方向 X に沿って 2 本平行に並んでおり、以下では、これらを区別するために、図中の左側の第 1 主共通電極を C A L 1 と称し、図中の右側の第 1 主共通電極を C A R 1 と称する。第 1 主共通電極 C A 1 が画素電極 P E とともに第 2 層間絶縁膜 1 3 の上に形成されている場合には、第 1 主共通電極 C A 1 は、画素電極 P E と同一材料（例えば、ITO など）を用いて同一工程で形成可能である。

【0077】

なお、第 1 主共通電極 C A 1 と画素電極 P E との間に他の層間絶縁膜が介在し、第 1 主共通電極 C A 1 と画素電極 P E とが異なる層に形成されても良い。この場合、第 1 主共通電極 C A 1 は、画素電極 P E とは異なる材料によって形成されても良いし、画素電極 P E

20

【0078】

図示した例では、第 1 主共通電極 C A L 1 は、画素 P X の左側端部に配置され、ソース配線 S 1 と対向している（あるいは、第 1 主共通電極 C A L 1 がソース配線 S 1 の直上に配置されている）。また、第 1 主共通電極 C A R 1 は、画素 P X の右側端部に配置され、ソース配線 S 2 と対向している（あるいは、第 1 主共通電極 C A R 1 がソース配線 S 2 の直上に配置されている）。

【0079】

これらの第 1 主共通電極 C A 1 は、それぞれアクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板 A R に形成された給電部と電氣的に接続され、コモン電位が給電される。つまり、第 1 主共通電極 C A 1 と上記の第 2 主共通電極 C A 2 とは電氣的に接続されている。

30

【0080】

第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 のそれぞれがアクティブエリア内においてソース配線 S 1 及びソース配線 S 2 を覆う場合には、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の第 2 方向 X に沿った幅については、ソース配線 S 1 及びソース線 S 2 の第 2 方向 X に沿った幅と同等以上である。

【0081】

画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との間、つまり、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との間に配置されている。このような画素電極 P E は、第 1 方向 Y に沿って直線的に延出した帯状の主画素電極 P A、及び、第 2 方向 X に沿って直線的に延出した帯状の容量部 P C を有している。図示した例では、主画素電極 P A 及び容量部 P C は、一体的（あるいは連続的）に形成されている。

40

【0082】

主画素電極 P A は、隣接するソース配線 S 1 及びソース配線 S 2 のそれぞれの直上の位置よりも画素 P X の内側に位置し、ソース配線 S 1 とソース配線 S 2 との間に配置されている。より具体的には、主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間の位置に配置されている。換言すると、主画素電極 P A は、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との略中間の位置に配置されている。このような主画素電極 P A は、画素 P X の上側端部付近から下側端部付近まで延出している。

50

【 0 0 8 3 】

容量部 P C は、画素 P X の上側端部に配置され、主画素電極 P A の一端部に繋がっている。このような容量部 P C は、主画素電極 P A からその両側、つまり、ソース配線 S 1 及びソース配線 S 2、あるいは、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 に向かってそれぞれ直線的に延出している。

【 0 0 8 4 】

この容量部 P C は、補助容量線 C 1 と対向している。図示した例では、容量部 P C は、補助容量線 C 1 の直上に配置されている。容量部 P C と補助容量線 C 1 との間には、絶縁膜として、第 1 層間絶縁膜 1 2 及び第 2 層間絶縁膜 1 3 が介在している。但し、画素電極 P E が第 1 主共通電極 C A 1 とともに第 2 層間絶縁膜 1 3 の上に形成されている場合には、容量部 P C は、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 には接触しないように配置されている（あるいは、容量部 P C が第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 から離間するように配置されている）。画素電極 P E が図示しない層間絶縁膜を介して第 1 主共通電極 C A 1 とは異なる層上に形成されている場合には、容量部 P C は、図示しない層間絶縁膜を介して第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 と交差するように配置されても良い。

10

【 0 0 8 5 】

なお、ゲート配線 G 1 が画素 P X の上側端部に配置され、補助容量線 C 1 が略画素中央部に配置されても良い。この場合には、容量部 P C は、略画素中央部に配置され、補助容量線 C 1 と対向する（あるいは、容量部 P C が補助容量線 C 1 の直上に配置される）。

20

【 0 0 8 6 】

図 7 は、図 6 に示した液晶表示パネル L P N の一画素 P X を A - A 線で切断した断面構造を概略的に示す断面図である。なお、ここでは、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 が画素電極 P E とともに第 2 層間絶縁膜 1 3 の上に配置された場合を図示しており、また、説明に必要な構成のみを図示している。

【 0 0 8 7 】

第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、主画素電極 P A を挟んだ両側に配置されている。換言すると、主画素電極 P A は、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との間に配置されている。第 1 主共通電極 C A L 1 は、ソース配線 S 1 と対向している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 と対向している。これらの第 1 主共通電極 C A L 1 とソース配線 S 1 との間、及び、第 1 主共通電極 C A R 1 とソース配線 S 2 との間には、図示した例では、それぞれ第 2 層間絶縁膜 1 3 が介在している。これらの画素電極 P E、及び、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、第 1 配向膜 A L 1 によって覆われている。

30

【 0 0 8 8 】

第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、主画素電極 P A の直上の位置を挟んだ両側に配置されている。換言すると、主画素電極 P A は、第 2 主共通電極 C A L 2 と第 2 主共通電極 C A R 2 との間に配置されている。第 2 主共通電極 C A L 2 は、第 1 主共通電極 C A L 1 と対向している。第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A R 1 と対向している。これらの第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 と電気的に接続されている。これらの第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、第 2 配向膜 A L 2 によって覆われている。

40

【 0 0 8 9 】

上述のとおり、第 1 主共通電極 C A 1 と第 2 主共通電極 C A 2 は液晶層を介して重なり合い、第 1 主共通電極 C A 1 とソース配線 S は絶縁膜を介して重なり合っている。すなわち、第 1 主共通電極 C A 1、第 2 主共通電極 C A 2、ソース配線 S は同一軸線上に配置されている。

【 0 0 9 0 】

主画素電極 P A と、ソース配線 S 1 あるいは第 1 主共通電極 C A L 1 あるいは第 2 主共

50

通電極 C A L 2 との第 2 方向 X に沿った間隔は、主画素電極 P A と、ソース配線 S 2 あるいは第 1 主共通電極 C A R 1 あるいは第 2 主共通電極 C A R 2 との第 2 方向 X に沿った間隔と略同等である。

【 0 0 9 1 】

このような構成において、画素 P X に黒を表示する場合には、主画素電極 P A を含む画素電極 P E と、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 との間に電位差あるいは電界は形成されない。一方、画素 P X に白を表示する場合には、主画素電極 P A を含む画素電極 P E と、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 との間の電位差によって電界が形成される。

【 0 0 9 2 】

10

図示したように、第 1 主共通電極 C A 1 がソース配線と対向しているため、画素 P X に黒を表示する場合であっても白を表示する場合であっても、第 1 主共通電極 C A 1 によりソース配線からの不所望な電界を遮蔽することが可能となる。このような第 1 主共通電極 C A 1 の幅が広いほど、ソース配線からの電界遮蔽性能が向上する。しかしながら、第 1 主共通電極 C A 1 と主画素電極 P A との間に、主として表示に寄与する開口部が形成されるため、第 1 主共通電極 C A 1 の幅が広すぎると、開口部の面積が小さくなり、透過率の低減を招く。

【 0 0 9 3 】

このため、特に、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 のそれぞれがソース配線 S 1 及びソース配線 S 2 の直上に配置され且つソース配線 S 1 及びソース配線 S 2 と略同等の幅を有する構成においては、高い透過率を維持しながら、ソース配線からの電界遮蔽性能が向上することが可能となる。

20

【 0 0 9 4 】

このようなソース配線からの不所望な電界を遮蔽することにより、ソース配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、液晶層 L Q に保持された液晶分子の配向が乱れることにより輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。したがって、表示品位のさらに良好な液晶表示装置を提供することができる。

30

【 0 0 9 5 】

また、このような構成例によれば、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、それぞれ第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 と対向している。特に、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 がそれぞれソース配線の直上に配置されている場合には、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 がソース配線よりも主画素電極 P A 側に配置された場合と比較して、開口部を拡大することができ、画素 P X の透過率を向上することが可能となる。

【 0 0 9 6 】

また、第 1 主共通電極 C A 1 のそれぞれをソース配線の直上に配置し、第 2 主共通電極 C A 2 のそれぞれを第 1 主共通電極 C A 1 の直上に配置することによって、主画素電極 P A と第 2 主共通電極 C A 2 との間の距離、あるいは、主画素電極 P A と第 1 主共通電極 C A 1 との間の距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である IPS モード等の利点である広視野角化も維持することが可能となる。

40

【 0 0 9 7 】

また、第 1 主共通電極 C A 1 と第 2 主共通電極 C A 2 とが液晶層を挟んで対向する領域では、不所望な縦電界（すなわち、基板主面の法線方向に沿った電界）の発生を抑制することが可能となる。

【 0 0 9 8 】

次に、本実施形態の効果について検証した。

50

【 0 0 9 9 】

図 8 は、本実施形態において導入したクロストーク率の定義を説明するための図である。

【 0 1 0 0 】

すなわち、アクティブエリア A C T の略中央に矩形状のウインドー W D W を表示した場合であって、ウインドー W D W が黒表示または白表示である一方で、その周辺部分が中間色を表示した場合に、ウインドー W D W を囲む四方の輝度を測定した。図示した 4 箇所のそれぞれの輝度を W 1、W 2、W 3、W 4 とした。また、同一のアクティブエリア A C T の全面で同一の中間色を表示した場合に、上記と同一箇所の 4 箇所の輝度を測定した。図示した 4 箇所のそれぞれの輝度を G 1、G 2、G 3、G 4 とした。このとき、クロストーク率は以下の式で定義する。

10

【 0 1 0 1 】

クロストーク率 = $|W(n) - G(n)| / G(n) \times 100$ (但し、 $n=1 \sim 4$ である)

まず、比較例として、ソース配線に対向する第 1 主共通電極を設けなかった以外は本実施形態と同一の構成について、クロストーク率を測定した。次に、本実施形態の実施例 1 として、ソース配線に対向するとともにソース配線の幅に対して 60% の幅を有する第 1 主共通電極を設けた構成 (ソース配線の被覆率 60%)、及び、本実施形態の実施例 2 として、ソース配線に対向するとともにソース配線の幅に対して 100% の幅を有する (すなわち、ソース配線と同等の幅を有する) 第 1 主共通電極を設けた構成 (ソース配線の被覆率 100%) のそれぞれについてクロストーク率を測定した。

20

【 0 1 0 2 】

比較例のクロストーク率を 1 として規格化したところ、実施例 1 のクロストーク率は 0.84 であり、実施例 1 のクロストーク率は 0.49 であった。このように、本実施形態の実施例 1 及び実施例 2 によれば、クロストークを低減することが可能であることが確認された。

【 0 1 0 3 】

以上説明したように、本実施形態によれば、表示品位の良好な液晶表示装置を提供することが可能となる。

【 0 1 0 4 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【符号の説明】

【 0 1 0 5 】

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

P E ... 画素電極 P A ... 主画素電極 P C ... 容量部

C E ... 共通電極

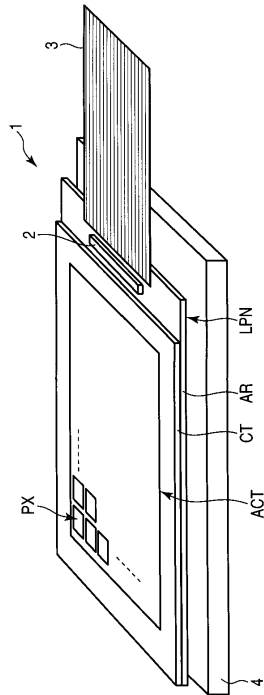
C A ... 主共通電極 (C A 1 ... 第 1 主共通電極 C A 2 ... 第 2 主共通電極)

S ... ソース配線 G ... ゲート配線 C ... 補助容量線

40

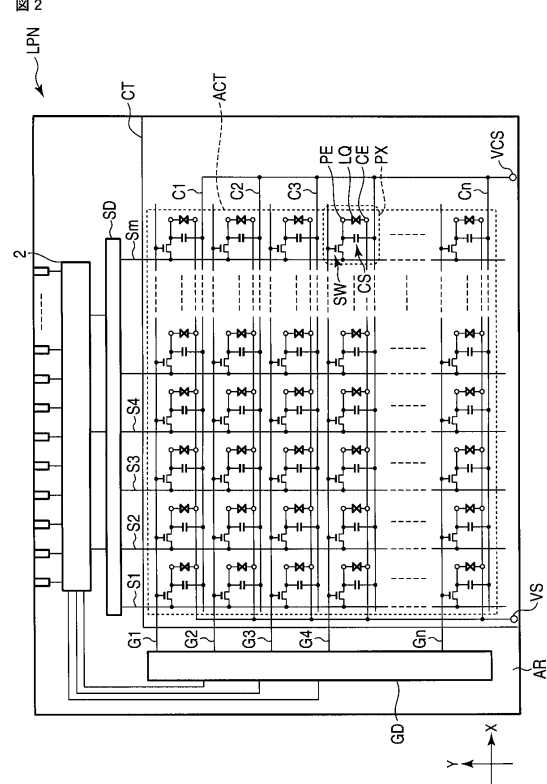
【図 1】

図 1



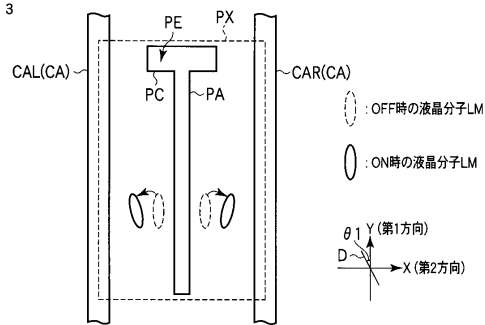
【図 2】

図 2



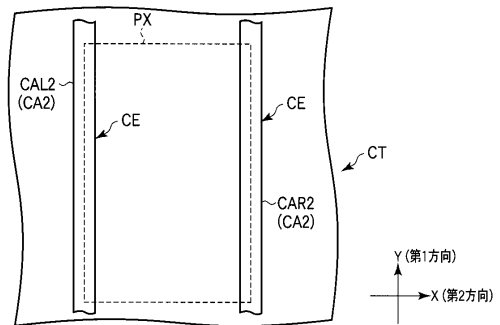
【図 3】

図 3



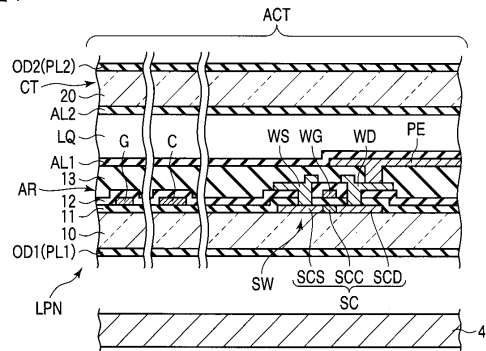
【図 5】

図 5



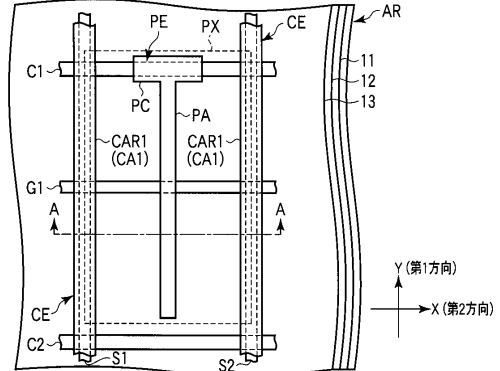
【図 4】

図 4

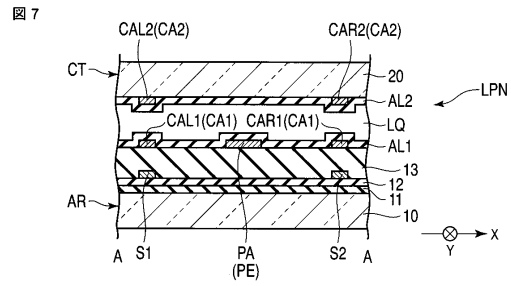


【図 6】

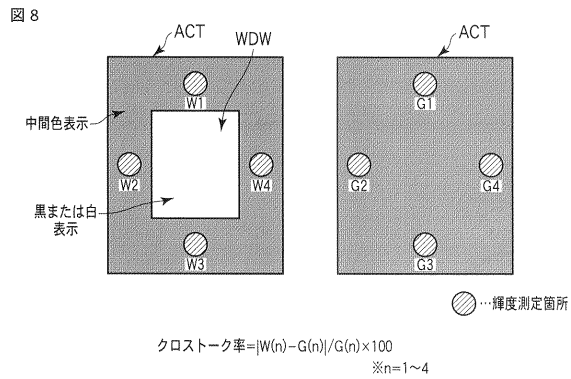
図 6



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開 2009 - 109657 (JP, A)
特開 2009 - 128905 (JP, A)
特開 2003 - 287770 (JP, A)
特開平 11 - 002836 (JP, A)
特開 2000 - 081641 (JP, A)
特開 2009 - 192822 (JP, A)
特開 2002 - 277889 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F1/1343 - 1/1345
G02F1/135 - 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5552457B2	公开(公告)日	2014-07-16
申请号	JP2011078553	申请日	2011-03-31
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	山本浩司 廣澤仁		
发明人	山本 浩司 廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1337		
CPC分类号	G02F1/1337 G02F1/133345 G02F1/134309 G02F1/134363 G02F1/136286 G02F1/1368 G02F2001/134381		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337.505		
F-TERM分类号	2H090/LA01 2H090/LA04 2H090/LA09 2H090/MA02 2H090/MA11 2H090/MA14 2H092/GA13 2H092/GA17 2H092/GA59 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KA22 2H092/KB04 2H092/KB25 2H092/NA01 2H092/PA02 2H092/PA11 2H092/QA06 2H192/AA24 2H192/BA32 2H192/BB03 2H192/BB33 2H192/BB53 2H192/BB66 2H192/BC31 2H192/CB02 2H192/EA22 2H192/EA43 2H192/FB02 2H192/FB22 2H192/JA03 2H192/JA33 2H290/AA73 2H290/BA04 2H290/BA54 2H290/BB63 2H290/BF13 2H290/BF23 2H290/CA46		
其他公开文献	JP2012212083A		
外部链接	Espacenet		

摘要(译)

提供一种具有良好显示质量的液晶显示装置。 解决方案：半导体器件包括：第一源极布线和第二源极布线，每个都沿第一方向延伸；以及第二源极布线，在第一源极布线和第二源极布线之间延伸并沿第一方向延伸并且第一主公共电极经由绝缘膜与第一源极布线和第二源极布线中的每一个相对并沿第一方向延伸第二基板，设置有第一主公共电极和第二主公共电极，所述第一主公共电极和第二主公共电极沿第一方向延伸并且电连接到第一主公共电极；并且含有液晶分子的液晶层保持在第一基板和第二基板之间。 点域

【图 4】

