

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5342004号
(P5342004)

(45) 発行日 平成25年11月13日(2013.11.13)

(24) 登録日 平成25年8月16日(2013.8.16)

(51) Int.Cl.	F I
GO2F 1/133 (2006.01)	GO2F 1/133 550
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO9G 3/36 (2006.01)	GO9G 3/36
GO9G 3/20 (2006.01)	GO9G 3/20 621M
請求項の数 10 (全 20 頁) 最終頁に続く	

(21) 出願番号	特願2011-530868 (P2011-530868)	(73) 特許権者	000005049
(86) (22) 出願日	平成22年9月9日(2010.9.9)		シャープ株式会社
(86) 国際出願番号	PCT/JP2010/065510		大阪府大阪市阿倍野区長池町22番22号
(87) 国際公開番号	W02011/030819	(74) 代理人	100101683
(87) 国際公開日	平成23年3月17日(2011.3.17)		弁理士 奥田 誠司
審査請求日	平成24年3月30日(2012.3.30)	(74) 代理人	100155000
(31) 優先権主張番号	特願2009-209697 (P2009-209697)		弁理士 喜多 修市
(32) 優先日	平成21年9月10日(2009.9.10)	(74) 代理人	100139930
(33) 優先権主張国	日本国(JP)		弁理士 山下 亮司
		(74) 代理人	100125922
			弁理士 三宅 章子
		(72) 発明者	小原 将紀
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1副画素電極および第2副画素電極を有する画素電極と、
 対向電極と、
 前記画素電極と前記対向電極との間に設けられた液晶層と、
 ゲート配線と、
 第1ソース配線と、
 第2ソース配線と、
 前記ゲート配線に電氣的に接続されたゲート、前記第1ソース配線に電氣的に接続されたソース、および、前記第1副画素電極に電氣的に接続されたドレインを有する第1画素トランジスタと、
 前記ゲート配線に電氣的に接続されたゲート、前記第2ソース配線に電氣的に接続されたソース、および、前記第2副画素電極に電氣的に接続されたドレインを有する第2画素トランジスタと、
 前記ゲート配線にゲート信号を供給するゲートドライバと、
 第1分岐配線と、
 第2分岐配線と、
 前記第1分岐配線および前記第2分岐配線にソース信号を供給するソースドライバと、
 ゲート、前記第1分岐配線に電氣的に接続されたソース、および、前記第1ソース配線に電氣的に接続されたドレインを有する第1ソーストランジスタと、

10

20

ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタとを備え、

前記第 2 ソーストランジスタのしきい値電圧は前記第 1 ソーストランジスタのしきい値電圧とは異なる、液晶表示装置。

【請求項 2】

前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 ソーストランジスタの前記ゲートは、前記第 1 ソーストランジスタの前記ソースに電氣的に接続されており、

前記第 2 ソーストランジスタの前記ゲートは、前記第 2 ソーストランジスタの前記ソースに電氣的に接続されている、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御するトランジスタ制御回路をさらに備える、請求項 1 または 2 に記載の液晶表示装置。

【請求項 5】

前記トランジスタ制御回路は、オン期間が互いに異なるように前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御する、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記ソースドライバは、前記ゲートドライバが前記第 1、第 2 画素トランジスタをオンにしている間に、前記第 1 分岐配線および前記第 2 分岐配線に印加する電圧を第 1 電圧から第 2 電圧に変化させ、

前記ソースドライバが前記第 1 電圧を印加している間、前記トランジスタ制御回路は前記第 1 ソーストランジスタをオンにし、前記ソースドライバが前記第 2 電圧を印加している間、前記トランジスタ制御回路は前記第 2 ソーストランジスタをオンにする、請求項 4 に記載の液晶表示装置。

【請求項 7】

第 1 副画素電極および第 2 副画素電極を有する画素電極と、

対向電極と、

前記画素電極と前記対向電極との間に設けられた液晶層と、

ゲート配線と、

第 1 ソース配線と、

第 2 ソース配線と、

前記ゲート配線に電氣的に接続されたゲート、前記第 1 ソース配線に電氣的に接続されたソース、および、前記第 1 副画素電極に電氣的に接続されたドレインを有する第 1 画素トランジスタと、

前記ゲート配線に電氣的に接続されたゲート、前記第 2 ソース配線に電氣的に接続されたソース、および、前記第 2 副画素電極に電氣的に接続されたドレインを有する第 2 画素トランジスタと、

前記ゲート配線にゲート信号を供給するゲートドライバと、

第 1 分岐配線と、

第 2 分岐配線と、

前記第 1 分岐配線および前記第 2 分岐配線にソース信号を供給するソースドライバと、ゲート、前記第 1 分岐配線に電氣的に接続されたソース、および、前記第 1 ソース配線に電氣的に接続されたドレインを有する第 1 ソーストランジスタと、

ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタと
を備え、

前記第 1 ソーストランジスタの前記ゲートは、前記第 1 ソーストランジスタの前記ソー

10

20

30

40

50

スに電氣的に接続されており、

前記第 2 ソーストランジスタの前記ゲートは、前記第 2 ソーストランジスタの前記ソースに電氣的に接続されている、液晶表示装置。

【請求項 8】

前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える、請求項 7 に記載の液晶表示装置。

【請求項 9】

第 1 副画素電極および第 2 副画素電極を有する画素電極と、
対向電極と、

前記画素電極と前記対向電極との間に設けられた液晶層と、
ゲート配線と、

第 1 ソース配線と、
第 2 ソース配線と、

前記ゲート配線に電氣的に接続されたゲート、前記第 1 ソース配線に電氣的に接続されたソース、および、前記第 1 副画素電極に電氣的に接続されたドレインを有する第 1 画素トランジスタと、

前記ゲート配線に電氣的に接続されたゲート、前記第 2 ソース配線に電氣的に接続されたソース、および、前記第 2 副画素電極に電氣的に接続されたドレインを有する第 2 画素トランジスタと、

前記ゲート配線にゲート信号を供給するゲートドライバと、
第 1 分岐配線と、

第 2 分岐配線と、

前記第 1 分岐配線および前記第 2 分岐配線にソース信号を供給するソースドライバと、
ゲート、前記第 1 分岐配線に電氣的に接続されたソース、および、前記第 1 ソース配線に電氣的に接続されたドレインを有する第 1 ソーストランジスタと、

ゲート、前記第 2 分岐配線に電氣的に接続されたソース、および、前記第 2 ソース配線に電氣的に接続されたドレインを有する第 2 ソーストランジスタと、

前記第 1 ソーストランジスタおよび前記第 2 ソーストランジスタを制御するトランジスタ制御回路と
を備え、

前記ソースドライバは、前記ゲートドライバが前記第 1、第 2 画素トランジスタをオンにしている間に、前記第 1 分岐配線および前記第 2 分岐配線に印加する電圧を第 1 電圧から第 2 電圧に変化させ、

前記ソースドライバが前記第 1 電圧を印加している間、前記トランジスタ制御回路は前記第 1 ソーストランジスタをオンにし、前記ソースドライバが前記第 2 電圧を印加している間、前記トランジスタ制御回路は前記第 2 ソーストランジスタをオンにする、液晶表示装置。

【請求項 10】

前記第 1 分岐配線および前記第 2 分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える、請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、より詳細には、マルチ画素構造を有する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、大型テレビジョンだけでなく携帯電話の表示部等の小型の表示装置としても利用されている。従来しばしば用いられた TN (Twisted Nematic) モードの液晶表示装置の視野角は比較的狭かったが、近年、IPS (In-Plane

10

20

30

40

50

- Switching) モードおよびVA (Vertical Alignment) モードといった広視野角の液晶表示装置が作製されている。そのような広視野角モードの中でも、VAモードは高コントラスト比を実現できるため、多くの液晶表示装置に採用されている。

【0003】

VAモードの一種として、1つの画素領域に複数の液晶ドメインを形成するMVA (Multidomain Vertical Alignment) モードが知られている。MVAモードの液晶表示装置には、垂直配向型液晶層を挟んで対向する一対の基板のうちの少なくとも一方の液晶層側に配向規制構造が設けられている。配向規制構造は、例えば、電極に設けられた線状のスリット (開口部) またはリブ (突起構造) である。配向規制構造により、液晶層の一方または両側から配向規制力が付与され、配向方向の異なる複数の液晶ドメイン (典型的には4つの液晶ドメイン) が形成され、視野角特性の改善が図られている。

10

【0004】

また、VAモードの別の一種として、CPA (Continuous Pinwheel Alignment) モードも知られている。一般的なCPAモードの液晶表示装置では対称性の高い形状を有する画素電極が設けられるとともに液晶ドメインの中心に対応して対向基板の液晶層側に開口部や突起物が設けられている。この突起物はリベットとも呼ばれる。電圧を印加すると、対向電極と対称性の高い画素電極とによって形成される斜め電界にしたがって液晶分子は放射形状に傾斜配向する。また、リベットが設けられている場合、リベットの傾斜側面の配向規制力によって液晶分子の傾斜配向が安定化される。このように、1画素内の液晶分子が放射形状に配向することにより、視野角特性の改善が行われている。

20

【0005】

VAモードの欠点として、正面方向からの表示品位と斜め方向からの表示品位との差が顕著であることが知られている。特に中間調表示において、正面方向から見たときに適切な表示特性となるように調整を行うと、斜め方向から見たときの色味やガンマ特性といった表示特性が正面方向の表示特性とは大きく異なってしまう。液晶分子の光学軸方向は分子長軸方向であり、中間調表示時には液晶分子の光学軸方向は基板の主面に対してある程度傾いた状態となる。この状態で視野角 (見る方向) を変化させて、液晶分子の光学軸方向と平行な斜めから見たときの表示特性は正面方向の表示特性とは大きく異なってしまう。

30

【0006】

具体的には、斜め方向からみた表示画像は正面方向からみた表示画像と比べて全体的に白っぽく見える。このような現象は「白浮き」とも呼ばれている。例えば、人間の顔を表示する場合、正面方向からは人間の顔の表情等が違和感なく視認されていても、斜め方向から見ると全体的に白っぽく見え、肌色の微妙な階調表現が白く潰れてしまっていることがある。

【0007】

このような白浮きを改善するために、1つの画素電極を複数 (典型的には、2つ) の副画素電極に分割して副画素電極の電圧を異ならせることによって複数 (典型的には、2つ) の副画素が形成されている。このようなマルチ画素構造を有する液晶表示装置では、副画素の階調特性は、斜め方向の表示品位が正面方向の表示品位と比べて低下しないように調整されている (例えば、特許文献1~3参照)。

40

【0008】

特許文献1に開示されている液晶表示装置では、2つの副画素電極は異なる薄膜トランジスタを介して異なるソース配線に接続されており、ソースドライバは、各画素に対して異なるソース信号電圧を印加する。この結果、2つの副画素電極の電圧の違いに応じて副画素の輝度が互いに異なることになり、これにより、白浮きが改善されている。

【0009】

50

特許文献2に開示されている液晶表示装置では、2つの副画素電極に対応する異なる薄膜トランジスタは異なるゲート配線に接続されており、ゲートドライバは、各画素に対して薄膜トランジスタのオン期間が異なるように異なるゲート信号電圧を印加する。この結果、2つの副画素電極の電圧の違いに応じて副画素の輝度が互いに異なることになり、これにより、白浮きが改善されている。

【0010】

しかしながら、特許文献1の液晶表示装置では、ソースドライバは、1列の画素に対して2つのソース出力端子から異なるソース信号電圧を印加する必要があり、比較的高価なソースドライバを用いる必要がある。また、特許文献2の液晶表示装置でも、ゲートドライバは、1行の画素に対して2つのゲート出力端子から異なるゲート信号電圧を印加する必要がある、比較的高価なゲートドライバを用いる必要がある。

10

【0011】

これに対して、特許文献3には、隣接する補助容量配線(CS配線)の電圧を異なるように変化させることにより、副画素の実効電圧を異ならせる液晶表示装置が開示されている。特許文献3の液晶表示装置において、ソースドライバは、1列の画素に対して1つのソース出力端子からソース信号電圧を印加し、ゲートドライバは、1行の画素に対して1つのゲート出力端子からゲート信号電圧を印加する。このため、特許文献3の液晶表示装置では、ドライバのコストの増大を抑制することができる。

【0012】

以下、図10を参照して、特許文献3に開示される液晶表示装置900の構成を説明する。液晶表示装置900では、それぞれが対応する副画素電極と直接的または間接的に補助容量を形成するCS配線に対して異なるCS電圧を印加することにより、副画素電極の実効電圧が異なることになり、1つの画素に属する副画素が異なる輝度を呈し得る。液晶表示装置900では、このようにして白浮きの改善が実現されている。

20

【0013】

また、液晶表示装置900では、表示領域の周囲に位置する周辺領域に複数のCS幹線CSTが設けられており、各CS幹線CSTから表示領域に複数のCS配線が延びている。液晶表示装置900では、同一のCS幹線CSTから延びたCS配線に等価な補助容量電圧(CS電圧)を印加することにより、CS電圧発生回路(図示せず)の処理量が低減されている。

30

【0014】

例えば、図10に示した液晶表示装置900では、12本のCS幹線CST1~CST12が設けられており、CS電圧発生回路において発生した異なるCS電圧はCS幹線CST1~CST12を介してCS配線に供給される。このような液晶表示装置では、CS幹線の数が多いほど、1つのCS幹線に印加されるCS電圧の反転期間を長くすることができる。CS電圧の波形が理想的に矩形状に変化するのであれば、CS幹線が2本であっても輝度ムラなく表示を行うことができるが、特に、液晶表示装置のサイズが大きいほど、CS電圧の波形は鈍ることになるため、輝度ムラなく表示を行うことができない。このため、CS幹線を多くすることにより、水平走査期間に対するCS電圧の反転期間を比較的長くし、輝度ムラを抑制した表示を行うことができる。

40

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開2006-209135号公報

【特許文献2】特開2006-139288号公報

【特許文献3】特開2005-189804号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

しかしながら、特許文献3の液晶表示装置では、周辺領域に複数のCS幹線を設けてお

50

り、狭額縁化を実現できない。

【 0 0 1 7 】

本発明は、上記課題を鑑みてなされたものであり、その目的は、ドライバのコストの増大を抑制するとともに狭額縁化に適した液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 8 】

本発明による液晶表示装置は、第1副画素電極および第2副画素電極を有する画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶層と、ゲート配線と、第1ソース配線と、第2ソース配線と、前記ゲート配線に電氣的に接続されたゲート、前記第1ソース配線に電氣的に接続されたソース、および、前記第1副画素電極に電氣的に接続されたドレインを有する第1画素トランジスタと、前記ゲート配線に電氣的に接続されたゲート、前記第2ソース配線に電氣的に接続されたソース、および、前記第2副画素電極に電氣的に接続されたドレインを有する第2画素トランジスタと、前記ゲート配線にゲート信号を供給するゲートドライバと、第1分岐配線と、第2分岐配線と、前記第1分岐配線および前記第2分岐配線にソース信号を供給するソースドライバと、ゲート、前記第1分岐配線に電氣的に接続されたソース、および、前記第1ソース配線に電氣的に接続されたドレインを有する第1ソーストランジスタと、ゲート、前記第2分岐配線に電氣的に接続されたソース、および、前記第2ソース配線に電氣的に接続されたドレインを有する第2ソーストランジスタとを備える。このため、前記第1ソーストランジスタおよび前記第2ソーストランジスタにより、前記第1画素トランジスタおよび前記第2画素トランジスタがオフになるときの前記第1ソース配線の電圧を前記第2ソース配線の電圧と異ならせることができる。

【 0 0 1 9 】

ある実施形態において、前記液晶表示装置は、前記第1分岐配線および前記第2分岐配線と、前記ソースドライバとを電氣的に接続する接続配線をさらに備える。

【 0 0 2 0 】

ある実施形態において、前記第2ソーストランジスタのしきい値電圧は前記第1ソーストランジスタのしきい値電圧とは異なる。

【 0 0 2 1 】

ある実施形態において、前記第1ソーストランジスタの前記ゲートは、前記第1ソーストランジスタの前記ソースに電氣的に接続されており、前記第2ソーストランジスタの前記ゲートは、前記第2ソーストランジスタの前記ソースに電氣的に接続されている。

【 0 0 2 2 】

ある実施形態において、前記液晶表示装置は、前記第1ソーストランジスタおよび前記第2ソーストランジスタを制御するトランジスタ制御回路をさらに備える。

【 0 0 2 3 】

ある実施形態において、前記トランジスタ制御回路は、オン期間が互いに異なるように前記第1ソーストランジスタおよび前記第2ソーストランジスタを制御する。

【 0 0 2 4 】

ある実施形態において、前記ソースドライバは、前記ゲートドライバが前記第1、第2画素トランジスタをオンにしている間に、前記第1分岐配線および前記第2分岐配線に印加する電圧を第1電圧から第2電圧に変化させ、前記ソースドライバが前記第1電圧を印加している間、前記トランジスタ制御回路は前記第1ソーストランジスタをオンにし、前記ソースドライバが前記第2電圧を印加している間、前記トランジスタ制御回路は前記第2ソーストランジスタをオンにする。

【発明の効果】

【 0 0 2 5 】

本発明によれば、ドライバのコストの増大を抑制するとともに狭額縁化に適した液晶表示装置を提供することができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 2 6 】

【図 1】本発明による液晶表示装置の第 1 実施形態の模式図である。

【図 2】図 1 に示した液晶表示装置におけるアクティブマトリクス基板の模式的な平面図である。

【図 3】図 1 に示した液晶表示装置の模式的な平面図である。

【図 4】図 1 に示した液晶表示装置の電圧波形図である。

【図 5】(a) は比較例の液晶表示装置の模式図であり、(b) は図 1 に示した液晶表示装置の模式図である。

【図 6】本発明による液晶表示装置の第 2 実施形態の模式的な平面図である。

【図 7】図 6 に示した液晶表示装置の電圧波形図である。

【図 8】本発明による液晶表示装置の第 3 実施形態の模式的な平面図である。

【図 9】図 8 に示した液晶表示装置の電圧波形図である。

【図 1 0】従来の液晶表示装置の模式図である。

【発明を実施するための形態】

【 0 0 2 7 】

以下、図面を参照して、本発明による液晶表示装置の実施形態を説明する。ただし、本発明は、以下の実施形態に限定されるものではない。

【 0 0 2 8 】

(実施形態 1)

図 1 に、本発明による液晶表示装置の第 1 実施形態の模式図を示す。液晶表示装置 1 0 0 は、絶縁基板 1 2 2 上に設けられた画素電極 1 2 4 および配向膜 1 2 6 を有するアクティブマトリクス基板 1 2 0 と、絶縁基板 1 4 2 上に設けられた対向電極 1 4 4 および配向膜 1 4 6 を有する対向基板 1 4 0 と、アクティブマトリクス基板 1 2 0 と対向基板 1 4 0 との間に設けられた液晶層 1 6 0 とを備えている。アクティブマトリクス基板 1 2 0 および対向基板 1 4 0 には図示しない偏光板が設けられており、偏光板の偏光軸はクロスニコルの関係を有している。液晶層 1 6 0 の厚さはほぼ一定である。なお、必要に応じて液晶表示装置 1 0 0 はバックライトを備えていてもよい。

【 0 0 2 9 】

液晶表示装置 1 0 0 には、複数の画素が複数の行および複数の列のマトリクス状に配列されている。例えば、R (赤)、G (緑)、B (青) を原色としてカラー表示を行う液晶表示装置では、R、G、B の 3 つの画素によって 1 つの色が表現される。画素は画素電極 1 2 4 によって規定される。対向電極 1 4 4 は複数の画素電極 1 2 4 に対して共通である。なお、対向電極 1 4 4 は例えば透明導電膜を有しており、例えば、ITO から構成されている。同様に、画素電極 1 2 4 は例えば透明導電膜を有しており、例えば、ITO から構成されていてもよい。

【 0 0 3 0 】

液晶表示装置 1 0 0 は V A モードで動作する。配向膜 1 2 6、1 4 6 は垂直配向膜である。液晶層 1 6 0 は垂直配向型の液晶層である。ここで、「垂直配向型液晶層」とは、垂直配向膜 1 2 6、1 4 6 の表面に対して、液晶分子軸 (「軸方位」ともいう。) が約 8 5 ° 以上の角度で配向した液晶層をいう。液晶分子 1 6 2 は負の誘電異方性を有し、クロスニコル配置された偏光板と組み合わせて、ノーマリーブラックモードで表示が行われる。液晶層 1 6 0 に電圧が印加されない場合、液晶層 1 6 0 の液晶分子 1 6 2 は配向膜 1 2 6、1 4 6 の主面の法線方向とほぼ平行に配向する。液晶層 1 6 0 に所定の電圧よりも高い電圧が印加される場合、液晶層 1 6 0 の液晶分子 1 6 2 は配向膜 1 2 6、1 4 6 の主面とほぼ平行に配向する。なお、ここでは、アクティブマトリクス基板 1 2 0 および対向基板 1 4 0 は配向膜 1 2 6、1 4 6 をそれぞれ有しているが、アクティブマトリクス基板 1 2 0 および対向基板 1 4 0 の少なくとも一方が対応する配向膜 1 2 6、1 4 6 を有してもよい。ただし、配向の安定性の観点から、アクティブマトリクス基板 1 2 0 および対向基板 1 4 0 の両方が配向膜 1 2 6、1 4 6 をそれぞれ有していることが好ましい。

【 0 0 3 1 】

図 2 に、液晶表示装置 1 0 0 におけるアクティブマトリクス基板 1 2 0 の模式的な平面図を示す。なお、表示領域 D には、複数の行および複数の列のマトリクス状に画素 P が設けられている。

【 0 0 3 2 】

画素 P は異なる輝度を呈し得る副画素 S P a および副画素 S P b を含んでいる。画素 P は画素電極 1 2 4 によって規定される。画素電極 1 2 4 は副画素電極 1 2 4 a、1 2 4 b を有している。本明細書の以下の説明において、副画素電極 1 2 4 a を第 1 副画素電極と呼び、副画素電極 1 2 4 b を第 2 副画素電極と呼ぶことがある。副画素 S P a は第 1 副画素電極 1 2 4 a によって規定されており、副画素 S P b は第 2 副画素電極 1 2 4 b によって規定されている。

10

【 0 0 3 3 】

液晶表示装置 1 0 0 には、1 行の画素 P に対して 1 つのゲート配線 G が設けられており、1 列の画素 P に対して 2 つのソース配線 S a、S b が設けられている。なお、以下の説明において、第 m 行第 n 列の画素 P に着目してその構成を説明する。この画素 P に属する副画素 S P a、S P b に対応して 1 つのゲート配線 G および 2 つのソース配線 S a、S b が設けられている。

【 0 0 3 4 】

副画素 S P a に対応するスイッチング素子としてトランジスタ 1 3 0 a が設けられており、副画素 S P b に対応するスイッチング素子としてトランジスタ 1 3 0 b が設けられている。具体的には、トランジスタ 1 3 0 a は、ゲート配線 G に電氣的に接続されたゲートと、ソース配線 S a に電氣的に接続されたソースと、第 1 副画素電極 1 2 4 a に電氣的に接続されたドレインとを有している。同様に、トランジスタ 1 3 0 b は、ゲート配線 G に電氣的に接続されたゲートと、ソース配線 S b に電氣的に接続されたソースと、第 2 副画素電極 1 2 4 b に電氣的に接続されたドレインとを有している。また、本明細書の以下の説明において、このように表示領域に設けられたトランジスタを画素トランジスタと呼ぶことがあり、具体的には、トランジスタ 1 3 0 a を第 1 画素トランジスタ、トランジスタ 1 3 0 b を第 2 画素トランジスタと呼ぶことがある。例えば、第 1、第 2 トランジスタ 1 3 0 a、1 3 0 b として薄膜トランジスタ (Thin Film Transistor: TFT) が用いられる。

20

【 0 0 3 5 】

液晶表示装置 1 0 0 の周辺領域 E にはゲートドライバ 2 1 0 が設けられている。ゲートドライバ 2 1 0 は画素 P の行数とほぼ同数のゲート出力端子を有しており、各ゲート出力端子は対応するゲート配線 G に電氣的に接続されている。ゲートドライバ 2 1 0 はゲート配線 G を介して TFT 1 3 0 a、1 3 0 b のゲートにゲート信号を供給し、これにより、ゲートドライバ 2 1 0 は TFT 1 3 0 a、1 3 0 b を制御する。

30

【 0 0 3 6 】

また、液晶表示装置 1 0 0 の周辺領域 E にはソースドライバ 2 2 0 が設けられている。ソースドライバ 2 2 0 は画素の列数とほぼ同数のソース出力端子を有しており、各ソース出力端子は、対応する接続配線 2 2 5 x に電氣的に接続されている。接続配線 2 2 5 x から 2 つの分岐配線 2 2 5 a、2 2 5 b が延びている。

40

【 0 0 3 7 】

液晶表示装置 1 0 0 において分岐配線 2 2 5 a とソース配線 S a との間にはトランジスタ 1 8 0 a が設けられており、同様に、分岐配線 2 2 5 b とソース配線 S b との間にはトランジスタ 1 8 0 b が設けられている。トランジスタ 1 8 0 a は、ゲート、分岐配線 2 2 5 a に電氣的に接続されたソース、および、第 1 ソース配線 S a に電氣的に接続されたドレインを有している。同様に、トランジスタ 1 8 0 b は、ゲート、分岐配線 2 2 5 b に電氣的に接続されたソース、および、第 2 ソース配線 S b に電氣的に接続されたドレインを有している。例えば、トランジスタ 1 8 0 a、1 8 0 b として TFT が用いられる。TFT 1 8 0 a、1 8 0 b は TFT 1 3 0 a、1 3 0 b と同様の工程で作製される。

【 0 0 3 8 】

50

ソースドライバ220から出力されるソース信号は接続配線225xを介して分岐配線225a、225bに伝達される。本実施形態の液晶表示装置100では、TFT180a、180bにより、第1、第2画素トランジスタ130a、130bがオフになるときのソース配線Sa、Sbの電圧が異なる。このため、副画素電極124bの電圧が副画素電極124aの電圧とは異なり、副画素SPbは副画素SPaとは異なる輝度を呈することになる。本明細書の以下の説明において、TFT180aを第1ソーストランジスタと呼ぶことがあり、TFT180bを第2ソーストランジスタと呼ぶことがある。

【0039】

なお、接続配線225x、分岐配線225a、225b、第1、第2ソーストランジスタ180a、180bはいずれも周辺領域Eに設けられている。また、接続配線225x、分岐配線225a、225b、および、第1、第2ソース配線Sa、Sbを総称してソースバスラインSと呼ぶことがある。ソースドライバ220はソースバスラインSにソース信号を供給する。

10

【0040】

また、液晶表示装置100において、副画素電極124a、124bと直接的または間接的に補助容量を形成するCS配線CSx、CSyが設けられている。CS配線CSx、CSyは同一のCS幹線CSTに接続されており、等価なCS電圧が印加される。周辺領域Eには、CS電圧を発生するCS電圧発生回路230が設けられている。CS電圧として対向電極144の電圧と等価な電圧を用いてもよく、CS電圧発生回路230において発生したCS電圧は対向基板140の対向電極144に印加されてもよい。

20

【0041】

図3に、液晶表示装置100の模式的な平面図を示す。なお、上述したように、表示領域Dには複数の画素Pが設けられているが、図3では1つの画素Pを示している。また、図3は、図2に示したCS電圧発生回路230を省略して示している。

【0042】

液晶表示装置100では、TFT180bの特性はTFT180aとは異なる。具体的には、TFT180bのしきい値電圧はTFT180aとは異なり、例えば、TFT180bのしきい値電圧はTFT180aよりも高い。また、液晶表示装置100では、TFT180aのゲートはTFT180aのソースに電氣的に接続されており、TFT180bのゲートはTFT180bのソースに電氣的に接続されている。このように、TFT180a、180bはダイオード接続されている。

30

【0043】

以下、図3および図4を参照して、液晶表示装置100の駆動方法を説明する。ここでは、画素Pへの書き込みを説明する。図4に、液晶表示装置100におけるゲート配線Gの印加電圧、TFT180a、180bのゲートに印加される電圧、ソースドライバ出力電圧、第1ソース配線Saの電圧、第2ソース配線Sbの電圧、および、CS電圧の波形図を示す。

【0044】

まず、画素Pを選択するためのゲート配線Gの電圧をローからハイに変化させてTFT130a、130bをオンにする。その後、互いに電氣的に接続されたCS幹線CSTおよび対向電極144の電圧を変化させる。

40

【0045】

次に、画素Pに関連するソースバスラインSに、ソースドライバ220から所定の階調レベルに対応する電圧Vsを印加する。電圧Vsは接続配線225x、分岐配線225a、225bを介して伝達される。このため、TFT180aのゲートにはTFT180bのゲートとほぼ同様の電圧が印加される。なお、液晶表示装置100では、任意の階調レベルに対応してソースドライバ220から供給される電圧VsはTFT180a、180bのしきい値電圧よりも大きい。このため、TFT180a、180bはオンとなり、ソースドライバ220は接続配線225xおよび分岐配線225a、225bを介してソース配線Sa、Sbに電氣的に接続される。

50

【 0 0 4 6 】

液晶表示装置 1 0 0 では、上述したように、T F T 1 8 0 a、1 8 0 b のしきい値電圧が異なる。このため、分岐配線 2 2 5 a、2 2 5 b の電圧が等しくても、ソース配線 S a、S b の電圧が互いに異なることになる。T F T 1 8 0 a による降下電圧は T F T 1 8 0 a のしきい値電圧 $V_{t a}$ と略等しく、ソース配線 S a には電圧 $V_s - V_{t a}$ が印加される。同様に、T F T 1 8 0 b による降下電圧は T F T 1 8 0 b のしきい値電圧 $V_{t b}$ と略等しく、ソース配線 S b には電圧 $V_s - V_{t b}$ が印加される。

【 0 0 4 7 】

例えば、しきい値電圧 $V_{t b}$ がしきい値電圧 $V_{t a}$ よりも大きい場合 ($V_{t b} = V_{t a} + \alpha$ 、 $\alpha > 0$ の場合)、ソース配線 S b の印加電圧はソース配線 S a の印加電圧よりも低い。このため、副画素電極 1 2 4 b の電圧は副画素電極 1 2 4 a よりも低くなる。なお、実際には、副画素 S P a、S P b の液晶容量および補助容量への充電が完了するまでには所定の時間が必要であり、ソース配線 S a、S b の電圧は、ソースドライバ 2 2 0 の電圧が変化した後から時刻の経過とともに一定の電圧 $V_s - V_{t a}$ 、 $V_s - V_{t b}$ に近づくように変化するが、図 4 では図面が過度に複雑になることを避けるために、ソース配線 S a、S b の電圧がソースドライバ 2 2 0 の電圧の変化とともに変化するように示している。このように、ソース配線 S a、S b の電圧が異なることにより、副画素電極 1 2 4 a、1 2 4 b の電圧は互いに異なることになる。

10

【 0 0 4 8 】

次に、ゲート配線 G の電圧がハイからローに変化する。その後、ソースドライバ 2 2 0 の電圧が変化する。このとき、寄生容量に起因する引き込み電圧により、副画素電極 1 2 4 a、1 2 4 b の電圧が低下する。図 4 において引き込み電圧により電圧が降下した後の副画素電極 1 2 4 a、1 2 4 b の電圧を点線で示しており、引き込み電圧による電圧低下後も、副画素電極 1 2 4 b の電圧は副画素電極 1 2 4 a よりも低い。このように、副画素電極 1 2 4 a、1 2 4 b の電圧が互いに異なることにより、副画素 S P a、S P b の輝度を互いに異ならせることができる。

20

【 0 0 4 9 】

例えば、副画素電極 1 2 4 a、1 2 4 b の電圧が対向電極 1 4 4 の電圧よりも低い場合、副画素電極 1 2 4 a の電圧と対向電極 1 4 4 の電圧との差（すなわち、副画素 S P a における液晶層 1 6 0 への実効電圧）は副画素電極 1 2 4 b の電圧と対向電極 1 4 4 の電圧との差（すなわち、副画素 S P b における液晶層 1 6 0 への実効電圧）よりも小さい。このため、副画素 S P a が暗副画素となり、副画素 S P b が明副画素となる。

30

【 0 0 5 0 】

あるいは、副画素電極 1 2 4 a、1 2 4 b の電圧が対向電極 1 4 4 の電圧よりも高い場合、副画素電極 1 2 4 a の電圧と対向電極 1 4 4 の電圧との差（すなわち、副画素 S P a における液晶層 1 6 0 への実効電圧）は副画素電極 1 2 4 b の電圧と対向電極 1 4 4 の電圧との差（すなわち、副画素 S P b における液晶層 1 6 0 への実効電圧）よりも大きい。このため、副画素 S P a が明副画素となり、副画素 S P b が暗副画素となる。

【 0 0 5 1 】

以上のように、本実施形態の液晶表示装置 1 0 0 では、ソースドライバ 2 2 0 から出力されるソース信号は接続配線 2 2 5 x を介して分岐配線 2 2 5 a、2 2 5 b に伝達されるが、しきい値電圧 $V_{t a}$ 、 $V_{t b}$ の異なる T F T 1 8 0 a、1 8 0 b により、ソース配線 S b にはソース配線 S a とは異なる電圧が印加される。このため、副画素電極 1 2 4 b の電圧が副画素電極 1 2 4 a の電圧とは異なり、副画素 S P b は副画素 S P a とは異なる輝度を呈することになる。このようにして、液晶表示装置 1 0 0 では、マルチ画素が実現される。なお、液晶表示装置 1 0 0 では、各 C S 配線に等価な C S 電圧を印加すればよく、複数の C S 幹線を設けなくてもよい。また、周辺領域 E を狭くすることができる。また、液晶表示装置 1 0 0 では、ゲートドライバ 2 1 0 には 1 行の画素に対応して 1 つのゲート出力端子が設けられていればよく、また、ソースドライバ 2 2 0 には 1 列の画素に対応して 1 つのソース出力端子が設けられていればよい。また、ゲートドライバ 2 1 0 およびソース

40

50

ドライバ 220 として比較的安価なドライバを用いることができる。

【0052】

なお、ここでは、TFT180a、180bのしきい値電圧は互いに異なっていたが、TFT130a、130bのしきい値電圧は略等しくてよい。TFT130a、130bのしきい値電圧はTFT180a、180bのしきい値電圧よりも高く、TFT130a、130bをオンにすると、TFT180a、180bのしきい値電圧よりも高いゲート電圧がゲート配線Gに印加される。

【0053】

また、入力映像信号において全ての画素の階調レベルが互いに等しい場合、液晶表示装置100において行方向および列方向に隣接する副画素の明暗は反転する。また、行方向および列方向に隣接する画素において、画素電極124の電圧と対向電極144の電圧との大小関係は反転する。

10

【0054】

例えば、第m行n列の画素Pについて、対向電極144の電圧を基準にした副画素電極124a、124bの電圧が+6V、+4Vであると、副画素SPa、SPbの実効電圧は6V、4Vであり、副画素SPa、SPbはそれぞれ明副画素、暗副画素となる。これに対して、隣接する画素P（例えば、第m+1行n列または第m行n+1列の画素P）について、対向電極144の電圧を基準にした副画素電極124a、124bの電圧が-4V、-6Vであると、副画素SPa、SPbの実効電圧は4V、6Vであり、副画素SPa、SPbはそれぞれ暗副画素、明副画素となる。

20

【0055】

また、液晶表示装置100で規定される複数の垂直走査期間にわたって入力映像信号における画素の階調レベルが互いに等しい場合、液晶表示装置100において、ある画素Pにおける副画素電極124a、124bの電圧および対向電極144の電圧との大小関係は垂直走査期間ごとに反転してもよい。例えば、副画素電極124a、124bの電圧が対向電極144の電圧よりも高いときを正極性と呼び、副画素電極124a、124bの電圧が対向電極144の電圧よりも低いときを負極性と呼ぶ場合、正極性で書き込みの行われた垂直走査期間の後の垂直走査期間において負極性で書き込みが行われる。

【0056】

例えば、対向電極144の電圧を基準にして副画素電極124a、124bの電圧が+6V、+4Vであると、副画素SPa、SPbの実効電圧は6V、4Vであり、副画素SPa、SPbはそれぞれ明副画素、暗副画素となる。これに対して、例えば、別の垂直走査期間（典型的には次の垂直走査期間）において、対向電極144の電圧を基準にして副画素電極124a、124bの電圧が-4V、-6Vであると、副画素SPa、SPbの実効電圧は4V、6Vであり、副画素SPa、SPbはそれぞれ暗副画素、明副画素となる。液晶表示装置100はこのようにして垂直走査期間（またはフレーム）ごとに極性および副画素の明暗を反転させることができる。

30

【0057】

以下、比較例の液晶表示装置と比較した本実施形態の液晶表示装置100の利点を説明する。

40

【0058】

図5(a)に比較例の液晶表示装置600の模式図を示す。液晶表示装置600において、表示領域Dの左方向および右方向にそれぞれ周辺領域E1、E2が設けられており、表示領域Dの下方向に周辺領域E3が設けられている。周辺領域E1、E2のそれぞれには、表示領域Dの外側にCS幹線領域Tが設けられており、CS幹線領域Tには12本のCS幹線が設けられている。CS幹線領域Tの外側にゲートドライバ引き出し配線の設けられたゲートドライバ引き出し配線領域GEが設けられている。また、ゲートドライバ引き出し配線領域GEの外側に位置するゲートドライバ領域GDに集積回路(Integrated Circuit: IC)の接続されたフレキシブル基板が配置されている。また、周辺領域E3には、ソースドライバおよび引き出し配線領域SEが設けられている。

50

【 0 0 5 9 】

図 5 (b) に本実施形態の液晶表示装置 1 0 0 の模式図を示す。液晶表示装置 1 0 0 でも、表示領域 D の左方向および右方向にそれぞれ周辺領域 E 1、E 2 が設けられており、表示領域 D の下方向に周辺領域 E 3 が設けられている。周辺領域 E 1、E 2 のそれぞれには、表示領域 D の外側に C S 幹線領域 T が設けられており、C S 幹線領域 T には 1 本の C S 幹線が設けられている。C S 幹線領域 T の外側にゲートドライバ引き出し配線の設けられたゲートドライバ引き出し配線領域 G E が設けられている。また、ゲートドライバ引き出し配線領域 G E の外側に位置するゲートドライバ領域 G D に集積回路 (I n t e g r a t e d C i r c u i t : I C) の接続されたフレキシブル基板が配置されている。また、液晶表示装置 1 0 0 の周辺領域 E 3 には、ソースドライバおよび引き出し配線領域 S E だけでなく、ソースドライバおよび引き出し配線領域 S E と表示領域 D との間に T F T 1 8 0 a、1 8 0 b の設けられたトランジスタ領域 S W が位置している。

10

【 0 0 6 0 】

ここで、サイズ 5 2 インチの比較例の液晶表示装置 6 0 0、および、本実施形態の液晶表示装置 1 0 0 の周辺領域 E 1 の長さに着目する。液晶表示装置 6 0 0 では、C S 幹線領域 T の長さはゲートドライバ引き出し配線領域 G E およびゲートドライバ領域 G D の長さの和に略等しい。これに対して、液晶表示装置 1 0 0 では、ゲートドライバ引き出し配線領域 G E およびゲートドライバ領域 G D の長さの和は液晶表示装置 6 0 0 と同様であるが、C S 幹線領域 T はきわめて短いため、液晶表示装置 1 0 0 における周辺領域 E 1 の長さは液晶表示装置 6 0 0 における周辺領域 E 1 の長さの約半分である。

20

【 0 0 6 1 】

なお、液晶表示装置 1 0 0 では、T F T 1 8 0 a、1 8 0 b を設けているため、比較例の液晶表示装置 6 0 0 と比べて、周辺領域 E 3 は長くなる。しかしながら、液晶表示装置 1 0 0 における周辺領域 E 1、E 2、E 3 の面積の和は液晶表示装置 6 0 0 における周辺領域 E 1、E 2、E 3 の面積の和よりも小さくすることができ、液晶表示装置 1 0 0 は狭額縁化を実現することができる。

【 0 0 6 2 】

また、液晶表示装置 1 0 0 では、周辺領域 E 3 が比較的長いため、液晶表示装置 1 0 0 のソース信号は液晶表示装置 6 0 0 と比べて遅延しやすい。このような信号遅延を防ぐために、T F T 1 8 0 a、1 8 0 b の半導体層は比較的高いキャリア移動度を有していることが好ましい。例えば、アクティブマトリクス基板 1 2 0 は半導体層として微結晶半導体層を有していることが好ましい。あるいは、半導体層として酸化物半導体層を有していることが好ましい。例えば、酸化物半導体層は、インジウムガリウム亜鉛酸化物 (I n d i u m G a l l i u m Z i n c O x i d e : I G Z O) である。

30

【 0 0 6 3 】

また、上述した説明では、T F T 1 8 0 b のしきい値電圧は T F T 1 8 0 a よりも高かったが、本発明はこれに限定されない。T F T 1 8 0 a のしきい値電圧が T F T 1 8 0 b よりも高くてもよい。

【 0 0 6 4 】

また、上述した説明では、T F T 1 8 0 a、1 8 0 b のそれぞれのゲートはそれぞれのソースに電氣的に接続されていたが、本発明はこれに限定されない。T F T 1 8 0 a、1 8 0 b のそれぞれのゲートは、例えば、別途設けられた共通の配線に電氣的に接続され、T F T 1 8 0 a、1 8 0 b は所定のタイミングでオンになってもよい。

40

【 0 0 6 5 】

また、上述した説明では、ソースドライバ 2 2 0 から出力されたソース信号は接続配線 2 2 5 x および分岐配線 2 2 5 a、2 2 5 b を介して T F T 1 8 0 a、1 8 0 b に伝達されており、ソースドライバ 2 2 0 の出力端子の数は画素の列の数と略等しかったが、本発明はこれに限定されない。接続配線 2 2 5 x を設けることなく、ソースドライバ 2 2 0 の出力端子は分岐配線 2 2 5 a、2 2 5 b と直接的に接続し、ソースドライバ 2 2 0 の出力端子の数は画素の列の数よりも多くてもよい。この場合、ソースドライバ 2 2 0 の隣接す

50

る2つの出力端子から出力されるソース信号が等価であっても、ソース信号は分岐配線225a、225bを介してTFT180a、180bに伝達され、所定の輝度の副画素SPa、SPbが実現される。このため、ソースドライバ220として比較的安価なドライバを用いることができる。

【0066】

(実施形態2)

上述した説明では、2つのソーストランジスタのゲートには略同様の電圧が印加されたが、本発明はこれに限定されない。

【0067】

以下、図6を参照して、本発明による液晶表示装置の第2実施形態を説明する。本実施形態の液晶表示装置100Aは、トランジスタ180a、180bを制御するトランジスタ制御回路を備える点を除いて上述した実施形態1の液晶表示装置と同様の構成を有しており、冗長を避ける目的で重複する説明を省略する。また、上述したように、表示領域Dには複数の画素Pが設けられるが、図6では1つの画素Pを示している。

【0068】

液晶表示装置100Aでも周辺領域EにTFT180a、180bが設けられている。なお、上述した液晶表示装置100では、TFT180a、180bのしきい値電圧は互いに異なったが、本実施形態の液晶表示装置100AにおいてTFT180a、180bの特性は互いに等しく、例えば、TFT180aのしきい値電圧はTFT180bのしきい値電圧と略等しい。ここでは、TFT180a、180bのしきい値電圧を V_{tc} と示す。

【0069】

液晶表示装置100Aはトランジスタ180a、180bを制御するトランジスタ制御回路240を備える。なお、本明細書の以下の説明において、トランジスタ制御回路を単に制御回路とよぶことがある。制御回路240は、配線242aを介してTFT180aのゲートに電氣的に接続されており、配線242bを介してTFT180bのゲートに電氣的に接続されている。典型的には制御回路240はアクティブマトリクス基板120の周辺領域Eに設けられている。

【0070】

制御回路240は、オン期間が異なるようにTFT180a、180bを制御する。このため、ゲート配線Gがオフになるときのソース配線Sa、Sbの電圧が異なることになり、輝度の異なる副画素SPa、SPbが実現される。例えば、TFT180aのオン期間がTFT180bのオン期間よりも長い場合、TFT130a、130bがオフになるときの副画素電極124aの電圧の絶対値は副画素電極124bの電圧の絶対値よりも大きい。

【0071】

なお、制御回路240はゲートドライバ210と同期して電圧を印加してもよい。また、制御回路240はゲートドライバ210と等しい電圧を印加してもよい。このため、制御回路240はゲートドライバ210と同様の工程で作製すればよく、制御回路240のみを作製するための新たな工程を別途追加しなくてもよい。また、ゲートドライバ210が制御回路240として機能してもよく、ゲートドライバ210の全てのゲート出力端子が配線242a、242bに電氣的に接続されてもよい。

【0072】

以下、図6および図7を参照して、液晶表示装置100Aの駆動方法を説明する。ここでは、画素Pへの書き込みが行われる。液晶表示装置100AにおいてTFT180aのオン期間はTFT180bのオン期間とは異なる。ここでは、TFT180bのオン期間はTFT180aのオン期間よりも短い。以下の説明において、TFT180aのオン期間を $TimeGa$ と示し、TFT180bのオン期間を $TimeGb$ と示し、 $TimeGa = TimeGb + Time\beta$ ($Time\beta > 0$)である。

【0073】

まず、画素Pを選択するためのゲート配線Gの電圧をローからハイに変化させてTFT 130a、130bをオンにする。また、ゲート配線Gの電圧の変化とともに、配線242a、242bの電圧をローからハイに変化させてTFT 180a、180bをオンにする。

【0074】

次に、ソースドライバ220から出力される電圧を画素Pの階調に対応する電圧 V_s に変化させる。これにより、ソース配線Sa、Sbの電圧の変化が開始する。なお、図7では、副画素SPa、SPbの液晶容量および補助容量への充電が完了するように、ソース配線Sa、Sbの電圧は、ソースドライバ220の電圧が変化した後から時刻の経過とともに変化する。液晶表示装置100Aでは、TFT 180a、180bをオンにする配線242a、242bの電圧、TFT 180a、180bのしきい値電圧がそれぞれ略等しいため、分岐配線225a、225bの電圧が等しく、TFT 180a、180bを介して伝達されるソース配線Sa、Sbの電圧の変化は互いに略等しい。

10

【0075】

その後、オン期間TimeGbが経過すると、制御回路240は配線242bの電圧を先にローに変化させてTFT 180bをオフにする。このオン期間TimeGbは、時刻の経過とともにソース配線Sa、Sbの電圧が変化している途中である。

【0076】

それから時間Timeβが経過した後、制御回路240は配線242aの電圧をローに変化させてTFT 180aをオフにする。ここでは、ソース配線Saの電圧は一定値に達している。TFT 180aによる降下電圧はTFT 180aのしきい値電圧 V_{tc} と略等しく、ソース配線Saには電圧 $V_s - V_{tc}$ が印加される。なお、TFT 180bがオフになってからTFT 180aがオフになるまでの間のソース配線Saの電圧の変化量を α とすると、ソース配線Sbには電圧 $V_s - (V_{tc} + \alpha)$ が印加されている。なお、図7では、対向電極144の電圧を基準としてソースドライバ出力電圧、第1ソース配線Saの電圧、および、第2ソース配線Sbの電圧を示しており、副画素SPa、SPbはそれぞれ明副画素、暗副画素となる。

20

【0077】

なお、ここでは、制御回路240により、第m行n列の画素Pだけでなく第m行n+1列の画素Pの副画素SPa、SPbの明暗も異なる。例えば、第m行n列の画素Pについて、対向電極144の電圧を基準にした副画素電極124a、124bの電圧が+6V、+4Vであると、副画素SPa、SPbの実効電圧は6V、4Vであり、副画素SPa、SPbはそれぞれ明副画素、暗副画素となる。これに対して、第m行n+1列の画素Pについて、対向電極144の電圧を基準にした副画素電極124a、124bの電圧が-4V、-6Vであると、副画素SPa、SPbの実効電圧は4V、6Vであり、副画素SPa、SPbはそれぞれ暗副画素、明副画素となる。

30

【0078】

また、液晶表示装置100Aで規定される複数の垂直走査期間にわたって入力映像信号における画素の階調レベルが互いに等しい場合、液晶表示装置100Aにおいて、ある画素Pにおける副画素電極124a、124bの電圧および対向電極144の電圧との大小関係は垂直走査期間ごとに反転してもよい。例えば、正極性で書き込みの行われた垂直走査期間の後の垂直走査期間において負極性で書き込みが行われる。

40

【0079】

例えば、対向電極144の電圧を基準にして副画素電極124a、124bの電圧が+6V、+4Vであると、副画素SPa、SPbの実効電圧は6V、4Vであり、副画素SPa、SPbはそれぞれ明副画素、暗副画素となる。これに対して、例えば、別の垂直走査期間（典型的には次の垂直走査期間）において、対向電極144の電圧を基準にして副画素電極124a、124bの電圧が-4V、-6Vであると、副画素SPa、SPbの実効電圧は4V、6Vであり、副画素SPa、SPbはそれぞれ暗副画素、明副画素となる。

50

【0080】

なお、上述した説明では、液晶表示装置100AにおけるTFT180a、180bの特性は互いに等しかったが、本発明はこれに限定されない。TFT180a、180bの特性は異なってもよい。例えば、TFT180bのしきい値電圧はTFT180aのしきい値電圧よりも低くてもよい。この場合、オン期間の差が比較的小さくても、副画素SPa、SPbの輝度差を所望の値にすることができる。

【0081】

なお、上述した説明では、TFT180bのオン期間はTFT180aのオン期間と重なっていたが、本発明はこれに限定されない。TFT180bのオン期間はTFT180aのオン期間と重ならなくてもよい。ただし、TFT180bのオン期間がTFT180aのオン期間と重なることにより、副画素電極124a、124bへの充電を効率的に行うことができる。

10

【0082】

(実施形態3)

上述した説明では、ソーストランジスタのオン期間の差を利用してソース配線の電圧を異ならせたが、本発明はこれに限定されない。

【0083】

以下、図8を参照して、本発明による液晶表示装置の第3実施形態を説明する。本実施形態の液晶表示装置100Bは、ソースドライバ220から印加される電圧が異なる時刻にTFT180a、180bをオンにする点を除いて上述した実施形態2の液晶表示装置と同様の構成を有しており、冗長を避ける目的で重複する説明を省略する。

20

【0084】

液晶表示装置100Bでも周辺領域EにTFT180a、180bが設けられている。なお、上述した液晶表示装置100では、TFT180a、180bのしきい値電圧は互いに異なったが、本実施形態の液晶表示装置100BにおいてTFT180a、180bのしきい値電圧は互いに略等しくてもよい。また、上述した液晶表示装置100Aと同様に、本実施形態の液晶表示装置100Bはトランジスタ180a、180bを制御するトランジスタ制御回路240を備えている。

【0085】

液晶表示装置100Bでは、ゲートドライバ210がTFT130a、130bをオンにして、ソースドライバ220の出力電圧が所定の階調レベルに対応する電圧に変化した後、制御回路240は、まず、配線242aの電圧をハイに変化させてTFT180aをオンにする。ソース配線Saを介して副画素電極124aに所定の電圧が充電されると、制御回路240は、配線242aの電圧をローにしてTFT180aをオフにする。

30

【0086】

次に、ゲート配線Gの電圧がハイのままの状態、ソースドライバ220の電圧が所定の階調レベルに対応する電圧に変化し、その後、制御回路240は、配線242bの電圧をハイに変化させてTFT180bをオンにする。ソース配線Sbを介して副画素電極124bに所定の電圧が充電されると、制御回路240は、配線242bの電圧をローにしてTFT180bをオフにする。

40

【0087】

以下、図8および図9を参照して、液晶表示装置100Bの駆動方法を説明する。ここでは、画素Pへの書き込みが行われる。

【0088】

まず、画素Pを選択するためのゲート配線Gの電圧をローからハイに変化させてTFT130a、130bをオンにする。また、ゲート配線Gの電圧の変化とともに、配線242aの電圧をローからハイに変化させてTFT180aをオンにする。

【0089】

次に、ソースドライバ220から出力される電圧を画素Pの階調レベルに対応する電圧Vs aに変化させる。電圧Vs aは画素Pの明副画素の階調レベルに対応している。これ

50

により、ソース配線 S_a の電圧が変化する。TFT180a による降下電圧はしきい値電圧 V_{ta} と略等しく、ソース配線 S_a には電圧 $V_{sa} - V_{ta}$ が印加される。なお、実際には、副画素 SP_a の液晶容量および補助容量への充電が完了するまでには所定の時間が必要であり、ソース配線 S_a の電圧はソースドライバ220の電圧が変化した後、時刻の経過とともに変化して一定値に近づくことになるが、図9では図面が過度に複雑になることを避けるために、ソースドライバ220の電圧の変化とともにソース配線 S_a の電圧が変化するように示している。

【0090】

その後、制御回路240がTFT180aに対応する配線242aの電圧をローに変化させてTFT180aをオフにする。なお、ゲート配線Gの電圧はハイのままである。

10

【0091】

次に、ソースドライバ220から出力される電圧を副画素 SP_b の階調に対応する電圧に変化させる。電圧 V_{sb} は画素Pの明副画素の階調レベルに対応している。その後、TFT180bを選択する配線242bの電圧をローからハイに変化させてTFT180bをオンにする。これにより、ソース配線 S_b の電圧が変化する。TFT180bによる降下電圧はしきい値電圧 V_{tb} と略等しく、ソース配線 S_b には電圧 $V_{sb} - V_{tb}$ が印加される。なお、TFT180a、180bのしきい値電圧が互いに等しく V_{tc} である場合、ソース配線 S_a には電圧 $V_{sa} - V_{tc}$ が印加される。なお、ソースドライバ220の電圧 V_{sa} と電圧 V_{sb} との変化量を α とすると、ソース配線 S_b には電圧 $V_{sa} - (V_{tc} + \alpha)$ が印加される。

20

【0092】

このように、制御回路240は、ソースドライバ220からの出力電圧が異なる時刻にTFT180a、180bをオンにすることにより、副画素 SP_a の輝度を副画素 SP_b とは異ならせることができる。

【0093】

なお、液晶表示装置100Bにおいて制御回路240はゲートドライバ210と同期して電圧を印加してもよい。また、制御回路240はゲートドライバ210と等しい電圧を印加してもよい。このため、制御回路240はゲートドライバ210と同様の工程で作製すればよく、制御回路240のみを作製するための新たな工程を別途追加しなくてもよい。

30

【0094】

なお、上述した説明では、液晶表示装置100BにおけるTFT180a、180bの特性は互いに等しかったが、本発明はこれに限定されない。TFT180a、180bの特性は異なってもよい。例えば、TFT180bのしきい値電圧はTFT180aのしきい値電圧よりも低くてもよい。

【0095】

また、上述した説明では、1つの画素は2つの副画素を有していたが、本発明はこれに限定されない。1つの画素は3つ以上の副画素を有してもよい。例えば、画素電極124は3つ以上の副画素電極を有しており、1列の画素に対して3本以上のソース配線および3つ以上のソーストランジスタを設けてもよい。

40

【産業上の利用可能性】

【0096】

本発明によればドライバのコストの増大を抑制するとともに狭額縁化に適した液晶表示装置を提供することができる。

【符号の説明】

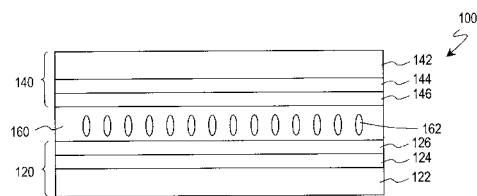
【0097】

- 100 液晶表示装置
- 120 アクティブマトリクス基板
- 124 画素電極
- 124a 第1副画素電極

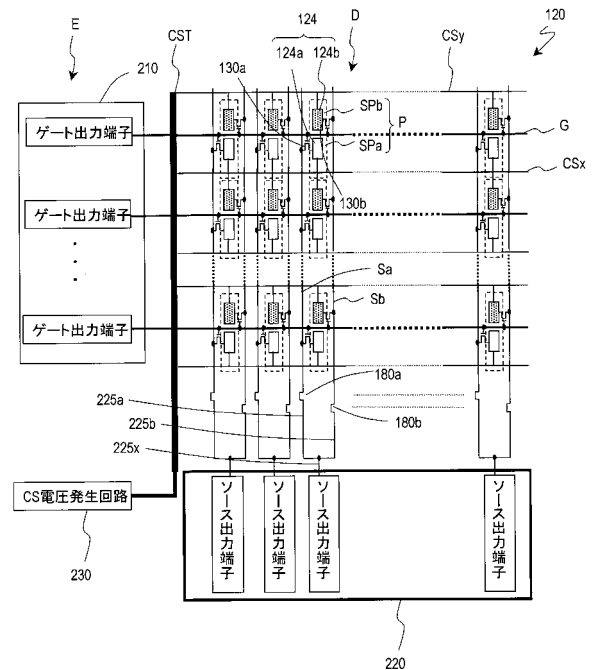
50

1 2 4 b	第 2 副画素電極
1 2 6	配向膜
1 3 0 a	第 1 画素トランジスタ
1 3 0 b	第 2 画素トランジスタ
1 4 0	対向基板
1 4 4	対向電極
1 4 6	配向膜
1 6 0	液晶層
1 8 0 a	第 1 ソーストランジスタ
1 8 0 b	第 2 ソーストランジスタ
2 1 0	ゲートドライバ
2 2 0	ソースドライバ
2 4 0	トランジスタ制御回路

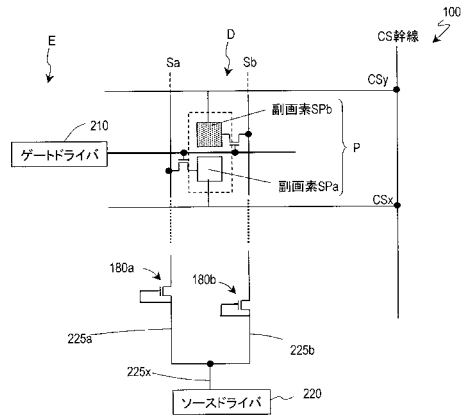
【図 1】



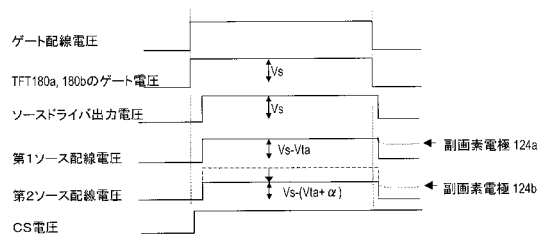
【図 2】



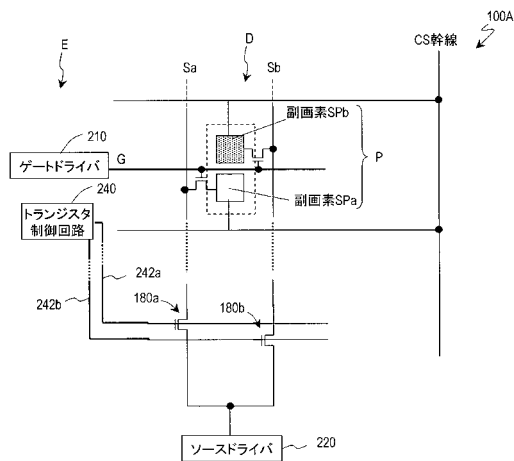
【図 3】



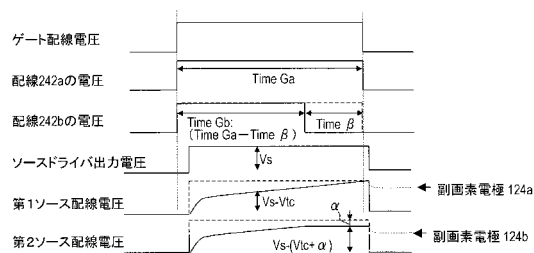
【図 4】



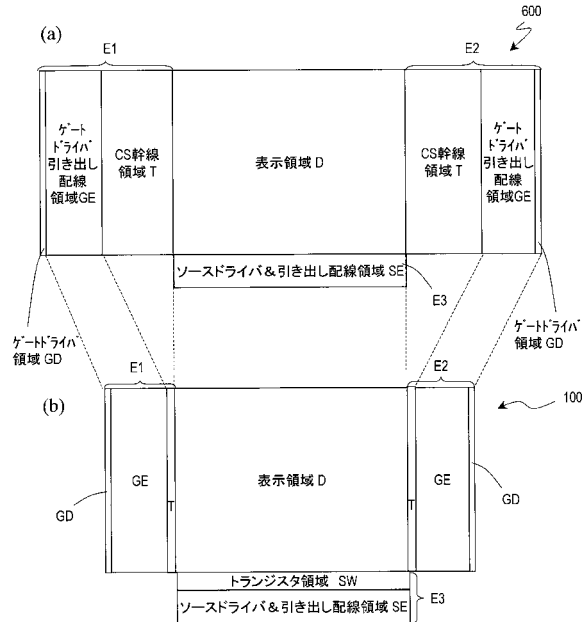
【図 6】



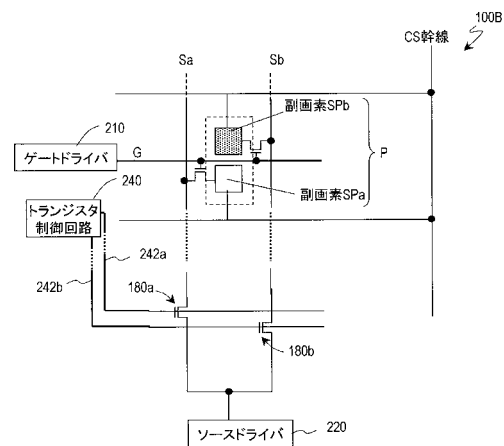
【図 7】



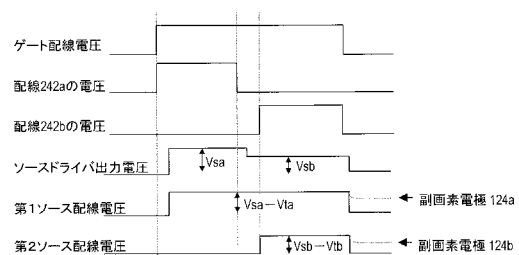
【図 5】



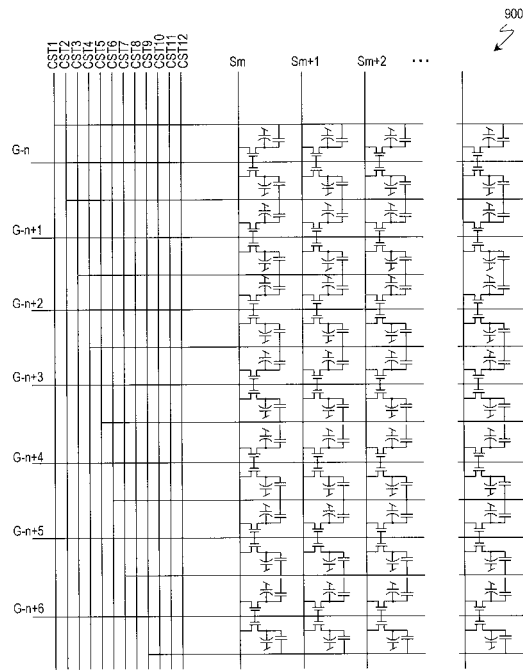
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 8 0 G

審査官 福田 知喜

(56)参考文献 特開 2 0 0 0 - 2 4 1 7 9 7 (J P , A)
特開 2 0 0 9 - 0 5 3 5 8 9 (J P , A)
特開 2 0 0 6 - 3 0 9 2 3 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5342004B2	公开(公告)日	2013-11-13
申请号	JP2011530868	申请日	2010-09-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	小原将紀		
发明人	小原 将紀		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1343 G09G3/36 G09G3/20		
CPC分类号	G09G3/3651 G02F1/1362 G09G3/3688 G09G2300/0443 G09G2300/0447 G09G2300/0823 G09G2310/0224		
FI分类号	G02F1/133.550 G02F1/1368 G02F1/1343 G09G3/36 G09G3/20.621.M G09G3/20.641.C G09G3/20.680.G		
代理人(译)	奥田诚治 三宅明子		
审查员(译)	福田 知喜		
优先权	2009209697 2009-09-10 JP		
其他公开文献	JPWO2011030819A1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置 (100) 包括：第一和第二像素晶体管 (130a , 130b) ;栅极驱动器 (210) , 其向栅极线 (G) 提供栅极信号;源驱动器 (220) , 其向第一和第二支线 (225a和225b) 提供源信号;第一源晶体管 (180a) , 包括电连接到第一支线 (225a) 的源极和电连接到第一源极线 (Sa) 的漏极;第二源晶体管 (180b) , 其包括电连接到第二支线 (225b) 的源极和电连接到第二源极线 (Sb) 的漏极。

【 图 2 】

