

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5238826号  
(P5238826)

(45) 発行日 平成25年7月17日 (2013. 7. 17)

(24) 登録日 平成25年4月5日 (2013. 4. 5)

(51) Int. Cl.

F I

G02F 1/1368 (2006.01)

G02F 1/1368

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 680H

G09G 3/20 642A

請求項の数 5 (全 19 頁)

(21) 出願番号 特願2010-548365 (P2010-548365)  
 (86) (22) 出願日 平成21年8月27日 (2009. 8. 27)  
 (86) 国際出願番号 PCT/JP2009/064990  
 (87) 国際公開番号 W02010/087049  
 (87) 国際公開日 平成22年8月5日 (2010. 8. 5)  
 審査請求日 平成23年7月7日 (2011. 7. 7)  
 (31) 優先権主張番号 特願2009-15865 (P2009-15865)  
 (32) 優先日 平成21年1月27日 (2009. 1. 27)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100115510  
 弁理士 手島 勝  
 (74) 代理人 100117606  
 弁理士 安部 誠  
 (74) 代理人 100121186  
 弁理士 山根 広昭  
 (74) 代理人 100136423  
 弁理士 大井 道子  
 (72) 発明者 山下 祐樹  
 大阪府大阪市阿倍野区長池町2番2号  
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素が配置された表示部を備えた液晶表示装置であって、  
 前記表示部の各画素に設けられた補助容量と、  
 前記補助容量が接続された複数の補助容量配線と、  
 前記補助容量配線に接続され、補助容量配線を介して補助容量に駆動信号を伝送する幹配線と、  
 前記幹配線とは別に、複数の補助容量配線を接続するブリッジ配線と、  
 を備え、  
 前記幹配線を複数有し、各幹配線にはそれぞれ複数の補助容量配線が接続されており、  
 前記ブリッジ配線は、同じ幹配線に接続された補助容量配線を接続しており、  
 前記表示部は前記複数の画素がマトリックス状に配置されており、  
 前記幹配線は前記表示部の縦方向に沿って複数本配設されており、  
 前記補助容量配線は前記表示部の横方向に沿って複数本配設されており、それぞれ複数の幹配線のうちの幹配線に接続されており、同じ幹配線に接続された補助容量配線が、前記ブリッジ配線によって接続されている、液晶表示装置。

【請求項 2】

前記表示部の複数の画素は複数のサブ画素を備え、前記ブリッジ配線は前記複数のサブ画素のうち、何れかのサブ画素を通るように配設されている、請求項1に記載の液晶表示装置。

10

20

**【請求項 3】**

前記表示部の複数の画素は R G B のサブ画素を備え、前記ブリッジ配線は前記 R G B のサブ画素のうち、R のサブ画素を通るように配線されている、請求項 1 に記載の液晶表示装置。

**【請求項 4】**

前記表示部の複数の画素は R G B のサブ画素を備え、前記ブリッジ配線は前記 R G B のサブ画素のうち、G のサブ画素を通るように配線されている、請求項 1 に記載の液晶表示装置。

**【請求項 5】**

前記表示部の複数の画素は R G B のサブ画素を備え、前記ブリッジ配線は前記 R G B のサブ画素のうち、B のサブ画素を通るように配線されている、請求項 1 に記載の液晶表示装置。

10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特に、複数の画素がマトリックス状に配置された表示部を備えた液晶表示装置に関する。なお、本願は、2009 年 1 月 27 日に出願された日本国特許出願 2009 - 015865 号を基礎として、パリ条約又は移行する国における法規に基づく優先権を主張するものである。当該基礎出願の内容は、本願中に参照として組み込まれている。

20

**【背景技術】****【0002】**

かかる液晶表示装置としては、例えば、日本国特許出願公開 2001 - 147420 号公報に開示されている。同公報には、いわゆるアクティブマトリックス型の液晶表示装置が開示されている。かかる液晶表示装置は、複数の走査信号線と、走査信号線に互いに交差した複数のデータ信号線とを備えている。そして、対応する走査信号線に導通を指示する走査信号がスイッチング素子に供給された場合に、当該スイッチング素子によって、対応するデータ信号線と画素電極とが接続される。そして、データ信号線と画素電極とが接続されるタイミングにて、データ信号線に供給されるデータ信号が、画素電極に書き込まれる。また、この液晶表示装置は、各画素に共通電極信号が印加される共通電極を有している。

30

**【0003】**

かかる液晶表示装置では、いわゆる「横シャドー」と呼ばれる問題が生じうる。同公報では、かかる液晶表示装置について、データ信号線への出力に基づいて、当該出力の総和に応じたカップリング信号を生成する。そして、共通電極信号の基準となる駆動信号と、カップリング信号とに基づき、駆動信号のみから生成した共通電極信号と比較して、データ信号線への出力に起因する電位変動を抑える共通電極信号を生成している。これにより、低消費電力でいわゆる横シャドーを防止できる。

**【先行技術文献】**

40

**【特許文献】****【0004】**

【特許文献 1】日本国特許出願公開 2001 - 147420 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

近年、TV 用のディスプレイなどの用途において、液晶表示装置は大画面化が進んでいる。また、動きの激しいスポーツなど、表示に遅れが生じないように動画を表示するため、1 秒間に 120 枚の画像を切り替える倍速駆動をさせる場合がある。このようなパネルでは、横シャドーが生じ易い。本発明は、かかる横シャドーの問題について全く新しい解

50

決手段を提案する。

【課題を解決するための手段】

【0006】

本発明に係る液晶表示装置は、複数の画素が配置された表示部を備えている。この液晶表示装置は、表示部の各画素に補助容量が設けられている。そして、補助容量は補助容量配線に接続されており、当該液晶表示装置は、かかる補助容量配線を複数備えている。補助容量配線は幹配線に接続されている。幹配線は、補助容量配線を介して補助容量に駆動信号を伝送する。また、この液晶表示装置は、かかる幹配線とは別に、複数の補助容量配線を接続するブリッジ配線を備えている。この液晶表示装置によれば、補助容量配線の抵抗が低下し、補助容量配線に生じるリップルを低減できる。これにより横シャドウを抑制できる。

10

【0007】

この場合、液晶表示装置は、幹配線を複数有していてもよい。この場合、各幹配線には、それぞれ複数の補助容量配線が接続されているとよい。そして、ブリッジ配線には、同じ幹配線に接続された補助容量配線が接続されているとよい。

【0008】

また、液晶表示装置の表示部は複数の画素がマトリックス状に配置されていてもよい。この場合、幹配線は表示部の縦方向に沿って複数本配設されているとよい。また、補助容量配線は、表示部の横方向に沿って複数本配設されており、それぞれ複数の幹配線のうちの幹配線に接続されているとよい。この場合、同じ幹配線に接続された補助容量配線が、ブリッジ配線によって接続されているとよい。これにより、各補助容量配線への駆動信号の伝送を阻害せず、各補助容量配線に生じるリップルを低減できる。これにより横シャドウを抑制できる。

20

【0009】

また、表示部の複数の画素は複数のサブ画素を備えている場合、ブリッジ配線は複数のサブ画素のうち、何れかのサブ画素を通るように配設されていてもよい。例えば、表示部の複数の画素がRGBのサブ画素を備えている場合がある。この場合、ブリッジ配線は、RGBのサブ画素のうち、Rのサブ画素を通るように配線されていてもよいし、Gのサブ画素を通るように配線されていてもよいし、Bのサブ画素を通るように配線されていてもよい。

30

【図面の簡単な説明】

【0010】

【図1】図1は本発明の一実施形態に係る液晶表示装置を示す断面図である。

【図2】図2は本発明の一実施形態に係る液晶表示装置の液晶パネルを示す断面図である。

【図3】図3は本発明の一実施形態に係る液晶表示装置のアレイ基板の画素領域部分を示す平面図である。

【図4】図4は本発明の一実施形態に係る液晶表示装置のカラーフィルタ基板の画素領域部分を示す平面図である。

【図5】図5は本発明の一実施形態に係る液晶表示装置のサブ画素の構成を示す平面図である。

40

【図6】図6は本発明の一実施形態に係る液晶表示装置のサブ画素に構成される回路図である。

【図7】図7は補助容量配線と幹配線の配線構造を示す図である。

【図8】図8は本発明の一実施形態に係る液晶表示装置の駆動構造を示すブロック図である。

【図9】図9は本発明の一実施形態に係る液晶表示装置に生じる横シャドウを例示した図である。

【図10】図10は走査信号 $S_G$ と $C_s$ バスラインに生じる電圧 $V_c$ との関係を示す図である。

50

【図 1 1】図 1 1 は走査信号  $S_G$  と  $C_s$  バスラインに生じる電圧  $V_c$  との関係を示す図である。

【図 1 2】図 1 2 は補助容量配線と幹配線とブリッジ配線との配線構造を示す図である。

【図 1 3】図 1 3 は液晶表示装置の画素に構成される回路図である。

【発明を実施するための形態】

【0011】

以下、本発明の一実施形態を図面に基づいて説明する。なお、実質的に同じ作用を奏する部材又は部位には適宜に同じ符号を付している。

【0012】

図 1 3 は、液晶表示装置の各画素 A の回路構成の一例を示している。図 1 3 中、符号 4 7 は薄膜トランジスタ (TFT: thin film transistor) を示している。また、符号  $C_{lc}$  は画素電極 4 2 と対向電極 5 5 で構成され、液晶層 1 3 を操作するコンデンサを示している。また、符号  $C_{cs}$  は補助容量  $C_s$  を構成するコンデンサを示している。また、符号 7 1 はソースドライバを、符号 7 2 はゲートドライバを、符号 4 3 a はソースバスラインを、符号 4 3 b はゲートバスラインを、符号 4 3 c は補助容量配線としての  $C_s$  バスラインを、それぞれ示している。

【0013】

ソースバスライン 4 3 a は、薄膜トランジスタ 4 7 のソース電極 1 2 1 に接続されている。ゲートバスライン 4 3 b は、薄膜トランジスタ 4 7 のゲート電極 1 2 2 に接続されている。また、液晶層 1 3 を操作するコンデンサ  $C_{lc}$  と、補助容量  $C_s$  とは、図 1 3 に示されているように、薄膜トランジスタ 4 7 (TFT: thin film transistor) のドレイン電極 1 2 3 側に接続されている。そして、補助容量  $C_s$  は  $C_s$  バスライン 4 3 c に接続されている。かかる  $C_s$  バスライン 4 3 c は、それぞれ液晶パネル 1 0 の各画素 A に設けられた補助容量  $C_s$  が接続されている。

【0014】

液晶表示装置の各画素 A は、ゲートドライバ 7 2 から送られる走査信号に伴って薄膜トランジスタ 4 7 が ON になったタイミングで、ソースドライバ 7 1 からソースバスライン 4 3 a を通じて当該画素 A の画素電極 4 2 に所要の電圧が印加される。そして、補助容量  $C_s$  の作用によって画素電極 4 2 に印加された電圧は、薄膜トランジスタ 4 7 が OFF になった後も維持される。これにより各画素 A は液晶層 1 3 が操作されて所望の表示が行われる。

【0015】

図 1 0 は、ゲートバスライン 4 3 b に入力される走査信号  $S_G$  と、 $C_s$  バスライン 4 3 c に生じる電圧  $V_c$  との関係を示している。図 1 3 及び図 1 0 に示すように、ゲートドライバ 7 2 から送られる走査信号  $S_G$  (パルス信号) に伴って薄膜トランジスタ 4 7 が ON になるタイミング  $\Delta T$  で、ソースドライバ 7 1 からソースバスライン 4 3 a に当該画素 A の画素電極 4 2 に所要の電圧が印加される。このとき、補助容量  $C_s$  を介して画素電極 4 2 に接続された  $C_s$  バスライン 4 3 c にリップル  $V_{cs1}$  が生じることがある。

【0016】

また、かかるリップル  $V_{cs1}$  は、薄膜トランジスタ 4 7 が OFF になった後も減衰せずに、 $C_s$  バスライン 4 3 c に残る場合がある。リップル  $V_{cs1}$  が減衰せずに  $C_s$  バスライン 4 3 c に残った場合、当該  $C_s$  バスライン 4 3 c に接続された複数の画素 A において、液晶層 1 3 を操作するコンデンサ  $C_{lc}$  に印加された電圧が当該リップル  $V_{cs1}$  の影響を受ける。このように  $C_s$  バスライン 4 3 c に生じたリップル  $V_{cs1}$  によって、液晶層 1 3 を操作するコンデンサ  $C_{lc}$  に印加された電圧が影響を受けることがある。

【0017】

本発明者は、「かかる  $C_s$  バスライン 4 3 c に生じる電圧変動 (リップル  $V_{cs1}$ ) が「横シャドー」の原因の一つである」と考えて本発明を想起した。図 1 2 は、本発明の一実施形態に係る液晶表示装置 1 0 0 について、 $C_s$  バスライン 4 3 c (1) ~ (8) の配線構造を示している。すなわち、この液晶表示装置 1 0 0 では、図 1 2 に示すように、液

10

20

30

40

50

晶パネル 10 内において Cs バスライン 43c(1)~(8)(補助容量配線)を接続するブリッジ配線 210(1)~(8)を備えている。この液晶表示装置 100 によれば、かかるブリッジ配線 210(1)~(8)によって、Cs バスライン 43c(1)~(8)に生じるリップル Vcs1(図 10 参照)を小さくすることができるとともに、「横シャドー」の発生を抑制できる。なお、Cs バスライン 43c、ブリッジ配線 210 に付した括弧内の数字は、複数の Cs バスライン 43c、複数のブリッジ配線 210 をそれぞれ区別するために付している。かかる Cs バスライン 43c、ブリッジ配線 210 は、以下の説明において、適宜括弧内の数字を付して説明する。

#### 【0018】

以下、本発明の一実施形態に係る液晶表示装置 100 を説明する。ここでは、先ず、かかる液晶表示装置 100 の構造を概略的に説明する。そして、液晶表示装置 100 においてブリッジ配線 210 が設けられていない場合に「横シャドー」が生じる現象を説明する。その後、液晶表示装置 100 においてブリッジ配線 210 を設けた場合に、どのように「横シャドー」を抑制できるかを説明する。なお、以下に説明する実施形態は、液晶表示装置の構成についての一例を示すに過ぎない。液晶表示装置の具体的構成は以下の実施形態に限定されない。

#### 【0019】

図 1 は、かかる液晶表示装置 100 の断面構成を模式的に示している。液晶表示装置 100 は、図 1 に示すように、液晶表示部としての液晶パネル 10 と、バックライト 20 とを備えている。この液晶表示装置 100 の液晶パネル 10 は、概して、全体として矩形状の形状を有しており、一対の透光性基板 11 及び 12 (ガラス基板)で構成されている。この実施形態では、両基板 11 及び 12 のうち、表側はカラーフィルタ基板 11 (CF 基板)であり、裏側がアレイ基板 12 (TFT 基板)である。

#### 【0020】

この実施形態では、図 1 に示すように、カラーフィルタ基板 11 とアレイ基板 12 は、それぞれ画素領域 10a (画素が形成されている領域)を有している。カラーフィルタ基板 11 及びアレイ基板 12 は、互いに対向して配置されている。カラーフィルタ基板 11 とアレイ基板 12 の間には、画素領域 10a の周囲 (外周縁部)を周方向に囲むように、シール材 15 が設けられている。

#### 【0021】

かかるカラーフィルタ基板 11 とアレイ基板 12 の間で、シール材 15 で囲まれた領域には液晶層 13 が設けられている。液晶層 13 には液晶分子を含む液晶材料が含まれている。カラーフィルタ基板 11 とアレイ基板 12 との間に電圧が印加されることによって、液晶層 13 中の液晶分子の配向方向が操作され、液晶層 13 の光学特性が変化する。

#### 【0022】

以下、アレイ基板 12 とカラーフィルタ基板 11 を順に説明する。図 2 から図 4 は液晶パネル 10 の画素領域 10a を拡大した図である。このうち図 2 はカラーフィルタ基板 11 とアレイ基板 12 を貼り合せた状態の断面図を示している。また、図 3 はアレイ基板 12 の画素領域部分の平面図を示し、図 4 はカラーフィルタ基板 11 の画素領域部分の平面図を示している。図 3 及び図 4 中の破線 A で囲まれた領域は、この液晶表示装置 100 の一画素を構成する領域を示している。この液晶パネル 10 には、図 3 及び図 4 に示す画素 A が行列 (マトリックス) 状に配列されている。また、図 5 は、画素 A に構成される 1 つのサブ画素 A<sub>B</sub> を拡大した平面図である。また、図 6 は、画素 A に構成されるサブ画素 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub> に構成される回路図である。

#### 【0023】

この実施形態では、アレイ基板 12 は、図 2、図 3 及び図 5 に示すように、ガラス基板 41 の表側 (液晶層 13 側)に、画素電極 42a、42b、バスライン 43a~43c (bus line)、平坦化層 44 及び配向膜 46 (水平配向膜)、薄膜トランジスタ 47a、47b (TFT: thin film transistor) が形成されている。画素電極 42a、42b は透明導電材料である ITO (indium tin oxide: 酸化インジウムスズ) からなり、これらの

画素電極 4 2 a、4 2 b には画像に応じた電圧がバスライン 4 3 a ~ 4 3 c 及び薄膜トランジスタ 4 7 a、4 7 b (図 3 参照) を介して所定のタイミングで供給される。平坦化層 4 4 は絶縁材料によって形成されており、画素電極 4 2 a、4 2 b 及びバスライン 4 3 a ~ 4 3 c (図 3 参照) を覆っている。平坦化層 4 4 の上にはポリイミド等からなる配向膜 4 6 が形成されている。この配向膜 4 6 の表面には、電圧を印加していないときの液晶分子の配向方向を決定するために、配向処理が施されている。また、この実施形態では、アレイ基板 1 2 は、補助容量 C s を備えている。かかる補助容量 C s の構造は後で詳述する。

#### 【 0 0 2 4 】

また、カラーフィルタ基板 1 1 は、図 2 及び図 4 に示すように、ガラス基板 5 1 の裏側 (液晶層 1 3 側) にブラックマトリックス 5 2、カラーフィルタ 5 3、平坦化層 5 4、対向電極 5 5 及び配向膜 5 6 (水平配向膜) が形成されている。ブラックマトリックス 5 2 は画素間の領域を光が透過しないようにするため、C r (クロム) 等の金属により形成されている。カラーフィルタ 5 3 には赤 (R)、緑 (G)、青 (B) の 3 色があり、図 2 から図 4 に示すように、アレイ基板 1 2 の 1 つの画素電極 4 2 a、4 2 b に R・G・B の何れか 1 つのカラーフィルタ 5 3 が対向している。平坦化層 5 4 は、図 2 に示すように、ブラックマトリックス 5 2 及びカラーフィルタ 5 3 を覆うように形成されており、この平坦化層 5 4 の下側には I T O (indium tin oxide) からなる対向電極 5 5 が形成されている。また、対向電極 5 5 の下側には配向膜 5 6 が形成されている。この配向膜 5 6 の表面にも配向処理が施されている。なお、アレイ基板 1 2 の配向膜 4 6 の配向方向と、カラーフィルタ基板 1 1 の配向膜 5 6 の配向方向とは 9 0 ° 異なっている。

#### 【 0 0 2 5 】

ガラス基板 4 1、5 1 は、図 2 に示すように、球形又は円柱形のスペーサ 5 9 (図示例では、球形) を挟んで配置されている。スペーサ 5 9 は、例えば、プラスチックやガラスなどにより形成されている。ガラス基板 4 1、5 1 のギャップは、上述したシール材 1 5 (図 1 参照) 及びスペーサ 5 9 によって保持され、液晶層 1 3 が一定に維持されている。

#### 【 0 0 2 6 】

さらに、図 1 及び図 2 に示すように、カラーフィルタ基板 1 1 (ガラス基板 5 1) の表面側及びアレイ基板 1 2 (ガラス基板 4 1) の裏面側にはそれぞれ偏光板 1 7、1 8 が貼り付けられている。いわゆるノーマリホワイト型の液晶表示装置では 2 枚の偏光板 1 7、1 8 の偏光軸は互いに直交するように配置される。また、いわゆるノーマリブラック型の液晶表示装置では 2 枚の偏光板 1 7、1 8 の偏光軸は並行に配置される。この実施形態では、図 1 に示すように、液晶パネル 1 0 の表側は、ベゼル 3 0 が装着されている。液晶パネル 1 0 の裏側には、フレーム 3 2 が装着されている。そして、ベゼル 3 0 とフレーム 3 2 は、液晶パネル 1 0 を支持する。さらに、フレーム 3 2 は、液晶パネル 1 0 の画素領域 1 0 a に相当する部分が開口している。かかる液晶パネル 1 0 の裏側には、バックライトシャーシ 2 4 に支持されたバックライト 2 0 が装着されている。

#### 【 0 0 2 7 】

バックライト 2 0 は、図 1 に示すように、液晶パネル 1 0 の裏側 (図 1 中の右側) に配置された外部光源である。この実施形態では、バックライト 2 0 は、複数の光源 2 2 (例えば、冷陰極管や発光ダイオード (L E D) など) と、バックライトシャーシ 2 4 とを備えている。バックライトシャーシ 2 4 は、表側 (液晶パネル 1 0 側) に向けて開口した箱形状を有しており、バックライトシャーシ 2 4 内には、複数の光源 2 2 が配置されている。バックライトシャーシ 2 4 の開口には、複数枚の光学シート 2 6 が積層されて配置されている。

#### 【 0 0 2 8 】

光学シート 2 6 は、例えば、裏側から順に、拡散板、拡散シート、レンズシート、及び輝度上昇シートを有している。バックライトシャーシ 2 4 は、上述した液晶パネル 1 0 に光源 2 2 を向けた状態で、フレーム 3 2 の裏側に装着されている。この際、光学シート 2 6 は、液晶パネル 1 0 のフレーム 3 2 の裏面とバックライトシャーシ 2 4 の表面とに挟ま

れる。また、液晶表示装置 100 は、図 1 に示すように、制御部 200 を備えている。制御部 200 は、表示する画像や映像に応じて、バックライト 20 の輝度（明るさ）を調整する回路（例えば、冷陰極管インバータ回路などの調光回路）を備えている。かかる制御部 200 は、例えば、光源 22 に投入する電力を調整して、バックライト 20 の明るさを調整する。

#### 【0029】

この液晶表示装置 100 は、液晶パネル 10 に、カラーフィルタ基板 11 とアレイ基板 12 に制御された電圧を印加して液晶層 13 中の液晶分子を操作する。かかる液晶パネル 10 では、液晶層 13 中の液晶分子は、画素 A（より詳しくは、RGB で規定されるサブ画素 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub>）毎に操作される。これによって、各画素 A は、バックライト 20 の光を遮断したり、通過する光の透過率を変えたりすることができる。さらに、液晶表示装置 100 は、バックライト 20 の輝度等も制御しつつ所望の画像を表示させる。なお、この実施形態では、図 3 に示すように、RGB で規定されるサブ画素 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub> は、それぞれさらに 2 つの副画素 P<sub>a</sub>、P<sub>b</sub> に分割されている。

#### 【0030】

以下に、液晶パネル 10 の駆動構造をさらに説明する。

#### 【0031】

図 3 に示すアレイ基板 12 において、バスライン 43 a は、薄膜トランジスタ 47 a、47 b のソースに信号（データ信号）を送るソースバスライン（データ信号線）である。また、バスライン 43 b は、薄膜トランジスタ 47 a、47 b のゲートに信号（走査信号）を送るゲートバスライン（走査信号線）である。また、バスライン 43 c は、補助容量 C<sub>s</sub> のバスライン（C<sub>s</sub> バスライン、補助容量配線）である。この実施形態では、ソースバスライン 43 a は、RGB で規定される各サブ画素 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub> の間を縦断するように配置されている。また、ゲートバスライン 43 b は、各サブ画素 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub> の中央部分を横断するように配置されている。C<sub>s</sub> バスライン 43 c は、各サブ画素 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub> の縦方向の間隙を横断するように配置されている。ソースバスライン 43 a は、ソースドライバ 71 に接続されている。また、ゲートバスライン 43 b は、ゲートドライバ 72 に接続されている。また、C<sub>s</sub> バスライン 43 c は幹配線 180（図 6、図 7 参照）に接続されている。

#### 【0032】

この実施形態では、各サブ画素 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub> は、図 5 及び図 6 に示すように、ソースバスライン 43 a とゲートバスライン 43 b の交差部分に、薄膜トランジスタ 47 a、47 b（TFT）が配設されている。薄膜トランジスタ 47 a、47 b は、ソース電極 121 と、ゲート電極 122 と、ドレイン電極 123 a、123 b とを備えている。この実施形態では、ソース電極 121 は、ソースバスライン 43 a から薄膜トランジスタ 47 a、47 b の配設位置に延びている。このソース電極 121 は、上下の薄膜トランジスタ 47 a、47 b で共通している。ゲート電極 122 は、ゲートバスライン 43 b に設けられている。ドレイン電極 123 a、123 b は、それぞれ上下の副画素 P<sub>a</sub>、P<sub>b</sub> の領域に配設されている。ソース電極 121 と、ゲート電極 122 と、ドレイン電極 123 a、123 b との間には、半導体（図示省略）が介在している。また、ドレイン電極 123 a、123 b は、図示は省略するが層間絶縁膜を貫通するコンタクトホールを通じて画素電極 42 a、42 b に接続されている。

#### 【0033】

また、各副画素 P<sub>a</sub>、P<sub>b</sub> は、補助容量 C<sub>s</sub> を備えている。補助容量 C<sub>s</sub> は、C<sub>s</sub> バスライン 43 c と、C<sub>s</sub> バスライン 43 c に対向する補助容量電極 142 a、142 b とで構成されている。補助容量電極 142 a、142 b は、それぞれ引出配線 144 a、144 b によって、薄膜トランジスタ 47 a、47 b のドレイン電極 123 a、123 b に接続されている。C<sub>s</sub> バスライン 43 c と補助容量電極 142 a、142 b との間には、絶縁膜が介在しており、補助容量 C<sub>s</sub> としてのコンデンサ（C<sub>cs</sub>）が構成されている。

#### 【0034】

Csバスライン43cは幹配線180に接続されている。幹配線180は、液晶パネル10の周辺部(この実施形態では、液晶パネル10の両側部)に配設されている。図7は、Csバスライン43cと、幹配線180との接続構造を示す図である。

#### 【0035】

この実施形態では、幹配線180は、図7に示すように、複数の幹配線181~184を備えている。Csバスライン43cは液晶パネル10の横方向に沿って複数本配設されており、それぞれ液晶パネル10に横方向に一連に配設された各副画素Pa、Pbの補助容量Csが接続されている。かかるCsバスライン43cは、液晶パネル10の縦方向において数本置きに同じ幹配線181~184に接続されている。

#### 【0036】

図7に示す例では、8本のCsバスライン43c(1)~(8)が、液晶パネル10の横方向に順に配設されている。この場合、Csバスライン43cは、液晶パネル10の縦方向において4本おきに同じ幹配線181~184に接続されている。すなわち、Csバスライン43c(1)、43c(5)は、幹配線181に接続されている。Csバスライン43c(2)、43c(6)は、幹配線182に接続されている。Csバスライン43c(3)、43c(7)は、幹配線183に接続されている。Csバスライン43c(4)、43c(8)は、幹配線184に接続されている。なお、図示は省略するが、かかる液晶パネル10の副画素Pa、Pbに設けられた補助容量Csに接続されたCsバスライン43cは、それぞれ異なる幹配線に接続されているとよい。

#### 【0037】

なお、図7に示す例では、Csバスライン43cは、液晶パネル10の縦方向において4本置きに同じ幹配線181~184に接続されているが、実際には、液晶パネル10には、さらに多くの幹配線(例えば、12本の幹配線)が設けられている場合がある。例えば、図示は省略するが、12本の幹配線が設けられている場合、Csバスライン43cは、液晶パネル10の縦方向において12本おきに同じ幹配線に接続されているとよい。また、図7では、説明の便宜上、ブリッジ配線210(1)~(8)(図12参照)が設けられていない形態を示している。

#### 【0038】

図5及び図6に示されるように、この液晶表示装置100では、ソースバスライン43aと、ゲートバスライン43bと、Csバスライン43cと、薄膜トランジスタ47a、47bによって画素電極42a、42bが充電される。また、画素電極42a、42bは、図2及び図5に示すように、液晶層13を間に挟んで対向するカラーフィルタ基板11側の対向電極55との間に、電荷を保持するコンデンサ(Cl c)を形成する。液晶表示装置100の各画素Pa、Pbは、上記2つのコンデンサ(Cc s、Cl c)で充電された電荷を保持することで正常に駆動する。図8は、液晶パネル10の駆動構造を示すブロック図である。

#### 【0039】

液晶表示装置100は、図8に示すように、制御部200を備えている。制御部200は、IC、LSI、CPU、不揮発性メモリーなどを組み合わせて構成されている。制御部200は、予め設定されたプログラムに沿って種々の電子的な処理を行い、所要の機能を奏する。液晶パネル10の駆動は、制御部200によって制御される。この制御部200は、信号入力部201と、タイミング制御部202と、電源203とを備えている。

#### 【0040】

信号入力部201は、外部システム(図示せず)から複数の制御信号が入力される。外部システムから入力される制御信号には、液晶パネル10に表示させる映像に関する信号が含まれる。この実施形態では、信号入力部201に入力された制御信号を基に、タイミング制御部202を通じてソースドライバ71、ゲートドライバ72に制御信号が送られる。タイミング制御部202は、外部システム(図示せず)から入力された複数の制御信号に基づいて、ゲートドライバ72とソースドライバ71を駆動させるための制御信号を生成する。電源203は、液晶表示装置100の各構成部に動作電源を供給するとともに液晶

10

20

30

40

50

パネル 10 の共通電極電圧 (Vcom) を生成して対向電極 55 に供給する。

【0041】

この実施形態では、ソースドライバ 71 は、図 8 に示すように、液晶パネル 10 の画素 A (正確には、画素 A を構成する RGB のサブ画素  $A_R$ 、 $A_G$ 、 $A_B$ ) のマトリックスの各行に配線されたソースバスライン 43a (1) ~ ソースバスライン 43a (m) が接続されている。ソースドライバ 71 は、タイミング制御部 202 から入力される制御信号に  
10 応答して、各画素 A に入力されるべき基準電圧を選択し、選択した基準電圧を画素 A に供給する。

【0042】

ゲートドライバ 72 は、タイミング制御部 202 から入力される制御信号に  
10 応答して液晶パネル 10 上に配列された薄膜トランジスタ 47a、47b の ON/OFF 制御を行う。液晶パネル 10 上のゲートバスライン 43b (1) ~ (n) に信号を送る。一のゲートバスライン 43b に薄膜トランジスタ 47a、47b を ON にする制御信号を送ると、かかる信号によって、ゲートバスライン 43b に接続された各画素の薄膜トランジスタ 47a、47b が ON になる。ゲートドライバ 72 は、ゲートバスライン 43b (1) ~ (n) に順に薄膜トランジスタ 47a、47b を ON にする制御信号 (走査信号) を送る。

【0043】

ソースドライバ 71 とゲートドライバ 72 に送られる制御信号 (データ信号、走査信号) はそれぞれタイミングが調整されている。すなわち、ゲートドライバ 72 は、液晶パネル 10 上の複数のゲートバスライン 43b (1) ~ (n) のうち、一のゲートバスライン  
20 43b に薄膜トランジスタ 47a、47b を ON にする制御信号 (走査信号) を送る。このタイミングにおいて、当該ゲートバスライン 43b に接続された複数の画素を制御する制御信号 (データ信号) が各ソースドライバ 71 から送られる。ゲートドライバ 72 が一つのゲートバスライン 43b に接続された画素を全て ON にする時間は、1 水平同期時間と称される。ゲートドライバ 72 が一つのゲートバスライン 43b に接続された画素を ON にすると、当該画素は、当該 1 水平同期時間において、薄膜トランジスタ 47a、47b が ON になる。また、次の 1 水平同期時間では、当該ゲートバスライン 43b に接続された画素の薄膜トランジスタ 47a、47b は OFF に制御される。

【0044】

ソースドライバ 71 は、1 水平同期時間毎に、各ソースバスライン 43a (1) ~ (m) に制御信号 (データ信号) を送る。これにより、一つのゲートバスライン 43b に接続された画素の薄膜トランジスタ 47a、47b が ON になったタイミングで、当該画素 A に制御信号 (データ信号) が送られる。このように液晶パネル 10 は一行ずつ順に画素電極 42a、42b に情報が書き込まれる。そして、液晶パネル 10 の全ての行において、画素電極 42a、42b に情報が書き込まれることによって、液晶パネル 10 で表示される一画像が形成されている。映像を表示する場合には、時系列に並べられた複数の静止画像に映像を分ける。時系列に並べられた複数の静止画像を順に表示させることによって、液晶パネル 10 に動画を表示させている。なお、液晶パネル 10 に一画像が形成される時間は、フレーム時間と称される。  
30

【0045】

この実施形態では、図 3 及び図 5 に示すように、1 画素 A は、RGB で規定されるサブ画素  $A_R$ 、 $A_G$ 、 $A_B$  で構成されている。さらに、各サブ画素  $A_R$ 、 $A_G$ 、 $A_B$  はそれぞれ 2 つの副画素 Pa、Pb に分けられている。このような、いわゆるマルチ絵素構造では、例えば 2 つの副画素 Pa、Pb のうち何れか一方に画素欠陥が発生したときでも、他方の副画素が機能していれば画素欠陥の影響が低減される。このため正常画素の割合の低下が抑えられる有利な形態である。また、この実施形態では、副画素 Pa、Pb は明るさが異なり、一方 (例えば、上側の副画素 Pa) は明るい画素を形成し、他方 (例えば、下側の副画素 Pb) は暗い画素を形成している。この場合、RGB の各サブ画素  $A_R$ 、 $A_G$ 、 $A_B$  の輝度調整がより微細に行え、中間調の色彩などの表現も豊かになる。

【0046】

10

20

30

40

50

以下、かかる液晶表示装置 100 において「横シャドー」が生じる現象を説明する。

【0047】

かかる液晶パネル 10 がノーマリブラック方式である場合には、典型的には、図 9 に示すように、グレー表示の中央部分に白を表示させる領域 162 を形成する場合に、いわゆる「横シャドー」が見られる。この場合、白を表示させる領域 162 の両サイドのグレー表示領域 164、165 が、他のグレー表示領域 166、167 よりも白っぽくなる事象が「横シャドー」である。同様に、液晶パネル 10 がノーマリホワイト方式である場合には、典型的には、液晶パネル 10 において、白表示の中央部分にグレー（黒）を表示させる領域 162（図 9 参照）を形成する場合に「横シャドー」が見られる。この場合、グレー（黒）を表示させる領域 162 の両サイドの白表示領域 164、165 が、他の白表示領域 166、167 よりも黒っぽくなる事象が「横シャドー」である。

10

【0048】

例えばノーマリブラック方式では、グレー表示領域 164 ~ 167 は、画素 A に印加する印加電圧を所定よりも低くし、液晶の向きを制御して液晶層によって光を遮ることで表示される。これに対して、白を表示させる領域 162 は、画素 A に所要の電圧を印加して、液晶層によって光を透過させることによって表示される。「横シャドー」は、グレー表示領域 164 ~ 167 のうち、白を表示させる領域 162 の両サイドのグレー表示領域 164、165 が、他のグレー表示領域 166、167 よりも白っぽくなる事象である。この場合、白っぽくなるグレー表示領域 164、165 の画素電極 42a、42b に作用する印加電圧が、何らかの要因によって高くなっていると考えられる。

20

【0049】

本発明者は、かかる「横シャドー」の原因の一つが Cs バスライン 43c に生じる電圧変動（リップル）であると考えている。そこで、本発明者は、図 10 及び図 11 に示すように、ゲートバスライン 43b に入力される走査信号（ここでは、パルス信号）と、Cs バスライン 43c に生じる電圧との関係を調べた。図 10 は、ゲートバスライン 43b に白を表示させる領域 162 がないグレー表示領域 166、167 での、ゲートバスライン 43b に入力されるパルス信号と、Cs バスライン 43c に生じる電圧との関係を示している。これに対し、図 11 は、ゲートバスライン 43b に白を表示させる領域 162 を有するグレー表示領域 164、165 におけるゲートバスライン 43b に入力されるパルス信号と、Cs バスライン 43c に生じる電圧との関係を示している。

30

【0050】

この場合、図 10 及び図 11 に示すように、グレー表示領域 164 ~ 167 では、何れも薄膜トランジスタ 47a、47b が ON になるタイミング  $\Delta T$  において、Cs バスライン 43c に電圧変動  $V_{cs1}$ 、 $V_{cs2}$ （リップル）が生じる。これは、薄膜トランジスタ 47a、47b が ON になるタイミング  $\Delta T$  において、ソースバスライン 43a から画素電極 42a、42b に所要の電圧が印加されるためである。すなわち、画素電極 42a、42b は、補助容量 Cs を介して Cs バスライン 43c に接続されている。このため、当該タイミング  $\Delta T$  において、ソースバスライン 43a から画素電極 42a、42b に所要の電圧が印加されると、Cs バスライン 43c に電圧変動  $V_{cs1}$ 、 $V_{cs2}$ （リップル）が生じる。かかる電圧変動  $V_{cs1}$ 、 $V_{cs2}$  は時間の経過とともに減衰する。しかしながら、当該タイミング  $\Delta T$  後に Cs バスライン 43c に電圧変動  $\Delta V_{cs1}$ 、 $\Delta V_{cs2}$  が残る場合がある。

40

【0051】

図 9 に示すように、グレー表示領域 166、167 では、ゲートバスライン 43b に白を表示させる領域 162 がない。これに対して、グレー表示領域 164、165 は、ゲートバスライン 43b（図示省略）に白を表示させる領域 162 がある。ノーマリブラック方式では、白を表示させる領域 162 では、グレー表示領域 164 ~ 167 に比べて、ソースバスライン 43a から画素電極 42a、42b に印加される電圧が大きい。ゲートバスライン 43b に白を表示させる領域 162 があるグレー表示領域 164、165 の画素電極 42a、42b は、図 3 及び図 5 に示すように、TFT のドレイン電極 123a、12

50

3 b、補助容量  $C_s$  及び  $C_s$  バスライン 43 c を介して電氣的に影響を及ぼしあう。このため、図 10 及び図 11 に示すように、グレー表示領域 166、167 (図 9 参照) に比べて、グレー表示領域 164、165 の方が、 $C_s$  バスライン 43 c に生じる電圧変動  $V_{cs1}$ 、 $V_{cs2}$  が大きくなる。そして、当該グレー表示領域 164、165 では、グレー表示領域 166、167 に比べて、薄膜トランジスタ 47 a、47 b が ON になるタイミング  $\Delta T$  後において、 $C_s$  バスライン 43 c に残る電圧変動  $\Delta V_{cs}$  が大きくなる。

【0052】

$C_s$  バスライン 43 c に生じる電圧変動  $\Delta V_{cs}$  は、図 6 に示すように、それぞれ補助容量  $C_s$  ( $C_{cs}$ ) を介して、画素電極 42 a、42 b に影響を及ぼす。このとき、図 10 及び図 11 に示すように、グレー表示領域 164、165 では、他のグレー表示領域 166、167 に比べて、薄膜トランジスタ 47 a、47 b が ON になるタイミング  $\Delta T$  後に  $C_s$  バスライン 43 c に残る電圧変動  $\Delta V_{cs}$  が大きい。画素電極 42 a、42 b に印加された電圧は、かかる電圧変動  $\Delta V_{cs}$  によって高くなる場合がある。このため、ノーマリブラック方式においては、図 9 に示すように、本来、グレー表示を表示すべき領域 164、165 が白っぽく表示される場合がある。

【0053】

本発明者は、かかる事象を改善するため、種々の研究を行い、図 12 に示すように、複数の  $C_s$  バスライン 43 c をブリッジ配線 210 (1) ~ (8) で接続することを考えた。図 12 は、図示の便宜上、液晶パネル 10 の周辺部に 4 本の幹配線 181 ~ 184 が配設された形態を例示している。 $C_s$  バスライン 43 c (1) ~ (8) は、それぞれ複数の幹配線 181 ~ 184 のうちの幹配線に接続されている。また、各幹配線 181 ~ 184 にはそれぞれ複数の  $C_s$  バスライン 43 c が接続されている。そして、ブリッジ配線 210 (1) ~ (8) は、液晶パネル 10 内において同じ幹配線 181 ~ 184 に接続された  $C_s$  バスライン 43 c (1) ~ (8) を接続している。

【0054】

以下、液晶表示装置 100 においてブリッジ配線 210 を設けた場合に、どのように「横シャドウ」が抑制されるかを説明する。

【0055】

すなわち、図 12 に示す例では、ブリッジ配線 210 (1) は、幹配線 181 に接続された  $C_s$  バスライン 43 c (1)、43 c (5) に接続されている。ブリッジ配線 210 (2) は、他の幹配線 182 に接続された  $C_s$  バスライン 43 c (2)、43 c (6) に接続されている。ブリッジ配線 210 (3) は、他の幹配線 183 に接続された  $C_s$  バスライン 43 c (3)、43 c (7) に接続されている。ブリッジ配線 210 (4) は、他の幹配線 184 に接続された  $C_s$  バスライン 43 c (4)、43 c (8) に接続されている。

【0056】

この場合、複数の  $C_s$  バスライン 43 c がブリッジ配線 210 (1) ~ (8) によって接続されているので、 $C_s$  バスライン 43 c の抵抗が低下する。また、ブリッジ配線 210 (1) ~ (8) は、複数の  $C_s$  バスライン 43 c を並列的に接続されているので、 $C_s$  バスライン 43 c に生じる電圧変動  $V_{cs1}$ 、 $V_{cs2}$  (図 10、11 参照) は小さく抑えられる。そして、かかる電圧変動  $V_{cs1}$ 、 $V_{cs2}$  が小さくなるので、薄膜トランジスタ 47 a、47 b が ON になるタイミング  $\Delta T$  後に、 $C_s$  バスライン 43 c に残る電圧変動  $\Delta V_{cs1}$ 、 $\Delta V_{cs2}$  も小さく抑えることができる。このため「横シャドウ」の発生を小さくできる。

【0057】

また、この実施形態では、各幹配線 181 ~ 184 にはそれぞれ複数の  $C_s$  バスライン 43 c が接続されている。そして、ブリッジ配線 210 (1) ~ (8) は、それぞれ一つの幹配線 181 ~ 184 に接続された  $C_s$  バスライン 43 c (1) ~ (8) を接続している。このため、異なる幹配線 181 ~ 184 によって接続された  $C_s$  バスライン 43 c (1) ~ (8) には、電圧変動  $V_{cs1}$  の影響は及ばない。

## 【 0 0 5 8 】

また、この実施形態では、液晶パネル 1 0 は、複数の画素 A がマトリックス状に配置されている。C s バスライン 4 3 c は、液晶パネル 1 0 の横方向に沿って複数本配設されている。また、C s バスライン 4 3 c は、縦方向に数本置きに同じ幹配線 1 8 1 ~ 1 8 4 に接続されている。この実施形態では、例えば、図 3 に示すように、同一の画素 A 内でも、各副画素 P a、P b において、C s バスライン 4 3 c は異なる幹配線 1 8 1 ~ 1 8 4 に接続されている。このため、同一の画素 A 内でも各副画素 P a、P b を通る C s バスライン 4 3 c は、異なるブリッジ配線 2 1 0 ( 1 ) ~ ( 8 ) に接続されている。

## 【 0 0 5 9 】

例えば、この実施形態では、図 6 及び図 1 2 に示すように、同一画素 A 内の副画素 P a、P b は、同じゲートバスライン 4 3 b によって制御される。このとき、副画素 P a、P b は、薄膜トランジスタ 4 7 a、4 7 b が ON になるタイミングは同じである。このため、C s バスライン 4 3 c ( 1 )、4 3 c ( 2 ) は、同じタイミングで電圧変動 V c s 1 が生じる。

## 【 0 0 6 0 】

この実施形態では、一つの画素 A に形成された各副画素 P a、P b の補助容量 C s は、異なる C s バスライン 4 3 c ( 1 )、4 3 c ( 2 ) に接続されている。そして、かかる C s バスライン 4 3 c ( 1 )、4 3 c ( 2 ) は、異なるブリッジ配線 2 1 0 ( 1 )、2 1 0 ( 2 ) によって、異なる C s バスライン 4 3 c ( 5 )、4 3 c ( 6 ) ( 図 1 2 参照 ) に接続されている。また、ブリッジ配線 2 1 0 ( 1 ) によって接続された C s バスライン 4 3 c ( 1 ) と C s バスライン 4 3 c ( 5 ) とは、異なるゲートバスライン 4 3 b に接続された画素の補助容量 C s に接続されている。同様に、ブリッジ配線 2 1 0 ( 2 ) によって接続された C s バスライン 4 3 c ( 2 ) と C s バスライン 4 3 c ( 6 ) とは、異なるゲートバスライン 4 3 b に接続された画素の補助容量 C s に接続されている。このように、一つの画素 A に形成された各副画素 P a、P b の補助容量 C s に接続された C s バスライン 4 3 c ( 1 )、4 3 c ( 2 ) は、それぞれブリッジ配線 2 1 0 によって、異なるゲートバスライン 4 3 b に接続された画素の補助容量 C s の C s バスライン 4 3 c に接続されている。

## 【 0 0 6 1 】

一つの画素 A に形成された各副画素 P a、P b の補助容量 C s に接続された C s バスライン 4 3 c ( 1 )、4 3 c ( 2 ) は、同じタイミングで電圧変動 V c s 1 が生じる。しかしながら、一つの画素 A に形成された各副画素 P a、P b の補助容量 C s に接続された C s バスライン 4 3 c ( 1 )、4 3 c ( 2 ) は、それぞれブリッジ配線 2 1 0 によって、異なるゲートバスライン 4 3 b に接続された画素の補助容量 C s の C s バスライン 4 3 c に接続されている。このため、同じタイミングで生じた電圧変動 V c s 1 ( 図 1 0 参照 ) が一の C s バスライン 4 3 c において重合されることがない。このため、各 C s バスライン 4 3 c に生じた電圧変動 V c s 1 が重合して、大きな電圧変動 V c s 1 を生じさせることがない。

## 【 0 0 6 2 】

このように、液晶表示装置 1 0 0 の液晶パネル 1 0 ( 表示部 ) は複数の画素 A がマトリックス状に配置されていてもよい。この場合、例えば、上述した実施形態のように、C s バスライン 4 3 c ( 補助容量配線 ) は、液晶パネル 1 0 の横方向に沿って複数本配設されているとよい。また、幹配線 1 8 1 ~ 1 8 4 には、液晶パネル 1 0 の横方向に数本置きに配設された C s バスライン 4 3 c ( 補助容量配線 ) が接続されているとよい。そして、同一の幹配線 1 8 1 ~ 1 8 4 によって接続された複数の C s バスライン 4 3 c がブリッジ配線 2 1 0 によって接続されているとよい。この場合、ブリッジ配線 2 1 0 は、同一の幹配線 1 8 0 によって接続された複数の C s バスライン 4 3 c を接続している。このため、幹配線 1 8 1 ~ 1 8 4 から各 C s バスライン 4 3 c への駆動信号の伝送は適切に行える。また、かかるブリッジ配線 2 1 0 によって、同一の幹配線 1 8 1 ~ 1 8 4 によって接続された複数の C s バスライン 4 3 c が電氣的に接続されている。これにより、各 C s バスライ

ン４３ｃに生じる電圧変動（リップル）の影響が相互に緩和される。

【００６３】

またこの実施形態では、液晶パネル１０の各画素ＡはＲＧＢのサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ を備えている。ブリッジ配線２１０は、図３及び図５に示すように、Ｂのサブ画素 $A_B$ を通るように配線されている。各サブ画素 $A_R$ 、 $A_G$ 、 $A_B$ の間にはソースバスライン４３ａが配設されている。このように、各サブ画素 $A_R$ 、 $A_G$ 、 $A_B$ の間などに、ブリッジ配線２１０を配設するスペースを確保できない場合には、ブリッジ配線２１０は複数のサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ のうち、何れかのサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ を通るように配設することができる。

10

【００６４】

このとき、何れのサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ にブリッジ配線２１０を配設するかは、液晶パネル１０について、各画素Ａの性質等を考慮して適切なサブ画素を選択するとよい。例えば、画素全体の透過率が低下するのを防止するため、画素全体の透過率に対する影響の小さいサブ画素を選択してもよい。また、例えば、画素全体で表示される色の色味への影響を考慮して、ブリッジ配線２１０を通すサブ画素を選択するとよい。例えば、サブ画素 $A_R$ 、 $A_G$ 、 $A_B$ のうちＢのサブ画素 $A_B$ が画素Ａ全体への光の透過率への影響が小さい場合には、当該Ｂのサブ画素 $A_B$ にブリッジ配線２１０を通して、画素Ａ全体への光の透過率への影響を小さく抑えてもよい。また、サブ画素 $A_R$ 、 $A_G$ 、 $A_B$ のうちＲのサブ画素 $A_R$ が画素Ａ全体への色味への影響が小さい場合には、当該Ｒのサブ画素 $A_R$ にブリ

20

【００６５】

このように、上述した実施形態では、ＲＧＢのサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ のうち、Ｂのサブ画素 $A_B$ にブリッジ配線２１０を通して、ブリッジ配線２１０を通す位置は、かかる実施形態に限定されない。ＲＧＢのサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ のうち、他のサブ画素にブリッジ配線２１０を通して、ブリッジ配線２１０を通す位置は、かかる実施形態に限定されない。また、液晶パネル１０の構成によっては、ＲＧＢのサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ のサブ画素構成でない場合もある。その場合、ブリッジ配線は複数のサブ画素のうち、適切な何れかのサブ画素を通るように配設されているとよい。例えば、あるブリッジ配線２１０は、サブ画素 $A_R$ 、 $A_G$ 、 $A_B$ のうち一つのサブ画素（例えば、 $A_R$ ）を通り、他のブリッジ配線２１０は他のサブ画素（例えば、 $A_G$ ）を通るように設定してもよい。

30

【００６６】

以上の通り、この液晶表示装置１００では、図６及び図１２に示すように、液晶パネル１０（表示部）内に、複数のＣｓバスライン４３ｃを接続するブリッジ配線２１０を設けた。このため、Ｃｓバスライン４３ｃに生じる電圧変動（リップル）を小さく抑えることができる。これにより、かかる電圧変動（リップル）に起因する「横シャドー」の発生を抑制することができる。ここでは、電圧変動（リップル）に起因する「横シャドー」の発生を抑制することを主たる目的としているが、本発明は、Ｃｓバスライン４３ｃに生じる電圧変動（リップル）を小さく抑えることができ、電圧変動（リップル）に起因する種々の不具合を抑制できる。

40

【００６７】

以上、本発明の一実施形態として、液晶表示装置１００を例に、本発明を説明したが、本発明は上記の実施形態には限定されず、種々の変更が可能である。

【００６８】

例えば、液晶表示装置の具体的構成は、上述した実施形態に限定されない。特に、各画素の構造、例えば、液晶の種類、液晶の配向構造、液晶の駆動方式、薄膜トランジスタの配置や構造、補助容量の配置や構造、Ｃｓバスライン４３ｃ（補助容量配線）、幹配線１８０、ブリッジ配線２１０の配線の仕方、接続の仕方などにおいて、種々の変更ができる

50

。また、上述した実施形態では、1つの画素Aは、RGBのサブ画素 $A_R$ 、 $A_G$ 、 $A_B$ を有し、各サブ画素 $A_R$ 、 $A_G$ 、 $A_B$ は、さらに上下の副画素Pa、Pbを備えている。そして、上下の副画素Pa、Pbは、個別に駆動する。このように、上述した実施形態では、マルチ駆動タイプの液晶パネルを例示している。液晶パネルの構造は、特に、マルチ駆動タイプの液晶パネルに限定されない。また、画素はマトリックス状に配置されているが、画素の配置についても、マトリックス状に特に限定されない。すなわち、各画素は補助容量が設けられているとよく、かかる補助容量が接続される補助容量配線を複数備えているとよい。そして、かかる補助容量配線に駆動信号を送る幹配線とは別に、表示部内において複数の補助容量配線を接続するブリッジ配線を備えているとよい。

【0069】

10

また、上述した実施形態では、幹配線を複数有し、各幹配線はそれぞれ複数の補助容量配線が接続されている形態を例示した。この場合、ブリッジ配線は、同じ幹配線に接続された補助容量配線を接続している。なお、液晶パネルの構成によっては、幹配線が一つであり、全ての補助容量配線が同じ幹配線に接続され、同じ駆動信号が伝送される場合もある。このような場合には、ブリッジ配線は、同じ駆動信号が伝送される補助容量配線を接続しているとよい。例えば、全ての補助容量配線がブリッジ配線で接続されていてもよい。

【符号の説明】

【0070】

10 液晶パネル（表示部）

20

10a 画素領域

11 カラーフィルタ基板

12 アレイ基板

13 液晶層

15 シール材

17、18 偏光板

20 バックライト

22 光源

24 バックライトシャーシ

26 光学シート

30

30 ベゼル

32 フレーム

41 ガラス基板（アレイ基板のガラス基板）

42、42a、42b 画素電極

43a ソースバスライン

43b ゲートバスライン

43c Csバスライン（補助容量配線）

44 平坦化層

46 配向膜

47、47a、47b 薄膜トランジスタ

40

51 ガラス基板（カラーフィルタ基板のガラス基板）

52 ブラックマトリックス

53 カラーフィルタ

54 平坦化層

55 対向電極

56 配向膜

59 スペース

71 ソースドライバ

72 ゲートドライバ

100 液晶表示装置（表示装置）

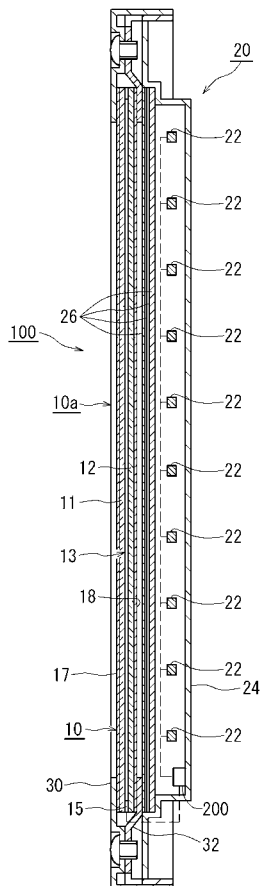
50

- 1 2 1 ソース電極  
 1 2 2 ゲート電極  
 1 2 3、1 2 3 a、1 2 3 b ドレイン電極  
 1 4 2 a、1 4 2 b 補助容量電極  
 1 4 4 a、1 4 4 b 引出配線  
 1 8 0、1 8 1 ~ 1 8 4 幹配線  
 2 0 0 制御部  
 2 0 1 信号入力部  
 2 0 2 タイミング制御部  
 2 0 3 電源  
 2 1 0 ブリッジ配線  
 A 画素  
 A<sub>R</sub>、A<sub>G</sub>、A<sub>B</sub> サブ画素  
 C s (C c s) 補助容量  
 C l c 液晶層を操作するコンデンサ  
 P a、P b 副画素  
 V c s 1、V c s 2 電圧変動(リップル)

10

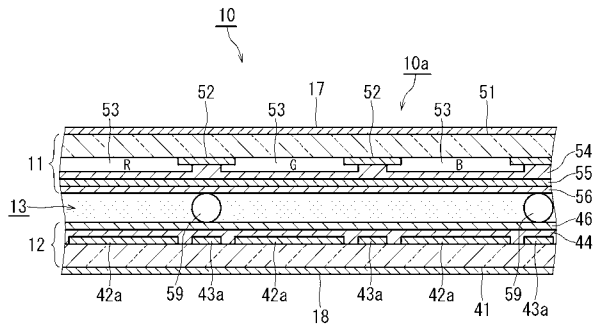
【図 1】

FIG. 1

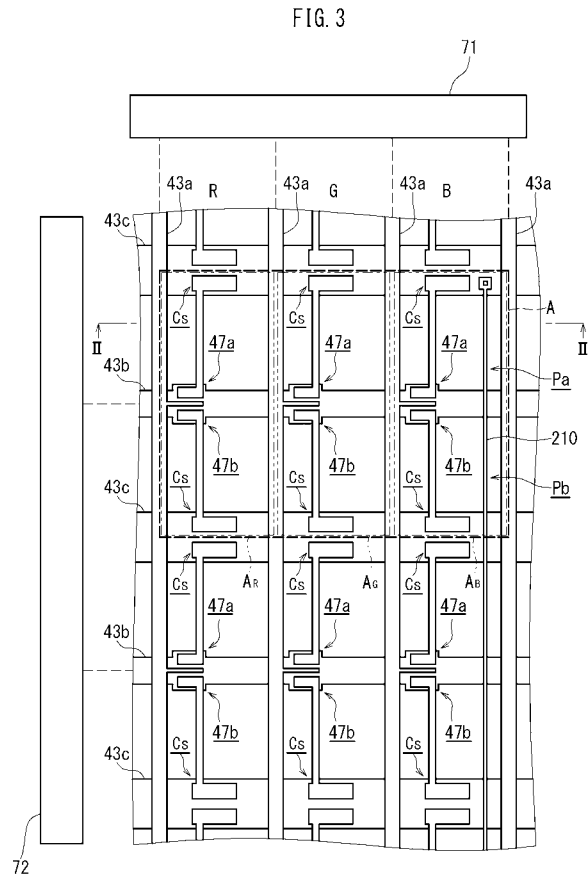


【図 2】

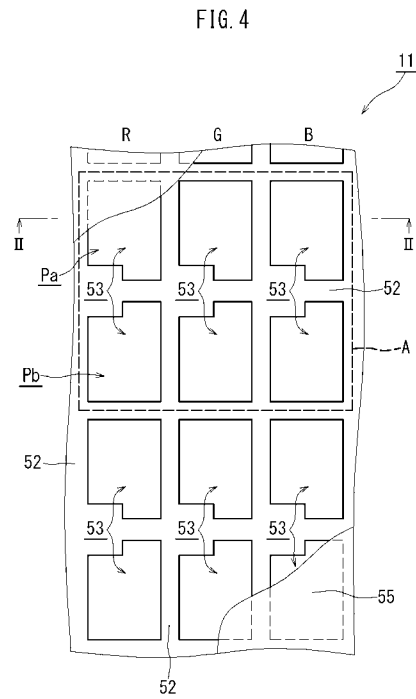
FIG. 2



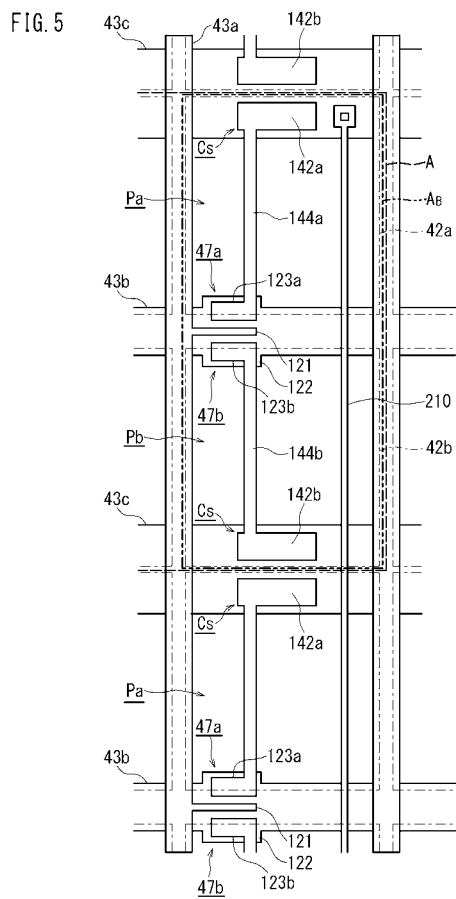
【図 3】



【図 4】



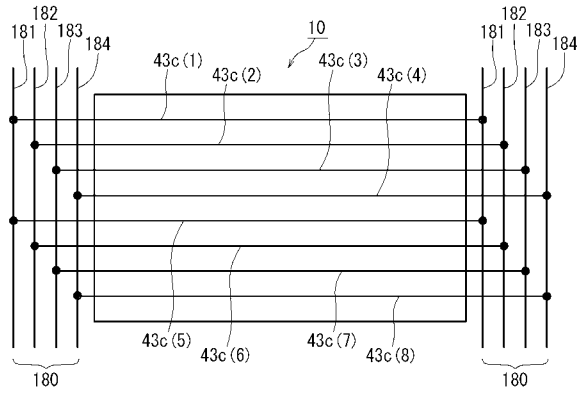
【図 5】



【図 6】

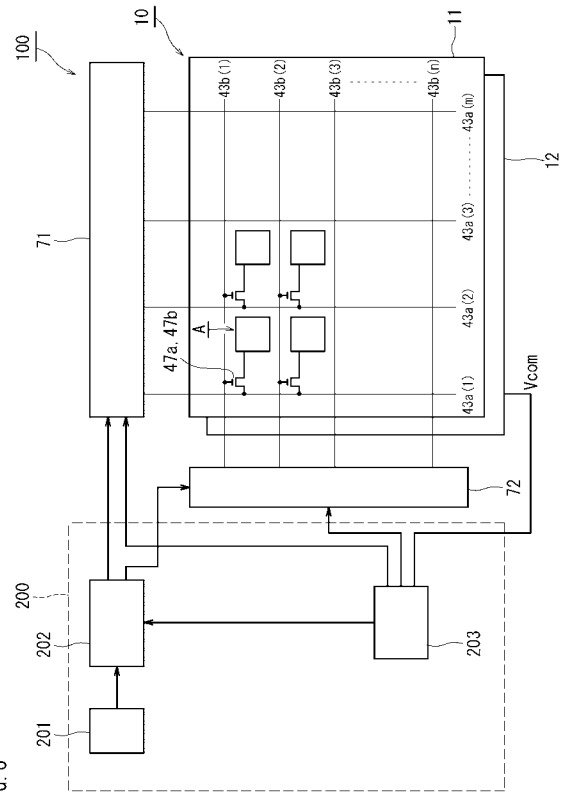
【図 7】

FIG. 7



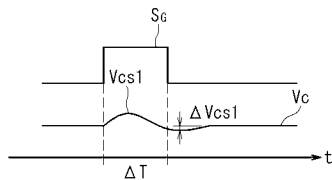
【図 8】

FIG. 8



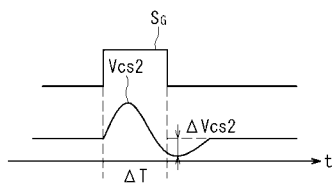
【図 10】

FIG. 10



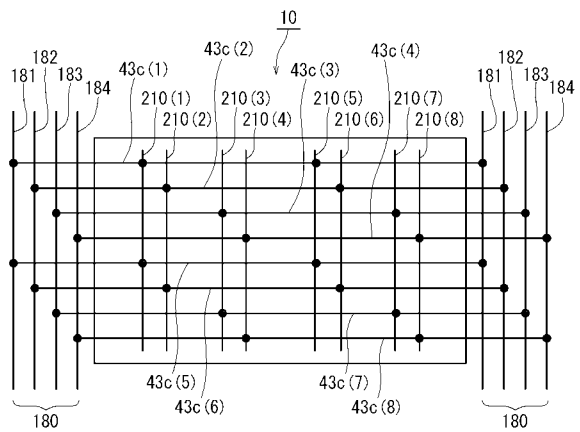
【図 11】

FIG. 11



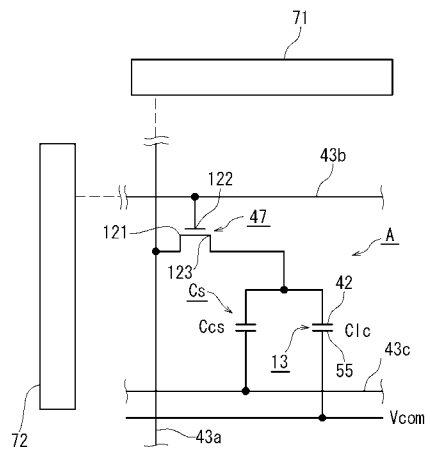
【図 12】

FIG. 12



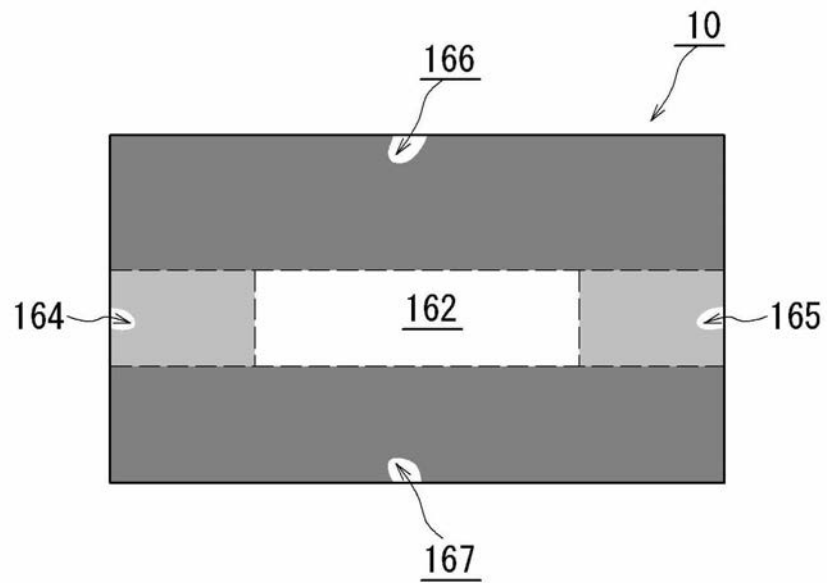
【図 13】

FIG. 13



【図 9】

FIG. 9



---

フロントページの続き

- (72)発明者 正楽 明大  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 下敷領 文一  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 北山 雅江  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 福田 知喜

- (56)参考文献 特開 2 0 0 4 - 0 9 3 7 3 4 ( J P , A )  
特開 2 0 0 3 - 0 4 3 9 4 8 ( J P , A )  
特開 2 0 0 0 - 1 1 1 9 3 7 ( J P , A )  
特開 2 0 0 3 - 1 1 4 6 5 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

|         |             |
|---------|-------------|
| G 0 2 F | 1 / 1 3 6 8 |
| G 0 2 F | 1 / 1 3 3   |
| G 0 9 F | 9 / 3 0     |
| G 0 9 G | 3 / 2 0     |
| G 0 9 G | 3 / 3 6     |

|                |                                                     |         |            |
|----------------|-----------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                              |         |            |
| 公开(公告)号        | <a href="#">JP5238826B2</a>                         | 公开(公告)日 | 2013-07-17 |
| 申请号            | JP2010548365                                        | 申请日     | 2009-08-27 |
| [标]申请(专利权)人(译) | 夏普株式会社                                              |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                |         |            |
| 当前申请(专利权)人(译)  | 夏普公司                                                |         |            |
| [标]发明人         | 山下祐樹<br>正楽明大<br>下敷領文一<br>北山雅江                       |         |            |
| 发明人            | 山下 祐樹<br>正楽 明大<br>下敷領 文一<br>北山 雅江                   |         |            |
| IPC分类号         | G02F1/1368 G09G3/36 G09G3/20                        |         |            |
| CPC分类号         | G02F1/136213 G09G3/3648 G09G2300/0426 G09G2300/0439 |         |            |
| FI分类号          | G02F1/1368 G09G3/36 G09G3/20.680.H G09G3/20.642.A   |         |            |
| 代理人(译)         | 安倍晋三诚                                               |         |            |
| 审查员(译)         | 福田 知喜                                               |         |            |
| 优先权            | 2009015865 2009-01-27 JP                            |         |            |
| 其他公开文献         | JPWO2010087049A1                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                           |         |            |

#### 摘要(译)

液晶显示器 ( 100 ) 包括液晶面板 ( 10 ) , 其中布置有多个像素 ( A ) 。存储电容器 ( Cs ) 设置在液晶面板 ( 10 ) 的每个像素 ( A ) 中。存储电容器 ( Cs ) 连接到Cs总线 ( 43c ) 。液晶显示器 ( 100 ) 包括多个这样的Cs总线 ( 43c ) 。 Cs总线 ( 43c ) 连接到主干线 ( 180 ) 。主线 ( 180 ) 经由Cs总线 ( 43c ) 将驱动信号传输到辅助电容 ( Cs ) 。液晶显示器 ( 100 ) 设置有桥接线 ( 210 ) , 其与主线 ( 180 ) 分开地连接多个Cs总线 ( 43c ) 。

