

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5035931号
(P5035931)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.

F 1

G02F 1/1343 (2006.01)
G02F 1/1368 (2006.01)G02F 1/1343
G02F 1/1368

請求項の数 9 (全 14 頁)

(21) 出願番号 特願2010-75995 (P2010-75995)
 (22) 出願日 平成22年3月29日 (2010.3.29)
 (65) 公開番号 特開2011-209454 (P2011-209454A)
 (43) 公開日 平成23年10月20日 (2011.10.20)
 審査請求日 平成23年3月29日 (2011.3.29)

(73) 特許権者 302020207
 株式会社ジャパンディスプレイセントラル
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に沿って延在した第1補助容量線及び第2補助容量線と、 帯状の第1主電極部、前記第1主電極部の一端部に接続され前記第1主電極部とは異なる方向に延在し前記第1主電極部とでT字型もしくはY字型を成す形状であって前記第2補助容量線の上方に位置する第1副電極部、 及び前記第1補助容量線の上方に位置し且つ前記第1主電極部の他端部に接続された容量部を有する画素電極と、を備えた第1基板と、

前記第1基板に対向配置され、前記第1主電極部と略平行な帯状に形成され前記第1主電極部との間に横電界を形成するように配置された第2主電極部を有する対向電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、を備え、

第1方向に直交する第2方向に隣接する2つの前記画素電極において、一方の画素電極の第1副電極部は他方の画素電極の容量部と向かい合っていることを特徴とする液晶表示装置。

【請求項 2】

前記第1副電極部の第1方向に沿った長さは、前記容量部の第1方向に沿った長さよりも長いことを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記対向電極は、第1方向に延在し且つ前記容量部の上方に位置するとともに前記第2主電極部に接続された第2副電極部を有することを特徴とする請求項2に記載の液晶表示

装置。

【請求項 4】

さらに、前記第1基板は、第1方向に沿って延在したゲート配線と、第1方向に直交する第2方向に沿って延在し前記画素電極を挟む両側に位置するソース配線と、を備え、

前記第2主電極部は、前記ソース配線のそれぞれの上方に位置することを特徴とする請求項3の液晶表示装置。

【請求項 5】

第1方向に沿って延在した第1補助容量線及び第2補助容量線と、第1方向に直交する第2方向に隣接する第1画素電極及び第2画素電極と、を備えた第1基板であって、前記第1画素電極及び前記第2画素電極の各々は、帯状の第1主電極部、前記第1主電極部の一端部に接続され前記第1主電極部とは異なる方向に延在し前記第1主電極部とでT字型もしくはY字型を成す形状である第1副電極部、及び前記第1主電極部の他端部に接続された容量部を有し、しかも、前記第1画素電極の前記容量部が前記第1補助容量線の上方に位置し、前記第2画素電極の前記容量部が前記第2補助容量線の上方に位置し、前記第1画素電極の前記第1副電極部が前記第2画素電極の前記容量部と向かい合う、第1基板と、

前記第1基板に対向配置され、前記第1主電極部と略平行な帯状に形成され前記第1主電極部との間に横電界を形成するように配置された第2主電極部を有する対向電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 6】

前記第1画素電極の前記第1副電極部の第1方向に沿った長さは、前記第2画素電極の前記容量部の第1方向に沿った長さよりも長いことを特徴とする請求項5に記載の液晶表示装置。

【請求項 7】

前記第1画素電極の前記第1副電極部及び前記第2画素電極の前記容量部が前記第2補助容量線の上方に位置することを特徴とする請求項6に記載の液晶表示装置。

【請求項 8】

前記対向電極は、第1方向に延在し且つ前記第1画素電極及び前記第2画素電極の各々の前記容量部の上方に位置するとともに前記第2主電極部に接続された第2副電極部を有することを特徴とする請求項7に記載の液晶表示装置。

【請求項 9】

さらに、前記第1基板は、第1方向に沿って延在したゲート配線と、第2方向に沿って延在し前記第1画素電極及び前記第2画素電極を挟む両側に位置するソース配線と、を備え、

前記第2主電極部は、前記ソース配線のそれぞれの上方に位置することを特徴とする請求項8の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードやFFS (Fringe Field Switching) モードなどの横電界（フリンジ電界も含む）を利用した構造が注目されている（例えば、特許文献1参照。）

10

20

30

40

50

このIPSやFFSモードなどの横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と共に通電極とを備え、アレイ基板の正面に対してほぼ平行な横電界で液晶分子をスイッチングする。また、アレイ基板及び対向基板のそれぞれの外面には、互いに偏光軸方向が直交するように配置された偏光板が配置されている。このような偏光板の配置により、例えば電圧無印加時に黒色画面を表示し、映像信号に対応した電圧を画素電極に印加することにより徐々に透過率(変調率)が増加して白色画面を表示する。このような液晶表示装置では、液晶分子が基板正面とほぼ平行な平面内で回転するため、透過光の入射方向に対して偏光状態が大きく影響しないので、視野角依存性は小さく、広い視野角特性を有するといった特徴がある。

【先行技術文献】

10

【特許文献】

【0003】

【特許文献1】特開2002-131780号公報

【特許文献2】特開2005-3802号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

この発明の目的は、高透過率化が可能であり、表示品位の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

20

【0005】

本実施形態によれば、

第1方向に沿って延在した第1補助容量線及び第2補助容量線と、帯状の第1主電極部
、前記第1主電極部の一端部に接続され前記第1主電極部とは異なる方向に延在し前記第
1主電極部とでT字型もしくはY字型を成す形状であって前記第2補助容量線の上方に位
置する第1副電極部、及び前記第1補助容量線の上方に位置し且つ前記第1主電極部の他
端部に接続された容量部を有する画素電極と、を備えた第1基板と、前記第1基板に対向
配置され、前記第1主電極部と略平行な帯状に形成され前記第1主電極部との間に横電界
を形成するように配置された第2主電極部を有する対向電極を備えた第2基板と、前記第
1基板と前記第2基板との間に保持された液晶層と、を備え、第1方向に直交する第2方
向に隣接する2つの前記画素電極において、一方の画素電極の第1副電極部は他方の画素
電極の容量部と向かい合っていることを特徴とする液晶表示装置が提供される。

30

【発明の効果】

【0006】

この発明によれば、高透過率化が可能であり、表示品位の良好な液晶表示装置を提供できる。

【図面の簡単な説明】

【0007】

【図1】図1は、この発明の一実施の形態における液晶表示装置の構成を概略的に示す図である。

40

【図2】図2は、図1に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図3】図3は、図2に示したアレイ基板における画素の構造を対向基板の側から見た概略平面図である。

【図4】図4は、図3に示した画素をA-B線で切断した液晶表示パネルの断面構造を概略的に示す図である。

【図5】図5は、本実施形態の液晶表示パネルにおける画素の主要部を図示した概略平面図である。

【図6】図6は、本実施形態の変形例の液晶表示パネルにおける画素の主要部を図示した概略平面図である。

50

【発明を実施するための形態】

【0008】

以下、本発明の一態様について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本実施形態における液晶表示装置の構成を模式的に示す図である。

【0010】

すなわち、液晶表示装置1は、アクティブマトリクスタイプの液晶表示パネルLPN、液晶表示パネルLPNに接続された駆動ICチップ2及びフレキシブル配線基板3、液晶表示パネルLPNを照明するバックライト4などを備えている。

10

【0011】

液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、m及びnは正の整数である）。

【0012】

バックライト4は、図示した例では、アレイ基板ARの背面側に配置されている。このようなバックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CFL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

20

【0013】

図2は、図1に示した液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【0014】

液晶表示パネルLPNは、アクティブエリアACTにおいて、n本のゲート配線G(G1~Gn)、n本の補助容量線C(C1~Cn)、m本のソース配線S(S1~Sm)などを備えている。ゲート配線G及び補助容量線Cは、第1方向であるX方向に沿ってそれぞれ延在している。また、ゲート配線G及び補助容量線Cは、第1方向に直交する第2方向であるY方向に沿って交互に並列配置されている。ソース配線Sは、ゲート配線G及び補助容量線Cと交差するY方向に沿ってそれぞれ延在している。また、ソース配線Sは、X方向に沿って並列配置されている。つまり、ゲート配線G及び補助容量線Cと、ソース配線Sとは、略直交している。

30

【0015】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

40

【0016】

各画素PXは、スイッチング素子SW、画素電極PE、対向電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。

【0017】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で対向電極CEが対向基板CTに形成された構成であり、これらの画素電極PEと対向電極CEとの間に形成される電界を主に利用して液晶層LQを構成する液晶分子をスイッチングする。画素電極PEと対向電極CEとの間に形成される電界は、アレイ基板ARの主面あるいは対向基板CTの主面にほぼ平行な横電界である。

50

【0018】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電気的に接続されている。アクティブエリアACTには、m×n個のスイッチング素子SWが形成されている。

【0019】

画素電極PEは、スイッチング素子SWに電気的に接続されている。アクティブエリアACTには、m×n個の画素電極PEが形成されている。対向電極CEは、例えばコモン電位であり、液晶層LQを介して複数の画素電極PEに対して共通に形成されている。この対向電極CEは、図示しない導電部材を介して、アレイ基板ARに形成された給電部VSと電気的に接続されている。補助容量線Cは、補助容量電圧が印加される電圧印加部VCsと電気的に接続されている。

10

【0020】

図3は、図2に示したアレイ基板ARにおける画素PXの構造を対向基板CTの側から見た概略平面図である。

【0021】

ゲート配線G1、補助容量線C1及びC2は、それぞれX方向に延在している。ソース配線S1及びS2は、画素電極PEを挟む両側に位置し、それぞれY方向に延在している。図示した例では、補助容量線C1と補助容量線C2との間にゲート配線G1が位置しており、補助容量線C1及びC2とソース配線S1及びS2とが成すマス目が画素PXの開口部に相当する。

20

【0022】

スイッチング素子SWは、ゲート配線Gとソース配線Sとの交差部近傍に配置されている。このスイッチング素子SWは、半導体層SCを備えている。この半導体層SCは、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能であり、ここではポリシリコンによって形成されている。

【0023】

スイッチング素子SWのゲート電極WGは、半導体層SCの上方に位置し、ゲート配線G1に電気的に接続されている。なお、図示した例では、ゲート電極WGは、ゲート配線G1と一体的に形成されている。スイッチング素子SWのソース電極WSは、ソース配線S1に電気的に接続されている。なお、図示した例では、ソース電極WSは、ソース配線S1と一体的に形成されている。スイッチング素子SWのドレイン電極WDは、補助容量線C1の上方に延在している。

30

【0024】

画素電極PEは、第1主電極部P1、第1副電極部P2、及び、容量部P3を有している。なお、図示した例では、画素PXに配置された画素電極PE及びこの画素PXのY方向(図中の下側)に隣接する画素電極PE2の一部のみが図示されているが、図示を省略した他の画素についても同一形状の画素電極が配置されている。

【0025】

すなわち、第1主電極部P1は、Y方向に直線的に延在した帯状に形成されている。この第1主電極部P1は、ソース配線S1とソース配線S2との間の略中央に位置している。第1副電極部P2は、第1主電極部P1の一端部に接続され、第1主電極部P1とは異なる方向に延在している。図示した例では、第1副電極部P2は、X方向に直線的に延在しており、第1主電極部P1とでT字型をなしている。容量部P3は、第1主電極部P1の他端部に接続され、略四角形状に形成されている。容量部P3のX方向に沿った長さは、第1副電極部P2のX方向に沿った長さよりも短い。

40

【0026】

容量部P3は、図示しない絶縁膜を介して補助容量線C1の上方に位置している。この容量部P3は、補助容量線C1の上方に延在したドレイン電極WDと電気的に接続されている。これにより、画素電極PEは、スイッチング素子SWと電気的に接続される。また

50

、画素電極 P E と補助容量線 C 1との間に保持容量 C s が形成される。

【0027】

第1副電極部 P 2は、図示しない絶縁膜を介して補助容量線 C 2の上方に位置している。なお、この補助容量線 C 2の上方には、図示した画素 P Xに対してY方向下側に隣接した画素電極 P E 2の容量部 P 3 3も位置している。第1副電極部 P 2は、容量部 P 3 3から離間しているが、容量部 P 3 3と向かい合っている。

【0028】

図4は、図3に示した画素 P XをA - B線で切断した液晶表示パネル L P Nの断面構造を概略的に示す図である。

【0029】

すなわち、アレイ基板 A Rは、ガラス板などの光透過性を有する第1絶縁基板 1 0を用いて形成されている。このアレイ基板 A Rは、第1絶縁基板 1 0の内面(すなわち液晶層 L Qに対向する面)にスイッチング素子 S Wを備えている。ここに示したスイッチング素子 S Wは、トップゲート型の薄膜トランジスタである。

【0030】

スイッチング素子 S Wの半導体層 S Cは、第1絶縁基板 1 0の上に形成されている。半導体層 S Cは、チャネル領域 S C Cを挟んだ両側にそれぞれソース領域 S C S及びドレイン領域 S C Dを有している。なお、第1絶縁基板 1 0と半導体層 S Cとの間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層 S Cは、ゲート絶縁膜 1 1によって覆われている。また、ゲート絶縁膜 1 1は、第1絶縁基板 1 0の上にも配置されている。

【0031】

ゲート電極 W Gは、ゲート絶縁膜 1 1の上に形成され、半導体層 S Cのチャネル領域 S C Cの上方に位置している。補助容量線 C 1は、ゲート絶縁膜 1 1の上に形成されている。これらのゲート電極 W G及び補助容量線 C 1は、図示しないゲート配線 Gや補助容量線 C 2などとともに同一材料を用いて同一工程で形成可能である。

【0032】

ゲート電極 W G及び補助容量線 C 1は、第1層間絶縁膜 1 2によって覆われている。また、この第1層間絶縁膜 1 2は、ゲート絶縁膜 1 1の上にも配置されている。これらのゲート絶縁膜 1 1及び第1層間絶縁膜 1 2は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

【0033】

スイッチング素子 S Wのソース電極 W S及びドレイン電極 W Dは、第1層間絶縁膜 1 2の上に形成されている。ソース電極 W Sは、ソース配線 S 1の一部である。また、この図においては、第1層間絶縁膜 1 2の上に形成されたソース配線 S 2も図示されている。これらのソース電極 W S、ドレイン電極 W D、ソース配線 S 1及び S 2は、同一材料を用いて同一工程で形成可能である。

【0034】

ソース電極 W Sは、ゲート絶縁膜 1 1及び第1層間絶縁膜 1 2を貫通するコンタクトホールを通して半導体層 S Cのソース領域 S C Sにコンタクトしている。ドレイン電極 W Dは、ゲート絶縁膜 1 1及び第1層間絶縁膜 1 2を貫通するコンタクトホールを通して半導体層 S Cのドレイン領域 S C Dにコンタクトしている。また、このドレイン電極 W Dは、補助容量線 C 1の上方に延在している。これらのゲート電極 W G、ソース電極 W S、及び、ドレイン電極 W Dは、例えば、モリブデン、アルミニウム、タングステン、チタンなどの導電材料によって形成されている。

【0035】

このような構成のスイッチング素子 S Wは、第2層間絶縁膜 1 3によって覆われている。つまり、ソース電極 W S、ドレイン電極 W D、ソース配線 S 1及び S 2は、第2層間絶縁膜 1 3によって覆われている。また、この第2層間絶縁膜 1 3は、第1層間絶縁膜 1 2の上にも配置されている。この第2層間絶縁膜 1 3は、例えば、紫外線硬化型樹脂や熱硬

10

20

30

40

50

化型樹脂などの各種有機材料によって形成されている。

【0036】

画素電極 P E は、第2層間絶縁膜 13 の上に形成されている。図示した例では、画素電極 P E の容量部 P 3 は、補助容量線 C 1 の上方に位置し、第2層間絶縁膜 13 を貫通するコンタクトホールを介してドレイン電極 W D に接続されている。このような画素電極 P E は、光透過性を有する導電材料、例えば、インジウム・ティン・オキサイド (ITO) やインジウム・ジンク・オキサイド (IZO) などによって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【0037】

画素電極 P E は、第1配向膜 14 によって覆われている。この第1配向膜 14 は、第2層間絶縁膜 13 の上にも配置され、アレイ基板 A R の液晶層 L Q に接する面に設けられている。この第1配向膜 14 は、水平配向性を示す材料によって形成されており、ラビング処理されている。

【0038】

一方、対向基板 C T は、ガラス板などの光透過性を有する第2絶縁基板 20 を用いて形成されている。この対向基板 C T は、第2絶縁基板 20 の内面（すなわち液晶層 L Q に対向する面）に、カラーフィルタ層 21、対向電極 C E などを備えている。

【0039】

カラーフィルタ層 21 は、第2絶縁基板 20 の上に形成されている。このカラーフィルタ層 21 は、互いに異なる複数の色、例えば赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。詳述しないが、赤色に着色された樹脂材料は赤色画素に対応して配置され、同様に、青色に着色された樹脂材料は青色画素に対応して配置され、緑色に着色された樹脂材料は緑色画素に対応して配置されている。

【0040】

対向電極 C E は、カラーフィルタ層 21 の上に形成されている。この対向電極 C E は、画素電極 P E との間に横電界を形成するように配置されている。図示した例では、対向電極 C E は、ソース配線 S 1 及び S 2 の上方に位置している。このような対向電極 C E は、ITOやIZOなどの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【0041】

対向電極 C E の表面は、第2配向膜 22 によって覆われている。この第2配向膜 22 は、カラーフィルタ層 31 の上にも配置され、対向基板 C T の液晶層 L Q に接する面に設けられている。この第2配向膜 22 は、第1配向膜 14 と同様に水平配向性を示す材料によって形成されており、ラビング処理されている。

【0042】

なお、この対向基板 C T において、カラーフィルタ層 21 と対向電極 C E 及び第2配向膜 22との間には、カラーフィルタ層 21 の表面の凹凸を平坦化するオーバーコート層が配置されていても良い。

【0043】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第1配向膜 14 及び第2配向膜 22 が対向するように配置されている。このとき、アレイ基板 A R の第1配向膜 14 と対向基板 C T の第2配向膜 22 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のギャップ、例えば 3 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で図示しないシール材によって貼り合わせられている。

【0044】

液晶層 L Q は、上述したセルギャップに封入されている。すなわち、液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に保持された液晶材料によって構成されている。

【0045】

液晶表示パネル L P N の一方の外面、つまり、アレイ基板 A R を構成する第1絶縁基板

10

20

30

40

50

10の外面には、第1偏光板PL1が接着剤などにより貼付されている。また、液晶表示パネルLPNの他方の外面、つまり、対向基板CTを構成する第2絶縁基板20の外面には、第2偏光板PL2が接着剤などにより貼付されている。

【0046】

本実施形態においては、第1偏光板PL1の吸収軸と、第2偏光板PL2の吸収軸とが直交する位置関係にあり、直線偏光を選択的に透過して画像を表示する直線偏光モードを採用している。

【0047】

図5は、本実施形態の液晶表示パネルLPNにおける画素PXの主要部を図示した概略平面図である。

10

【0048】

画素電極PEは、上述した通り、2本のソース配線ここではソース配線S1及びS2の間に位置し、第1主電極部P1、第1副電極部P2、及び、容量部P3を有している。第1副電極部P2の図中の下側には、隣接する画素電極PE2の容量部P33が位置している。

【0049】

対向電極CEは、第1主電極部P1と略平行な帯状に形成された第2主電極部CE1を有している。この第2主電極部CE1は、第1主電極部P1との間に横電界を形成するよう配置されており、Y方向に延在し、しかも、ソース配線S1及びS2の上方に位置している。また、この対向電極CEは、第2主電極部CE1に接続された第2副電極部CE2を有している。この第2副電極部CE2は、X方向に延在し、しかも、画素電極PEの容量部P3の上方に位置している。

20

【0050】

図示を省略するが、画素電極PEを覆う第1配向膜及び対向電極CEを覆う第2配向膜がラビング処理されているため、液晶分子は、第1配向膜及び第2配向膜との相互作用により、X-Y平面内において所定の方位、例えば、Y方向と平行な方位に配向されている。

【0051】

このように、画素電極PEと対向電極CEとの間に電位差が形成されていない状態での液晶分子の配向方位を初期配向方位と称する。本実施形態では、液晶分子が初期配向方位に配向している状態では、バックライト4から液晶表示パネルLPNに向けて照射された光が第2偏光板PL2を透過できず、黒画面を形成するノーマリーブラックモードを実現している。

30

【0052】

画素電極PEと対向電極CEとの間に電位差が形成された場合、X-Y平面に平行な横電界が形成される。特に、第1主電極部P1と第2主電極部CE1との間には、X方向に略平行な横電界EF1が形成される。このとき、液晶分子は、主として横電界EF1の影響により、初期配向方位とは異なる方位に配向する。このような状態では、バックライト4から液晶表示パネルLPNに向けて照射された光が第2偏光板PL2を透過し、白画面が表示される。

40

【0053】

本実施形態において、ライン反転駆動が適用された場合には、対向電極CEの電位に対して画素電極PEに印加される電圧の極性と、これに隣接する画素電極PE2に印加される電圧の極性とは互いに逆極性となる。例えば、対向電極CEの電位を0Vとし、画素電極PEに印加される電圧が+5Vであり、画素電極PE2に印加される電圧が-5Vである場合、画素電極PEと画素電極PE2との間の電位差によって強い横電界EF2が形成される。この横電界EF2の方位は、画素電極PEの画素電極PE2に向かい合う部分の形状、及び、画素電極PE2の画素電極PEに向かい合う部分の形状の影響を受ける。

【0054】

画素電極PEが第1副電極部P2を有していない場合、第1主電極部P1の一端部P1

50

A が画素電極 P E 2 の容量部 P 3 3 と向かい合う。このとき、一端部 P 1 A の X 方向に沿った長さは、容量部 P 3 3 の X 方向に沿った長さよりも短い。このため、一端部 P 1 A と容量部 P 3 3 とが向かい合う部分では、Y 方向に略平行な横電界 E F 2 が形成される一方で、第 1 主電極部 P 1 と第 2 主電極部 C E 1 との間に X 方向に略平行な横電界 E F 1 が形成される。

【 0 0 5 5 】

第 1 主電極部 P 1 の一端部 P 1 A の周辺の領域 A では、横電界の方位が横電界 E F 1 の方位から横電界 E F 2 の方位に連続的に変化する。このため、領域 A に位置する液晶分子の配向状態も、これらの横電界の影響を受けて連続的に変化している。直線偏光モードを採用した液晶表示パネル L P N においては、X - Y 平面内において、第 1 偏光板 P L 1 及び第 2 偏光板 P L 2 の吸収軸と略平行な方向に配向した液晶分子の存在によって暗線が発生し、領域 A においても暗線が発生する。このため、透過率の低下を招く。 10

【 0 0 5 6 】

本実施形態によれば、画素電極 P E が第 1 主電極部 P 1 の一端部 P 1 A に接続された第 1 副電極部 P 2 を有している。この第 1 副電極部 P 2 は、容量部 P 3 3 と向かい合う。図示した例では、第 1 副電極部 P 2 は、第 1 主電極部 P 1 とで T 字型をなしている。

【 0 0 5 7 】

このため、第 1 副電極部 P 2 と容量部 P 3 3 とが向かい合う部分では、Y 方向に略平行な横電界 E F 2 が形成される一方で、第 1 副電極部 P 2 と第 2 主電極部 C E 1 との間に X 方向に略平行な横電界 E F 3 が形成される。これにより、領域 A では、横電界 E F 1 によって配向制御された液晶分子が支配的となり、暗線の発生を抑制することができる。このため、画素電極 P E が第 1 副電極部 P 2 を有していない場合と比較して、透過率を向上することが可能となる。 20

【 0 0 5 8 】

なお、暗線が発生する領域は、第 1 副電極部 P 2 及び容量部 P 3 3 が位置する図示しない補助容量線 C 2 の上にシフトする。補助容量線は、元々遮光性の導電材料によって形成されているため、暗線が補助容量線上にシフトしたとしても、画素 P X の透過率にはほとんど影響を与えない。

【 0 0 5 9 】

また、本実施形態によれば、第 1 副電極部 P 2 の X 方向に沿った長さは、容量部 P 3 3 の X 方向に沿った長さよりも長い。このため、横電界 E F 2 の影響をシールドする効果が高まり、暗線の発生をより抑制することが可能となる。 30

【 0 0 6 0 】

画素電極 P E と対向電極 C E との間に電位差が形成された状態であっても、第 1 主電極部 P 1 や第 2 主電極部 C E 1 に重なる領域の液晶分子は、表示に寄与する方位に配向しない場合が多い。本実施形態においては、第 2 主電極部 C E 1 は、ソース配線 S 1 及び S 2 の上方（つまりソース配線 S 1 及び S 2 と向かい合う位置）に位置している。ソース配線 S は、元々遮光性の導電材料によって形成されているため、第 2 主電極部 C E 1 に重なる領域の液晶分子が表示に寄与しない方位に配向したとしても、画素 P X の透過率にはほとんど影響を与えない。むしろ、第 2 主電極部 C E 1 がソース配線 S 1 及び S 2 よりも第 1 主電極部 P 1 側に配置された場合と比較すると、画素 P X の透過率は向上する。図示した例の場合、ソース配線 S 1 及び S 2 と第 1 主電極部 P 1 との間の領域が画素 P X の開口部となり、表示に寄与する、つまり、透過率に寄与する領域となる。 40

【 0 0 6 1 】

また、第 2 主電極部 C E 1 をソース配線 S 1 及び S 2 の上方に配置することによって、第 1 主電極部 P 1 と第 2 主電極部 C E 1 との間の距離を拡大することが可能となり、より水平に近い横電界 E F 1 を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持される。

【 0 0 6 2 】

なお、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、第 1 主電極部 P 1 50

を挟んだ両側の第2主電極部C E 1との距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素P Xに共通に生じるため、画素P X間での電界分布に相違はなく、画像の表示に影響を及ぼさない。

【0063】

対向電極C Eが第2副電極部C E 2を有していない場合、第1主電極部P 1の他端部P 1 Bの周辺の領域Bにおいて、液晶分子の配向乱れなどにより、暗線が発生し、透過率の低下を招く。

【0064】

本実施形態によれば、対向電極C Eが容量部P 3の直上に位置する第2副電極部C E 2を有しているため、容量部P 3と第2副電極部C E 2との間に形成された縦電界と、第1主電極部P 1と第2主電極部C E 1との間に形成された横電界E F 1とが相互に作用し、液晶分子の配向乱れを緩和し、暗線の発生を抑制することができる。このため、対向電極C Eが第2副電極部C E 2を有していない場合と比較して、透過率を向上することが可能となる。

【0065】

以下に、実施例及び比較例1及び2について説明する。

【0066】

実施例

アレイ基板A Rに形成された画素電極P Eは、隣接する2本のソース配線Sの間の中央部に形成した第1主電極部P 1と、第1主電極部P 1の一端部に形成した第1副電極部P 2と、第1主電極部P 1の他端部に形成した容量部P 3と、を有している。第1主電極部P 1のX方向に沿った幅を10μmとした。対向基板C Tに形成された対向電極C Eは、第1主電極部P 1と平行かつソース配線Sの直上に形成した第2主電極部C E 1と、容量部P 3の直上に形成した第2副電極部C E 2と、を有している。第2主電極部C E 1のX方向に沿った幅を10μmとした。

【0067】

アレイ基板A Rの表面には第1配向膜14を形成した。また、対向基板C Tの表面には第1配向膜22を形成した。これらの第1配向膜14及び第2配向膜22は、水平配向性を有する材料を70nmの厚さで塗布した後に、ラビング処理することによって形成した。

【0068】

アレイ基板A Rと対向基板C Tとの間のセルギャップを4.0μmとし、アレイ基板A Rと対向基板C Tとを貼り合わせた。これらのアレイ基板A Rと対向基板C Tとの間には、メルク社製ポジ型液晶を注入して画素ピッチ50μmの液晶表示パネルL P Nを作製した。この実施例は、図5に示した例に相当する。

【0069】

(比較例1)

この比較例1では、画素電極P Eが第1副電極部を有しておらず、しかも、対向電極C Eが第2副電極を有していない。それ以外については、上記した実施例と同様にして液晶表示パネルを作製した。

【0070】

(比較例2)

この比較例2では、対向電極C Eが第2副電極を有していない。それ以外については、上記した実施例と同様にして液晶表示パネルを作製した。

【0071】

上記した実施例、比較例1及び比較例2のそれぞれの液晶表示パネルについて、画素電極P Eと対向電極C Eとの間に同一の電位差を与えたときの透過率を測定した。比較例1の液晶表示パネルで得られた透過率を1としたとき、比較例2の液晶表示パネルで得られた透過率は1.2であるが、実施例の液晶表示パネルL P Nで得られた透過率は1.4であり、実施例によれば高透過率化を実現できることが確認された。

10

20

30

40

50

【 0 0 7 2 】

したがって、高透過率化が可能であり、表示品位の良好な液晶表示装置を提供することができる。

【 0 0 7 3 】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合せにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合せてもよい。

【 0 0 7 4 】

10

例えば、画素電極 P E の形状は、図 5 などに示した例に限らない。図 6 に示した例では、画素電極 P E は、X 方向及び Y 方向のいずれとも異なる方向に延在し且つ第 1 主電極部 P 1 の一端部に接続された第 1 副電極部 P 2 を有している。この第 1 副電極部 P 2 は、第 1 主電極部 P 1 とで Y 字型を成す形状である。

【 0 0 7 5 】

また、図 6 に示した例では、画素電極 P E は、第 1 主電極部 P 1 の他端部に接続された容量部 P 3 を有している。この容量部 P 3 は、第 1 副電極部 P 2 と向かい合い、八角形状に形成されている。

【 0 0 7 6 】

20

このような図 6 に示した例の画素電極 P E を適用した場合であっても、上記した例と同様に高透過率化が可能となる。

【 符号の説明 】**【 0 0 7 7 】**

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

P E ... 画素電極

P 1 ... 第 1 主電極部 P 2 ... 第 1 副電極部 P 3 ... 容量部

C E ... 対向電極

C E 1 ... 第 2 主電極部 C E 2 ... 第 2 副電極部

S ... ソース配線

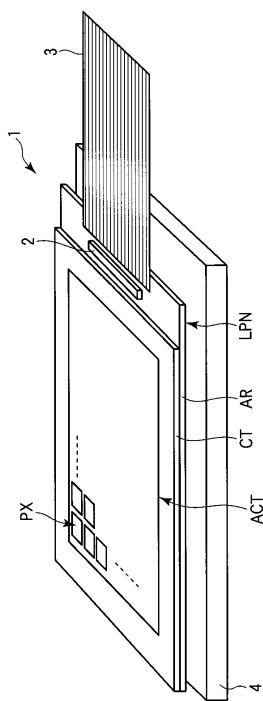
G ... ゲート配線

C ... 補助容量線

30

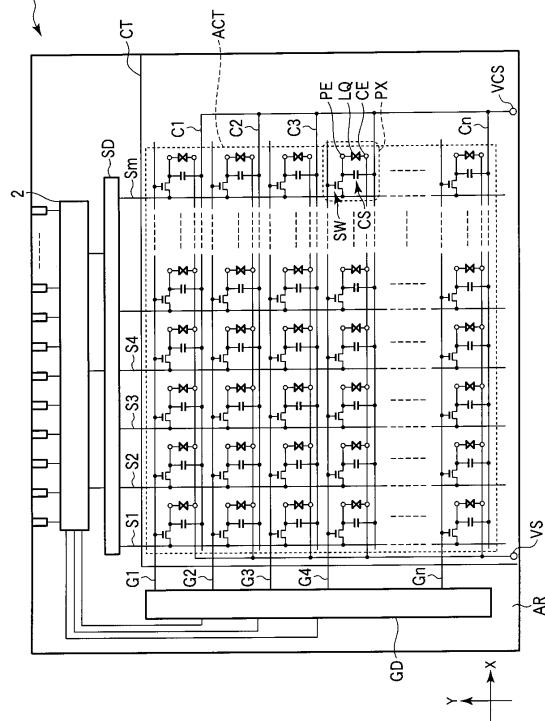
【図1】

図1



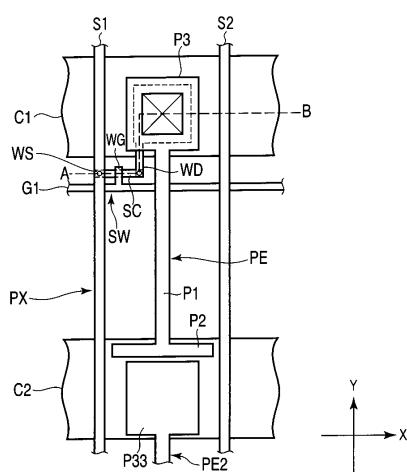
【図2】

図2



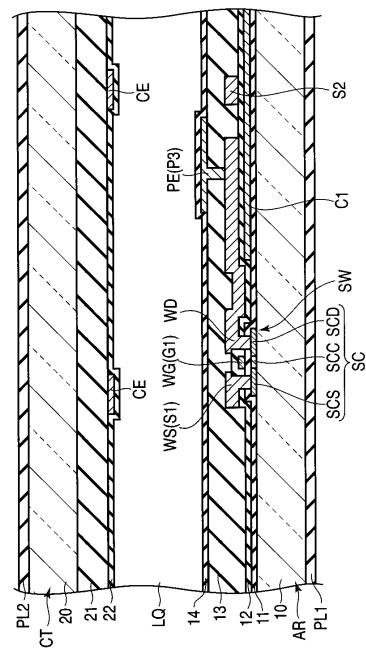
【図3】

図3



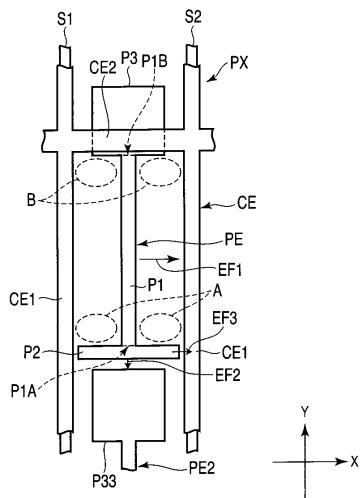
【図4】

図4



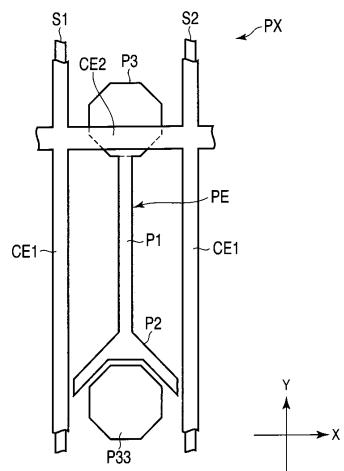
【図5】

図5



【図6】

図6



フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 藤田 都志行

(56)参考文献 特開2000-081641(JP, A)
特開平07-092459(JP, A)
特開平10-048671(JP, A)
特開平11-258624(JP, A)
特開平09-105908(JP, A)
特開2001-235744(JP, A)
特開2009-192822(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 02 F 1 / 1343
G 02 F 1 / 1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5035931B2	公开(公告)日	2012-09-26
申请号	JP2010075995	申请日	2010-03-29
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F2001/134318 G02F2001/134372		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA50 2H092/GA60 2H092/JA25 2H092/JA46 2H092/JB56 2H092/JB64 2H092/JB69 2H092/NA07 2H092/PA02 2H092/PA08 2H092/PA13 2H092/QA06 2H192/AA24 2H192/BA32 2H192/BB32 2H192/BB52 2H192/BB54 2H192/BC31 2H192/CB02 2H192/DA43 2H192/DA65 2H192/JA32		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP2011209454A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有高透射率和良好显示质量的液晶显示装置。解决方案：像素电极，具有带状第一主电极部分和第一子电极部分，第一子电极部分连接到第一主电极部分的一个端部并沿不同于第一主电极部分的方向延伸第二主电极部分，其设置成与第一基板相对，并且形成为与第一主电极部分基本平行的带状，并且布置成在第一主电极部分和第一基板之间形成横向电场，第二基板设置有对电极，该对电极具有第二主电极部分，以及保持在第一基板和第二基板之间的液晶层。点域

