

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-142317

(P2017-142317A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H192

審査請求 未請求 請求項の数 10 O L (全 24 頁)

(21) 出願番号 特願2016-22497 (P2016-22497)
 (22) 出願日 平成28年2月9日 (2016.2.9)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 山縣 有輔
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 村上 隆昭
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

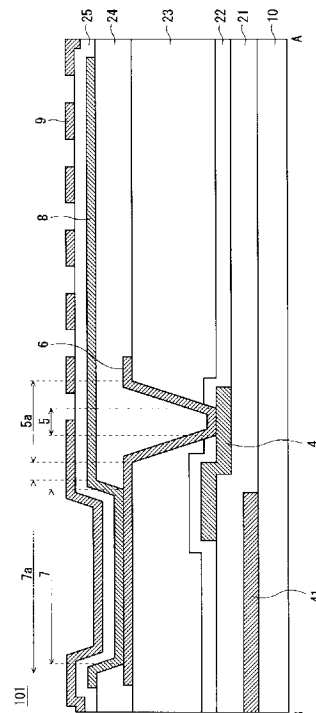
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶表示装置において、基板に形成されたコンタクトホールに起因する表示品質の低下を防止する。

【解決手段】TFTアレイ基板101は、TFT50のドレイン電極4に達する第1コンタクトホール5が設けられた第1層間樹脂膜23を備える。第1層間樹脂膜23上には、第1コンタクトホール5を通してドレイン電極4に接続する中継配線6が設けられる。第1層間樹脂膜23上には、中継配線6を覆うように第2層間樹脂膜24が設けられ、第2層間樹脂膜24には、中継配線6に達する第2コンタクトホール7が設けられる。画素電極8は、第2コンタクトホール7を通して中継配線6に接続する。第2コンタクトホール7は、平面視で、ゲート配線41の長さ方向と同じ長方形の形状を有している。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

基板上に設けられた走査線と、
前記走査線に接続したスイッチ素子と、
前記スイッチ素子を覆う第 1 層間樹脂膜と、
前記第 1 層間樹脂膜に設けられ、前記スイッチ素子の電極に達する第 1 コンタクトホールと、
前記第 1 層間樹脂膜上に設けられ、前記第 1 コンタクトホールを通して前記スイッチ素子の電極に接続する中継配線と、
前記中継配線を覆うように前記第 1 層間樹脂膜上に設けられた第 2 層間樹脂膜と、
前記第 2 層間樹脂膜に設けられ、前記中継配線に達する第 2 コンタクトホールと、
前記第 2 コンタクトホールを通して前記中継配線に接続する画素電極と、
を備え、
前記第 2 コンタクトホールは、平面視で、前記第 1 コンタクトホールとは異なる位置で、且つ、前記走査線の上に配置されており、長辺方向が前記走査線の長さ方向と同じ長方形の形状を有している
ことを特徴とする液晶表示装置。

10

【請求項 2】

前記第 2 コンタクトホールは、平面視で、前記走査線の幅の中央部に配置されている
請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 2 コンタクトホールの底部の面積は、前記第 1 コンタクトホールの底部の面積よりも大きい
請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

液晶を配向させる配向膜をさらに備え、
前記配向膜におけるラビング傷の方向は、前記第 2 コンタクトホールの長辺方向と同じである
請求項 1 から請求項 3 のいずれか一項に記載の液晶表示装置。

【請求項 5】

基板上に設けられた走査線と、
前記走査線に接続したスイッチ素子と、
前記スイッチ素子を覆う第 1 層間樹脂膜と、
前記第 1 層間樹脂膜に設けられ、前記スイッチ素子の電極に達する第 1 コンタクトホールと、
前記第 1 層間樹脂膜上に設けられ、前記第 1 コンタクトホールを通して前記スイッチ素子の電極に接続する中継配線と、
前記中継配線を覆うように前記第 1 層間樹脂膜上に設けられた第 2 層間樹脂膜と、
前記第 2 層間樹脂膜に設けられ、前記中継配線に達する複数の第 2 コンタクトホールと、
前記複数の第 2 コンタクトホールを通して前記中継配線に接続する画素電極と、
を備え、
前記複数の第 2 コンタクトホールは、平面視で、前記第 1 コンタクトホールとは異なる位置で、且つ、前記走査線の上に配置されており、前記走査線の長さ方向に並んで配置されている
ことを特徴とする液晶表示装置。

30

40

【請求項 6】

前記複数の第 2 コンタクトホールは、平面視で、前記走査線の幅の中央部に並んで配置されている
請求項 5 に記載の液晶表示装置。

50

【請求項 7】

前記複数の第 2 コンタクトホール of 底部の面積の総和は、前記第 1 コンタクトホール of 底部の面積よりも大きい

請求項 5 または請求項 6 に記載の液晶表示装置。

【請求項 8】

液晶を配向させる配向膜をさらに備え、

前記配向膜におけるラビング傷の方向は、前記複数の第 2 コンタクトホールが並ぶ方向と同じである

請求項 5 から請求項 7 のいずれか一項に記載の液晶表示装置。

【請求項 9】

前記第 1 層間樹脂膜の厚さは、前記第 2 層間樹脂膜の厚さよりも大きい

請求項 1 から請求項 8 のいずれか一項に記載の液晶表示装置。

【請求項 10】

前記第 1 層間樹脂膜の厚さは、前記第 2 層間樹脂膜の厚さよりも小さい

請求項 1 から請求項 8 のいずれか一項に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特に、液晶層を変調する電界を発生する画素電極および対向電極を有する液晶表示装置に関するものである。

【背景技術】**【0002】**

インプレーンスイッチング (In-Plane Switching: IPS) (登録商標) モードは、対向する 2 枚の基板間に挟持された液晶層に横電界 (横方向 (基板に水平な方向) の電界) を印加することで表示を行う方式である。IPS モードは、TN (Twisted Nematic) モードと比較して視野角特性に優れていることから、画質をより高め得る表示方式であると考えられている。一方で、IPS モードの液晶表示装置は、TN モードのものに比べて画素開口率を大きくすることが困難であることから、光利用効率が低いという欠点を有する。これは、IPS モードの液晶表示装置の一般的な構成、すなわち、不透明の金属膜からなる画素電極および対向電極が同一の基板の同一階層に配置される構成に起因する。

【0003】

上述した光利用効率の問題を改善し得るものとして、フリンジフィールドスイッチング (Fringe Field Switching: FFS) モードが提案されている。FFS モードの液晶表示装置では、透明導電膜からなる画素電極と対向電極とが絶縁膜を介して異なる階層に形成される。さらに、対向電極および画素電極のうち液晶層側のものには、スリット状の開口部が設けられ、この開口部を通る概ね横方向の電界が液晶層に印加される。FFS モードの液晶表示装置は、IPS モードに比べて光利用効率を高くできる。また、対向電極と画素電極との間に高い容量値を有する容量が形成されるため、各画素の保持容量の形成を省略できる。それにより、さらに画素開口率を高めることができ、光利用効率がより改善される。

【0004】

さらに、液晶表示装置の光の利用効率を高めるために、アレイ基板 (薄膜トランジスタ (Thin Film Transistor: TFT) 等のスイッチ素子が形成される方の基板) において、スイッチ素子が形成される層と画素電極または対向電極が形成される層との間に、層間樹脂膜を配置した構成が提案されている。厚い層間樹脂膜を設けることにより、信号配線と画素電極との間の寄生容量を低減できるという効果が得られる。また、スイッチ素子および配線等の形状に起因する基板表面の段差が低減されるため、液晶層に電界が印加される面積が大きくなり、画素開口率を大きくできるという効果も得られる。そのため、層間樹脂膜を有する液晶表示装置は、近年、多く用いられるようになってきている。

【0005】

層間樹脂層を有するアレイ基板では、走査線、信号線およびスイッチ素子が層間樹脂膜で覆われ、その層間樹脂膜上に、画素電極および対向電極が形成される。そのため、画素電極とTFTのドレイン電極との間は、層間樹脂膜に形成したコンタクトホールを介して電氣的に接続される。

【0006】

一方、アレイ基板に対向配置される対向基板（典型的にはカラーフィルター基板）には、画素の間の領域に遮光部が形成され、アレイ基板のスイッチ素子、走査線、信号線およびコンタクトホール部は、その遮光部で覆われることになる。アレイ基板におけるコンタクトホール部の表面は凹状になるため、その部分で配向膜のラビング処理に不良が生じやすい。よって、コンタクトホール部の上方では液晶の配向が乱れ、光抜け（電界に関係なく光が通過する現象）が生じるおそれがある。アレイ基板のコンタクトホール部に対向基板の遮光部で覆うのは、その光抜けが視認されるのを防ぎ、コントラストの低下を防止するためである。

10

【0007】

また、アレイ基板に設けられる層間樹脂膜は、感光性の樹脂膜で形成されるのが一般的である。感光性樹脂膜からなる層間樹脂膜には、既存の写真製版技術でコンタクトホールを形成可能であるが、露光の解像度が悪いため、コンタクトホールの径が大きくなる。コンタクトホールの径は、層間樹脂膜の厚さに比例して大きくなる。そのため、信号線と画素電極との間の寄生容量を低減するために層間樹脂膜を厚く形成すると、その分だけコンタクトホールの径が大きくなる。その結果、対向基板に設ける遮光部の面積を大きくする必要が生じ、画素開口率を低下させてしまう。

20

【0008】

例えば、下記の特許文献1には、層間樹脂膜に形成するコンタクトホールの径を小さく抑える技術が開示されている。特許文献1では、層間樹脂膜を、第1の層間樹脂膜と第2の層間樹脂膜とからなる2層構造としており、コンタクトホールは以下の手順で形成される。すなわち、まず、第1の層間樹脂膜に第1のコンタクトホールを形成して、第1のコンタクトホール内を含む第1の層間樹脂膜上に中継配線を形成し、その上に第2の層間樹脂膜を形成して、第2の層間樹脂膜に中継配線に達する第2のコンタクトホールを形成する。第1のコンタクトホールと第2のコンタクトホールとを平面視で異なる位置に形成することで、第1および第2のコンタクトホールの径を小さくすることができる。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2012-145925号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

特許文献1の技術によると、第2の層間樹脂膜に形成する第2のコンタクトホールの径を小さく形成することができるが、第2のコンタクトホールが形成された領域でラビング不良を防止する対策は十分にとられていない。また、第2のコンタクトホールの径（コンタクト面積）が小さいため、電氣的接続抵抗が高くなって表示不良の原因となるおそれもある。

40

【0011】

本発明は以上のような課題を解決するためになされたものであり、本発明の目的は、液晶表示装置において、基板に形成されたコンタクトホールに起因する表示品質の低下を防止することである。

【課題を解決するための手段】

【0012】

本発明の第1の局面に係る液晶表示装置は、基板上に設けられた走査線と、前記走査線に接続したスイッチ素子と、前記スイッチ素子を覆う第1層間樹脂膜と、前記第1層間樹

50

脂膜に設けられ、前記スイッチ素子の電極に達する第 1 コンタクトホールと、前記第 1 層間樹脂膜上に設けられ、前記第 1 コンタクトホールを通して前記スイッチ素子の電極に接続する中継配線と、前記中継配線を覆うように前記第 1 層間樹脂膜上に設けられた第 2 層間樹脂膜と、前記第 2 層間樹脂膜に設けられ、前記中継配線に達する第 2 コンタクトホールと、前記第 2 コンタクトホールを通して前記中継配線に接続する画素電極と、を備え、前記第 2 コンタクトホールは、平面視で、前記第 1 コンタクトホールとは異なる位置で、且つ、前記走査線の上方に配置されており、長辺方向が前記走査線の長さ方向と同じ長方形の形状を有している。

【 0 0 1 3 】

本発明の第 2 の局面に係る液晶表示装置は、基板上に設けられた走査線と、前記走査線に接続したスイッチ素子と、前記スイッチ素子を覆う第 1 層間樹脂膜と、前記第 1 層間樹脂膜に設けられ、前記スイッチ素子の電極に達する第 1 コンタクトホールと、前記第 1 層間樹脂膜上に設けられ、前記第 1 コンタクトホールを通して前記スイッチ素子の電極に接続する中継配線と、前記中継配線を覆うように前記第 1 層間樹脂膜上に設けられた第 2 層間樹脂膜と、前記第 2 層間樹脂膜に設けられ、前記中継配線に達する複数の第 2 コンタクトホールと、前記複数の第 2 コンタクトホールを通して前記中継配線に接続する画素電極と、を備え、前記複数の第 2 コンタクトホールは、平面視で、前記第 1 コンタクトホールとは異なる位置で、且つ、前記走査線の上方に配置されており、前記走査線の長さ方向に並んで配置されている。

10

【 発明の効果 】

20

【 0 0 1 4 】

本発明の液晶表示装置によれば、第 1 コンタクトホールは第 2 層間樹脂膜により埋められるため、第 1 コンタクトホール上方のラビング不良の発生が防止される。また、第 2 コンタクトホールが走査線の上方に配置されるため、第 2 コンタクトホール上方でラビング不良が生じても表示品質への影響が抑えられ、表示品質の低下が防止される。また、第 2 コンタクトホールを遮光膜で別途覆う必要がないため、画素開口率の向上にも寄与できる。

【 図面の簡単な説明 】

【 0 0 1 5 】

30

【 図 1 】 実施の形態 1 に係る液晶表示装置の構成を概略的に示す斜視図である。

【 図 2 】 実施の形態 1 に係る液晶表示装置の T F T アレイ基板の構成を模式的に示す平面図である。

【 図 3 】 実施の形態 1 に係る液晶表示装置の T F T アレイ基板の構成を示す概略的な部分平面図である。

【 図 4 】 実施の形態 1 に係る液晶表示装置の T F T アレイ基板の構成を示す概略的な部分断面図である。

【 図 5 】 実施の形態 1 に係る液晶表示装置の T F T アレイ基板の構成を示す概略的な部分断面図である。

【 図 6 】 実施の形態 1 に係る液晶表示装置の製造方法を示す工程図である。

40

【 図 7 】 実施の形態 1 に係る液晶表示装置の製造方法を示す工程図である。

【 図 8 】 実施の形態 1 に係る液晶表示装置の製造方法を示す工程図である。

【 図 9 】 実施の形態 1 に係る液晶表示装置の製造方法を示す工程図である。

【 図 1 0 】 実施の形態 1 に係る液晶表示装置の製造方法を示す工程図である。

【 図 1 1 】 実施の形態 1 に係る液晶表示装置の製造方法を示す工程図である。

【 図 1 2 】 実施の形態 2 に係る液晶表示装置の T F T アレイ基板の構成を示す概略的な部分平面図である。

【 図 1 3 】 実施の形態 2 に係る液晶表示装置の T F T アレイ基板の構成を示す概略的な部分断面図である。

【 図 1 4 】 実施の形態 3 に係る液晶表示装置の T F T アレイ基板の構成を示す概略的な部分平面図である。

50

【図１５】実施の形態３に係る液晶表示装置のＴＦＴアレ基板の構成を示す概略的な部分断面図である。

【図１６】実施の形態４に係る液晶表示装置のＴＦＴアレ基板の構成を示す概略的な部分平面図である。

【図１７】実施の形態４に係る液晶表示装置のＴＦＴアレ基板の構成を示す概略的な部分断面図である。

【発明を実施するための形態】

【００１６】

以下、図面に基づいて本発明の実施の形態について説明する。なお、以下の図面において、互いに同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。

10

【００１７】

< 実施の形態１ >

図１は、実施の形態１に係る液晶表示装置２００の構成を概略的に示す斜視図である。図１のように、液晶表示装置２００は、液晶パネル１００の背面側（図１における奥側）にバックライトユニット１１０が配設された構成を有している。液晶パネル１００は、互いに対向して配置されたＴＦＴアレ基板１０１および対向基板１０２と、その間に挟持された液晶層１０３とを含んでいる。液晶パネル１００において、ＴＦＴアレ基板１０１は視認側（図１における手前側）、対向基板１０２は背面側に配置される。

【００１８】

20

ＴＦＴアレ基板１０１は、液晶層１０３を変調するための電界を発生する。対向基板１０２は、カラーフィルターおよび遮光部（ブラックマトリクス：ＢＭ）を有するカラーフィルター基板である。液晶層１０３は、ＴＦＴアレ基板１０１と対向基板１０２との間に導入された液晶の層である。

【００１９】

また、図示は省略するが、ＴＦＴアレ基板１０１および対向基板１０２における液晶層１０３側の面には、それぞれ配向膜（不図示）が設けられる。また、ＴＦＴアレ基板１０１および対向基板１０２における液晶層１０３とは反対側の面には、偏光板、位相差板などが設けられる。

【００２０】

30

本実施の形態において、液晶パネル１００における液晶の駆動方式は、ＦＦＳモードである。すなわち、ＴＦＴアレ基板１０１は、各画素で、表示信号（表示データ）に対応する電圧（表示電圧）に応じた強度を有するフリンジ電界を発生することによって、液晶層１０３の液晶分子の配向方向を変化させる。それにより、液晶層１０３を通過する光の偏光状態が変化する。よって、各画素において、液晶層１０３を通過する光の偏光状態は、表示電圧に応じて変化するようになる。

【００２１】

バックライトユニット１１０から出射した光は、ＴＦＴアレ基板１０１側の偏光板を通過すると直線偏光になる。ＴＦＴアレ基板１０１側の偏光板を通過した光は、上述のように液晶層１０３で偏光状態が変化して、対向基板１０２側の偏光板に達する。このとき対向基板１０２側の偏光板を通過する光の量は、液晶層１０３で変化した後の光の偏光状態に依存する。よって、バックライトユニット１１０から液晶パネル１００に入射した光のうち、液晶パネル１００の視認側へ通過する光の量は、表示電圧によって制御される。従って、表示信号により各画素の表示電圧を変化させることで、液晶パネル１００に所望の画像を表示させることができる。

40

【００２２】

ここで、液晶パネル１００において、画像を表示するための画素が配置された領域１００ａは「表示領域」と呼ばれ、表示領域１００ａの外側の領域１００ｂは「額縁領域」と呼ばれる。なお、「表示領域」および「額縁領域」は、液晶パネル１００を構成するＴＦＴアレ基板１０１、対向基板１０２および液晶層１０３のそれぞれにおいても定義され

50

る。

【 0 0 2 3 】

図 2 は、実施の形態 1 に係る液晶表示装置 2 0 0 の T F T アレイ基板 1 0 1 の構成を模式的に示す平面図である。図 2 のように、T F T アレイ基板 1 0 1 は、表示領域 1 0 1 a と、表示領域 1 0 1 a を囲む額縁領域 1 0 1 b とを有する。

【 0 0 2 4 】

T F T アレイ基板 1 0 1 の表示領域 1 0 1 a には、複数のゲート配線 4 1 (走査線) と複数のソース配線 4 2 (信号線) とが設けられている。ゲート配線 4 1 は互いに平行に配設されている。またソース配線 4 2 は互いに平行に配設されている。ゲート配線 4 1 とソース配線 4 2 とは平面視 (図 2 の視野) において互いに交差している。ただし、ゲート配線 4 1 とソース配線 4 2 とは異なる層に形成されており、断面視ではゲート配線 4 1 とソース配線 4 2 との間には絶縁膜 (後述するゲート絶縁膜) が介在する。隣接する 2 本のゲート配線 4 1 と隣接する 2 本のソース配線 4 2 とで囲まれた領域の各々が画素 4 3 となる。従って、T F T アレイ基板 1 0 1 上には、画素 4 3 がマトリクス状に配列されることになる。

【 0 0 2 5 】

T F T アレイ基板 1 0 1 の額縁領域 1 0 1 b には、走査信号駆動回路 4 5 および表示信号駆動回路 4 6 が設けられている。ゲート配線 4 1 は、表示領域 1 0 1 a から額縁領域 1 0 1 b へと延設されて、走査信号駆動回路 4 5 に接続されている。ソース配線 4 2 も同様に、表示領域 1 0 1 a から額縁領域 1 0 1 b へと延設されて、表示信号駆動回路 4 6 に接続されている。

【 0 0 2 6 】

また、額縁領域 1 0 1 b において、走査信号駆動回路 4 5 の近傍には、走査信号駆動回路 4 5 と電氣的に接続された外部配線 4 7 が設けられている。また、表示信号駆動回路 4 6 の近傍領域には、表示信号駆動回路 4 6 と電氣的に接続された外部配線 4 8 が設けられている。走査信号駆動回路 4 5 には、外部配線 4 7 を介して、外部から各種の信号が供給され、表示信号駆動回路 4 6 には、外部配線 4 8 を通して、外部から各種の信号が供給される。外部配線 4 7 および外部配線 4 8 としては、例えば、F P C (Flexible Printed Circuit) などの配線基板が用いられる。

【 0 0 2 7 】

走査信号駆動回路 4 5 は、外部配線 4 7 を通して入力された制御信号に基づいて、複数のゲート配線 4 1 を順次選択し、選択したゲート配線 4 1 にゲート信号 (走査信号) を供給する。表示信号駆動回路 4 6 は、外部配線 4 8 を通して入力された制御信号または表示データに基づいて、その表示データに対応する表示信号を複数のソース配線 4 2 に供給する。これにより、表示データに対応する表示電圧が各画素 4 3 に順次供給される。

【 0 0 2 8 】

アレイ状に並ぶ画素 4 3 の各々には、スイッチ素子として、少なくとも 1 つの T F T 5 0 が設けられている。各画素において、T F T 5 0 は、ゲート配線 4 1 とソース配線 4 2 との交差点付近に配置され、T F T 5 0 のゲートはゲート配線 4 1 に接続され、T F T 5 0 のソースはソース配線 4 2 に接続され、T F T 5 0 のドレインは画素電極 (図 2 では不図示) に接続される。よって、T F T 5 0 は、ゲート配線 4 1 のゲート信号に従ってオン、オフが切り替わり、画素電極には、T F T 5 0 がオンしたときにソース配線 4 2 に印加されている表示電圧が供給されることになる。

【 0 0 2 9 】

次に、T F T アレイ基板 1 0 1 における画素 4 3 の構造について説明する。図 3 は、T F T アレイ基板 1 0 1 の構成を示す概略的な部分平面図であり、1 つの画素 4 3 に対応する部分を示している。また、図 4 および図 5 は、当該 T F T アレイ基板 1 0 1 の部分断面図である。図 4 は図 3 の A - B 線に沿った断面に対応し、図 5 は図 3 の A - C 線に沿った断面に対応している。

【 0 0 3 0 】

図3および図4のように、TFTアレ基板101は、支持基板である透明基板10（例えばガラス基板）上に形成されている。透明基板10上には、ゲート配線41およびTFT50のゲート電極1が形成されている。ゲート配線41は、図3の横方向に直線的に延在している。ゲート電極1は、ゲート配線41の一部分によって構成されている。すなわち、ゲート配線41におけるTFT50の形成領域に位置する部分が、ゲート電極1となっている。ゲート配線41およびゲート電極1は、例えばCr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Agの金属元素のいずれかからなる金属膜、上記金属元素の1つ以上の元素を主成分とする合金膜、または、それらの膜を含む積層膜によって形成される。

【0031】

10

さらに、透明基板10上には、ゲート配線41およびゲート電極1を覆うように、ゲート絶縁膜21が設けられている。ゲート絶縁膜21は、例えば窒化シリコン、酸化シリコンなどの絶縁体、またはそれらの積層膜により形成される。

【0032】

TFT50の形成領域におけるゲート絶縁膜21の上には、TFT50の活性層となる半導体層2が設けられている。半導体層2は、平面視でゲート電極1（ゲート配線41の一部）と重なるように配置される。つまり、半導体層2は、ゲート絶縁膜21を介してゲート電極1と対向して配置されている。半導体層2は、例えばIn-Ga-Zn-O（1：1：1：4）などの酸化物半導体により形成される。

【0033】

20

ゲート絶縁膜21の上には、ソース配線42と、TFT50のソース電極3およびドレイン電極4とが形成されている。ソース配線42は、図3の縦方向に直線的に延在している。ソース電極3は、ソース配線42の一部分によって構成されている。すなわち、ソース配線42におけるTFT50の形成領域に位置する部分は、半導体層2上に形成されており、その部分がソース電極3となっている。ドレイン電極4も、その一部は半導体層2上に形成されている。ドレイン電極4もソース配線42と同じ配線層に形成されているが、ソース電極3とドレイン電極4とは離間している。半導体層2におけるソース電極3とドレイン電極4との間に露出した部分が、透明基板10のチャネル領域となる。ソース配線42、ソース電極3およびドレイン電極4は、例えばCr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Agの金属元素のいずれかからなる金属膜、上記金属元素の1つ以上の元素を主成分とする合金膜、または、それらの膜を含む積層膜によって形成される。

30

【0034】

上記のゲート電極1、ゲート絶縁膜21、半導体層2、ソース電極3、ドレイン電極4により、チャネルエッチ型（ボトムゲート型）のTFT50が構成される。

【0035】

ゲート絶縁膜21上には、TFT50およびソース電極3を覆うように保護絶縁膜22が設けられ、さらにその上に第1層間樹脂膜23が設けられている。TFT50のドレイン電極4は、ゲート絶縁膜21上に延在する部分（延在部分）を有しており、保護絶縁膜22および第1層間樹脂膜23には、当該ドレイン電極4の延在部分に達する第1コンタクトホール5が形成されている。

40

【0036】

第1コンタクトホール5は、下の方が狭いテーパ状である。図3において、実線で描かれている第1コンタクトホール5は、第1コンタクトホール5の底部（ドレイン電極4が露出する部分）に対応している。一方、それを囲む破線の領域5aは、第1コンタクトホール5の上端部（第1層間樹脂膜23の上面と同じ高さの部分）に対応している。言い換えれば、領域5aを表す破線は、第1コンタクトホール5の最外周部に対応している。つまり、領域5aは第1コンタクトホール5の形成領域を示している。以下、領域5aを「第1コンタクトホール領域5a」と称す。

【0037】

50

第 1 コンタクトホール 5 の内部を含む第 1 層間樹脂膜 2 3 上には、中継配線 6 が配設されている。中継配線 6 は、第 1 コンタクトホール 5 の底でドレイン電極 4 と電氣的に接続している。図 3 のように、中継配線 6 は、第 1 コンタクトホール 5 からゲート配線 4 1 が位置する方向へ延び、さらにゲート配線 4 1 の上方を、ゲート配線 4 1 の長さ方向に沿って延在している。中継配線 6 は、例えば I T O (インジウム・スズ酸化物)、I Z O (インジウム・亜鉛酸化物) などの金属酸化物からなる透明導電膜により形成される。

【 0 0 3 8 】

第 1 層間樹脂膜 2 3 上には、中継配線 6 を覆うように第 2 層間樹脂膜 2 4 が設けられている。第 1 コンタクトホール 5 は、第 2 層間樹脂膜 2 4 で埋められており、第 1 コンタクトホール領域 5 a における第 2 層間樹脂膜 2 4 の上面は平坦化されている。つまり、第 2 層間樹脂膜 2 4 の上面には第 1 コンタクトホール 5 の段差に起因する凹凸は見られない。

10

【 0 0 3 9 】

第 2 層間樹脂膜 2 4 には、中継配線 6 に達する第 2 コンタクトホール 7 が形成されている。第 2 コンタクトホール 7 も、下の方が狭いテーパ状である。図 3 において、実線で描かれている第 2 コンタクトホール 7 は、第 2 コンタクトホール 7 の底部 (中継配線 6 が露出する部分) に対応している。一方、それを囲む破線の領域 7 a は、第 2 コンタクトホール 7 の上端部 (第 2 層間樹脂膜 2 4 の上面と同じ高さの部分) に対応している。言い換えれば、領域 7 a を表す破線は、第 2 コンタクトホール 7 の最外周部に対応している。つまり、領域 7 a は第 2 コンタクトホール 7 の形成領域を示している。以下、領域 7 a を「第 2 コンタクトホール領域 7 a」と称す。

20

【 0 0 4 0 】

第 2 コンタクトホール 7 は、第 1 コンタクトホール 5 とは異なる位置、具体的にはゲート配線 4 1 の上方に形成され、ゲート配線 4 1 に沿って延びる長方形状となっている。また、第 2 コンタクトホール 7 は、短辺方向の幅の中心位置が、ゲート配線 4 1 の幅の中心に位置するように配置されている (つまり、第 2 コンタクトホール 7 は、平面視でゲート配線 4 1 の幅の中央部に配置されている)。よって、第 2 コンタクトホール 7 の長さ方向は、ゲート配線 4 1 の長さ方向と同じになる。第 2 コンタクトホール 7 の形状を長方形にすることで、第 2 コンタクトホール 7 の底部の面積 (中継配線 6 が露出する面積) を大きくできる。本実施の形態では、第 2 コンタクトホール 7 の底部の面積を、第 1 コンタクトホール 5 の底部の面積 (ドレイン電極 4 が露出する面積) よりも大きくしている。

30

【 0 0 4 1 】

第 2 コンタクトホール 7 の内部を含む第 2 層間樹脂膜 2 4 上には、画素電極 8 が設けられている。画素電極 8 は、第 2 コンタクトホール 7 の底で中継配線 6 と電氣的に接続している。その結果、画素電極 8 は、中継配線 6 を介して T F T 5 0 のドレイン電極 4 に接続されることになる。これにより、画素電極 8 に印加する表示電圧を、T F T 5 0 を用いて制御可能になる。また、第 2 コンタクトホール 7 の底部の面積が大きく確保されているため、画素電極 8 とドレイン電極 4 との間の接続抵抗は小さく抑えられている。画素電極 8 は、例えば I T O、I Z O などの金属酸化物からなる透明導電膜により形成されている。画素電極 8 の材料は、中継配線 6 の材料と同じでもよいし、異なってもよい。

40

【 0 0 4 2 】

第 2 層間樹脂膜 2 4 の上には、画素電極 8 を覆うように電極間絶縁膜 2 5 が設けられている。電極間絶縁膜 2 5 は、例えば窒化シリコン、酸化シリコンなどの絶縁膜により形成される。

【 0 0 4 3 】

電極間絶縁膜 2 5 の上には、画素電極 8 に対向するように対向電極 9 が設けられている。対向電極 9 には、フリンジ電界を発生させるためのスリット状の開口部が設けられている。対向電極 9 は、例えば I T O、I Z O などの金属酸化物からなる透明導電膜により形成されている。対向電極 9 の材料は、画素電極 8 および中継配線 6 の材料と同じでもよいし、異なってもよい。

【 0 0 4 4 】

50

なお、図示は省略するが、ＴＦＴアレ基板１０１の額縁領域１０１ｂには、ゲート配線４１と同じ配線層に形成された共通配線に達するコンタクトホールが形成されており、対向電極９は、そのコンタクトホールを通して共通配線に電氣的に接続されている。それにより、共通配線を通して対向電極９に一定の電圧（共通電圧）を供給可能になる。

【００４５】

また、ＴＦＴアレ基板１０１上（液晶に面する側）には、不図示の配向膜が設けられ、当該配向膜には液晶を配向させるためのラビング処理が施されている。図３および図４のように、第２コンタクトホール領域７ａの上方では、ＴＦＴアレ基板１０１の上面が凹状となっている。そのため、第２コンタクトホール領域７ａの上方では、配向膜のラビング処理に不良が生じやすく、その上方で液晶の配向が乱れるおそれがある。しかし、第２コンタクトホール７は、不透明の金属からなるゲート配線４１上に形成されており、第２コンタクトホール領域７ａの部分に光が入射しないため、上記のラビング不良に起因する光抜けの発生は防止される。

10

【００４６】

また、本実施の形態では、配向膜のラビング処理の方向は、ゲート配線４１の長さ方向、すなわち第２コンタクトホール７の長辺方向と同じ方向にする。その結果、ＴＦＴアレ基板１０１上に設けられた配向膜において、ラビング処理によって配向膜に形成された傷（ラビング傷）の方向は、第２コンタクトホール７の長辺方向と同じ方向になっている。この場合、配向膜のラビング処理の際に、第２コンタクトホール領域７ａ上の段差により生じるラビング布の乱れを抑制でき、ラビング不良が生じる面積を小さく抑えることができる。よって、光抜けの発生をより確実に防止できるようになる。以下、配向膜のラビング処理の方向、すなわち、配向膜が有するラビング傷の方向を、「ラビング方向」と称す。

20

【００４７】

このように、実施の形態１に係る液晶表示装置は、基板（１０）上に設けられた走査線（４１）と、前記走査線（４１）に接続したスイッチ素子（５０）と、前記スイッチ素子（５０）を覆う第１層間樹脂膜（２３）と、前記第１層間樹脂膜（２３）に設けられ、前記スイッチ素子（５０）の電極（４）に達する第１コンタクトホール（５）と、前記第１層間樹脂膜（２３）上に設けられ、前記第１コンタクトホール（５）を通して前記スイッチ素子（５０）の電極（４）に接続する中継配線（６）と、前記中継配線（６）を覆うように前記第１層間樹脂膜（２３）上に設けられた第２層間樹脂膜（２４）と、前記第２層間樹脂膜（２４）に設けられ、前記中継配線（６）に達する第２コンタクトホール（７）と、前記第２コンタクトホール（７）を通して前記中継配線（６）に接続する画素電極（８）と、を備える。前記第２コンタクトホール（７）は、平面視で、前記第１コンタクトホール（５）とは異なる位置で、且つ、前記走査線（４１）の上方に配置されており、長辺方向が前記走査線（４１）の長さ方向と同じ長方形の形状を有している。

30

【００４８】

前記第２コンタクトホール（７）は、平面視で、前記走査線（４１）の幅の中央部に配置されている。前記第２コンタクトホール（７）の底部の面積は、前記第１コンタクトホール（５）の底部の面積よりも大きい。液晶を配向させる配向膜をさらに備え、前記配向膜におけるラビング傷の方向は、前記第２コンタクトホール（７）の長辺方向と同じである。前記第１層間樹脂膜（２３）の厚さは、前記第２層間樹脂膜（２４）の厚さよりも大きい。

40

【００４９】

本実施の形態に係る液晶表示装置２００のＴＦＴアレ基板１０１では、第１コンタクトホール５が形成された第１コンタクトホール領域５ａの上方は、第２層間樹脂膜２４により平坦化されている。そのため、第１コンタクトホール領域５ａの上方では段差に起因するラビング不良は生じない。よって、第１コンタクトホール領域５ａ上に、画素電極８および対向電極９を配置しても光抜けの問題は生じない。よって、第１コンタクトホール領域５ａの上方を対向基板１０２の遮光膜で覆う必要がなく、画素開口率を向上できる。

50

【0050】

一方、第2コンタクトホール7が形成された第2コンタクトホール領域7aの上方には、TFTアレ基板101の表面に段差が生じるため、その領域で配向膜のラビング不良が生じるおそれがある。しかし、第2コンタクトホール領域7aはゲート配線41の上方、すなわち画素の透過領域の外側に位置しているため、そのラビング不良によって光抜けが生じることは防止される。よって、液晶表示装置200のコントラストの向上を図ることができる。また、対向基板102のブラックマトリクス of 遮光部の面積を増やす必要がなく、それによっても画素開口率の向上に寄与できる。

【0051】

さらに、TFTアレ基板101上に設ける配向膜のラビング方向を、第2コンタクトホール7の長辺方向に揃えることによって、第2コンタクトホール領域7a上の段差により生じるラビング布の乱れを抑制でき、ラビング不良が生じる面積を小さく抑えることができる。それにより、光抜けの発生をより確実に防止できる。

【0052】

また、第2コンタクトホール7の底部の面積は、第1コンタクトホール5の底部の面積よりも大きくしているため、画素電極8と中継配線6との良好な電氣的接続を得ることができる。さらに、層間樹脂膜を第1層間樹脂膜23と第2層間樹脂膜24との積層構造にして厚くしているため、ゲート配線41およびソース配線42と画素電極8と間の寄生容量を低減でき、液晶表示装置200の表示品位が向上するという効果も得られる。

【0053】

以下、液晶表示装置200のTFTアレ基板101の製造方法について説明する。図6～図11はその製造方法を説明するための工程図である。各工程図は、図3のA-C線に沿った断面、すなわち図5の視野に対応している。

【0054】

まず、透明基板10の上面全体に、ゲート配線41、ゲート電極1および共通配線（不図示）の材料としての第1の導電膜を形成する。第1の導電膜としては、例えばCr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Agの金属元素のいずれかからなる金属膜、上記金属元素の1つ以上の元素を主成分とする合金膜、または、それらの膜を含む積層膜などを用いることができる。また、第1の導電膜の成膜方法としては、例えばスパッタ法または蒸着法を用いることができる。

【0055】

その後、第1の導電膜の上に、フォトレジストを塗布し、フォトリソを用いて当該フォトレジストを露光して現像することにより、フォトレジストパターンを形成する。そして、フォトレジストパターンをマスクにして第1の導電膜をエッチングし、当該フォトレジストパターンを除去する。それにより、第1の導電膜がパターンニングされ、透明基板10上に、第1の導電膜からなるゲート電極1、ゲート配線41および共通配線が形成される。

【0056】

以下、フォトレジストパターンを形成するための一連の技術（フォトレジストの塗布、露光および現像）を「写真製版技術」と呼ぶ。また、フォトレジストパターンをマスクにしたエッチングにより膜をパターンニングする技術を「微細加工処理」と呼ぶ。

【0057】

ゲート電極1、ゲート配線41および共通配線を形成した後、それらを覆うように、透明基板10の上面全体にゲート絶縁膜21を形成する。ゲート絶縁膜21の材料としては、窒化シリコンまたは酸化シリコンなどを用いることができる。ゲート絶縁膜21の形成は、例えば、プラズマCVD（Chemical Vapor Deposition）、常圧CVD、または減圧CVDなどで行うことができる。なお、ゲート絶縁膜21にピンホールなど、短絡の原因となる膜欠陥が形成されることを防止するため、ゲート絶縁膜21の形成は複数回の成膜によって行うことが好ましい。本実施の形態では、ゲート絶縁膜21は、窒化シリコンと酸化シリコンとの積層膜とした。

【 0 0 5 8 】

次に、ゲート絶縁膜 2 1 を覆うように、半導体層 2 の材料としての半導体膜を形成する。この半導体膜としては、例えば $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ (1 : 1 : 1 : 4) などの酸化物半導体を用いることができ、その成膜は、例えば、スパッタ法により行うことができる。その後、写真製版技術および微細加工技術により半導体膜をパターニングして、半導体層 2 を形成する。ここでは、半導体層 2 は、ゲート絶縁膜 2 1 を介してゲート電極 1 に対向する島状のパターンとなっている。その後、300 ~ 350 の熱処理を行う。

【 0 0 5 9 】

次に、ゲート絶縁膜 2 1 および半導体層 2 を覆うように、透明基板 1 0 の上面全体に、ソース配線 4 2、ソース電極 3 およびドレイン電極 4 の材料としての第 2 の導電膜を形成する。第 2 の導電膜としては、例えば Cr 、 Al 、 Ta 、 Ti 、 Mo 、 W 、 Ni 、 Cu 、 Au 、 Ag の金属元素のいずれかからなる金属膜、上記金属元素の 1 つ以上の元素を主成分とする合金膜、または、それらの膜を含む積層膜などを用いることができる。また、第 2 の導電膜の成膜方法としては、例えばスパッタ法または蒸着法を用いることができる。その後、写真製版技術および微細加工技術により第 2 の導電膜をパターニングして、ソース配線 4 2、ソース電極 3 およびドレイン電極 4 を形成する。その結果、透明基板 1 0 上に TFT 5 0 が形成される (図 6) 。

10

【 0 0 6 0 】

TFT 5 0 を形成した後、当該 TFT 5 0 を覆うように、透明基板 1 0 の上面全体に保護絶縁膜 2 2 を形成する。保護絶縁膜 2 2 の材料としては、窒化シリコンまたは酸化シリコンなどを用いることができ、その成膜は、例えば、プラズマ CVD、常圧 CVD、または減圧 CVD などで行うことができる。

20

【 0 0 6 1 】

次に、保護絶縁膜 2 2 を覆うように、透明基板 1 0 の上面全体に、第 1 層間樹脂膜 2 3 の材料としての第 1 の樹脂を塗布する。第 1 の樹脂としては、アクリル、エポキシ、ポリイミドまたはポリオレフィンなどを用いることができ、その塗布は、例えば、スピンコート法またはスリットコート法などで行うことができる。第 1 の樹脂は感光性を有するものとし、本実施の形態では、ポジ型の感光性樹脂を用いている。第 1 の樹脂を塗布する厚さは、例えば、第 1 層間樹脂膜 2 3 の厚さが、最も薄くなる部分 (TFT 5 0 上の部分) で $2.0 \mu\text{m}$ 以上になるように設定される。

30

【 0 0 6 2 】

続いて、第 1 の樹脂に対して、写真製版技術と同様の露光処理および現像処理を施すことで、第 1 コンタクトホール 5 を有する第 1 層間樹脂膜 2 3 が形成される。この露光処理における光量は、第 1 層間樹脂膜 2 3 を貫通する第 1 コンタクトホール 5 が形成される程度に十分なものとする必要がある。その後、第 1 層間樹脂膜 2 3 の全面に紫外線を照射して第 1 層間樹脂膜 2 3 を硬化させ、さらに、第 1 層間樹脂膜 2 3 に 230 程度の熱処理を行う。

【 0 0 6 3 】

そして、第 1 層間樹脂膜 2 3 をマスクとして用いた微細加工技術により、第 1 層間樹脂膜 2 3 のパターンを保護絶縁膜 2 2 に転写する。それにより、第 1 コンタクトホール 5 が保護絶縁膜 2 2 を貫通して、ドレイン電極 4 に到達する (図 7) 。

40

【 0 0 6 4 】

次に、第 1 コンタクトホール 5 の内部を含む第 1 層間樹脂膜 2 3 上に、中継配線 6 の材料としての第 3 の導電膜を形成する。第 3 の導電膜としては、ITO や IZO などの透明導電膜が用いられ、その成膜は、例えばスパッタ法などで行うことができる。そして、写真製版技術および微細加工技術により第 3 の導電膜をパターニングして、中継配線 6 を形成する (図 8) 。

【 0 0 6 5 】

次に、中継配線 6 および第 1 層間樹脂膜 2 3 を覆い、且つ、第 1 コンタクトホール 5 を埋めるように、透明基板 1 0 の上面全体に、第 2 層間樹脂膜 2 4 の材料としての第 2 の樹

50

脂を塗布する。第2の樹脂としては、アクリル、エポキシ、ポリイミドまたはポリオレフィンなどを用いることができる。第2の樹脂の塗布は、例えば、スリットコート法またはスリットコート法などで行うことができるが、第1コンタクトホール5を十分に埋没させるためにはスリットコート法が好ましい。スリットコート法では、第1コンタクトホール5の段差に起因して第2層間樹脂膜24に筋状の膜厚ムラが生じることを低減でき、第2層間樹脂膜24の上面の平坦性を良好にできる。第2の樹脂も感光性を有するものとし、本実施の形態では、ポジ型の感光性樹脂を用いている。第2の樹脂を塗布する厚さは、第2層間樹脂膜24が第1層間樹脂膜23よりも薄くなるように設定され、例えば、第1コンタクトホール領域5a以外での第2層間樹脂膜24の厚さが $1.0\mu\text{m}$ になるように設定される。

10

【0066】

続いて、第2の樹脂に対して、写真製版技術と同様の露光処理および現像処理を施すことで、第2コンタクトホール7を有する第2層間樹脂膜24が形成される(図9)。この露光処理における光量は、第2層間樹脂膜24を貫通する第2コンタクトホール7が形成される程度に十分なものとする必要がある。その後、第2層間樹脂膜24の全面に紫外線を照射して第2層間樹脂膜24を硬化させ、さらに、第2層間樹脂膜24に230程度の熱処理を行う。

【0067】

次に、第2コンタクトホール7の内部を含む第2層間樹脂膜24上に、画素電極8の材料としての第4の導電膜を形成する。第4の導電膜としては、ITOやIZOなどの透明導電膜が用いられ、その成膜は、例えばスパッタ法などで行うことができる。そして、写真製版技術および微細加工技術により第4の導電膜をパターニングして、画素電極8を形成する(図10)。

20

【0068】

次に、画素電極8および第2層間樹脂膜24を覆うように、透明基板10の上面全体に、電極間絶縁膜25を形成する(図11)。電極間絶縁膜25の材料としては、窒化シリコンまたは酸化シリコンなどを用いることができ、その成膜は、例えば、プラズマCVD、常圧CVD、または減圧CVDなどで行うことができる。図示は省略するが、電極間絶縁膜25を形成した後、写真製版技術および微細加工技術により、共通配線に達するコンタクトホールを額縁領域101bに形成する。

30

【0069】

次に、共通配線に達するコンタクトホールの内部を含む電極間絶縁膜25上に、対向電極9の材料としての第5の導電膜を形成する。第5の導電膜としては、ITOやIZOなどの透明導電膜が用いられ、その成膜は、例えばスパッタ法などで行うことができる。そして、写真製版技術および微細加工技術により第5の導電膜をパターニングして、スリット状の開口部を有する対向電極9を形成する。その結果、図4に示したTFTアレイ基板101の構造が完成する。

【0070】

その後、TFTアレイ基板101と、別途作成された対向基板102とを貼り合わせ、その間に液晶層103を導入して液晶パネル100(図1)を形成する、いわゆる「セル工程」が行われる。

40

【0071】

セル工程では、まず、TFTアレイ基板101および対向基板102それぞれの液晶層103側となる面に配向膜を形成する。そして配向膜の表面に、一方向にミクロな擦り傷をつける配向処理(ラビング処理)を施す。このとき、ラビング処理の方向(ラビング方向)を、TFTアレイ基板101のゲート配線41の長さ方向に設定する。本実施の形態では、第2コンタクトホール7の長辺方向をゲート配線41の長さ方向と同じにしているため、結果として、ラビング処理によって配向膜に形成される傷の方向は、第2コンタクトホール7の長辺方向と同じになる。

【0072】

50

次に、ＴＦＴアレ基板１０１または対向基板１０２に、表示領域を囲むようにシール材を塗布して、ＴＦＴアレ基板１０１と対向基板１０２とを貼り合わせる。このとき、シール材は完全に閉じたパターンにせず、ＴＦＴアレ基板１０１と対向基板１０２との間の空間に液晶を注入するための注入口を作る。その後、真空注入法などにより、液晶を注入口からＴＦＴアレ基板１０１と対向基板１０２と間に注入し、注入口を封止することで液晶層１０３を形成する。これにより、液晶パネル１００が得られる。

【００７３】

その後、液晶パネル１００の両面に偏光板等を貼り付け、さらに、液晶パネル１００に駆動回路を接続する。そして、液晶パネル１００の背面側にバックライトユニット１１０を取り付けて筐体に収納することで、液晶表示装置２００が完成する。

10

【００７４】

<実施の形態２>

図１２は、実施の形態２に係る液晶表示装置２００のＴＦＴアレ基板１０１の構成を模式的に示す平面図であり、１つの画素４３に対応する部分を示している。また、図１３は、当該ＴＦＴアレ基板１０１の部分断面図であり、図１２のＡ－Ｂ線に沿った断面に対応している。

【００７５】

実施の形態２のＴＦＴアレ基板１０１は、実施の形態１（図３～図５）とは第２コンタクトホール７の個数、形状および配置が異なっている。すなわち、実施の形態２のＴＦＴアレ基板１０１では、第２コンタクトホール領域７ａ内に、複数の第２コンタクトホール７が、ゲート配線４１の長さ方向に沿って並べて配置されている。ここでは第２コンタクトホール領域７ａ内に５個の第２コンタクトホール７を配設した例を示したが、第２コンタクトホール７は任意の個数でよい。

20

【００７６】

個々の第２コンタクトホール７の形状は、例えば正方形または円状とする。また、個々の第２コンタクトホール７は、その中央がゲート配線４１に幅方向の中央に位置するように配置されている（つまり、複数の第２コンタクトホール７は、平面視でゲート配線４１の幅の中央部に並んで配置されている）。さらに、複数の第２コンタクトホール７の底部の面積の総和が、第１コンタクトホール５の底部の面積よりも大きくなるようにしている。その他の構成は、基本的に実施の形態１と同様であるため、ここでの説明は省略する。

30

【００７７】

このように、実施の形態２に係る液晶表示装置は、基板（１０）上に設けられた走査線（４１）と、前記走査線（４１）に接続したスイッチ素子（５０）と、前記スイッチ素子（５０）を覆う第１層間樹脂膜（２３）と、前記第１層間樹脂膜（２３）に設けられ、前記スイッチ素子（５０）の電極（４）に達する第１コンタクトホール（５）と、前記第１層間樹脂膜（２３）上に設けられ、前記第１コンタクトホール（５）を通して前記スイッチ素子（５０）の電極（４）に接続する中継配線（６）と、前記中継配線（６）を覆うように前記第１層間樹脂膜（２３）上に設けられた第２層間樹脂膜（２４）と、前記第２層間樹脂膜（２４）に設けられ、前記中継配線（６）に達する複数の第２コンタクトホール（７）と、前記複数の第２コンタクトホール（７）を通して前記中継配線（６）に接続する画素電極（８）と、を備える。前記複数の第２コンタクトホール（７）は、平面視で、前記第１コンタクトホール（５）とは異なる位置で、且つ、前記走査線（４１）の上方に配置されており、前記走査線（４１）の長さ方向に並んで配置されている。

40

【００７８】

また、前記複数の第２コンタクトホール（７）は、平面視で、前記走査線（４１）の幅の中央部に並んで配置されている。さらに、前記複数の第２コンタクトホール（７）の底部の面積の総和は、前記第１コンタクトホール（５）の底部の面積よりも大きい。また、液晶を配向させる配向膜をさらに備え、前記配向膜におけるラビング傷の方向は、前記複数の第２コンタクトホール（７）が並ぶ方向と同じである。前記第１層間樹脂膜（２３）の厚さは、前記第２層間樹脂膜（２４）の厚さよりも大きい。

50

【 0 0 7 9 】

本実施の形態に係る液晶表示装置 2 0 0 の T F T アレイ基板 1 0 1 においても、第 1 コンタクトホール 5 が形成された第 1 コンタクトホール領域 5 a の上方は、第 2 層間樹脂膜 2 4 により平坦化されている。そのため、第 1 コンタクトホール領域 5 a の上方では段差に起因するラビング不良は生じない。よって、第 1 コンタクトホール領域 5 a 上に、画素電極 8 および対向電極 9 を配置しても光抜けの問題は生じない。よって、第 1 コンタクトホール領域 5 a の上方を対向基板 1 0 2 の遮光膜で覆う必要がなく、画素開口率を向上できる。

【 0 0 8 0 】

一方、第 2 コンタクトホール 7 が形成された第 2 コンタクトホール領域 7 a の上方には、T F T アレイ基板 1 0 1 の表面に段差が生じるため、その領域で配向膜のラビング不良が生じるおそれがある。しかし、第 2 コンタクトホール領域 7 a はゲート配線 4 1 の上方、すなわち画素の透過領域の外側に位置しているため、そのラビング不良によって光抜けが生じることは防止される。よって、液晶表示装置 2 0 0 のコントラストの向上を図ることができる。また、対向基板 1 0 2 のブラックマトリクス of 遮光部の面積を増やす必要がなく、それによっても画素開口率の向上に寄与できる。

【 0 0 8 1 】

さらに、T F T アレイ基板 1 0 1 上に設ける配向膜のラビング方向を、第 2 コンタクトホール 7 が並ぶ方向（整列方向）に揃えることによって、第 2 コンタクトホール領域 7 a 上の段差により生じるラビング布の乱れを抑制でき、ラビング不良が生じる面積を小さく抑えることができる。それにより、光抜けの発生をより確実に防止できる。

【 0 0 8 2 】

また、複数の第 2 コンタクトホール 7 の底部の面積の総和を、第 1 コンタクトホール 5 の底部の面積よりも大きくしているため、画素電極 8 と中継配線 6 との良好な電氣的接続を得ることができる。さらに、層間樹脂膜を第 1 層間樹脂膜 2 3 と第 2 層間樹脂膜 2 4 との積層構造にして厚くしているため、ゲート配線 4 1 およびソース配線 4 2 と画素電極 8 と間の寄生容量を低減でき、液晶表示装置 2 0 0 の表示品位が向上するという効果も得られる。

【 0 0 8 3 】

なお、実施の形態 2 に係る T F T アレイ基板 1 0 1 の製造方法は、第 2 コンタクトホール 7 を形成するためのフォトリソパターンを除いて、実施の形態 1 と同様でよい。

【 0 0 8 4 】

< 実施の形態 3 >

図 1 4 は、実施の形態 3 に係る液晶表示装置 2 0 0 の T F T アレイ基板 1 0 1 の構成を模式的に示す平面図であり、1 つの画素 4 3 に対応する部分を示している。また、図 1 5 は、当該 T F T アレイ基板 1 0 1 の部分断面図であり、図 1 4 の A - B 線に沿った断面に対応している。

【 0 0 8 5 】

実施の形態 3 の T F T アレイ基板 1 0 1 では、実施の形態 1 の構造に対して、第 2 層間樹脂膜 2 4 を第 1 層間樹脂膜 2 3 よりも厚くしている。第 2 コンタクトホール 7 の形状は、実施の形態 1 と同様に、ゲート配線 4 1 の長さ方向に延伸した長方形を有し、かつ、第 2 コンタクトホール 7 の単辺方向の中央がゲート配線 4 1 の幅方向の中央になるようにしている。

【 0 0 8 6 】

本実施の形態では、第 1 層間樹脂膜 2 3 の膜厚が最も薄くなる部分（すなわち、T F T 5 0 上の部分）で厚さが 1 . 0 μ m 以上になるように、第 1 の樹脂の塗布条件が設定される。また、第 2 層間樹脂膜 2 4 の膜厚が第 1 層間樹脂膜 2 3 よりも厚くなるように、第 2 の樹脂の塗布条件が設定される。ここでは、第 1 コンタクトホール 5 の部分以外での第 2 層間樹脂膜 2 4 の厚さが 2 . 0 μ m になるように、第 2 の樹脂の塗布条件を設定した。

【 0 0 8 7 】

このように、実施の形態 3 に係る液晶表示装置では、第 1 層間樹脂膜 (2 3) の厚さは、第 2 層間樹脂膜 (2 4) の厚さよりも小さい。

【 0 0 8 8 】

上記以外の構成は、基本的に実施の形態 1 と同様であるため、ここでの説明は省略する。

【 0 0 8 9 】

本実施の形態の液晶表示装置 2 0 0 の T F T アレイ基板 1 0 1 においては、第 1 コンタクトホール 5 の大きさを実施の形態 1 よりもさらに小さくできる。これにより、実施の形態 1 よりもドレイン電極 4 の面積を小さくすることが可能となる。よって、ドレイン電極 4 によって遮光される面積を少なくでき、画素開口率を向上させることができる。

10

【 0 0 9 0 】

また、第 1 コンタクトホール 5 が形成された第 1 コンタクトホール領域 5 a の上方は、第 2 層間樹脂膜 2 4 により平坦化されている。そのため、第 1 コンタクトホール領域 5 a の上方では段差に起因するラビング不良は生じない。よって、第 1 コンタクトホール領域 5 a 上に、画素電極 8 および対向電極 9 を配置しても光抜けの問題は生じない。よって、第 1 コンタクトホール領域 5 a の上方を対向基板 1 0 2 の遮光膜で覆う必要がなく、画素開口率を向上できる。

【 0 0 9 1 】

一方、第 2 コンタクトホール 7 が形成された第 2 コンタクトホール領域 7 a の上方には、T F T アレイ基板 1 0 1 の表面に段差が生じるため、その領域で配向膜のラビング不良が生じるおそれがある。しかし、第 2 コンタクトホール領域 7 a はゲート配線 4 1 の上方、すなわち画素の透過領域の外側に位置しているため、そのラビング不良によって光抜けが生じることは防止される。よって、液晶表示装置 2 0 0 のコントラストの向上を図ることができる。また、対向基板 1 0 2 のブラックマトリクス of 遮光部の面積を増やす必要がなく、それによっても画素開口率の向上に寄与できる。

20

【 0 0 9 2 】

さらに、T F T アレイ基板 1 0 1 上に設ける配向膜のラビング方向を、第 2 コンタクトホール 7 の長辺方向に揃えることによって、第 2 コンタクトホール領域 7 a 上の段差により生じるラビング布の乱れを抑制でき、ラビング不良が生じる面積を小さく抑えることができる。それにより、光抜けの発生をより確実に防止できる。

30

【 0 0 9 3 】

また、第 2 コンタクトホール 7 の底部の面積は、第 1 コンタクトホール 5 の底部の面積よりも大きくしているため、画素電極 8 と中継配線 6 との良好な電氣的接続を得ることができる。さらに、層間樹脂膜を第 1 層間樹脂膜 2 3 と第 2 層間樹脂膜 2 4 との積層構造にして厚くしているため、ゲート配線 4 1 およびソース配線 4 2 と画素電極 8 と間の寄生容量を低減でき、液晶表示装置 2 0 0 の表示品位が向上するという効果も得られる。

【 0 0 9 4 】

なお、実施の形態 3 に係る T F T アレイ基板 1 0 1 の製造方法は、第 1 層間樹脂膜 2 3 および第 2 層間樹脂膜 2 4 の厚さの条件を除いて、実施の形態 1 と同様でよい。

【 0 0 9 5 】

40

< 実施の形態 4 >

図 1 6 は、実施の形態 4 に係る液晶表示装置 2 0 0 の T F T アレイ基板 1 0 1 の構成を模式的に示す平面図であり、1 つの画素 4 3 に対応する部分を示している。また、図 1 7 は、当該 T F T アレイ基板 1 0 1 の部分断面図であり、図 1 6 の A - B 線に沿った断面に対応している。

【 0 0 9 6 】

実施の形態 4 の T F T アレイ基板 1 0 1 では、実施の形態 2 の構造に対して、第 2 層間樹脂膜 2 4 を第 1 層間樹脂膜 2 3 よりも厚くしている。第 2 コンタクトホール 7 の形状は、実施の形態 2 と同様に、第 2 コンタクトホール領域 7 a 内に、複数の第 2 コンタクトホール 7 が、ゲート配線 4 1 の長さ方向に沿って並べて配置されている。ここでは第 2 コン

50

タクトホール領域 7 a 内に 3 個の第 2 コンタクトホール 7 を配設した例を示したが、第 2 コンタクトホール 7 は任意の個数でよい。また、個々の第 2 コンタクトホール 7 は、その中央がゲート配線 4 1 に幅方向の中央に位置するように配置されている。

【0097】

本実施の形態では、第 1 層間樹脂膜 2 3 となる第 1 の樹脂の塗布条件は、第 1 層間樹脂膜 2 3 の膜厚が最も薄くなる部分（すなわち、TFT50 上の部分）で厚さが $1.0\ \mu\text{m}$ 以上になるように設定される。また、第 2 層間樹脂膜 2 4 となる第 2 の樹脂の塗布条件は、第 2 層間樹脂膜 2 4 が第 1 層間樹脂膜 2 3 よりも厚くなるように設定される。ここでは、第 1 コンタクトホール 5 の部分以外での第 2 層間樹脂膜 2 4 の厚さが $2.0\ \mu\text{m}$ になるように、第 2 の樹脂の塗布条件を設定した。

10

【0098】

このように、実施の形態 4 に係る液晶表示装置では、第 1 層間樹脂膜（23）の厚さは、第 2 層間樹脂膜（24）の厚さよりも小さい。

【0099】

上記以外の構成は、基本的に実施の形態 1 と同様であるため、ここでの説明は省略する。

【0100】

本実施の形態の液晶表示装置 200 の TFT アレイ基板 101 においては、第 1 コンタクトホール 5 の大きさを実施の形態 2 よりもさらに小さくできる。これにより、実施の形態 2 よりもドレイン電極 4 の面積を小さくすることが可能となる。よって、ドレイン電極 4 によって遮光される面積を少なくでき、画素開口率を向上させることができる。

20

【0101】

また、第 1 コンタクトホール 5 が形成された第 1 コンタクトホール領域 5 a の上方は、第 2 層間樹脂膜 2 4 により平坦化されている。そのため、第 1 コンタクトホール領域 5 a の上方では段差に起因するラビング不良は生じない。よって、第 1 コンタクトホール領域 5 a 上に、画素電極 8 および対向電極 9 を配置しても光抜けの問題は生じない。よって、第 1 コンタクトホール領域 5 a の上方を対向基板 102 の遮光膜で覆う必要がなく、画素開口率を向上できる。

【0102】

一方、第 2 コンタクトホール 7 が形成された第 2 コンタクトホール領域 7 a の上方には、TFT アレイ基板 101 の表面に段差が生じるため、その領域で配向膜のラビング不良が生じるおそれがある。しかし、第 2 コンタクトホール領域 7 a はゲート配線 4 1 の上方、すなわち画素の透過領域の外側に位置しているため、そのラビング不良によって光抜けが生じることは防止される。よって、液晶表示装置 200 のコントラストの向上を図ることができる。また、対向基板 102 のブラックマトリクス of 遮光部の面積を増やす必要がなく、それによっても画素開口率の向上に寄与できる。

30

【0103】

さらに、TFT アレイ基板 101 上に設ける配向膜のラビング方向を、第 2 コンタクトホール 7 が並ぶ方向に揃えることによって、第 2 コンタクトホール領域 7 a 上の段差により生じるラビング布の乱れを抑制でき、ラビング不良が生じる面積を小さく抑えることができる。それにより、光抜けの発生をより確実に防止できる。

40

【0104】

また、複数の第 2 コンタクトホール 7 の底部の面積の総和を、第 1 コンタクトホール 5 の底部の面積よりも大きくしているため、画素電極 8 と中継配線 6 との良好な電氣的接続を得ることができる。さらに、層間樹脂膜を第 1 層間樹脂膜 2 3 と第 2 層間樹脂膜 2 4 との積層構造にして厚くしているため、ゲート配線 4 1 およびソース配線 4 2 と画素電極 8 と間の寄生容量を低減でき、液晶表示装置 200 の表示品位が向上するという効果も得られる。

【0105】

以下、液晶表示装置 200 の TFT アレイ基板 101 の製造方法は、第 2 コンタクトホ

50

ール 7 形成におけるフォトマスクパターンが異なるだけで、その他は実施の形態 2 と同様であるためその説明を省略する。

【0106】

<変形例>

本発明が適用される TFT アレイ基板 101 の構造は、上に例示したものに限られず、例えば、以下のような変形が考えられる。

【0107】

TFT 50 の活性層である半導体層 2 の材料は、In - Ga - Zn - O に限られず、例えば、他の酸化物半導体膜 (In - Zn - Sn - O、In - Ga - Zn - Hf - O など) や、アモルファスシリコン (a - Si)、多結晶シリコンなどでもよい。また、TFT 50 は、チャンネルエッチ型のボトムゲート TFT に限られず、例えば、エッチングストッパー型 TFT、トップゲート TFT、デュアルゲート型 TFT などでもよい。

10

【0108】

上記の各実施の形態では、画素電極 8 を下側に配置し、対向電極 9 を上側に配置した例を示したが、その上下は逆でもよい。つまり、スリット状の開口を有する画素電極 8 を上側に配置し、平板状の対向電極 9 を下側に配置してもよい。

【0109】

TFT 50 のドレイン電極 4 の材料を透明導電膜としてもよい。その場合、ドレイン電極 4 が光を遮らないため、画素開口率をさらに向上させることができる。

【0110】

20

また、第 1 層間樹脂膜 23 および第 2 層間樹脂膜 24 を、非感光性の樹脂としてもよい。ただし、その場合には、コンタクトホールを形成のために写真製版技術と微細加工技術とを行うことが必要となる。

【0111】

また、第 1 層間樹脂膜 23 の下の保護絶縁膜 22 は省略してもよい。つまり、TFT 50 を第 1 層間樹脂膜 23 が直接覆うようにしてもよい。

【0112】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

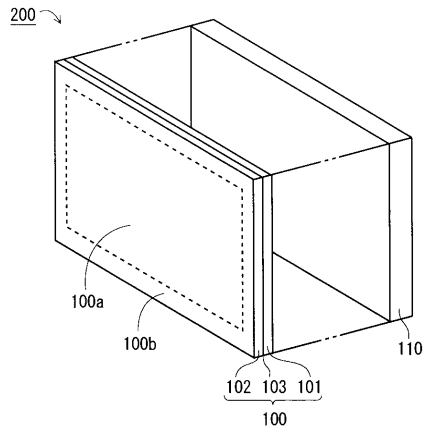
30

【0113】

1 ゲート電極、2 半導体層、3 ソース電極、4 ドレイン電極、5 第 1 コンタクトホール、5a 第 1 コンタクトホール領域、6 中継配線、7 第 2 コンタクトホール、7a 第 2 コンタクトホール領域、8 画素電極、9 対向電極、10 透明基板、21 ゲート絶縁膜、22 保護絶縁膜、23 第 1 層間樹脂膜、24 第 2 層間樹脂膜、25 電極間絶縁膜、41 ゲート配線、42 ソース配線、43 画素、45 走査信号駆動回路、46 表示信号駆動回路、47 外部配線、48 外部配線、50 TFT、100 液晶パネル、101 TFT アレイ基板、102 対向基板、103 液晶層、110 バックライトユニット、200 液晶表示装置、100a 表示領域、100b 額縁領域、101a 表示領域、101b 額縁領域。

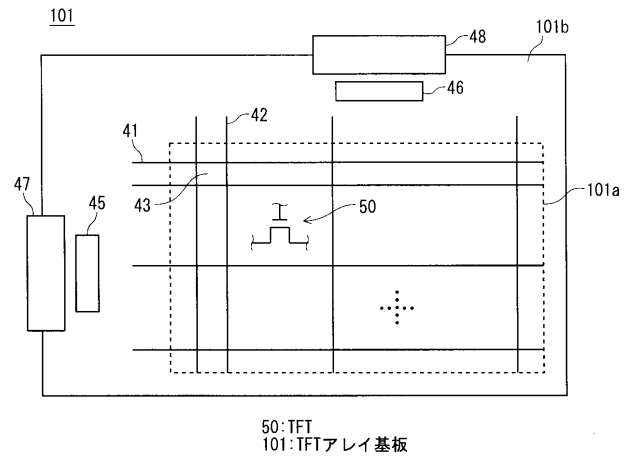
40

【図 1】



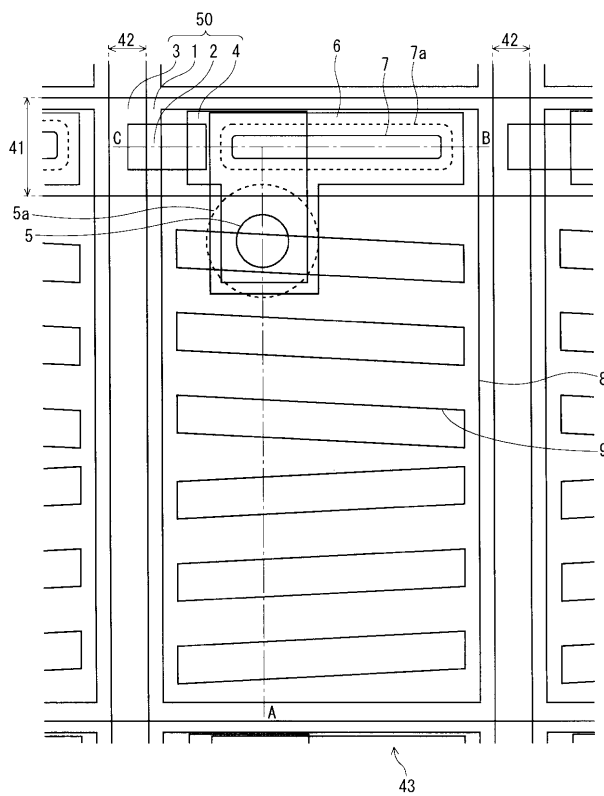
100: 液晶パネル
 101: TFTアレイ基板
 102: 対向基板
 103: 液晶層
 110: バックライトユニット
 200: 液晶表示装置

【図 2】

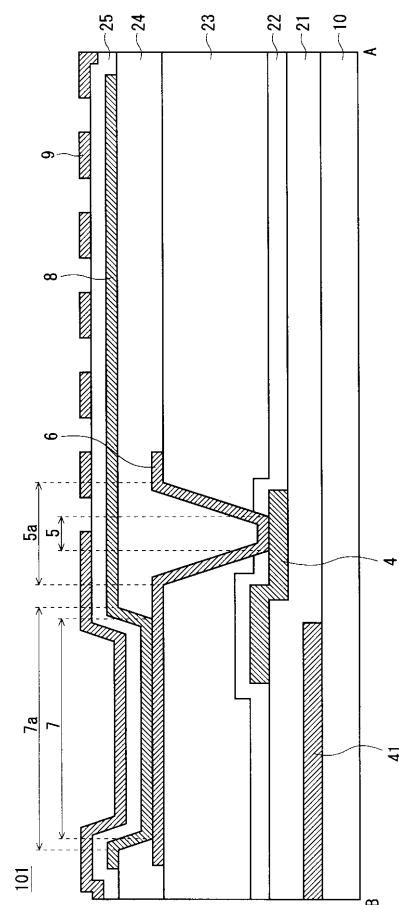


50: TFT
 101: TFTアレイ基板

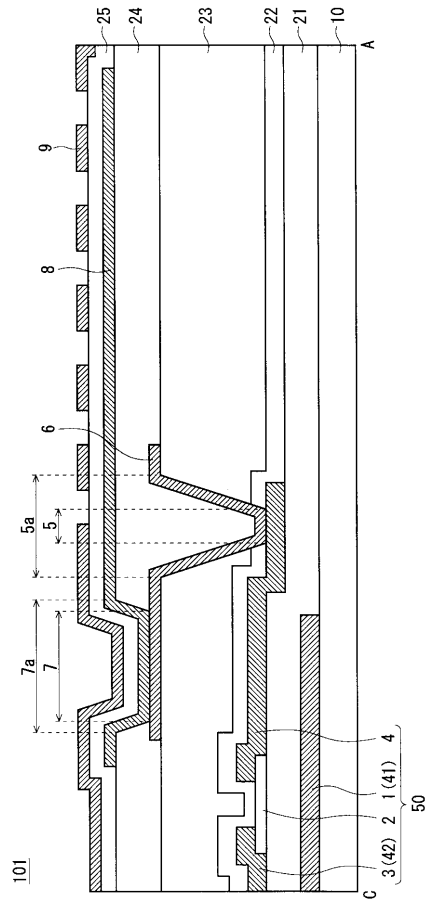
【図 3】



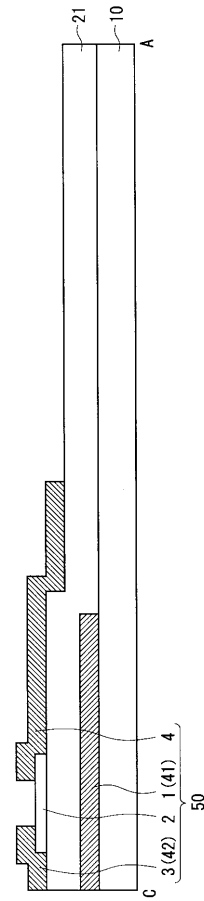
【図 4】



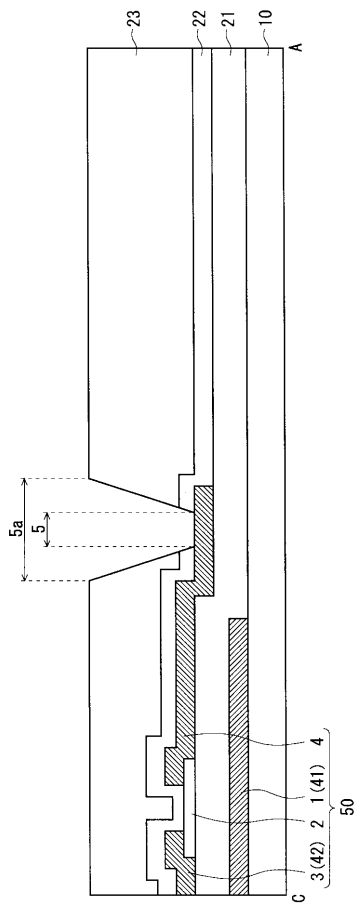
【図 5】



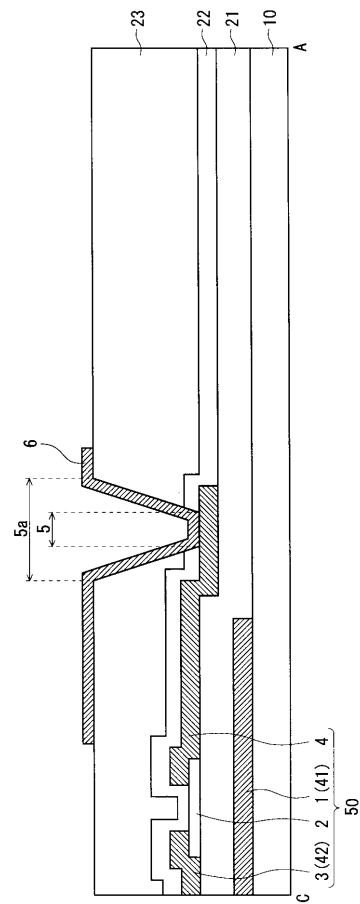
【図 6】



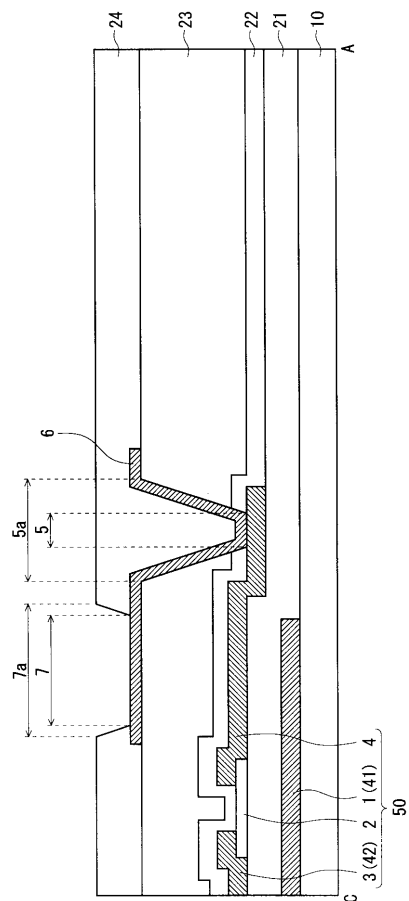
【図 7】



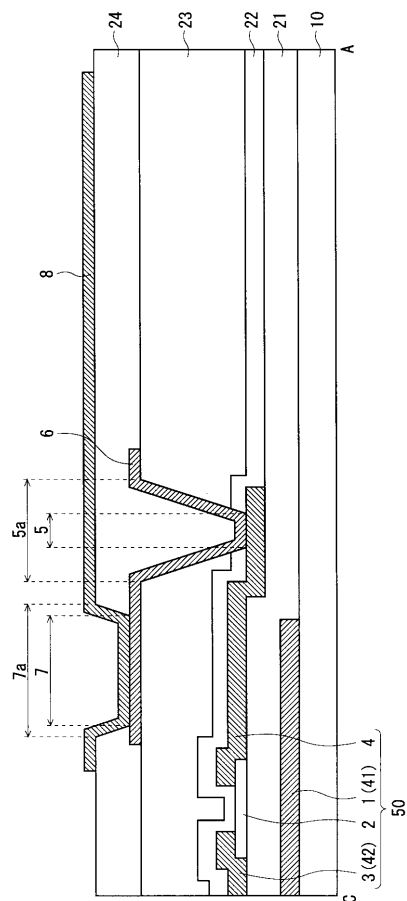
【図 8】



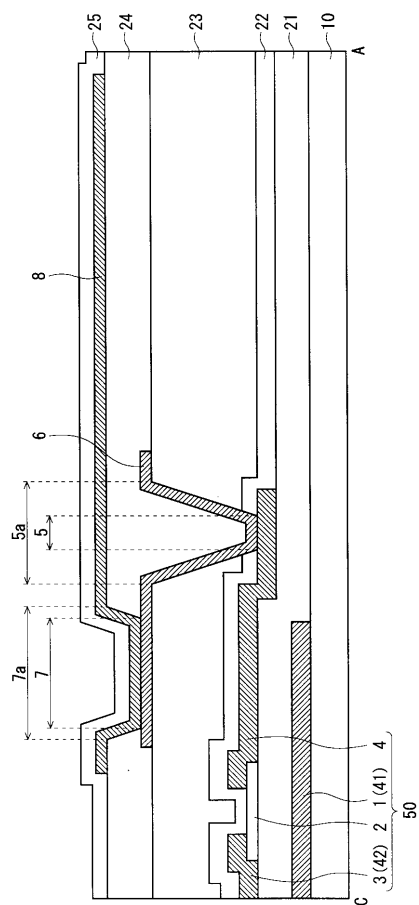
【 図 9 】



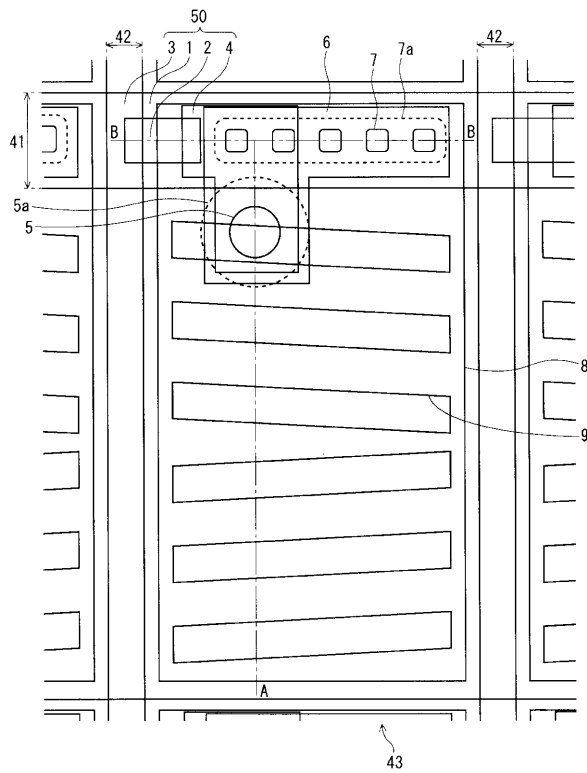
【 図 1 0 】



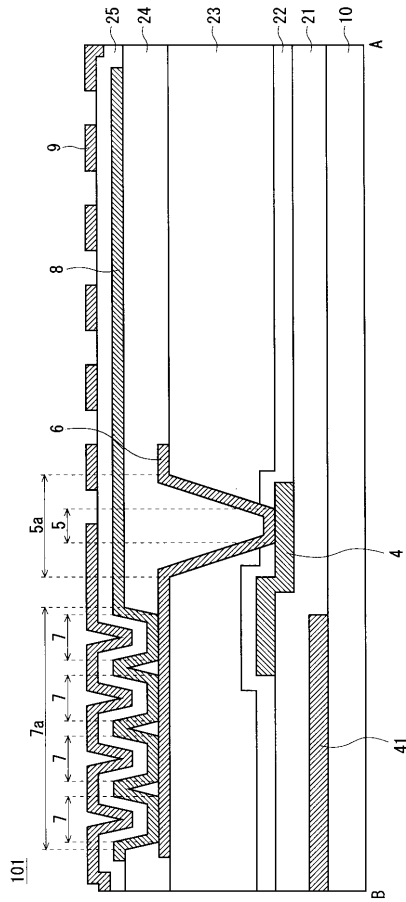
【 図 1 1 】



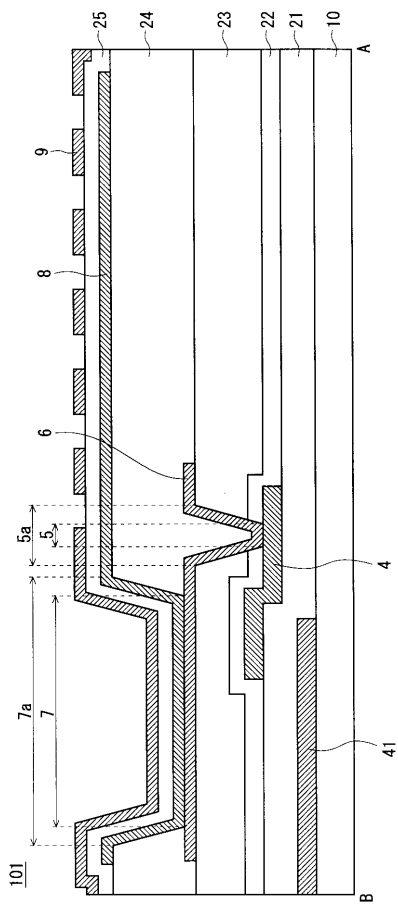
【 図 1 2 】



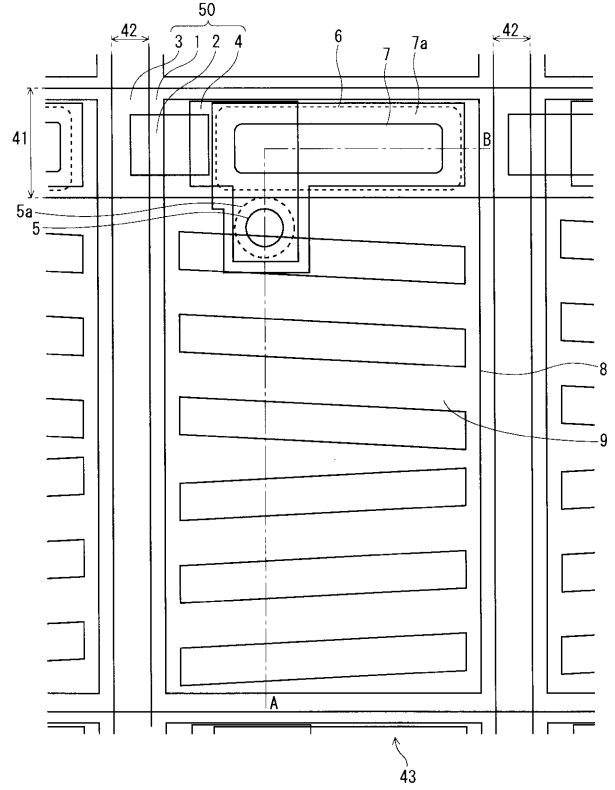
【図 13】



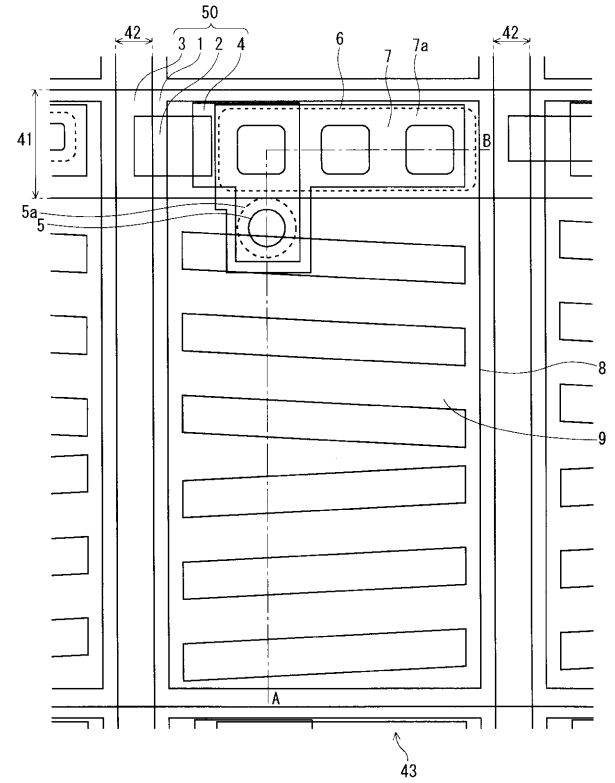
【図 15】



【図 14】



【図 16】



フロントページの続き

- (72)発明者 松浦 努
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 平野 梨伊
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 山吉 一司
熊本県菊池市泗水町住吉1576番地1 メルコ・ディスプレイ・テクノロジー株式会社内
- (72)発明者 井上 和式
熊本県菊池市泗水町住吉1576番地1 メルコ・ディスプレイ・テクノロジー株式会社内
- (72)発明者 小田 耕治
熊本県菊池市泗水町住吉1576番地1 メルコ・ディスプレイ・テクノロジー株式会社内
- Fターム(参考) 2H192 AA24 BB12 BC33 BC42 CB05 CC04 JA33

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017142317A	公开(公告)日	2017-08-17
申请号	JP2016022497	申请日	2016-02-09
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	山縣有輔 村上隆昭 松浦努 平野梨伊 山吉一司 井上和式 小田耕治		
发明人	山縣 有輔 村上 隆昭 松浦 努 平野 梨伊 山吉 一司 井上 和式 小田 耕治		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BB12 2H192/BC33 2H192/BC42 2H192/CB05 2H192/CC04 2H192/JA33		
其他公开文献	JP6519494B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止由液晶显示装置中的基板中形成的接触孔引起的显示质量的劣化。 解决方案：TFT阵列基板101包括设置有到达TFT 50的漏电极4的第一接触孔5的第一层间树脂膜23。在第一层间树脂膜23上设置有通过第一接触孔5与漏电极4连接的继电器配线6。第二层间树脂膜24设置在第一层间树脂膜23上以覆盖中继布线6，并且在第二层间树脂膜24中设置到达中继布线6的第二接触孔7。像素电极8通过第二接触孔7与继电器配线连接。第二接触孔7平面地配置在栅极配线41的上方，长边方向为与栅极配线41的长度方向相同的矩形。点域4

