

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-53899

(P2017-53899A)

(43) 公開日 平成29年3月16日(2017.3.16)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H191
G02F 1/1335 (2006.01)	G02F 1/1335 500	2H192
G09F 9/30 (2006.01)	G02F 1/1335 520	2H291
	G09F 9/30 338	5C094
審査請求 未請求 請求項の数 12 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2015-175845 (P2015-175845)
 (22) 出願日 平成27年9月7日(2015.9.7)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (72) 発明者 望月 一秀
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 林 宏宜
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 Fターム(参考) 2H092 GA13 GA15 GA23 GA60 JA25
 JA46 JB02 JB07 JB51 JB62
 JB66 JB69 KB13 PA08 PA09
 PA12

最終頁に続く

(54) 【発明の名称】 表示装置

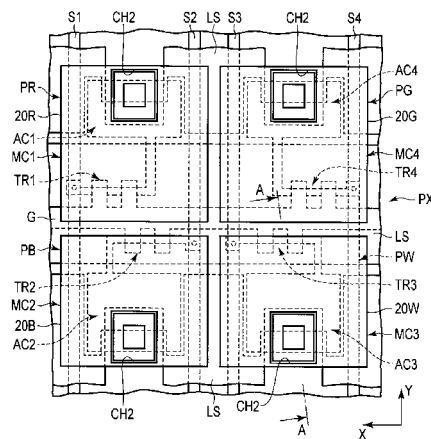
(57) 【要約】

【課題】実施形態の課題は、光リークを防止するとともに半導体素子の駆動特性のばらつきを無くし、良好な表示品位を得られる表示装置を提供することにある。

【解決手段】実施形態に係る表示装置は、複数の画素を含む表示領域、および表示領域のほぼ全面を覆う遮光層LSが設けられた第1基板と、第2基板と、第1基板と第2基板との間に設けられた液晶層と、を備えている。画素の各々は、絶縁層を挟んで遮光層に対向しているとともに電極面積が互いに異なる第1画素電極20Rおよび第2画素電極20Bと、第1画素電極に接続された第1半導体素子TR1と、第2画素電極に接続された第2半導体素子TR2と、第1半導体素子に導通する第1補助容量AC1を形成した第1容量電極と、第2半導体素子に導通する第2補助容量AC2を形成した、第1容量電極の電極面積と異なる電極面積を有する第2容量電極と、を備えている。

【選択図】 図3

図3



【特許請求の範囲】**【請求項 1】**

複数の画素を含む表示領域、複数の信号線、複数の容量線、および前記表示領域のほぼ全面を覆う遮光層が設けられた第 1 基板と、

前記第 1 基板に対向して配置された第 2 基板と、

前記第 1 基板と第 2 基板との間に設けられた液晶層と、を備え、

前記画素の各々は、絶縁層を挟んで前記遮光層に対向する第 1 画素電極と、前記絶縁層を挟んで前記遮光層に対向しているとともに、前記第 1 画素電極の電極面積と異なる電極面積を有する第 2 画素電極と、前記信号線および前記第 1 画素電極に接続された第 1 半導体素子と、前記信号線および前記第 2 画素電極に接続された第 2 半導体素子と、前記第 1 半導体素子に導通しているとともに絶縁層を挟んで前記容量線に対向し第 1 補助容量を形成した第 1 容量電極と、前記第 2 半導体素子に導通しているとともに絶縁層を挟んで前記容量線に対向し第 2 補助容量を形成した、前記第 1 容量電極の電極面積と異なる電極面積を有する第 2 容量電極と、

を備えている表示装置。

10

【請求項 2】

前記第 1 画素電極と前記遮光層との間に形成される第 1 主容量と前記第 1 補助容量との合計容量が、前記第 2 画素電極と前記遮光層との間に形成される第 2 主容量と前記第 2 補助容量との合計容量とほぼ等しくなるように、第 1 および第 2 容量電極の電極面積が設定されている請求項 1 に記載の表示装置。

20

【請求項 3】

前記第 1 画素電極および第 2 画素電極は、光反射性を有する金属材料によって形成された反射層を含んでいる請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記遮光層は、光反射膜で形成され、前記第 1 画素電極および第 2 画素電極は、透明電極で形成されている請求項 1 又は 2 に記載の表示装置。

【請求項 5】

前記第 1 および第 2 半導体素子は、前記第 1 画素電極あるいは第 2 画素電極に接続されたドレイン電極を有し、前記ドレイン電極と第 1 および第 2 画素電極との間にコンタクト保護層が介在している請求項 4 に記載の表示装置。

30

【請求項 6】

前記コンタクト保護層は、前記遮光層と共通の光反射材料で形成されている請求項 5 に記載の表示装置。

【請求項 7】

前記画素の各々は、前記第 2 画素電極と共通の画素面積を有する第 3 画素電極と、前記第 1 画素電極と共通の画素面積を有する第 4 画素電極と、前記信号線および前記第 3 画素電極に接続された第 3 半導体素子と、前記信号線および前記第 4 画素電極に接続された第 4 半導体素子と、を更に備えている請求項 1 ないし 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記画素の各々は、前記第 3 半導体素子に導通しているとともに絶縁層を挟んで前記容量線に対向し第 3 補助容量を形成した第 3 容量電極と、前記第 4 半導体素子に導通しているとともに絶縁層を挟んで前記容量線に対向し第 4 補助容量を形成した第 4 容量電極と、を更に備え、前記第 4 容量電極は前記第 1 容量電極の電極面積と共通の電極面積を有し、前記第 2 容量電極は前記第 3 容量電極の電極面積と共通の電極面積を有する請求項 7 に記載の表示装置。

40

【請求項 9】

前記画素の各々は、前記第 1 画素電極と共通の画素面積を有する第 3 画素電極と、前記信号線および前記第 3 画素電極に接続された第 3 半導体素子と、前記第 3 半導体素子に導通しているとともに絶縁層を挟んで前記容量線に対向し第 3 補助容量を形成した第 3 容量電極と、を更に備え、前記第 2 画素電極の画素面積は、前記第 1 画素電極の数倍に形成さ

50

れている請求項 1 ないし 6 のいずれか 1 項に記載の表示装置。

【請求項 10】

前記第 1 容量電極は、前記第 1 画素電極と重なって設けられた第 1 電極部と、前記第 2 画素電極と重なって設けられているとともに前記第 1 電極部に導通した第 2 電極部とを有し、前記第 3 容量電極は、前記第 3 画素電極と重なって設けられた第 1 電極部と、前記第 2 画素電極と重なって設けられているとともに前記第 1 電極部に導通した第 2 電極部とを有している請求項 9 に記載の表示装置。

【請求項 11】

複数の画素を含む表示領域と前記表示領域を覆う遮光層とを有するアレイ基板と、前記表示領域に対向する対向電極を有する対向基板と、前記アレイ基板と対向基板との間に設けられた液晶層と、前記表示領域を覆う遮光層と、を備え、前記画素の各々は、絶縁層を挟んで前記遮光層に対向し、それぞれ主容量を構成した少なくとも 2 種類のサイズの異なる画素電極と、それぞれ画素電極に接続された複数のスイッチング素子と、それぞれ前記スイッチング素子に導通しているとともに少なくとも 2 種類のサイズの異なる補助容量と、を備え、各画素電極の主容量と補助容量との合計が、前記少なくとも 2 種類の画素電極で互いに等しく形成されている表示装置。

10

【請求項 12】

前記画素電極および前記遮光層のいずれか一方は、光反射層を有している請求項 11 に記載の表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

ここで述べる実施形態は、表示装置に関する。

【背景技術】

【0002】

近年、スマートフォンなどに連携してネットワークに接続できるウェアラブルデバイスが普及期を迎えており、時計、ナビゲーション、スポーツや健康管理などの新たな用途が広がっている。ウェアラブルデバイスは、主に長時間身に着けて使用される。そのため、ウェアラブルデバイスの表示装置としては、バックライトを使用しない低消費電力のメリットから反射型の表示装置が多く用いられている。

30

【0003】

一方、ウェアラブルデバイスは主に屋外で使用され、表示装置は強外光に晒される。そのため、表示装置を構成する半導体素子の光リークを生じ易い。このような光リークは、低消費電力化につながる表示装置の低周波駆動の妨げになる。光リークは、半導体素子に対向する金属遮光層を設けることにより解消可能である。しかしながら、金属遮光層を設けた場合、画素面積の異なる複数種類の画素電極と金属遮光層との間に形成される容量は、画素電極ごとに大きさが相違する。その結果、半導体素子の駆動特性にばらつきが生じ、表示品位に悪影響を与える。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2002 - 365664 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

この発明の実施形態の課題は、光リークを防止するとともに半導体素子の駆動特性のばらつきを無くし、良好な表示品位を得られる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

50

実施形態に係る表示装置は、複数の画素を含む表示領域、複数の信号線、複数の容量線、および前記表示領域のほぼ全面を覆う遮光層が設けられた第 1 基板と、前記第 1 基板に対向して配置された第 2 基板と、前記第 1 基板と第 2 基板との間に設けられた液晶層と、を備えている。前記画素の各々は、絶縁層を挟んで前記遮光層に対向する第 1 画素電極と、前記絶縁層を挟んで前記遮光層に対向しているとともに、前記第 1 画素電極の電極面積と異なる電極面積を有する第 2 画素電極と、前記信号線および前記第 1 画素電極に接続された第 1 半導体素子と、前記信号線および前記第 2 画素電極に接続された第 2 半導体素子と、前記第 1 半導体素子に導通しているとともに絶縁層を挟んで前記容量線に対向し第 1 補助容量を形成した第 1 容量電極と、前記第 2 半導体素子に導通しているとともに絶縁層を挟んで前記容量線に対向し第 2 補助容量を形成した、前記第 1 容量電極の電極面積と異なる電極面積を有する第 2 容量電極と、を備えている。

10

【図面の簡単な説明】

【0007】

【図 1】図 1 は、第 1 の実施形態に係る液晶表示装置を概略的に示す斜視図。

【図 2】図 2 は、前記液晶表示装置のアレイ基板上の複数画素を概略的に示す平面図。

【図 3】図 3 は、1 画素を拡大して示す平面図。

【図 4】図 4 は、画素電極および遮光層を省略した状態の 1 画素を拡大して示す平面図。

【図 5】図 5 は、図 4 の線 A - A に沿った液晶表示パネルの断面図。

【図 6】図 6 は、第 2 の実施形態に係る液晶表示装置におけるアレイ基板上の複数画素を概略的に示す平面図。

20

【図 7】図 7 は、前記アレイ基板の 1 画素を拡大して示す平面図。

【図 8】図 8 は、第 2 の実施形態において、画素電極および遮光層を省略した状態の 1 画素を拡大して示す平面図。

【図 9】図 9 は、第 3 の実施形態に係る液晶表示装置の液晶表示パネルの断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しながら、この発明の実施形態について詳細に説明する。

なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更であって容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

30

【0009】

実施形態においては、表示装置の一例として、液晶表示装置を開示する。この液晶表示装置は、例えば、時計、ナビゲーション等のウェアラブルデバイス、スマートフォン、タブレット端末、携帯電話端末、パーソナルコンピュータ、テレビ受像装置、車載装置、ゲーム機器等の種々の装置に用いることができる。

【0010】

(第 1 の実施形態)

40

図 1 は、第 1 の実施形態に係る液晶表示装置を示す斜視図である。

液晶表示装置 10 は、アクティブマトリクス型の液晶表示パネル 12、液晶表示パネル 12 を駆動する駆動 IC チップ IC、制御モジュール 14、フレキシブル配線基板 15 などを備えている。

【0011】

液晶表示パネル 12 は、矩形平板状のアレイ基板 (第 1 基板) AR と、アレイ基板 AR に対向配置された矩形平板状の対向基板 (第 2 基板) CT と、アレイ基板 AR と対向基板 CT との間に保持された液晶層と、を備えている。対向基板 CT の周縁部は、シール材によりアレイ基板 AR に貼り合わされている。液晶表示パネル 12 は、画像を表示する矩形状の表示領域 (アクティブ領域) DA と、この表示領域 DA の周囲に位置する矩形枠状の

50

非表示領域 N D A と、を有している。液晶表示パネル 1 2 は、表示領域 D A においてマトリクス状に配列された複数の画素（主画素あるいは単位画素）P X を備えている。駆動 I C チップ I C は、アレイ基板 A R の周縁部に実装されている。フレキシブル配線基板 1 5 は、液晶表示パネル 1 2 と制御モジュール 1 4 とを接続している。

【 0 0 1 2 】

液晶表示パネル 1 2 は、一例では、外光や補助光といった表示面側からの入射光を画素 P X で選択的に反射させることで画像を表示する反射表示機能を備えた反射型である。このような反射型の液晶表示パネル 1 2 に対しては、対向基板 C T と対向する側に補助光源としてフロントライトユニットを配置しても良い。液晶表示パネル 1 2 は、表示モードとして、主として基板主面に略垂直な縦電界を利用する縦電界モードに対応した構成を有していても良いし、主として基板主面に略平行な横電界を利用する横電界モードに対応した構成を有していても良い。

10

【 0 0 1 3 】

一例では、カラー画像を構成する最小単位である画素 P X は、後述するように、赤色を表示するサブ画素 P R、緑色を表示するサブ画素 P G、青色を表示するサブ画素 P B、および白色を表示するサブ画素 P W を含んでいる。また、画素 P X は、さらに他の色（例えば、黄色、薄い青色、薄い赤色、実質的に透明など）のサブ画素を含んでいても良い。

【 0 0 1 4 】

図 2 は、アレイ基板 A R 上の複数画素 P X を概略的に示す平面図、図 3 は、1 画素を拡大して示す平面図である。

20

【 0 0 1 5 】

図 2 および図 3 に示すように、アレイ基板 A R の表示領域 D A のほぼ全面に亘って、遮光層（遮光膜）L S が設けられている。アレイ基板 A R 上の各画素 P X は、例えば、スクエア異形画素として構成されている。すなわち、各画素 P X は、それぞれ矩形状の第 1 画素電極（赤色用の画素電極）2 0 R、第 2 画素電極（青色用の画素電極）2 0 B、第 3 画素電極（白用の画素電極）2 0 W、および第 4 画素電極（緑色用の画素電極）2 0 G の 4 つの画素電極を有している。第 1 画素電極 2 0 R は、第 2 画素電極 2 0 B よりも大きいサイズに形成され、第 2 画素電極 2 0 B よりも大きい画素面積を有している。第 4 画素電極 2 0 G は第 1 画素電極 2 0 R とほぼ同一のサイズに形成され、第 3 画素電極 2 0 W よりも大きな画素面積を有している。第 3 画素電極 2 0 W は第 2 画素電極 2 0 B とほぼ同一のサイズに形成されている。このように、画素 P X は、2 つの大きいサイズの画素電極 2 0 R、2 0 G、および 2 つの小さいサイズの画素電極 2 0 B、2 0 W で構成されている。第 1 画素電極 2 0 R および第 4 画素電極 2 0 G は、第 1 方向（X 方向）に並んで設けられ、第 2 画素電極 2 0 B および第 3 画素電極 2 0 W は、第 1 方向（X 方向）に並んで設けられている。第 1 画素電極 2 0 R および第 2 画素電極 2 0 B は、第 1 方向と直交する第 2 方向（Y 方向）に並んで設けられている。

30

【 0 0 1 6 】

第 1 画素電極 2 0 R、第 2 画素電極 2 0 B、第 3 画素電極 2 0 W、および第 4 画素電極 2 0 G は、絶縁層を挟んで遮光層 L S に対向し、それぞれ画素電極の大きさに対応する大きさの第 1、第 2、第 3、第 4 主容量 M C 1、M C 2、M C 3、M C 4 を構成している。また、画素 P X は、第 1 画素電極 2 0 R および第 4 画素電極 2 0 G の下方を第 1 方向 X に沿って延びる第 1 容量線 C S 1 と、第 2 画素電極 2 0 B および第 3 画素電極 2 0 W の下方を第 1 方向 X に沿って延びる第 2 容量線 C S 2 と、第 1、第 2、第 3、第 4 容量電極 C E 1、C E 2、C E 3、C E 4 とを有している。

40

【 0 0 1 7 】

第 1 容量電極 C E 1 は、第 1 画素電極 2 0 R と対向する領域において、第 1 容量線 C S 1 の一部に絶縁層を挟んで対向配置され、第 1 補助容量 A C 1 を構成している。第 4 画素電極 2 0 G と対向する領域において、第 4 容量電極 C E 4 は、第 1 容量線 C S 1 の一部に絶縁層を挟んで対向配置され、第 4 補助容量 A C 4 を構成している。第 2 容量電極 C E 2 は、第 2 画素電極 2 0 B と対向する領域において、第 2 容量線 C S 2 の一部に絶縁層を挟

50

んで対向配置され、第2補助容量AC2を構成している。第3画素電極20Wと対向する領域において、第3容量電極CE3は、第2容量線CS2の一部に絶縁層を挟んで対向配置され、第3補助容量AC3を構成している。

【0018】

第1容量電極CE1および第4容量電極CE4は、互いにほぼ同一のサイズに形成され、また、第2容量電極CE2よりも小さいサイズに形成され、第2容量電極CE2よりも小さい電極面積を有している。第2容量電極CE2および第3容量電極CE3は、互いにほぼ同一のサイズに形成され、また、第1容量電極CE1よりも大きいサイズに形成されている。これにより、第1補助容量AC1および第4補助容量AC4は、第2補助容量AC2および第3補助容量AC3よりもそれぞれ小さい容量となっている。

10

更に、大きい画素面積を有する第1画素電極20Rで構成される第1主容量MC1と第1補助容量AC1との合計容量が、小さい画素面積を有する第2画素電極20Bで構成される第2主容量MC2と第2補助容量AC2との合計容量とほぼ等しくなるように、各電極サイズを設定している。このように、主容量と補助容量との合計容量は、4つの画素電極で互いに等しくなっている。

【0019】

次に、アレイ基板ARおよび対向基板CTについてより詳細に説明する。

図4は、画素電極および遮光層を省略した状態の1画素を拡大して示す平面図、図5は、図3の線A-Aに沿った液晶表示パネルの断面図である。

図5に示すように、液晶表示パネル12は、アレイ基板AR、アレイ基板と対向した対向基板CT、および、アレイ基板ARと対向基板CTとの間に封入された液晶層LCと、を備えている。

20

【0020】

図4および図5に示すように、アレイ基板ARは、ガラス基板や樹脂基板などの光透過性を有する絶縁基板16を用いて形成されている。アレイ基板ARは、絶縁基板16の上に、各画素PXを構成する画素電極、薄膜トランジスタ(半導体素子)TR、蓄積容量、並びに、ゲート線駆動回路および信号線駆動回路を備えている。

【0021】

絶縁基板16の内面16Aは、第1絶縁層(アンダーコート層)18より覆われている。第1絶縁層18は、シリコン酸化物(SiO_x)、シリコン酸窒化物(SiON_y)などによって形成されている。

30

本実施形態では、1画素について、4つの薄膜トランジスタ(半導体素子)TR1~TR4が設けられている。各薄膜トランジスタは、第1絶縁層18上に設けられた半導体層SC、第2絶縁層20を挟んで半導体層SCの上に設けられたゲート電極GE1、GE2、これらのゲート電極GE1、GE2を覆う第3絶縁層22上に設けられたソース電極SEおよびドレイン電極DEを有し、トップゲート型のトランジスタを構成している。各薄膜トランジスタTR1~TR4は、2つのゲート電極を有するダブルゲート型として構成されている。

【0022】

第1絶縁層18の上に、例えば、低温ポリシリコンからなる半導体層SCが形成されている。半導体層SCは、細長い矩形状(直線状)にパターンニングされている。半導体層SCは、2つのチャネル領域、これらのチャネル領域間に位置し、不純物としてリンがドーブされた低濃度不純物領域、チャネル領域を挟んだ両側にそれぞれ位置し、例えば、リンがドーブされたソース領域SCS及びドレイン領域SCDを有している。ソース領域SCS及びドレイン領域SCDは、チャネル領域よりも低抵抗化されている。

40

半導体層SCのドレイン領域SCDは、所定サイズの矩形状に形成され、それぞれ前述した第1、第2、第3、第4容量電極CE1、CE2、CE3、CE4を構成している。

【0023】

半導体層SC上に第2絶縁層(ゲート絶縁層)20が形成され、半導体層SCを覆っている。薄膜トランジスタTR1~TR4を構成するゲート電極GE1、GE2が第2絶縁

50

層 2 0 上に設けられ、半導体層 S C のチャネル領域とそれぞれ対向している。ゲート電極 G E 1、G E 2 は、配線材料によって形成され、例えば、モリブデン、タングステン、アルミニウム、チタンなどの金属材料あるいはこれらの金属材料を含む合金などによって形成されている。ゲート電極 G E 1、G E 2 は、例えばゲート電極と同一層に設けられたゲート線 G と電氣的に接続され、あるいは、ゲート線 G と一体に形成されている。本実施形態において、ゲート線 G は、第 2 絶縁層 2 0 上に形成され、各画素 P X のほぼ中央部を通過して第 1 方向 X にそれぞれ延びている。

【0024】

第 2 絶縁層 2 0 上に、複数の第 1 容量線 C S 1 および複数の第 2 容量線 C S 2 が設けられ、それぞれ第 1 方向 X に沿って互いに平行に延出している。1 画素 X P に第 1 および第 2 容量線 C S 1、C S 2 が延在し、ゲート線 G の両側に位置している。第 1 容量線 C S 1 および第 2 容量線 C S 2 は、例えば、モリブデン、タングステン、アルミニウム、チタンなどの金属材料あるいはこれらの金属材料を含む合金などによって形成されている。

【0025】

第 1 容量線 C S 1 の複数個所は、幅広に形成され、それぞれ容量電極 C S 1 a、C S 1 b を構成している。容量電極 C S 1 a、C S 1 b は、第 1 容量電極 C E 1、第 4 容量電極 C E 4 にそれぞれ対応するサイズの矩形状に形成されている。容量電極 C S 1 a、C S 1 b は、それぞれ第 2 絶縁層 2 0 を挟んで第 1 容量電極 C E 1、第 4 容量電極 C E 4 と対向配置され、これらの容量電極により、M I M 型の第 1 補助容量 A C 1 および第 4 補助容量 A C 4 を形成している。第 1 補助容量 A C 1 および第 4 補助容量 A C 4 は、それぞれ薄膜トランジスタ T R 1、T R 4 のドレインに導通している。

【0026】

第 2 容量線 C S 2 の複数個所は、幅広に形成され、それぞれ容量電極 C S 2 a、C S 2 b を構成している。容量電極 C S 2 a、C S 2 b は、第 2 容量電極 C E 2、第 3 容量電極 C E 3 にそれぞれ対応するサイズの矩形状に形成されている。容量電極 C S 2 a、C S 2 b は、それぞれ第 2 絶縁層 2 0 を挟んで第 2 容量電極 C E 2、第 3 容量電極 C E 3 と対向配置され、これらの容量電極により、M I M 型の第 2 補助容量 A C 2 および第 3 補助容量 A C 3 を形成している。第 2 補助容量 A C 2 および第 3 補助容量 A C 3 は、それぞれ薄膜トランジスタ T R 2、T R 3 のドレインに導通している。

【0027】

ゲート電極 G E 1、G E 2 を含むゲート線 G、第 1、第 2 容量線 C S 1、C S 2、および、第 2 絶縁層 2 0 は、第 3 絶縁層 2 2 によって覆われている。第 3 絶縁層 2 2 を形成する材料としては、シリコン酸化物 (S i O _x)、シリコン酸窒化物 (S i O N_y) 等が利用可能である。

【0028】

薄膜トランジスタ T R を構成するソース電極 S E 及びドレイン電極 D E が、第 3 絶縁層 2 2 の上に形成されている。1 つの画素 P X に対して、4 本の第 1 ないし第 4 信号線 S 1、S 2、S 3、S 4 が、第 3 絶縁層 2 2 の上に形成され、それぞれ第 2 方向 Y に沿って延びている。薄膜トランジスタ T R 1 のソース電極 S E は、第 3 絶縁層 2 2 を貫通するコンタクトホール C H 1 を介して半導体層 S C のソース領域 S C S にコンタクトしている。ソース電極 S E は、第 1 信号線 S 1 に接続され、あるいは、第 1 信号線 S 1 と一体に形成されている。

同様に、薄膜トランジスタ T R 2、T R 3、T R 3 のソース電極 S E は、それぞれ第 2、第 3、第 4 信号線 S 2、S 3、S 4 と一体に形成され、それぞれコンタクトホール C H 1 を介して半導体層 S C のソース領域 S C S にコンタクトしている。

これらのソース電極 S E、ドレイン電極 D E および各信号線は、同一の配線材料によって形成することができる。

【0029】

図 3 および図 5 に示すように、第 1 ~ 第 4 信号線 S 1 ~ S 4、ソース電極 S E、およびドレイン電極 D E は、第 4 絶縁層 (有機絶縁膜) 2 4 によって覆われている。第 4 絶縁層

10

20

30

40

50

24を形成する材料としては、シリコン酸化物(SiO_x)、シリコン酸窒化物(SiON_y)等が利用可能である。第4絶縁層24において、ドレイン電極DEに対向する各部にコンタクトホールCH2が形成され、それぞれドレイン電極DEに連通している。

【0030】

第4絶縁層24のほぼ全面に亘って、遮光層LSが設けられている。遮光層LSは、導電性遮光材料によって形成され、例えば、モリブデン、タングステン、アルミニウム、チタンなどの金属材料あるいはこれらの金属材料を含む合金などによって形成されている。遮光層LSは、コンタクトホールCH2を除いて、アレイ基板AR全体を覆い、勿論、4つの薄膜トランジスタTR1ないしTR4を完全に覆っている。

各コンタクトホールCH2の底部にコンタクト保護層26が形成され、ドレイン電極DEに導通している。コンタクト保護層26として、例えば、ITO(イットリウム・ティン・オキサイド)を用いることができる。

【0031】

遮光層LS、コンタクトホールCH2に重ねて、第4絶縁層24上に第5絶縁層(層間絶縁膜)30が設けられている。第5絶縁層30を形成する材料としては、シリコン酸化物(SiO_x)、シリコン酸窒化物(SiON_y)等が利用可能である。

第5絶縁層30上に第1画素電極20R、第2画素電極20B、第3画素電極20W、および第4画素電極20Gが設けられている。各画素電極は、コンタクトホールCH2およびコンタクト保護層26を介して、対応する薄膜トランジスタTR1~TR4のドレイン電極DEに導通している。また、第1画素電極20R、第2画素電極20B、第3画素電極20W、および第4画素電極20Gは、第5絶縁層30を挟んで遮光層LSに対向し、それぞれ画素電極の大きさに対応する大きさの第1、第2、第3、第4主容量MC1、MC1、MC3、MC4を構成している。

【0032】

第5絶縁層30上に第1画素電極20R、第2画素電極20B、第3画素電極20W、および第4画素電極20Gの各々は、例えば、アルミニウムや銀などの光反射性を有する金属材料によって形成された反射層を含んでいる。各画素電極は、ほぼ平坦な表面(鏡面)を有している。また、各画素電極上にITO等の透明電極を更に形成してもよい。これら画素電極は、配向膜AL1により覆われている。

【0033】

図5に示すように、対向基板CTは、第2絶縁基板32、遮光層BM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。遮光層BMは、第2絶縁基板32のアレイ基板ARと対向する側に形成されている。カラーフィルタCFは、第2絶縁基板32のアレイ基板ARと対向する側に形成され、それらの一部が遮光層BMと重なっている。カラーフィルタCFは、第1画素電極20Rと対向する赤色フィルタ、第2画素電極20Gと対向する青色フィルタ、第3画素電極20Wと対向する白色フィルタ、第4画素電極20Gと対向する緑色フィルタを含んでいる。これにより、カラー画像を構成する最小単位である画素PXは、赤色を表示するサブ画素PR、緑色を表示するサブ画素PG、青色を表示するサブ画素PB、および白色を表示するサブ画素PWを含んでいる。

【0034】

なお、画素PXがさらに他の色のサブ画素を含む場合、対応する色のカラーフィルタが当該サブ画素に配置される。一例では、赤色、緑色、青色とは異なる他の色のカラーフィルタとして、黄色、薄い青色、薄い赤色などのカラーフィルタを含んでも良い。これらのカラーフィルタCFは、各々の色を表示するサブ画素に対応して配置される。

【0035】

オーバーコート層OCは、カラーフィルタCFを覆っている。共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。この共通電極CEは、画素PXの全域に亘って配置され、第1~第4画素電極20R、20B、20W、20Gと対向している。共通電極CEは、インジウム・ティン・オキサイド(ITO)やインジ

10

20

30

40

50

ウム・ジंक・オキサイド（IZO）などの透明な導電材料によって形成されている。第2配向膜AL2は、共通電極CEを覆っている。

【0036】

アレイ基板AR及び対向基板CTは、第1配向膜AL1及び第2配向膜AL2が対向した状態で貼り合わされている。液晶層LCは、アレイ基板ARと対向基板CTとの間に保持され、第1配向膜AL1と第2配向膜AL2との間に位置した液晶分子を含んでいる。

【0037】

対向基板CTの液晶層LCに接する面とは反対側（外面）に光学素子ODが配置されている。光学素子ODは、例えば前方散乱フィルムFS、位相差板RT、偏光板PLなどを備えている。前方散乱フィルムFSは、例えば第2絶縁基板32に接着されている。この前方散乱フィルムFSは、特定方向（外光源側）からの入射光は透過し、他の特定方向からの入射光を拡散させる機能を有している。なお、前方散乱フィルムFSは、拡散範囲の拡大、虹色の防止などの目的のために複数枚を積層することが望ましい。位相差板RTは、前方散乱フィルムFSに積層されている。この位相差板RTは、1/4波長板である。一例では、位相差板RTは、1/4波長板と1/2波長板とを積層して構成され、波長依存性を低減し、カラー表示に利用される波長範囲において所望の位相差が得られるように構成されている。偏光板PLは、位相差板RTに積層されている。なお、前方散乱フィルムFSは、図示した位置に限らず、偏光板PLに積層されていても良い。

【0038】

以上のように構成された液晶表示装置10によれば、信号線駆動回路およびゲート線駆動回路は、60Hz程度の低周波数で表示画素PXを間欠駆動する。画像表示時、外光は、光学素子OD、対向基板CT、カラーフィルタCF、液晶層LCを通して画素電極に入射し、画素電極で反射された後、再び、液晶層LC、カラーフィルタCF、対向基板CT、光学素子ODを通して外部に出射する。これにより、カラー画像を表示する。

上記液晶表示装置10によれば、遮光層LSがアレイ基板ARのほぼ全面に亘って設けられていることから、外光が薄膜トランジスタTRに入射することがなく、光リークを確実に防止することが可能となる。また、画素PXを構成する第1ないし第4画素電極20R~20Gは、互いにサイズの異なる異形状に形成され、遮光層LSとの間に互いに異なる大きさの主容量MC1~MC4を形成しているが、更に、互いに異なる大きさのMIMによる補助容量AC1~AC4を設け、主容量のバラツキを無くし均一化している。すなわち、複数のサブ画素間で、主容量と補助容量との合計が互いに等しくなるように、補助容量を設定している。これにより、複数の薄膜トランジスタTRに起因する突き抜け電圧のバラツキを無くし、一定にすることができる。従って、光リークを防止するとともに半導体素子の駆動特性のばらつきを無くし、良好な表示品位を有する液晶表示装置が得られる。更に、画素電極-シールド層間で作られた主容量を無駄にすることなく、また、各画素サイズを光学特性が最適な大きさまで変化させることが可能となる。

【0039】

次に、他の実施形態に係る液晶表示装置について説明する。なお、以下に説明する他の実施形態において、前述した第1の実施形態と同一の部分には、同一の参照符号を付してその詳細な説明を省略し、第1の実施形態と異なる部分を中心に詳しく説明する。

（第2の実施形態）

図6は、第2の実施形態に係る液晶表示装置において、アレイ基板AR上の複数画素PXを概略的に示す平面図、図7は、1画素を拡大して示す平面図、図8は、画素電極および遮光層を省略した状態の1画素を拡大して示す平面図である。

【0040】

図6および図7に示すように、アレイ基板ARの表示領域DAのほぼ全面に亘って、遮光層LSが設けられている。アレイ基板AR上の各画素PX1、PX2は、例えば、スクエア異形画素として構成されている。すなわち、画素PX1は、それぞれ矩形状の第1画素電極（赤色用の画素電極）20R、第2画素電極（青色用の画素電極）20B、第3画素電極（緑色用の画素電極）20Gの3つの画素電極を有している。隣の画素PX2は、

10

20

30

40

50

それぞれ矩形状の第1画素電極（赤色用の画素電極）20R、第2画素電極（白用の画素電極）20W、および第3画素電極（緑色用の画素電極）20Gの3つの画素電極を有している。画素PX1、PX2は、交互に並んで設けられている。

【0041】

第1画素電極20Rは、第3画素電極20Gとほぼ同一のサイズに形成されている。第2画素電極20Bあるいは20Wは、第1画素電極20Rの数倍、例えば、約2倍のサイズに形成され、第1画素電極20Rよりも大きい画素面積を有している。このように、画素PX1、PX2は、2つの小さいサイズの画素電極20R、20G、および1つの大きいサイズの画素電極20Bあるいは20Wで構成されている。第1画素電極20Rおよび第3画素電極20Gは、第1方向（X方向）に並んで設けられている。第2画素電極20Bあるいは20Wは、第1および第2画素電極20R、20Gに対して、第1方向Xと直交する第2方向（Y方向）に並んで設けられている。

10

【0042】

第1画素電極20R、第2画素電極20B（20W）、および第3画素電極20Gは、絶縁層を挟んで遮光層LSに対向し、それぞれ画素電極の大きさに対応する大きさの第1、第2、第3主容量MC1、MC1、MC3を構成している。また、画素PX1、PX2は、第1画素電極20Rおよび第3画素電極20Gの下方を第1方向Xに沿って延びる第1容量線CS1と、第2画素電極20B（20W）の下方を第1方向Xに沿って延びる第2容量線CS2と、第1、第2、第3容量電極CE1、CE2、CE3とを有している。

【0043】

20

図7および図8に示すように、1画素PX1について、第1画素電極20Rを駆動する薄膜トランジスタTR1、第2画素電極20B（あるいは20W）を駆動する2つの薄膜トランジスタTR2a、TR2b、および第3画素電極20Gを駆動する薄膜トランジスタTR3の4つの薄膜トランジスタが設けられている。本実施形態において、薄膜トランジスタTR2a、TR2bの一方、例えば、TR2bは、ダミーの薄膜トランジスタとして設けられている。

各薄膜トランジスタは、第1絶縁層上に設けられた半導体層SC、第2絶縁層（ゲート絶縁膜）を挟んで半導体層SCの上に設けられたゲート電極GE1、GE2、これらのゲート電極GE1、GE2を覆う第3絶縁層上に設けられたソース電極SEおよびドレイン電極DEを有し、トップゲート型のトランジスタを構成している。

30

【0044】

本実施形態では、第1容量電極CE1は、薄膜トランジスタTR1のドレイン領域に連続して形成されたほぼ矩形状の第1電極部CE1aおよびほぼ矩形状の第2電極部CE1bを有し、これらの第1および第2電極部CE1a、CE1bは、連結部CE1cにより互いに連結され、第1容量電極CE1を構成している。第1電極部CE1aは、第1画素電極20Rと重なる位置に設けられ、第2電極部CE1bは、第2画素電極20B（20W）と重なる位置に設けられている。第1電極部CE1aは、ドレイン電極DEを介して、第1画素電極20Rに接続されている。

【0045】

第3容量電極CE3は、薄膜トランジスタTR3のドレイン領域に連続して形成されたほぼ矩形状の第1電極部CE3aおよびほぼ矩形状の第2電極部CE3bを有し、これらの第1および第2電極部CE3a、CE3bは、連結部CE3cにより互いに連結され、第3容量電極CE3を構成している。第1電極部CE3aは、第3画素電極20Gと重なる位置に設けられ、第2電極部CE3bは、第2画素電極20B（20W）と重なる位置に設けられている。第1電極部CE3aは、ドレイン電極DEを介して、第3画素電極20Gに接続されている。

40

第3容量電極CE3の第1電極部CE3aおよび第2電極部CE3bは、第1容量電極CE1の第1電極部CE1aおよび第2電極部CE1bとそれぞれ同一のサイズに形成されている。

第2容量電極CE2は、薄膜トランジスタTR2aのドレイン領域に連続して形成され

50

たほぼ矩形状に形成されている。第2容量電極CE2は、上述した第1容量電極CE1および第3容量電極CE3に比較して十分に小さく形成されている。

【0046】

第2絶縁層上に設けられた第1容量線CS1および第2容量線CS2は、それぞれ第1方向Xに沿って互いに平行に延出している。第1容量線CS1の複数個所は、幅広に形成され、それぞれ容量電極CS1aを構成している。容量電極CS1aは、第1容量電極CE1の第1電極部CE1aおよび第3容量電極CE3の第1電極部CE3aに対応するサイズの矩形状に形成されている。容量電極CS1aは、第3絶縁層を挟んで第1電極部CE1aおよび第1電極部CE3aと対向配置され、これらの容量電極により、MIM型の第1補助容量AC1および第3補助容量AC3を形成している。第1補助容量AC1および第3補助容量AC3は、それぞれ薄膜トランジスタTR1、TR3のドレインに導通している。

10

【0047】

第2容量線CS2の複数個所は、幅広に形成され、それぞれ容量電極CS2aを構成している。容量電極CS2aは、矩形状に形成され第2画素電極20B(20W)と重なって位置している。容量電極CS2aは、第3絶縁層を挟んで、第1容量電極CE1の第2電極部CE1bおよび第3容量電極CE3の第2電極部CE3bと対向配置され、これらの容量電極により、MIM型の第1補助容量AC1および第3補助容量AC3を形成している。

このように、第1補助容量AC1は、容量電極CE1の第1および第2電極部CE1a、CE1bと第1および第2容量線CS1、CS2により形成されている。同様に、第3補助容量AC3は、第3容量電極CE3の第1および第2電極部CE3a、CE3bと第1および第2容量線CS1、CS2とにより形成されている。

20

また、第2容量電極CE2は、第3絶縁層を挟んで、容量電極CS2aと対向配置され、これらの容量電極により、MIM型の第3補助容量AC3を形成している。第2容量電極CE2は、小さく形成され、第3補助容量AC3も第1および第2補助容量AC1、2に比較して十分に小さい。薄膜トランジスタTR2a、TR2bのドレイン領域は、ほとんど補助容量を形成することなく、ドレイン電極DEを介して、第2画素電極20B(20W)に接続されている。

【0048】

30

以上のように、第1容量電極CE1および第3容量電極CE3は、互いにほぼ同一のサイズに形成され、第1補助容量AC1および第3補助容量AC3も互いに等しい容量としている。これにより、小さい画素面積を有する第1画素電極20Rで構成される第1主容量MC1と第1補助容量AC1との合計容量は、同じく、小さい画素面積を有する第3画素電極20Gで構成される第3主容量MC3と第2補助容量AC2との合計容量と等しく設定されている。更に、第1画素電極20Rで構成される第1主容量MC1と第1補助容量AC1との合計容量が、大きい画素面積を有する第2画素電極20B(20W)で構成される第2主容量MC2と小さい第2補助容量AC2の合計容量と等しくなるように、各電極サイズを設定している。

これにより、第2画素電極20B(20W)のサイズを、第1画素電極20Rの2倍のサイズと非常に大きく設定した場合でも、薄膜トランジスタTR1、TR2、TR3のドレインに導通する容量を互いに等しい大きさの容量とすることができる。

40

なお、第2の実施形態において、液晶表示装置の他の構成は、前述した第1の実施形態と同一である。

【0049】

以上のように構成された第2の実施形態においても、画素PXを構成する第1ないし第3画素電極20R、20G、20B(20W)は、サイズの異なる異形状に形成され、遮光層LSとの間に互いに異なる大きさの主容量MC1~MC4を形成しているが、MIMによる補助容量AC1、AC2を設け、容量のバラツキを無くし均一化している。これにより、複数の薄膜トランジスタTRに起因する突き抜け電圧のバラツキを無くし、一定に

50

することができる。従って、光リークを防止するとともに半導体素子の駆動特性のばらつきを無くし、良好な表示品位を有する液晶表示装置が得られる。また、画素電極間でサイズが大きく相違している場合でも、小さいサイズの画素電極と重なる領域および大きいサイズの画素電極と重なる領域の両方を利用して補助容量を形成することができ、容量のバラツキを容易に無くすることが可能となる。

【 0 0 5 0 】

(第 3 の実施形態)

図 9 は、第 3 の実施形態に係る液晶表示装置において、液晶表示パネルの一例を示す断面図である。

本実施形態によれば、画素 P X を構成する各画素電極 2 0 W は、I T O 等の透明導電材料で形成している。また、遮光層 L S は、導電性遮光材料で、かつ、光反射性を有する材料、例えば、アルミニウム、銀等により形成し、光反射機能を持たしている。これにより、液晶表示パネル 1 2 に入射した外光は、画素電極を透過して遮光層 L S に入射し、遮光層 L S で反射される。

【 0 0 5 1 】

各コンタクトホール C H 2 の底部に設けられるコンタクト保護層 2 6 は、遮光層 L S と同一の材料で形成されている。これにより、遮光層 L S およびコンタクト保護層 2 6 を同一行程で成膜することが可能となり、製造工程の削減を図ることができる。

第 3 の実施形態において、液晶表示装置の他の構成は、前述した第 1 の実施形態と同様である。

【 0 0 5 2 】

第 3 の実施形態によれば、画素電極を透明電極とした場合でも、遮光層 L S により外光を反射し、反射型の液晶表示装置を実現することができる。また、遮光層とコンタクト保護層の形成材料を合わせることで、製造工程の簡略化を図ることが可能となる。その他、第 3 の実施形態においても、前述した第 1 の実施形態と同様の作用効果を得ることができる。

【 0 0 5 3 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。実施形態やその変形例は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 0 0 5 4 】

本発明の実施形態として上述した各構成及び製造工程を基にして、当業者が適宜設計変更して実施し得る全ての構成及び製造工程も、本発明の要旨を包含する限り、本発明の範囲に属する。また、上述した実施形態によりもたらされる他の作用効果について本明細書の記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

例えば、構成部材の材料、形状は、上述した実施形態に限らず、種々選択可能である。

【 符号の説明 】

【 0 0 5 5 】

1 0 ... 液晶表示装置、1 2 ... 液晶表示パネル、A R ... アレイ基板、C T ... 対向基板、L C ... 液晶層、D A ... 表示領域、N D A ... 非表示領域、P X , P X 1、P X 2 ... 画素、

2 0 R ... 第 1 画素電極、2 0 B ... 第 2 画素電極、2 0 W ... 第 3 画素電極、
2 0 G ... 第 4 画素電極、T R 1 ~ T R 4 ... 薄膜トランジスタ、
M C 1 ~ M C 4 ... 主容量、A C 1 ~ A C 4 ... 補助容量、
P R、P B、P W、P G ... サブ画素、L S ... 遮光層、C S 1 ... 第 1 容量線、
C S 2 ... 第 2 容量線、C E 1 ~ C E 4 ... 容量電極、
C H 1、C H 2 ... コンタクトホール、2 6 ... コンタクト保護層

10

20

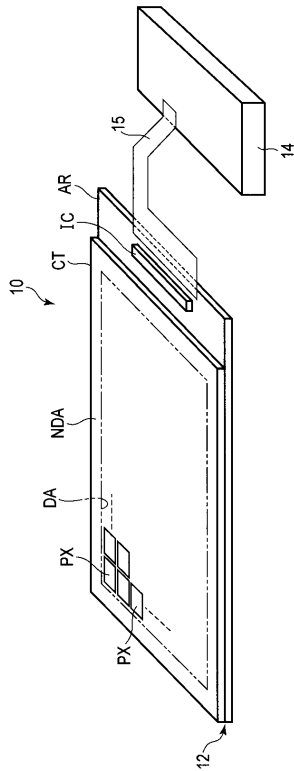
30

40

50

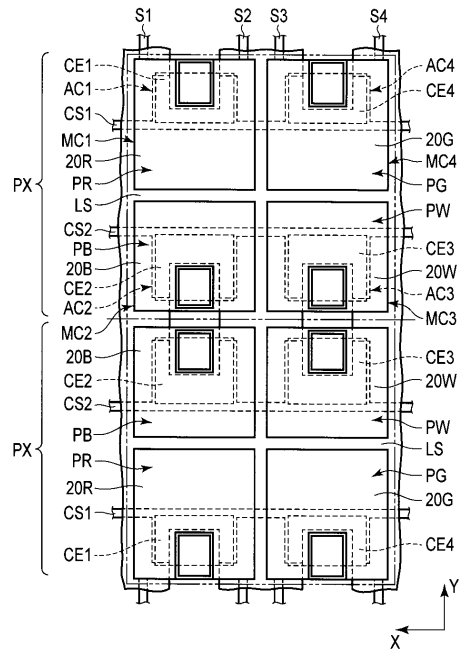
【図 1】

図 1



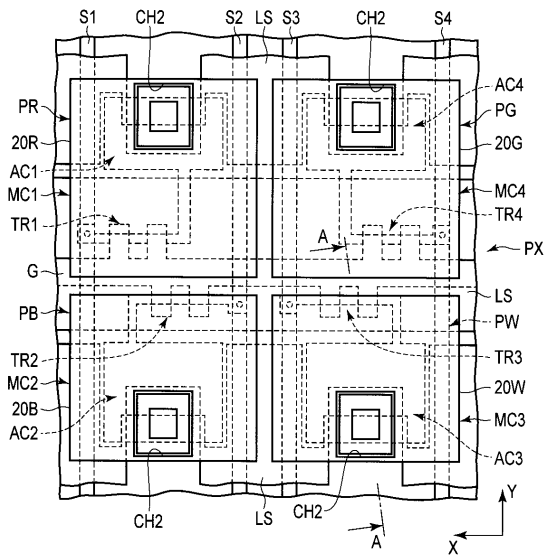
【図 2】

図 2



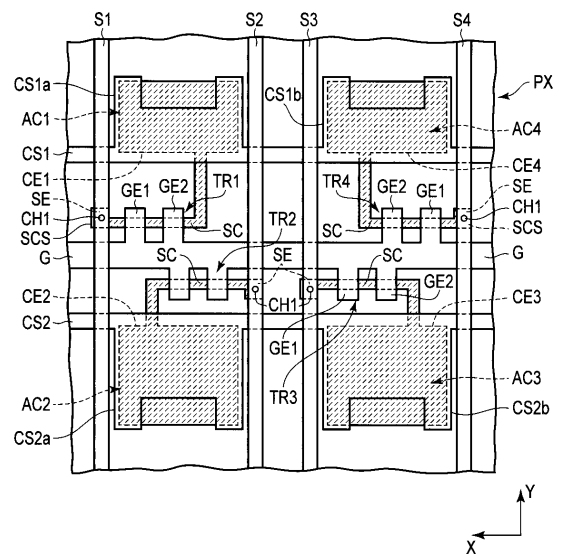
【図 3】

図 3



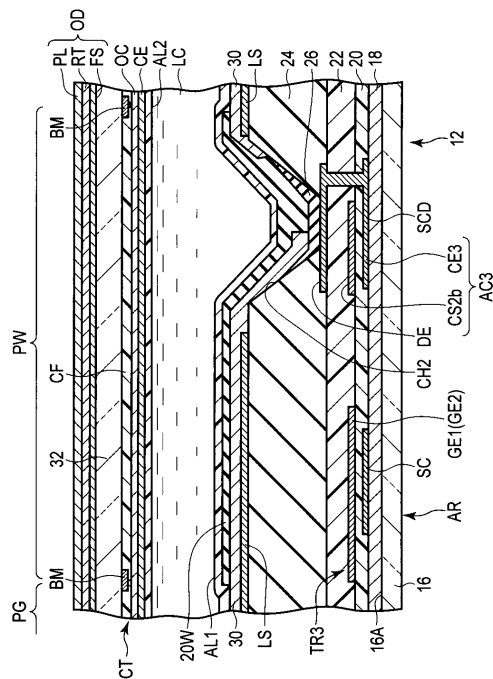
【図 4】

図 4



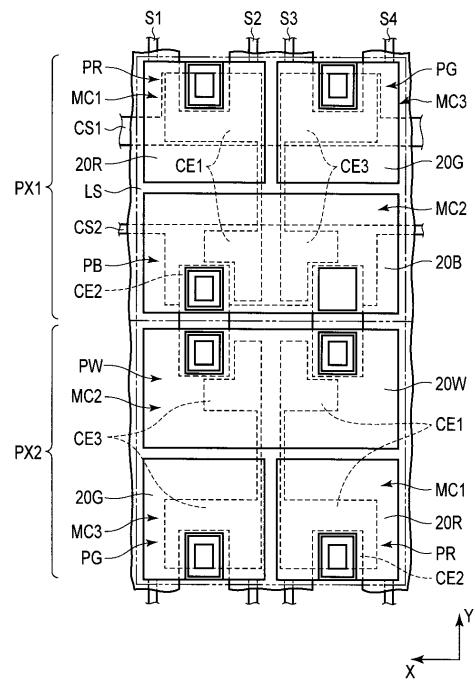
【 図 5 】

图 5



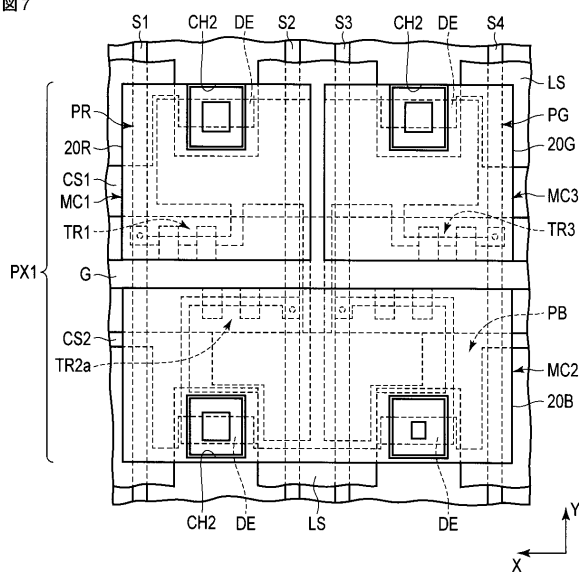
【 図 6 】

图 6



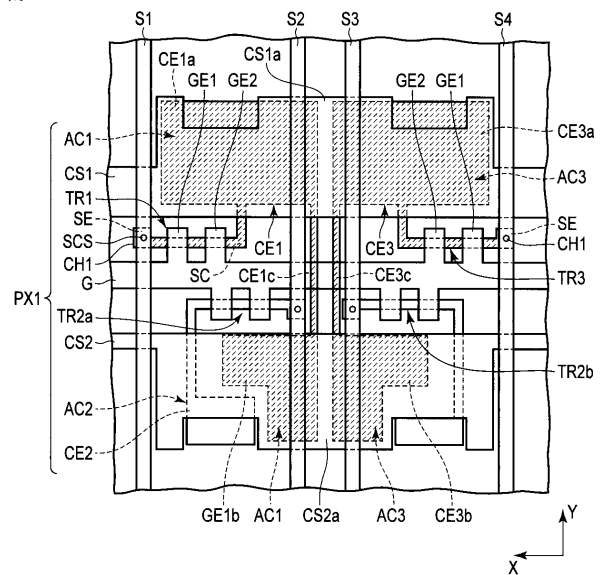
【 圖 7 】

图 7



【 図 8 】

图 8



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F	9/30	3 4 9 D
G 0 9 F	9/30	3 4 9 C

F ターム(参考) 2H191 FA09Y FA13Y FA31Y FB14 GA05 GA10 GA17 GA19 NA43 NA45
NA47
2H192 AA24 AA43 AA45 BC01 BC31 BC72 BC74 CB02 CB13 CC22
CC44 DA12 DA43 DA65 EA03 EA13 EA22 EA43 EA54 FA73
FB22
2H291 FA09Y FA13Y FA31Y FB14 GA05 GA10 GA17 GA19 NA43 NA45
NA47
5C094 AA16 AA21 BA03 BA43 CA19 DA13 EA04 ED11 ED15 FA02
FB02

专利名称(译)	表示装置		
公开(公告)号	JP2017053899A	公开(公告)日	2017-03-16
申请号	JP2015175845	申请日	2015-09-07
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	望月一秀 林宏宜		
发明人	望月 一秀 林 宏宜		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1335 G09F9/30		
CPC分类号	G02F1/133553 G02F1/134336 G02F1/136213		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1335.500 G02F1/1335.520 G09F9/30.338 G09F9/30.349.D G09F9/30.349.C		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/GA23 2H092/GA60 2H092/JA25 2H092/JA46 2H092/JB02 2H092/JB07 2H092/JB51 2H092/JB62 2H092/JB66 2H092/JB69 2H092/KB13 2H092/PA08 2H092/PA09 2H092/PA12 2H191/FA09Y 2H191/FA13Y 2H191/FA31Y 2H191/FB14 2H191/GA05 2H191/GA10 2H191/GA17 2H191/GA19 2H191/NA43 2H191/NA45 2H191/NA47 2H192/AA24 2H192/AA43 2H192/AA45 2H192/BC01 2H192/BC31 2H192/BC72 2H192/BC74 2H192/CB02 2H192/CB13 2H192/CC22 2H192/CC44 2H192/DA12 2H192/DA43 2H192/DA65 2H192/EA03 2H192/EA13 2H192/EA22 2H192/EA43 2H192/EA54 2H192/FA73 2H192/FB22 2H291/FA09Y 2H291/FA13Y 2H291/FA31Y 2H291/FB14 2H291/GA05 2H291/GA10 2H291/GA17 2H291/GA19 2H291/NA43 2H291/NA45 2H291/NA47 5C094/AA16 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/ED11 5C094/ED15 5C094/FA02 5C094/FB02		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止漏光并消除半导体元件的驱动特性变化并获得良好显示质量的显示装置。根据实施方案，包括多个像素的第一基板的显示区域，和光屏蔽层覆盖LS几乎在显示区域的整个表面显示装置设置，第二基板，第一基板的第一并且，液晶层设置在第一基板和第二基板之间。每个像素包括第一像素电极20R和第二像素电极20B的电极面积彼此不同与整个绝缘层，连接到所述第一像素电极的第一半导体元件TR1面对光屏蔽层中，连接到第二像素电极的第二半导体元件TR2，形成第一辅助电容器AC1的第一电容器电极进行第一半导体元件，第二辅助电容器AC2进行所述第二半导体器件第二电容器电极的电极面积与第一电容器电极的形成电极面积不同。点域

