

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-139691
(P2014-139691A)

(43) 公開日 平成26年7月31日(2014.7.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/133 (2006.01)	G09G 3/20 680F	5C080
	G09G 3/20 691D	
	G09G 3/20 670J	
審査請求 有 請求項の数 8 O L (全 83 頁) 最終頁に続く		

(21) 出願番号 特願2014-82837 (P2014-82837)
 (22) 出願日 平成26年4月14日 (2014. 4. 14)
 (62) 分割の表示 特願2010-201897 (P2010-201897) の分割
 原出願日 平成22年9月9日 (2010. 9. 9)
 (31) 優先権主張番号 特願2009-209099 (P2009-209099)
 (32) 優先日 平成21年9月10日 (2009. 9. 10)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZE06
 ZF23 ZF24 ZF32 ZF42 ZF43
 ZF44

最終頁に続く

(54) 【発明の名称】 半導体装置、液晶表示装置及び電子機器

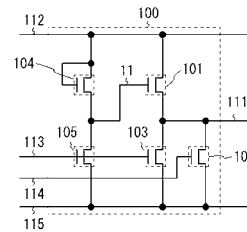
(57) 【要約】

【課題】劣化の少ない回路を有する半導体装置を提供する。

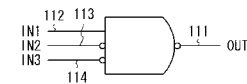
【解決手段】第1のトランジスタ、第2のトランジスタ、第1のスイッチ、第2のスイッチ及び第3のスイッチを有し、前記第1のトランジスタの第1の端子は第1の配線と接続され、第2の端子は第2の配線と接続され、前記第2のトランジスタのゲート及び第1の端子は前記第1の配線と接続され、第2の端子は前記第1のトランジスタのゲートと接続され、前記第1のスイッチは前記第2の配線と第3の配線との間に接続され、前記第2のスイッチは前記第2の配線と前記第3の配線との間に接続され、前記第3のスイッチは第1のトランジスタのゲートと第3の配線との間に接続される半導体装置。

【選択図】 図1

(A)



(B)



(C)

$$OUT = IN1 \cdot \overline{IN2} \cdot \overline{IN3} = \overline{IN1} \text{ AND } \overline{IN2} \text{ AND } \overline{IN3}$$

(D)

	IN1	IN2	IN3	OUT
動作1	H	H	H	L
動作2	H	H	L	L
動作3	H	L	H	L
動作4	H	L	L	H
動作5	L	H	H	L
動作6	L	H	L	L
動作7	L	L	H	L
動作8	L	L	L	Z

【特許請求の範囲】

【請求項 1】

シフトレジスタを有し、

前記シフトレジスタは、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 5 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 5 の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

シフトレジスタを有し、

前記シフトレジスタは、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 5 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

10

20

30

40

50

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 5 の配線と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 6 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項 3】

ゲートドライバを有し、

前記ゲートドライバは、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 5 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 5 の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項 4】

ゲートドライバを有し、

前記ゲートドライバは、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接

10

20

30

40

50

続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、第5の配線と電氣的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのゲートは、前記第5の配線と電氣的に接続され、

前記第6のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、

前記第6のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第6のトランジスタのゲートは、前記第1の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項5】

ゲートドライバが設けられる第1の基板と、

第2の基板と、

前記第1の基板と前記第2の基板との間のシール材と、

前記第1の基板と前記第2の基板との間の液晶層と、を有し、

前記シール材は、前記ゲートドライバの一部のみ重なる領域を有し、

前記ゲートドライバを有し、

前記ゲートドライバは、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、を有し、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、第3の配線と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の配線と電氣的に接続され、

前記第2のトランジスタのゲートは、第4の配線と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第3の配線と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、第5の配線と電氣的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのゲートは、前記第5の配線と電氣的に接続されることを特徴とする液晶表示装置。

【請求項6】

ゲートドライバが設けられる第1の基板と、

第 2 の基板と、
 前記第 1 の基板と前記第 2 の基板との間のシール材と、
 前記第 1 の基板と前記第 2 の基板との間の液晶層と、を有し、
 前記シール材は、前記ゲートドライバの一部のみ重なる領域を有し、
 前記ゲートドライバを有し、
 前記ゲートドライバは、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、を有し、
 前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電気的に接続され、
 前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電気的に接続され、
 前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電気的に接続され、
 前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電気的に接続され、
 前記第 2 のトランジスタのゲートは、第 4 の配線と電気的に接続され、
 前記第 3 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電気的に接続され、
 前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電気的に接続され、
 前記第 3 のトランジスタのゲートは、第 5 の配線と電気的に接続され、
 前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続され、
 前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電気的に接続され、
 前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電気的に接続され、
 前記第 5 のトランジスタのゲートは、前記第 5 の配線と電気的に接続され、
 前記第 6 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電気的に接続され、
 前記第 6 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電気的に接続され、
 前記第 6 のトランジスタのゲートは、前記第 1 の配線と電気的に接続されることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置と、
 操作キー、センサ、マイクロフォン、LED ランプ、及び / 又はタッチパネル機能と、
 を有することを特徴とする電子機器。

【請求項 8】

請求項 5 又は請求項 6 に記載の液晶表示装置と、
 操作キー、センサ、マイクロフォン、LED ランプ、及び / 又はタッチパネル機能と、
 を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められて

10

20

30

40

50

いる。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基板にゲートドライバなどの駆動回路を構成する技術は、製造コストの低減、信頼性の向上に大きく貢献するため、活発に開発が進められている。

【0003】

しかしながら、非単結晶半導体を用いるトランジスタは劣化する。この結果、移動度の低下、又は閾値電圧の上昇（又は減少）などを生じる。特に、ゲートドライバにおいて、ゲート信号線に負電圧（Lレベルの電位ともいう）を供給する機能を有するトランジスタ（プルダウントランジスタともいう）では、この劣化が顕著に表れる。なぜなら、ゲート信号線が選択されていない場合に、プルダウントランジスタは、オンになることによって、負電圧をゲート信号線に供給するからである。つまり、ゲート信号線は選択されていないので、プルダウントランジスタは、1フレーム期間の大部分においてオンになるからである。

10

【0004】

これを解決するために、特許文献1には、プルダウントランジスタの劣化を抑制することが可能なゲートドライバが開示されている。特許文献1では、プルダウントランジスタの劣化を抑制するために、パルスを出力することが可能な回路（例えば特許文献1の図7のホールディング制御部350）が、ゲートドライバの各ステージに設けられている。そして、プルダウントランジスタの導通状態は、当該回路の出力信号を用いて制御される。当該回路は、クロック信号などに同期してパルスを出力する。よって、プルダウントランジスタがオンになる時間を短くすることができるので、プルダウントランジスタの劣化を抑制することができる。しかし、上記のパルスを出力することが可能な回路には、1フレーム期間の大部分においてオンになるトランジスタQ32が含まれる。このためトランジスタQ32が劣化する。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-50502号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一態様は、第1乃至第2のトランジスタ、第1乃至第3のスイッチを有する半導体装置において、第1乃至第2のトランジスタ、第1乃至第3のスイッチの劣化を抑制する。または、第1乃至第5のトランジスタを有する半導体装置において、第1乃至第5のトランジスタの劣化を抑制する。または、さらに第6のトランジスタを有する半導体装置において、第1乃至第6のトランジスタの劣化を抑制する。または、さらに第7のトランジスタを有する半導体装置において、第1乃至第7のトランジスタの劣化を抑制する。

30

【課題を解決するための手段】

【0007】

本発明の一態様は、第1のトランジスタ、第2のトランジスタ、第1のスイッチ、第2のスイッチ及び第3のスイッチを有し、第1のトランジスタの第1の端子は第1の配線と接続され、第2の端子は第2の配線と接続され、第2のトランジスタのゲート及び第1の端子は第1の配線と接続され、第2の端子は第1のトランジスタのゲートと接続され、第1のスイッチは第2の配線と第3の配線との間に接続され、第2のスイッチは第2の配線と第3の配線との間に接続され、第3のスイッチは第1のトランジスタのゲートと第3の配線との間に接続される半導体装置である。

40

【0008】

上記態様において、第1の期間と第2の期間とを有し、第1の期間において、第1のスイッチ、第2のスイッチ及び第3のスイッチはオフになり、第1の配線の電位がHレベルになり、第2の期間において、第1のスイッチがオフになり、第2のスイッチ及び第3のスイッチがオンになり、第1の配線の電位がLレベルになってもよい。

50

【 0 0 0 9 】

本発明の一態様は、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ及び第 5 のトランジスタを有し、第 1 のトランジスタの第 1 の端子は第 1 の配線と接続され、第 2 の端子は第 2 の配線と接続され、第 2 のトランジスタのゲート及び第 1 の端子は第 1 の配線と接続され、第 2 の端子は第 1 のトランジスタのゲートと接続され、第 3 のトランジスタのゲートは第 4 の配線と接続され、第 1 の端子は第 3 の配線と接続され、第 2 の端子は第 2 の配線に接続され、第 4 のトランジスタのゲートは第 5 の配線と接続され、第 1 の端子は第 3 の配線と接続され、第 2 の端子は第 2 の配線に接続され、第 5 のトランジスタのゲートは第 5 の配線と接続され、第 1 の端子は第 3 の配線と接続され、第 2 の端子は第 1 のトランジスタのゲートと接続される半導体装置である。

10

【 0 0 1 0 】

上記態様において、第 5 のトランジスタのチャネル幅は第 2 のトランジスタのチャネル幅よりも大きく、第 2 のトランジスタのチャネル幅は第 1 のトランジスタのチャネル幅よりも大きくてもよい。

【 0 0 1 1 】

上記態様において、第 6 のトランジスタを有し、第 6 のトランジスタのゲートは第 2 の配線と接続され、第 1 の端子は第 3 の配線と接続され、第 2 の端子は第 6 の配線に接続されていてもよい。

【 0 0 1 2 】

上記態様において、期間 A 及び期間 B を有し、期間 A において、第 1 の配線の電位が H レベルになり、第 5 の配線の電位及び第 4 の配線の電位が L レベルになり、第 1 のトランジスタ、第 2 のトランジスタ及び第 6 のトランジスタがオンになり、第 3 のトランジスタ、第 4 のトランジスタ及び第 5 のトランジスタがオフになり、第 6 の配線の電位が L レベルになり、期間 B において、第 1 の配線の電位が L レベルになり、第 5 の配線の電位が H レベルになり、第 4 の配線の電位が L レベルになり、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 6 のトランジスタがオフになり、第 4 のトランジスタ及び第 5 のトランジスタがオンになり、第 6 の配線の電位が L レベルになってもよい。

20

【 0 0 1 3 】

上記態様において、第 7 のトランジスタを有し、第 7 のトランジスタのゲートは第 4 の配線と接続され、第 1 の端子は第 1 の配線と接続され、第 2 の端子は第 6 の配線に接続されてもよい。

30

【 0 0 1 4 】

上記態様において、期間 A、期間 B、期間 C、期間 D 及び期間 E を有し、期間 A において、第 1 の配線の電位が H レベルになり、第 5 の配線の電位及び第 4 の配線の電位が L レベルになり、第 1 のトランジスタ、第 2 のトランジスタ及び第 6 のトランジスタがオンになり、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ及び第 7 のトランジスタがオフになり、第 6 の配線の電位が L レベルになり、期間 B において、第 1 の配線の電位が L レベルになり、第 5 の配線の電位が H レベルになり、第 4 の配線の電位が L レベルになり、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 6 のトランジスタがオフになり、第 4 のトランジスタ及び第 5 のトランジスタがオンになり、第 6 の配線の電位が L レベルになり、期間 C において、第 1 の配線の電位が L レベルになり、第 5 の配線の電位及び第 4 の配線の電位が H レベルになり、第 1 のトランジスタ、第 2 のトランジスタ及び第 6 のトランジスタがオフになり、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ及び第 7 のトランジスタがオンになり、第 6 の配線の電位が L レベルになり、期間 D において、第 1 の配線の電位が H レベルになり、第 5 の配線の電位が L レベルになり、第 4 の配線の電位が H レベルになり、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 7 のトランジスタがオンになり、第 4 のトランジスタ、第 5 のトランジスタ及び第 6 のトランジスタがオフになり、第 6 の配線の電位が H レベルになり、期間 E において、第 1 の配線の電位が L レベルになり、第 5 の配線の電位が H レベルになり、第 4 の配線の電位が L レベルになり、第 1 のトランジスタ、第 2

40

50

のトランジスタ、第3のトランジスタ、第6のトランジスタ及び第7のトランジスタがオフになり、第4のトランジスタ及び第5のトランジスタがオンになり、第6の配線の電位がLレベルになってもよい。

【0015】

上記の本発明の各態様において、スイッチとしては、様々な形態のものを用いることができる。スイッチとしては、電氣的スイッチ又は機械的なスイッチ等を用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。電氣的スイッチとしては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタ等）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタ等）、又はこれらを組み合わせた論理回路等がある。機械的なスイッチとしては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

10

【0016】

なお、スイッチとしてトランジスタを用いる場合、そのトランジスタは単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタはLDD領域を有するトランジスタ、又はマルチゲート構造を有するトランジスタなどがある。

20

【0017】

また、上記の本発明の各態様において、スイッチとしてトランジスタを用い、そのトランジスタのソースの電位が低電位側電源（ V_{ss} 、GND、0V等）の電位に近い値で動作する場合は、スイッチとしてNチャネル型トランジスタを用いることが望ましい。反対に、そのトランジスタのソースの電位が高電位側電源（ V_{dd} 等）の電位に近い値で動作する場合は、スイッチとしてPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソースが低電位側電源の電位に近い値で動作する場合、Pチャネル型トランジスタではソースが高電位側電源の電位に近い値で動作する場合には、ゲートとソースとの間の電圧の絶対値を大きくできるからである。そのため、スイッチとして、より正確な動作を行うことができるからである。または、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまふことが少ないからである。

30

【0018】

また、上記の本発明の各態様において、スイッチとして、Nチャネル型トランジスタとPチャネル型トランジスタとの両方を用いて、CMOS型のスイッチを用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタとNチャネル型トランジスタとのどちらか一方が導通すれば、電流が流れるため、スイッチとして機能しやすくなる。よって、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。または、スイッチをオン又はオフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることができる。

40

【0019】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソースまたはドレインの一方）と、出力端子（ソースまたはドレインの他方）と、導通を制御する端子（ゲート）とを有する場合がある。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。したがって、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることができる。

【0020】

50

本明細書に開示されている発明では、トランジスタとして、様々な構造のトランジスタを用いることができる。つまり、用いるトランジスタの構成に限定はない。

【0021】

本明細書において、半導体装置とは、半導体素子（トランジスタ、ダイオード、サイリスタ等）を含む回路を有する装置のことをいう。ただし、半導体特性を利用することで機能しうる装置全般、又は半導体材料を有する装置のことを半導体装置と呼んでもよい。本明細書において、表示装置とは、表示素子を有する装置のことを言う。

【0022】

本明細書において、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタ等と呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタ等は、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路等と呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路等と呼ぶことがある）等は、駆動装置の一例である。

10

【0023】

また、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、および駆動装置等を互いに組み合わせることが可能であり、このような装置も本発明の態様に含まれる。例えば、表示装置が、半導体装置および発光装置を有する場合がある。あるいは、半導体装置が、表示装置および駆動装置を有する場合がある。

20

【0024】

また、本発明の各態様において、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板等）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

【0025】

また、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板等を用いてガラス基板と接続することが可能である。

30

【0026】

本明細書において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層等）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

40

【0027】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード等）が、XとYとの間に1個以上接続されることが可能である。

【0028】

50

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路等）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路等）、電位レベル変換回路（電源回路（昇圧回路、降圧回路等）、信号の電位レベルを変えるレベルシフタ回路等）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量等を大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路等）、信号生成回路、記憶回路、制御回路等）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

【0029】

本明細書において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、この場合でも、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、この場合でも、単数であることも可能である。

【0030】

本出願の図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。図は、理想的な例を模式的に示すものであり、図に示す形状又は値等に限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつき等を含むことが可能である。

【0031】

なお、専門用語は、特定の実施の形態、又は実施例等を述べる目的で用いられることが多い。ただし、本発明の一態様は、専門用語によって、限定して解釈されるものではない。

【0032】

なお、定義されていない文言（専門用語又は学術用語等の科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【0033】

なお、第1、第2、第3等の語句は、様々な要素、部材、領域、層、区域などについて、区別して記述するために用いられる。よって、第1、第2、第3等の語句は、要素、部材、領域、層、区域等の順序および個数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」等と置き換えることが可能である。

【0034】

また、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」等の空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる。ただし、このような用法に限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含む場合がある。例えば、Xの上にY、と明示的に示される場合は、YがXの上にあることに限定されない。図中の構成は反転、又は180°回転させることが可能なので、YがXの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、および「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」等の他の方向を含むことが可能である。つまり、状況に応じて適切に解釈することが可能である。

【0035】

なお、Xの上にYが形成されている、あるいは、X上にYが形成されている、と明示的に

10

20

30

40

50

記載する場合は、Xの上にYが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、XとYと間に別の対象物が介在する場合も含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、等）であるとする。

【0036】

従って例えば、層Xの上に（もしくは層X上に）、層Yが形成されている、と明示的に記載されている場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Z等）が形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Z等）は、単層でもよいし、複層でもよい。

10

【0037】

さらに、Xの上方にYが形成されている、と明示的に記載されている場合についても同様であり、Xの上にYが直接接していることに限定されず、XとYとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Xの上方に、層Yが形成されている、という場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Z等）が形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Z等）は、単層でもよいし、複層でもよい。

【0038】

なお、Xの上にYが形成されている、X上にYが形成されている、又はXの上方にYが形成されている、と明示的に記載する場合、Xの斜め上にYが形成される場合も含むこととする。

20

【0039】

なお、Xの下にYが、あるいは、Xの下方にYが、との記載についても同様である。

【0040】

本発明の一態様は、第1のトランジスタ、第2のトランジスタ、第1のスイッチ、第2のスイッチ、及び第3のスイッチを有する。第1のトランジスタの第1の端子は、第1の配線と接続され、第1のトランジスタの第2の端子は、第2の配線と接続される。第2のトランジスタの第1の端子は、第1の配線と接続され、第2のトランジスタの第2の端子は、第1のトランジスタのゲートと接続され、第2のトランジスタのゲートは、第1の配線と接続される。第1のスイッチは、第2の配線と第3の配線との間に接続される。第2のスイッチは、第2の配線と第3の配線との間に接続される。第3のスイッチは、第1のトランジスタのゲートと第3の配線との間に接続される。

30

【0041】

なお、本発明の一態様は、第1の期間と第2の期間とを有することが可能である。第1の期間において、第1～第3のスイッチがオフになることが可能である。そして、第1の配線の電位がHレベルになることが可能である。第2の期間において、第1のスイッチがオフになり、第2～第3のスイッチがオンになることが可能である。そして、第1の配線の電位がLレベルになることが可能である。

【発明の効果】

40

【0042】

本発明の一態様は、第1～第2のトランジスタ、第1～第3のスイッチを有する半導体装置において、第1～第2のトランジスタ、第1～第3のスイッチがオンになる時間を短く又はオンになる回数を少なくできるので劣化を抑制することができる。または、第1～第5のトランジスタを有する半導体装置において、第1～第5のトランジスタがオンになる時間を短く又はオンになる回数を少なくできるので劣化を抑制することができる。または、さらに第6のトランジスタを有する半導体装置において、第1～第6のトランジスタがオンになる時間を短く又はオンになる回数を少なくできるので劣化を抑制することができる。または、さらに第7のトランジスタを有する半導体装置において、第1～第7のトランジスタがオンになる時間を短く又はオンになる回数を少なくできるので劣化を抑制する

50

ことができる。

【図面の簡単な説明】

【0043】

【図1】実施の形態1における半導体装置の回路図と、その論理回路と、その論理式と、その真理値表。

【図2】実施の形態1における半導体装置の動作を説明するための模式図。

【図3】実施の形態1における半導体装置の動作を説明するための模式図。

【図4】実施の形態1における半導体装置の動作を説明するための模式図。

【図5】実施の形態1における半導体装置の回路図。

【図6】実施の形態1における半導体装置の回路図。

10

【図7】実施の形態1における半導体装置の回路図。

【図8】実施の形態1における半導体装置の回路図。

【図9】実施の形態1における半導体装置の回路図。

【図10】実施の形態2における半導体装置の回路図。

【図11】実施の形態1における半導体装置の回路図。

【図12】実施の形態1における半導体装置の回路図。

【図13】実施の形態1における半導体装置の回路図と、その論理回路と、その論理式と、その真理値表。

【図14】実施の形態2における半導体装置の回路図と、その動作を説明するための模式図。

20

【図15】実施の形態2における半導体装置の動作を説明するためのタイミングチャート。

【図16】実施の形態2における半導体装置の回路図と、その動作を説明するための模式図。

【図17】実施の形態2における半導体装置の回路図と、その動作を説明するためのタイミングチャート。

【図18】実施の形態2における半導体装置の動作を説明するための模式図。

【図19】実施の形態2における半導体装置の動作を説明するための模式図。

【図20】実施の形態2における半導体装置の回路図と、その動作を説明するための模式図。

30

【図21】実施の形態2における半導体装置の回路図と、その動作を説明するためのタイミングチャート。

【図22】実施の形態2における半導体装置の動作を説明するための模式図。

【図23】実施の形態2における半導体装置の回路図と、その動作を説明するための模式図。

【図24】実施の形態2における半導体装置の動作を説明するための模式図。

【図25】実施の形態2における半導体装置の回路図と、その動作を説明するためのタイミングチャート。

【図26】実施の形態2における半導体装置の動作を説明するための模式図。

【図27】実施の形態2における半導体装置の回路図。

40

【図28】実施の形態2における半導体装置の回路図。

【図29】実施の形態2における半導体装置の回路図。

【図30】実施の形態2における半導体装置の回路図。

【図31】実施の形態2における半導体装置の回路図と、その動作を説明するためのタイミングチャート。

【図32】実施の形態2における半導体装置の回路図と、その動作を説明するためのタイミングチャート。

【図33】実施の形態3における表示装置のブロック図と、画素の回路図。

【図34】実施の形態3におけるシフトレジスタの回路図。

【図35】実施の形態3におけるシフトレジスタの動作を説明するためのタイミングチャ

50

ート。

【図 3 6】実施の形態 4 における信号線駆動回路の回路図と、その動作を説明するためのタイミングチャートと、表示装置のブロック図。

【図 3 7】実施の形態 5 における保護回路の回路図。

【図 3 8】実施の形態 5 における保護回路の回路図。

【図 3 9】実施の形態 6 における半導体装置の断面図。

【図 4 0】実施の形態 7 における表示装置の上面図と、断面図。

【図 4 1】実施の形態 8 におけるトランジスタの作製工程を説明するための図。

【図 4 2】実施の形態 9 における半導体装置のレイアウト図。

【図 4 3】実施の形態 10 における電子機器を説明するための図。

10

【図 4 4】実施の形態 10 における電子機器を説明するための図。

【図 4 5】実施の形態 1 における半導体装置の回路図。

【図 4 6】実施の形態 1 における半導体装置の回路図。

【図 4 7】実施の形態 2 における半導体装置の回路図。

【発明を実施するための形態】

【0044】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

20

【0045】

(実施の形態 1)

本実施の形態の構成について、図 4 5 (A) を参照して説明する。図 4 5 (A) には、本実施の形態の半導体装置の回路図を示す。

【0046】

回路 100 は、トランジスタ 101 (第 1 のトランジスタ)、スイッチ 102 S (第 1 のスイッチ)、スイッチ 103 S (第 2 のスイッチ)、トランジスタ 104 (第 2 のトランジスタ)、及びスイッチ 105 S (第 3 のスイッチ) を有する。

30

【0047】

なお、トランジスタ 101 及びトランジスタ 104 は、N チャネル型とする。N チャネル型のトランジスタは、ゲートとソースとの間の電位差 (V_{gs}) が閾値電圧 (V_{th}) を上回った場合にオンする。ただし、これに限定されず、トランジスタ 101 及びトランジスタ 104 は、P チャネル型であることが可能である。P チャネル型トランジスタは、ゲートとソースとの間の電位差 (V_{gs}) が閾値電圧 (V_{th}) を下回った場合にオンする。

【0048】

トランジスタ 101 の第 1 の端子は、配線 112 (第 1 の配線) と接続され、トランジスタ 101 の第 2 の端子は、配線 111 (第 2 の配線) と接続される。スイッチ 102 S は、配線 111 と配線 115 (第 3 の配線) との間に接続される。スイッチ 103 S は、配線 111 と配線 115 との間に接続される。トランジスタ 104 の第 1 の端子は、配線 112 と接続され、トランジスタ 104 の第 2 の端子は、トランジスタ 101 のゲートと接続され、トランジスタ 104 のゲートは、配線 112 と接続される。スイッチ 105 S は、配線 115 とトランジスタ 101 のゲートとの間に接続される。

40

【0049】

なお、スイッチ 102 S、スイッチ 103 S、及びスイッチ 105 S は、制御端子を有することが可能である。図 4 5 (B) には、スイッチ 102 S の制御端子が配線 114 (第 4 の配線) と接続され、スイッチ 103 S の制御端子が配線 113 (第 5 の配線) と接続され、スイッチ 105 S の制御端子が配線 113 と接続される場合の構成を示す。

50

【 0 0 5 0 】

なお、スイッチ 1 0 2 S、スイッチ 1 0 3 S、及びスイッチ 1 0 5 Sとしては、トランジスタを用いることが可能である。図 1 (A) は、スイッチとしてトランジスタを用いる。スイッチ 1 0 2 S、スイッチ 1 0 3 S、及びスイッチ 1 0 5 Sとして、各々、トランジスタ 1 0 2 (第 3 のトランジスタ)、トランジスタ 1 0 3 (第 4 のトランジスタ)、トランジスタ 1 0 5 (第 5 のトランジスタ) が用いられる場合の例を示す。トランジスタ 1 0 2 の第 1 の端子は、配線 1 1 5 と接続され、トランジスタ 1 0 2 の第 2 の端子は、配線 1 1 1 と接続され、トランジスタ 1 0 2 のゲートは、配線 1 1 4 と接続される。トランジスタ 1 0 3 の第 1 の端子は、配線 1 1 5 と接続され、トランジスタ 1 0 3 の第 2 の端子は、配線 1 1 1 と接続され、トランジスタ 1 0 3 のゲートは、配線 1 1 3 と接続される。トランジスタ 1 0 5 の第 1 の端子は、配線 1 1 5 と接続され、トランジスタ 1 0 5 の第 2 の端子は、トランジスタ 1 0 1 のゲートと接続され、トランジスタ 1 0 5 のゲートは、配線 1 1 3 と接続される。

10

【 0 0 5 1 】

なお、トランジスタ 1 0 2、トランジスタ 1 0 3、及びトランジスタ 1 0 5 は、トランジスタ 1 0 1 と同じ N チャンネル型である。ただしトランジスタ 1 0 2、トランジスタ 1 0 3、及びトランジスタ 1 0 5 は、P チャンネル型でもよい。

【 0 0 5 2 】

なお、トランジスタ 1 0 1 のゲートとトランジスタ 1 0 4 の第 2 の端子との接続箇所、又はトランジスタ 1 0 1 のゲートとトランジスタ 1 0 5 の第 2 の端子との接続箇所をノード 1 1 と示す。

20

【 0 0 5 3 】

次に、配線 1 1 1 ~ 配線 1 1 5 に、入力又は出力される信号又は電圧の一例、及びこれらの配線の機能について説明する。

【 0 0 5 4 】

配線 1 1 1 からは、信号 O U T が出力される。

【 0 0 5 5 】

配線 1 1 2 には、信号 I N 1 が入力される。配線 1 1 3 には、信号 I N 2 が入力される。

配線 1 1 4 には、信号 I N 3 が入力される。

【 0 0 5 6 】

配線 1 1 5 には、電圧 V 1 が供給される。電圧 V 1 は、電源電圧、基準電圧、グランド電圧、アース、又は負電源電圧である。ただし、これに限定されず、配線 1 1 5 には、信号 (例えばクロック信号又は反転クロック信号など) が入力されてもよい。

30

【 0 0 5 7 】

L レベルの信号、L 信号、L レベルの電位、又は電圧 V 1 などと記載する場合、これらの電位はおおむね V 1 である。H レベルの信号、H 信号、H レベルの電位、又は電圧 V 2 などと記載する場合、これらの電位はおおむね V 2 ($V 2 > V 1$) である。なおおおむねとは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、及びノ又は、測定誤差などの様々な誤差を含む (以下、同じ) 。

40

【 0 0 5 8 】

例えば、あるノードにトランジスタのゲートが接続され、当該ノードの電位が L レベルになると、当該トランジスタはオフ (又はオン) になるとする。この場合、当該ノードの電位が L レベルになるとは、当該ノードの電位が当該トランジスタをオフ (又はオン) にすることが可能な値になることをいう。または、当該ノードの電位が L レベルになるとは、当該ノードの電位が、当該トランジスタを含む回路が所定の動作を実現することが可能な程度に、当該トランジスタのゲートとソースとの間の電圧 (V_{gs}) を小さく (又は大きく) することが可能な値になることをいう。

【 0 0 5 9 】

なお、信号 I N 1 ~ I N 3 としてクロック信号が用いられるとすると、当該クロック信号は、平衡であることが可能であるし、非平衡 (不平衡ともいう) であることが可能である

50

。平衡とは、1周期のうち、Hレベルになる期間とLレベルになる期間とがおおむね等しいことをいう。非平衡とは、Hレベルになる期間とLレベルになる期間とが異なることをいう。

【0060】

例えば、信号IN1としてクロック信号が用いられ、信号IN2として信号IN1から位相がおおむね180°ずれた信号が用いられ、信号IN1及び信号IN2が非平衡であるとする。この場合、信号IN2は、信号IN1の反転信号ではないことがある。

【0061】

ここで、図5(A)に示すように、配線112～配線115には、回路150から信号又は電圧が供給される。回路150は、信号又は電圧などを生成し、配線112～配線115に信号又は電圧を供給する。

10

【0062】

回路150は、回路151～回路154を有することが可能である。回路151は、信号又は電圧を生成し、配線112に信号又は電圧を供給する機能を有する。回路152は、信号又は電圧を生成し、配線113に信号又は電圧を供給する機能を有する。回路153は、信号又は電圧を生成し、配線114に信号又は電圧を供給する機能を有する。回路154は、信号又は電圧を生成し、配線115に信号又は電圧を供給する機能を有する。

【0063】

回路150～154は、各々、図5(B)の増幅回路、図5(C)のバイポーラトランジスタ、図5(D)のMOSトランジスタ、図5(E)の容量素子、図5(F)のインバータ、図5(G)の直流電圧源、図5(H)の交流電圧源、及び/又は、図5(I)の直流電流源などを含む。

20

【0064】

図5(A)に示すように、配線112～114には保護回路160が接続される。

【0065】

次に、回路100、及びトランジスタ101～105の機能について説明する。

【0066】

回路100は配線111の電位を制御する機能を有する。または、回路100は、配線112の電位、配線113の電位、配線114の電位、又は配線115の電位を配線111に供給するタイミングを制御する機能を有する。または、回路100は、配線111に、信号又は電圧を供給するタイミングを制御する機能を有する。または、回路100は、配線111に、H信号又は電圧V2を供給するタイミングを制御する機能を有する。または、回路100は、配線111に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、回路100は、配線111の電位を上昇させるタイミングを制御する機能を有する。または、回路100は、配線111の電位を減少させるタイミングを制御する機能を有する。または、回路100は、配線111の電位を維持するタイミングを制御する機能を有する。以上のように、回路100は、制御回路としての機能を有する。なお、回路100は、上記の機能のすべてを有する必要はない。なお回路100は、信号IN1～IN3に応じて制御される。

30

【0067】

なお、回路100は、図1(B)に示すように、ANDを含む論理回路としての機能を有する。具体的には、回路100は、3入力ANDと、二つのNOTとを組み合わせた論理回路としての機能を有する。そして、ANDの第1の入力端子には、信号IN1が入力され、ANDの第2の入力端子には、信号IN2が第1のNOTによって反転される信号が入力され、ANDの第3の入力端子には、信号IN3が第2のNOTによって反転される信号が入力され、ANDの出力からは信号OUTが出力される。つまり、回路100は、図1(C)に示す論理式を実現する機能、又は図1(D)に示す真理値表を実現する機能を有する。

40

【0068】

トランジスタ101は、配線112と配線111との導通状態を制御する機能を有する。

50

または、トランジスタ101は、配線112の電位を配線111に供給するタイミングを制御する機能を有する。または、配線112に信号又は電圧が入力されると、トランジスタ101は、配線112に入力される信号又は電圧を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ101は、配線111に、H信号又は電圧V2を供給するタイミングを制御する機能を有する。または、トランジスタ101は、配線111に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ101は、配線111の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ101は、配線111の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ101は、ブートストラップ動作を行う機能を有する。または、トランジスタ101は、ノード11の電位をブートストラップ動作によって上昇させる機能を有する。以上のように、トランジスタ101は、スイッチ、又はバッファとしての機能を有する。なお、トランジスタ101は、上記の機能のすべてを有する必要はない。

10

【0069】

トランジスタ102は、配線115と配線111との導通状態を制御する機能を有する。または、トランジスタ102は、配線115の電位を配線111に供給するタイミングを制御する機能を有する。または、配線115に信号又は電圧が入力されると、トランジスタ102は、配線115に入力される信号又は電圧を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ102は、配線111に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ102は、配線111の電位を減少させるタイミングを制御する機能を有する。以上のように、トランジスタ102は、スイッチとしての機能を有する。なお、トランジスタ102は、上記の機能のすべてを有する必要はない。なお、トランジスタ102は、配線114の電位(信号IN3)によって制御されることが可能である。

20

【0070】

トランジスタ103は、配線115と配線111との導通状態を制御する機能を有する。または、トランジスタ103は、配線115の電位を配線111に供給するタイミングを制御する機能を有する。または、配線115に信号又は電圧が入力されるとすると、トランジスタ103は、配線115に入力される信号又は電圧を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ103は、配線111に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ103は、配線111の電位を減少させるタイミングを制御する機能を有する。以上のように、トランジスタ103は、スイッチとしての機能を有する。なお、トランジスタ103は、上記の機能のすべてを有する必要はない。なお、トランジスタ103は、配線113の電位(信号IN2)によって制御されることが可能である。

30

【0071】

トランジスタ104は、配線112とノード11との導通状態を制御する機能を有する。または、トランジスタ104は、配線112の電位をノード11に供給するタイミングを制御する機能を有する。または、配線112に信号又は電圧が入力されると、トランジスタ104は、配線112に入力される信号又は電圧をノード11に供給するタイミングを制御する機能を有する。または、トランジスタ104は、ノード11に、H信号又は電圧V2を供給するタイミングを制御する機能を有する。または、トランジスタ104は、ノード11の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ104は、ノード11を浮遊状態にする機能を有する。以上のように、トランジスタ104は、スイッチ、ダイオード、又はダイオード接続のトランジスタなどとしての機能を有する。なお、トランジスタ104は、上記の機能のすべてを有する必要はない。なお、トランジスタ104は、配線112の電位(信号IN1)、及びノード11の電位によって制御されることが可能である。

40

【0072】

トランジスタ105は、配線115とノード11との導通状態を制御する機能を有する。

50

または、トランジスタ105は、配線115の電位をノード11に供給するタイミングを制御する機能を有する。または、配線115に信号又は電圧が入力されると、トランジスタ105は、配線115に入力される信号又は電圧をノード11に供給するタイミングを制御する機能を有する。または、トランジスタ105は、ノード11に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ105は、ノード11の電位を減少させるタイミングを制御する機能を有する。以上のように、トランジスタ105は、スイッチとしての機能を有する。なお、トランジスタ105は、上記の機能のすべてを有する必要はない。なお、トランジスタ105は、配線113の電位(信号IN2)によって制御されることが可能である。

【0073】

次に、回路100の動作について、図1(D)の真理値表(動作表ともいう)を参照して説明する。図1(D)には、信号IN1~IN3がデジタル信号である場合の真理値表を示す。よって、信号IN1~IN3のHレベルとLレベルとの組み合わせは、8パターンある。つまり、回路100は、少なくとも8パターンの動作を行うことが可能である。ここでは、その8パターンの動作についてそれぞれ説明する。

【0074】

なお、回路100は、これらの8パターンの動作の全てを行う必要はなく、一部を選択して行うことが可能である。なお、回路100は、これらの8パターンの動作以外の動作を行うことが可能である。例えば、信号IN1~IN3が三つ以上の値を有する場合、又は信号IN1~IN3がアナログ信号である場合、回路100は、これらの8パターン以外にも、さらに多くの動作を行うことが可能である。

【0075】

まず、回路100の動作1について、図2(A)を参照して説明する。信号IN2はHレベルになるので、トランジスタ105はオンになる。すると、配線115とノード11とは導通状態になるので、配線115の電位(例えば電圧V1)はノード11に供給される。このとき、信号IN1はHレベルになるので、トランジスタ104はオンになる。すると、配線112とノード11とは導通状態になるので、配線112の電位(例えばHレベルの信号IN1)はノード11に供給される。つまり、ノード11には、配線115の電位(例えば電圧V1)と配線112の電位(例えばHレベルの信号IN1)とが供給される。ここで、トランジスタ105のチャネル幅は、トランジスタ104のチャネル幅よりも大きいとする。よって、ノード11の電位は、Lレベルになる。このときのノード11の電位は、V1よりも大きく、 $V1 + V_{th101}$ (V_{th101} はトランジスタ101の閾値電圧)よりも小さい値である。この結果、トランジスタ101はオフになるので、配線112と配線111とは非導通状態になる。

【0076】

そして、信号IN2はHレベルになるので、トランジスタ103はオンになる。このとき、信号IN3はHレベルになるので、トランジスタ102はオンになる。すると、配線115と配線111とは導通状態になるので、配線115の電位(例えば電圧V1)は配線111に供給される。よって、配線111の電位はV1になるので、信号OUTはLレベルになる。

【0077】

なお「トランジスタAのチャネル幅は、トランジスタBのチャネル幅よりも大きい」は「トランジスタAの $1/W$ (W はチャネル幅)は、トランジスタBの $1/W$ よりも小さい」、「トランジスタAの L (L はチャネル長)は、トランジスタBの L よりも小さい」、「トランジスタAの $1/L$ は、トランジスタBの $1/L$ よりも大きい」、「トランジスタAの W/L は、トランジスタBの W/L よりも大きい」、「トランジスタAの V_{gs} (V_{gs} はゲートとソースとの間の電位差)は、トランジスタBの V_{gs} よりも大きい」などと言い換えることが可能である。トランジスタがマルチゲート構造であり、トランジスタが複数のゲートを有する場合、「トランジスタAのゲートの本数は、トランジスタBのゲートの本数よりも少ない」、又は「トランジスタAのゲートの本数の逆数は、トランジスタ

10

20

30

40

50

Bのゲートの本数の逆数よりも大きい」と言い換えることが可能である。

【0078】

次に、回路100の動作2について、図2(B)を参照して説明する。動作2は、動作1と比較して、信号IN3がLレベルになるところが異なる。よって、信号IN3がLレベルになるので、トランジスタ102はオフになる。ただし、トランジスタ102はオフになるものの、トランジスタ103は、動作1と同様にオンになる。つまり、配線115と配線111とは、動作1と同様に導通状態になるので、配線111には、配線115の電位(例えば電圧V1)が供給される。よって、配線111の電位はV1になるので、信号OUTはLレベルになる。

【0079】

次に、回路100の動作3について、図2(C)を参照して説明する。信号IN2はLレベルになるので、トランジスタ105はオフになる。すると、配線115とノード11とは非導通状態になる。このとき、信号IN1はHレベルになるので、トランジスタ104はオンになる。すると、配線112とノード11とは導通状態になるので、配線112の電位(例えばHレベルの信号IN1)はノード11に供給される。つまり、ノード11には、配線112の電位(例えばHレベルの信号IN1)が供給される。すると、ノード11の電位は上昇し始める。やがて、ノード11の電位が $V1 + V_{th101} + Va$ (Vaは正の数)になると、トランジスタ101はオンになる。すると、配線112と配線111とは導通状態になるので、配線112の電位(例えばHレベルの信号IN1)は、配線111に供給される。その後も、ノード11の電位は上昇し続ける。やがて、ノード11の電位が $V2 - V_{th104}$ (V_{th104} はトランジスタ104の閾値電圧)になると、トランジスタ104はオフになる。すると、配線112とノード11とは非導通状態になる。よって、ノード11は、その電位を $V2 - V_{th104}$ に維持したまま、浮遊状態になる。

【0080】

そして、信号IN2はLレベルになるので、トランジスタ103はオフになる。このとき、信号IN3はHレベルになるので、トランジスタ102はオンになる。すると、配線115と配線111とは導通状態になるので、配線115の電位(例えば電圧V1)は配線111に供給される。つまり、配線111には、配線115の電位(例えば電圧V1)と配線112の電位(例えばHレベルの信号IN1)とが供給される。ここで、トランジスタ102のチャネル幅は、トランジスタ101のチャネル幅よりも大きいとする。よって、配線111の電位は、Lレベルになる。このときの配線111の電位は、電圧V1と、トランジスタ101~105のいずれか一のトランジスタの閾値電圧との和よりも低い値になるとする。こうして、配線111の電位はLレベルになるので、信号OUTはLレベルになる。

【0081】

次に、回路100の動作4について、図3(A)を参照して説明する。動作4は、動作3と比較して、信号IN3がLレベルになるところが異なる。よって、信号IN3がLレベルになるので、トランジスタ102はオフになる。このとき、トランジスタ103もオフになっているので、配線115と配線111とは非導通状態になる。つまり、配線111には、配線112の電位(例えばHレベルの信号IN1)が供給される。よって、配線111の電位は上昇し始める。このとき、ノード11は浮遊状態になっている。すると、トランジスタ101のゲートと第2の端子との間の寄生容量によって、ノード11の電位は上昇する。この結果、ノード11の電位は、 $V2 + V_{th101} + Va$ となる。いわゆる、ブートストラップ動作である。こうして、配線111の電位はV2になるので、信号OUTはHレベルになる。

【0082】

次に、回路100の動作5について、図3(B)を参照して説明する。信号IN2はHレベルになるので、トランジスタ105はオンになる。すると、配線115とノード11とは導通状態になるので、配線115の電位(例えば電圧V1)はノード11に供給される

10

20

30

40

50

。このとき、信号IN1はLレベルになるので、トランジスタ104はオフになる。すると、配線112とノード11とは非導通状態になる。つまり、ノード11には、配線115の電位（例えば電圧V1）が供給される。よって、ノード11の電位はV1になる。すると、トランジスタ101はオフになるので、配線112と配線111とは非導通状態になる。

【0083】

そして、信号IN2はHレベルになるので、トランジスタ103はオンになる。このとき、信号IN3はHレベルになるので、トランジスタ102はオンになる。すると、配線115と配線111とは導通状態になるので、配線115の電位（例えば電圧V1）は配線111に供給される。よって、配線111の電位はV1になるので、信号OUTはLレベルになる。

10

【0084】

次に、回路100の動作6について、図3(C)を参照して説明する。動作6は、動作5と比較して、信号IN3がLレベルになるところが異なる。よって、信号IN3がLレベルになるので、トランジスタ102はオフになる。ただし、トランジスタ102はオフになるものの、トランジスタ103は、動作5と同様にオンになる。つまり、配線115と配線111とは、動作5と同様に導通状態になるので、配線111には配線115の電位（例えば電圧V1）が供給される。よって、配線111の電位はV1になるので、信号OUTはLレベルになる。

20

【0085】

次に、回路100の動作7について、図4(A)を参照して説明する。信号IN2はLレベルになるので、トランジスタ105はオフになる。すると、配線115とノード11とは非導通状態になる。このとき、信号IN1はLレベルになるので、トランジスタ104はオフになる。すると、配線112とノード11とは非導通状態になる。つまり、ノード11は、浮遊状態になるので、前の状態における電位を維持する。ここでは、ノード11の電位は、 $V1 + V_{th101}$ よりも低い値である。よって、トランジスタ101はオフになるので、配線112と配線111とは非導通状態になる。

30

【0086】

そして、信号IN2は、Lレベルになるので、トランジスタ103はオフになる。このとき、信号IN3はHレベルになるので、トランジスタ102はオンになる。すると、配線115と配線111とは導通状態になるので、配線115の電位（例えば電圧V1）は配線111に供給される。よって、配線111の電位はV1になるので、信号OUTはLレベルになる。

40

【0087】

次に、回路100の動作8について、図4(B)を参照して説明する。動作8は、動作7と比較して、信号IN3がLレベルになるところが異なる。よって、信号IN3がLレベルになるので、トランジスタ102はオフになる。このとき、トランジスタ103もオフになっているので、配線115と配線111とは非導通状態になる。つまり、配線111は、不定状態Z（浮遊状態、フローティング状態、又はハイインピーダンス状態）になる。そのため、ノイズなどによる電位の変動がなければ、配線111の電位は、前の状態における値を維持する。よって、例えば、動作8の一つ前の動作が動作1～3、及び動作5～7のいずれかであるとする。この場合、信号OUTは、Lレベルになる。または、例えば、動作8の一つ前の動作が動作4であるとする。この場合、信号OUTは、Hレベルになる。

50

【0088】

以上のように、トランジスタ101～105は、動作1～動作8のいずれかにおいて、オフになる。よって、トランジスタがオンになる時間を短くする、又はトランジスタがオンになる回数を少なくすることができるので、トランジスタの劣化を抑制することができる。この結果、トランジスタの特性劣化（例えば閾値電圧の上昇、又は移動度の低下など）を抑制することができる。

50

【 0 0 8 9 】

または、トランジスタの劣化を抑制することができるので、又は回路 1 0 0 が有するトランジスタの極性をすべて N チャネル型とすることが可能なので、トランジスタの半導体層として、単結晶半導体よりも劣化しやすい材料（例えば、非晶質半導体若しくは微結晶半導体などの非単結晶半導体、有機半導体、又は酸化物半導体など）を用いることが可能になる。したがって、工程数を削減すること、歩留まりを高くすること、及び / 又は、製造コストを削減することなどができる。または、例えば、本実施の形態の半導体装置が表示装置に用いられるとする。この場合、表示装置を大型にすることができる。

【 0 0 9 0 】

または、トランジスタが劣化した場合のことを考慮し、トランジスタのチャネル幅を大きくする必要がなくなる。または、ブートストラップ動作によって、トランジスタの V_{gs} を大きくすることができるので、トランジスタのチャネル幅を小さくすることができる。または、出力信号の振幅を電源電圧と同じ値又は信号の振幅と同じ値にすることができるので、出力信号の振幅を大きくすることができる。よって、当該出力信号によって制御されるトランジスタのチャネル幅を小さくすることができる。つまり、トランジスタのチャネル幅を小さくすることができるので、トランジスタのチャネルの面積を小さくすることができる。

10

【 0 0 9 1 】

または、トランジスタのチャネルの面積を小さくすることができるので、レイアウト面積を小さくすることができる。この結果、例えば、本実施の形態の半導体装置が表示装置に用いられるとする。この場合、表示装置の解像度を高くすることができる。または、表示装置の額縁を小さくすることができる。

20

【 0 0 9 2 】

または、トランジスタのチャネルの面積を小さくすることができるので、ゲートとしての機能を有する材料と半導体層とが絶縁層を介して重なる面積を小さくすることができる。この結果、ゲートとしての機能を有する材料と半導体層とがショートしてしまうことを少なくすることができる。よって、出力信号のばらつきを低減すること、誤動作を防止すること、及び / 又は、歩留まりを高くすることなどができる。

【 0 0 9 3 】

または、すべてのトランジスタを N チャネル型とすること、又はすべてのトランジスタを P チャネル型にすることが可能である。したがって、CMOS 回路と比較して、工程数の削減、歩留まりの向上、信頼性の向上、又は製造コストの削減を図ることができる。特に、すべてのトランジスタを N チャネル型にすることによって、トランジスタの半導体層として、非晶質半導体若しくは微結晶半導体などの非単結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。ただし、これらの半導体層を用いるトランジスタは、劣化しやすい。しかし、本実施の形態の半導体装置は、トランジスタの劣化を抑制することができる。

30

【 0 0 9 4 】

次に、動作 1 ~ 動作 8 の他に、回路 1 0 0 が行うことが可能な動作について説明する。

【 0 0 9 5 】

まず、動作 1、及び動作 2 において、トランジスタ 1 0 4 のチャネル幅をトランジスタ 1 0 5 のチャネル幅よりも大きくすることによって、トランジスタ 1 0 1 はオンになることが可能である。すると、配線 1 1 2 と配線 1 1 1 とは導通状態になるので、配線 1 1 2 の電位（例えば H レベルの信号 IN 1）は配線 1 1 1 に供給される。つまり、配線 1 1 1 には、配線 1 1 5 の電位（例えば電圧 V 1）と配線 1 1 2 の電位（例えば H レベルの信号 IN 1）とが供給されることになる。この場合、トランジスタ 1 0 1 の電流供給能力を小さくし、配線 1 1 1 の電位を V 1 よりも少し高い値にすることによって、信号 OUT を L レベルにすることが可能である。このために、トランジスタ 1 0 1 のチャネル幅は、トランジスタ 1 0 2 のチャネル幅又はトランジスタ 1 0 3 のチャネル幅よりも小さいことが好ましい。または、トランジスタ 1 0 1 の V_{gs} は、 $V_2 - V_1$ よりも小さいことが好ましい

40

50

。より好ましくは、 $(V_2 - V_1) \times 1/2$ よりも小さいことが好ましい。例えば、トランジスタ 101 の V_{gs} を制御することによって、配線 111 からアナログ電圧を出力することが可能である。つまり、回路 100 は、アナログバッファ又は増幅回路などとしての機能を有することが可能である。別の例として、トランジスタ 101 のチャンネル幅をトランジスタ 102 のチャンネル幅とトランジスタ 103 のチャンネル幅との和よりも大きくすることによって、信号 OUT を H レベルにすることが可能である。

【0096】

次に、信号 IN 1 が H レベルから L レベルになり、信号 IN 2 が L レベルから H レベルになることによって、動作 4 から動作 6 に切り替わるとする。この場合、図 4 (C) に示すように、動作 6 において、トランジスタ 101 をしばらくオンにすることによって、配線 112 の電位 (例えば L レベルの信号 IN 1) を配線 111 に供給することが可能である。こうすることによって、信号 OUT の立ち下がり時間を短くすることができる。これを実現するために、信号 IN 1 が L レベルになるタイミングよりも、トランジスタ 101 がオフになるタイミングを遅くすることが可能である。または、信号 IN 1 が L レベルになるタイミングよりも、信号 IN 2 が H レベルになるタイミングを遅くすることが可能である。または、信号 IN 1 のなまりよりも、信号 IN 2 のなまりを大きくすることが可能である。または、トランジスタ 103 のチャンネル幅よりも、トランジスタ 105 のチャンネル幅を小さくすることが可能である。または、ノード 11 に容量素子の一方の電極を接続することが可能である。当該容量素子の他方の電極は、電源線又は信号線 (例えば、配線 115 又は配線 111 など) と接続されることが可能である。当該容量素子は、トランジスタ (例えばトランジスタ 101、トランジスタ 104、又はトランジスタ 105) の寄生容量であることが可能である。または、配線 113 には、回路 100 と同じ基板に形成される回路から、信号が供給されることが可能である。

10

20

【0097】

次に、動作 7 及び動作 8 において、ノード 11 の電位は、 $V_1 + V_{th101} + V_a$ であることが可能である。この場合、トランジスタ 101 はオンになるので、配線 112 と配線 111 とは導通状態になる。すると、配線 112 の電位 (例えば L レベルの信号 IN 1) は配線 111 に供給される。こうすることによって、特に動作 8 では、配線 111 の電位を固定することができるので、回路を誤動作に強くすることができる。

30

【0098】

以上のように、本実施の形態の半導体装置は、動作 1 ~ 動作 8 の他にも様々な動作を行うことが可能である。

【0099】

次に、トランジスタ 101 ~ 105 のチャンネル幅の比率について説明する。

【0100】

まず、トランジスタ 104 ~ 105 が駆動する負荷 (例えばトランジスタ 101 のゲート) は、トランジスタ 101 ~ 103 が駆動する負荷 (例えば配線 111 と接続される負荷 (例えばトランジスタのゲート)) よりも小さい。したがって、トランジスタ 104 のチャンネル幅は、トランジスタ 101 のチャンネル幅、トランジスタ 102 のチャンネル幅、及び / 又は、トランジスタ 103 のチャンネル幅よりも小さいことが可能である。または、トランジスタ 105 のチャンネル幅は、トランジスタ 101 のチャンネル幅、トランジスタ 102 のチャンネル幅、及び / 又は、トランジスタ 103 のチャンネル幅よりも小さいことが可能である。このような場合、トランジスタ 101 のチャンネル幅は、トランジスタ 104 のチャンネル幅の 20 倍以下であることが好ましい。より好ましくは、10 倍以下であることが好ましい。さらに好ましくは、7 倍以下であることが好ましい。トランジスタ 101 のチャンネル幅は、トランジスタ 105 のチャンネル幅の 10 倍以下であることが好ましい。より好ましくは、5 倍以下であることが好ましい。さらに好ましくは、3 倍以下であることが好ましい。

40

【0101】

次に、信号 OUT が L レベルになる場合、配線 115 の電位 (例えば電圧 V_1) がトラン

50

ジスタ102とトランジスタ103という二つのトランジスタを介して配線111に供給されることがある。一方で、信号OUTがHレベルになる場合、配線112の電位（例えばHレベルの信号IN1）がトランジスタ101という一つのトランジスタを介して配線111に供給されることがある。したがって、トランジスタ101のチャンネル幅は、トランジスタ102のチャンネル幅、及び/又は、トランジスタ103のチャンネル幅よりも大きいことが可能である。このような場合、トランジスタ101のチャンネル幅は、トランジスタ102のチャンネル幅又はトランジスタ103のチャンネル幅の3倍以下であることが好ましい。より好ましくは、2倍以下であることが好ましい。

【0102】

次に、信号IN1がHレベルになり、且つトランジスタ101がオンになるとする。このとき、トランジスタ102又はトランジスタ103がオンになるとする。この場合、配線111の電位をLレベルにするために、トランジスタ102のチャンネル幅は、トランジスタ101のチャンネル幅よりも大きいことが可能である。または、トランジスタ103のチャンネル幅は、トランジスタ101のチャンネル幅よりも大きいことが可能である。このような場合、トランジスタ101のチャンネル幅は、トランジスタ102のチャンネル幅又はトランジスタ103のチャンネル幅の1倍以下であることが好ましい。より好ましくは、0.7倍以下であることが好ましい。

10

【0103】

なお、信号IN1がHレベルになり、且つトランジスタ101がオンになるとする。このとき、トランジスタ103がオンになるが、トランジスタ102がオンになる場合は少ない。よって、トランジスタ103のチャンネル幅は、トランジスタ102のチャンネル幅よりも小さいことが可能である。

20

【0104】

次に、動作1～動作2において、トランジスタ104とトランジスタ105とがオンになることによって、ノード11には配線115の電位（例えば電圧V1）と配線112の電位（例えばHレベルの信号IN1）とが供給される。したがって、すでに述べたように、ノード11の電位をLレベルにするために、トランジスタ105のチャンネル幅は、トランジスタ104のチャンネル幅よりも大きいことが可能である。このような場合、トランジスタ105のチャンネル幅は、トランジスタ104のチャンネル幅の1.5倍以下であることが好ましい。より好ましくは、1.0倍以下であることが好ましい。さらに好ましくは、8倍以下であることが好ましい。例えば、トランジスタ104のチャンネル長をトランジスタ105のチャンネル長よりも大きくすることによって、トランジスタ105のW/L比をトランジスタ104のW/L比よりも大きくすることが可能である。このような場合、トランジスタ104のチャンネル長は、トランジスタ105のチャンネル長の9倍以下であることが好ましい。より好ましくは、6倍以下であることが好ましい。より好ましくは3倍以下であることが好ましい。

30

【0105】

以上のように、トランジスタのチャンネル幅の比率を適切な値にすることが好ましい。なお、上記のトランジスタのサイズの比率を考慮すると、トランジスタ101のチャンネル幅は、100 μm 以上、1000 μm 以下であることが好ましい。より好ましくは、100 μm 以上、300 μm 以下又は500 μm 以上、800 μm 以下であることが好ましい。トランジスタ102のチャンネル幅又はトランジスタ103のチャンネル幅は、100 μm 以上、1500 μm 以下であることが好ましい。より好ましくは、100 μm 以上、300 μm 以下又は700 μm 以上、1200 μm 以下であることが好ましい。トランジスタ104のチャンネル幅は、10 μm 以上、300 μm 以下であることが好ましい。より好ましくは、20 μm 以上、100 μm 以下であることが好ましい。トランジスタ105のチャンネル幅は、30 μm 以上、500 μm 以下であることが好ましい。より好ましくは、50 μm 以上、150 μm 以下であることが好ましい。

40

【0106】

次に、図1(A)とは異なる構成の半導体装置について説明する。

50

【0107】

まず、図1(A)で述べる構成において、トランジスタ105の第1の端子は、配線115とは別の配線(例えば配線112など)と接続されることが可能である。または、トランジスタ105のゲートは、配線113とは別の配線(例えば配線111、配線116又はノード11など)と接続されることが可能である。

【0108】

なお、配線116には、電圧V2が供給されることが可能である。よって、配線116は、電源線としての機能を有することが可能である。例えば、配線116には、信号が入力されることが可能である。よって、配線116は、信号線としての機能を有することが可能である。

10

【0109】

図6(A)には、図1(A)の半導体装置において、トランジスタ105の第1の端子は、配線112と接続される構成を示す。トランジスタ105の第1の端子にH信号を供給することが可能になる。よって、トランジスタ105に逆バイアスを印加することができるので、トランジスタ105の劣化を抑制することができる。

【0110】

図6(B)には、図1(A)の半導体装置において、トランジスタ105の第1の端子は、配線112と接続され、トランジスタ105のゲートは、ノード11と接続される構成を示す。トランジスタ105の第1の端子にH信号を供給することが可能になる。よって、トランジスタ105に逆バイアスを印加することができるので、トランジスタ105の劣化を抑制することができる。

20

【0111】

図6(C)には、図1(A)の半導体装置において、トランジスタ105の第1の端子は、配線112と接続されトランジスタ105のゲートは、配線116と接続される構成を示す。Hレベルの信号IN1を、トランジスタ104とトランジスタ105とを介してノード11に供給することが可能になる。よって、トランジスタ104のチャネル幅を小さくすることができる。

【0112】

次に、図1(A)、及び図6(A)~(C)で述べる構成において、トランジスタ103の第1の端子は、配線115とは別の配線(例えば配線112)と接続されることが可能である。または、トランジスタ103のゲートは、配線113とは別の配線(例えば配線111、配線116又はノード11など)と接続されることが可能である。

30

【0113】

図6(D)には、図1(A)の半導体装置において、トランジスタ103の第1の端子は、配線112と接続される構成を示す。トランジスタ103の第1の端子にH信号を供給することが可能になる。よって、トランジスタ103に逆バイアスを印加することができるので、トランジスタ103の劣化を抑制することができる。

【0114】

図6(E)には、図1(A)の半導体装置において、トランジスタ103の第1の端子は、配線112と接続され、トランジスタ103のゲートは、配線111と接続される構成を示す。よって、トランジスタ103に逆バイアスを印加することができるので、トランジスタ103の劣化を抑制することができる。

40

【0115】

図6(F)には、図1(A)の半導体装置において、トランジスタ103の第1の端子は、配線112と接続され、トランジスタ103のゲートは、配線116と接続される構成を示す。Hレベルの信号IN1を、トランジスタ103とトランジスタ101とを介して配線111に供給することが可能になる。よって、トランジスタ101のチャネル幅を小さくすることができる。

【0116】

次に、図1(A)、及び図6(A)~(F)で述べる構成において、トランジスタ104

50

の第1の端子は、配線112とは別の配線（例えば配線116など）と接続されることが可能である。または、トランジスタ104のゲートは、配線112とは別の配線（例えば配線116など）と接続されることが可能である。

【0117】

図7(A)には、図1(A)の半導体装置において、トランジスタ104の第1の端子が配線116と接続される構成を示す。

【0118】

図7(B)には、図1(A)の半導体装置において、トランジスタ104のゲートが配線116と接続される構成を示す。トランジスタ104を介して、配線112の電位（例えばLレベルの信号IN1）を供給することが可能になる。よって、ノード11の電位を固定することができるので、ノイズに強い半導体装置を得ることができる。

10

【0119】

次に、図1(A)、図6(A)～(F)、及び図7(A)～(B)で述べる構成において、トランジスタ102の第1の端子は、配線115とは別の配線（例えば配線113、配線114又はノード11など）と接続されることが可能である。または、トランジスタ103の第1の端子、及びノード又は、トランジスタ105の第1の端子は、配線115とは別の配線（例えば配線113、配線114又はノード11など）と接続されることが可能である。

【0120】

図7(C)には、図1(A)の半導体装置において、トランジスタ102の第1の端子は、配線113と接続される構成を示す。トランジスタ102の第1の端子にH信号を供給することが可能になる。よって、トランジスタ102に逆バイアスを印加することができるので、トランジスタ102の劣化を抑制することができる。

20

【0121】

図7(D)には、図1(A)の半導体装置において、トランジスタ103の第1の端子、及びトランジスタ105の第1の端子は、配線114と接続される構成を示す。トランジスタ103の第1の端子又はトランジスタ105の第1の端子にH信号を供給することが可能になる。よって、トランジスタ103又はトランジスタ105に逆バイアスを印加することができるので、トランジスタ103又はトランジスタ105の劣化を抑制することができる。

30

【0122】

次に、図1(A)、図6(A)～(F)、及び図7(A)～(D)で述べる構成において、トランジスタの各端子又は各電極は、別々の配線と接続されることが可能である。例えば、トランジスタ101の第1の端子と、トランジスタ104の第1の端子とは、別々の配線と接続されることが可能である。または、トランジスタ103のゲートと、トランジスタ105のゲートとは、別々の配線と接続されることが可能である。または、トランジスタ102の第1の端子と、トランジスタ103の第1の端子と、トランジスタ105の第1の端子とは、別々の配線に接続されることが可能である。これを実現するために、配線を複数の配線に分割することが可能である。

【0123】

図7(E)には、図1(A)の半導体装置において、配線112は、配線112A～112Bという複数の配線に分割され、配線113は、配線113A～113Bという複数の配線に分割され、配線115は、配線115A～115Cという複数の配線に分割される構成を示す。そして、トランジスタ101の第1の端子は、配線112Aと接続され、トランジスタ104の第1の端子は、配線112Bと接続され、トランジスタ104のゲートは、配線112Bと接続される。または、トランジスタ103のゲートは、配線113Aと接続され、トランジスタ105のゲートは、配線113Bと接続される。または、トランジスタ102の第1の端子は、配線115Aと接続され、トランジスタ103の第1の端子は、配線115Bと接続され、トランジスタ105の第1の端子は、配線115Cと接続される。

40

50

【 0 1 2 4 】

なお、配線 1 1 2 A ~ 1 1 2 B は、配線 1 1 2 と同様な機能を有することが可能である。または、配線 1 1 3 A ~ 1 1 3 B は、配線 1 1 3 と同様な機能を有することが可能である。または、配線 1 1 5 A ~ 1 1 5 C は、配線 1 1 5 と同様な機能を有することが可能である。よって、配線 1 1 2 A ~ 1 1 2 B には、信号 I N 1 が入力されることが可能である。または、配線 1 1 3 A ~ 1 1 3 B には、信号 I N 2 が入力されることが可能である。または、配線 1 1 5 A ~ 1 1 5 C には、電圧 V 1 が供給されることが可能である。例えば、配線 1 1 2 A ~ 1 1 2 B には、別々の電圧又は別々の信号を供給することが可能である。または、配線 1 1 3 A ~ 1 1 3 B には、別々の電圧又は別々の信号を供給することが可能である。または、配線 1 1 5 A ~ 1 1 5 C には、別々の電圧又は別々の信号を供給することが可能である。

10

【 0 1 2 5 】

次に、図 1 (A)、図 6 (A) ~ (F)、及び図 7 (A) ~ (E) で述べる構成において、トランジスタ 1 0 5 A、及び / 又は、トランジスタ 1 0 3 A を新たに設けることが可能である。

【 0 1 2 6 】

図 8 (A) には図 1 (A) の半導体装置に、トランジスタ 1 0 5 A を新たに設ける構成を示す。トランジスタ 1 0 5 A は、トランジスタ 1 0 5 に対応することが可能であり、同様の機能を有することが可能である。トランジスタ 1 0 5 A の第 1 の端子は、配線 1 1 2 と接続され、トランジスタ 1 0 5 A の第 2 の端子は、ノード 1 1 と接続され、トランジスタ 1 0 5 A のゲートは、配線 1 1 3 と接続される。例えば、図 6 (B) ~ (C) と同様に、トランジスタ 1 0 5 A のゲートは、ノード 1 1 又は配線 1 1 6 と接続されることが可能である。例えば、図 6 (B) ~ (C) と同様に、トランジスタ 1 0 5 A のゲートは、配線 1 1 3 とは別の配線 (例えばノード 1 1、配線 1 1 6 又は配線 1 1 1 など) と接続されることが可能である。

20

【 0 1 2 7 】

図 8 (B) には、図 1 (A) の半導体装置に、トランジスタ 1 0 3 A を新たに設ける構成を示す。トランジスタ 1 0 3 A は、トランジスタ 1 0 3 に対応することが可能であり、同様の機能を有することが可能である。トランジスタ 1 0 3 A の第 1 の端子は、配線 1 1 2 と接続され、トランジスタ 1 0 3 A の第 2 の端子は、配線 1 1 1 と接続され、トランジスタ 1 0 3 A のゲートは、配線 1 1 3 と接続される。例えば、図 6 (E) ~ (F) と同様に、トランジスタ 1 0 3 A のゲートは、配線 1 1 3 とは別の配線 (例えば配線 1 1 1、配線 1 1 6 又はノード 1 1 など) と接続されることが可能である。

30

【 0 1 2 8 】

次に、図 1 (A)、図 6 (A) ~ (F)、図 7 (A) ~ (E)、及び図 8 (A) ~ (B) で述べる構成において、トランジスタ 1 0 6 を新たに設けることが可能である。

【 0 1 2 9 】

図 8 (C) には、図 1 (A) の半導体装置に、トランジスタ 1 0 6 を新たに設ける構成を示す。トランジスタ 1 0 6 は、Nチャネル型とする。ただし、本実施の形態は、これに限定されず、トランジスタ 1 0 6 は、Pチャネル型であることが可能である。トランジスタ 1 0 6 の第 1 の端子は、配線 1 1 5 と接続され、トランジスタ 1 0 6 の第 2 の端子は、ノード 1 1 と接続され、トランジスタ 1 0 6 のゲートは、配線 1 1 4 と接続される。

40

【 0 1 3 0 】

トランジスタ 1 0 6 の機能について説明する。トランジスタ 1 0 6 は、配線 1 1 5 とノード 1 1 との導通状態を制御する機能を有する。または、トランジスタ 1 0 6 は、配線 1 1 5 の電位をノード 1 1 に供給するタイミングを制御する機能を有する。または、配線 1 1 5 に信号又は電圧が入力されるとすると、トランジスタ 1 0 6 は、配線 1 1 5 に入力される信号又は電圧をノード 1 1 に供給するタイミングを制御する機能を有する。または、トランジスタ 1 0 6 は、ノード 1 1 に、L 信号又は電圧 V 1 を供給するタイミングを制御する機能を有する。または、トランジスタ 1 0 6 は、ノード 1 1 の電位を減少させるタイミ

50

ングを制御する機能を有する。以上のように、トランジスタ106は、スイッチとしての機能を有することが可能である。なお、トランジスタ106は、上記の機能のすべてを有する必要はない。なお、トランジスタ106は、配線114の電位(信号IN3)によって制御されることが可能である。

【0131】

図8(C)の半導体装置の動作について説明する。動作1、動作3、動作5、及び動作7において、信号IN3がHレベルになるので、トランジスタ106はオンになる。すると、配線115とノード11とは導通状態になるので、配線115の電位(例えば電圧V1)は、ノード11に供給される。こうして、ノード11の電位を固定することができるので、ノイズに強い半導体装置を得ることができる。または、ノード11の電位をより低くすることができるので、トランジスタ101がオフになりやすくなる。または、トランジスタ105のチャンネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。一方で、動作2、動作4、動作6、及び動作8において、信号IN3がLレベルになるので、トランジスタ106はオフになる。こうして、トランジスタ106がオンになる時間を短くすることができるので、トランジスタ106の劣化を抑制することができる。

10

【0132】

次に、図1(A)、図6(A)~(F)、図7(A)~(E)、及び図8(A)~(C)で述べる構成において、トランジスタ103、及び/又は、トランジスタ105を省略することが可能である。

20

【0133】

図8(D)には、図1(A)の半導体装置において、トランジスタ103が省略される構成を示す。トランジスタ103が省略される場合でも、例えば、トランジスタ101がオンからオフに切り替わるタイミングを、信号IN1がHレベルからLレベルになるタイミングよりも遅らせることによって、配線112の電位(例えばLレベルの信号IN1)を配線111に供給することが可能になる。よって、配線111の電位をV1にすることができる。こうして、トランジスタ103を省略することによって、トランジスタの数を減らすことができる。

【0134】

なお、トランジスタ101がオンからオフに切り替わるタイミングを、信号IN1がHレベルからLレベルになるタイミングよりも遅らせるために、トランジスタ105のチャンネル幅は、トランジスタ101のチャンネル幅よりも小さいことが可能である。または、トランジスタ101のチャンネルの面積(例えばL×W)は、回路100が有するトランジスタの中で一番大きいことが可能である。

30

【0135】

図8(E)には、図1(A)の半導体装置において、トランジスタ105が省略される構成を示す。トランジスタ105を省略することによって、トランジスタの数を減らすことができる。

【0136】

次に、図1(A)、図6(A)~(F)、図7(A)~(E)、及び図8(A)~(E)で述べる構成において、トランジスタ101のゲートと第2の端子との間に、容量素子107を接続することが可能である。例えば、容量素子として、MOS容量を用いることが可能である。

40

【0137】

図8(F)には、図1(A)の半導体装置において、トランジスタ101のゲートと第2の端子との間に、容量素子107を接続する構成を示す。ブートストラップ動作時に、ノード11の電位が上昇しやすくなる。よって、トランジスタ101のV_{gs}を大きくすることができる。この結果、トランジスタ101のチャンネル幅を小さくすることができる。または、信号OUTの立ち下がり時間又は立ち上がり時間を短くすることができる。

【0138】

50

なお、容量素子107の一方の電極の材料は、トランジスタのゲートと同様な材料であることが好ましい。または、容量素子107の他方の電極の材料は、トランジスタのソース又はドレインと同様な材料であることが好ましい。こうして、レイアウト面積を小さくすることができる。または、容量値を大きくすることができる。

【0139】

なお、容量素子107の一方の電極と他方の電極とが重なる面積は、トランジスタ101においてゲートとして用いられる材料と、半導体層とが重なる面積よりも小さいことが好ましい。

【0140】

次に、図1(A)、図6(A)~(F)、図7(A)~(E)、及び図8(A)~(F)で述べる構成において、回路100に、回路120を新たに設けることが可能である。

10

【0141】

図9(A)には、図1(A)の半導体装置において、回路120を新たに設ける場合の構成を示す。回路120は、配線113と、トランジスタ103のゲートとトランジスタ105のゲートとの接続箇所と、の間に接続される。回路120は、配線113に入力される信号IN2を遅延させる機能を有する。よって、例えば、トランジスタ105のゲートの電位が上昇するタイミングは、信号IN2がLレベルからHレベルになるタイミングよりも遅くなる。つまり、トランジスタ105がオンになるタイミング、又はノード11の電位が減少するタイミングは、信号IN2がLレベルからHレベルになるタイミングよりも遅れる。したがって、例えば、トランジスタ101がオンからオフに切り替わるタイミングは、信号IN1がHレベルからLレベルになるタイミングよりも遅くなる。この結果、Lレベルの信号IN1を配線111に供給することができるので、信号OUTの立ち下がり時間を短くすることができる。例えば、図9(B)に示すように、トランジスタ103のゲートは、回路120を介さずに配線113と接続され、トランジスタ105のゲートは、回路120を介して配線113と接続されることが可能である。なぜなら、トランジスタ103は、早くオンになる方が、配線111に早く電圧V1を供給することが可能になる。よって、信号OUTの立ち下がり時間を短くすることができるからである。別の例として、トランジスタ105のゲートは、回路120を介して配線111と接続されることが可能である。この場合、トランジスタ103のゲートは、トランジスタ105のゲートと接続されることが可能であるし、配線113と接続されることが可能である。

20

30

【0142】

なお、回路120としては、少なくとも容量成分と抵抗成分とを有するものであればよい。例えば、回路120として、抵抗素子、容量素子、トランジスタ、ダイオード、これらの素子を組み合わせたもの、又はその他の様々な素子を用いることが可能である。図9(C)~(D)には、回路120が抵抗素子121と容量素子122とを有する構成を示す。別の例として、回路120として、バッファ回路、インバータ回路、NAND回路、NOR回路、レベルシフト回路、これらの回路を組み合わせた回路、又はその他の様々な回路を用いることが可能である。図9(E)には、回路120がバッファ回路123を有する構成を示す。図9(F)には、回路120がインバータ回路124を有する構成を示す。

40

【0143】

なお、容量成分は、寄生容量であることが可能であり、抵抗成分は、寄生抵抗であることが可能である。つまり、回路120として、配線、ある層の材料と別の層の材料とのコンタクト、又はFPCパッドなどを用いることが可能である。したがって、例えば、配線113の配線抵抗は、配線112の配線抵抗よりも大きいことが好ましい。これを実現するために、配線113の最小の配線幅は、配線112の最小の配線幅よりも、小さいことが好ましい。または、配線113は、配線112と比較して、導電材料の中で一番抵抗値が大きい材料(例えば画素電極の材料を含む材料)を、多く含むことが可能である。または、例えば、ある材料が配線113と配線112との両方に用いられるとする。この場合、

50

配線 1 1 3 が有する当該材料の最小の膜厚は、配線 1 1 2 が有する当該材料の最小の膜厚よりも薄いことが可能である。

【 0 1 4 4 】

なお、バッファ回路 1 2 3 としては、図 9 (G) に示す構成を用いることが可能である。バッファ回路は、トランジスタ 1 2 5、トランジスタ 1 2 6、トランジスタ 1 2 7、及びトランジスタ 1 2 8 を有する。トランジスタ 1 2 5 の第 1 の端子は、配線 1 2 9 と接続され、トランジスタ 1 2 5 の第 2 の端子は、トランジスタ 1 0 3 のゲートと接続され、トランジスタ 1 2 5 のゲートは、配線 1 1 3 と接続される。トランジスタ 1 2 6 の第 1 の端子は、配線 1 3 0 と接続され、トランジスタ 1 2 6 の第 2 の端子は、トランジスタ 1 0 3 のゲートと接続される。トランジスタ 1 2 7 の第 1 の端子は、配線 1 2 9 と接続され、トランジスタ 1 2 7 の第 2 の端子は、トランジスタ 1 2 6 のゲートと接続され、トランジスタ 1 2 7 のゲートは、配線 1 2 9 と接続される。トランジスタ 1 2 8 の第 1 の端子は、配線 1 3 0 と接続され、トランジスタ 1 2 8 の第 2 の端子は、トランジスタ 1 2 6 のゲートと接続され、トランジスタ 1 2 8 のゲートは、配線 1 1 3 と接続される。なお、配線 1 2 9 には、電圧 V 2 などの高電圧が供給される場合が多く、配線 1 3 0 には、電圧 V 1 などの負電圧が供給される。

10

【 0 1 4 5 】

なお、インバータ回路 1 2 4 としては、図 9 (H) に示す構成を用いることが可能である。インバータ回路は、トランジスタ 1 3 1、トランジスタ 1 3 2、トランジスタ 1 3 3、及びトランジスタ 1 3 4 を有する。トランジスタ 1 3 1 の第 1 の端子は、配線 1 2 9 と接続され、トランジスタ 1 3 1 の第 2 の端子は、トランジスタ 1 0 3 のゲートと接続される。トランジスタ 1 3 2 の第 1 の端子は、配線 1 3 0 と接続され、トランジスタ 1 3 2 の第 2 の端子は、トランジスタ 1 0 3 のゲートと接続され、トランジスタ 1 3 2 のゲートは、配線 1 1 3 と接続される。トランジスタ 1 3 3 の第 1 の端子は、配線 1 2 9 と接続され、トランジスタ 1 3 3 の第 2 の端子は、トランジスタ 1 3 1 のゲートと接続され、トランジスタ 1 3 3 のゲートは、配線 1 2 9 と接続される。トランジスタ 1 3 4 の第 1 の端子は、配線 1 3 0 と接続され、トランジスタ 1 3 4 の第 2 の端子は、トランジスタ 1 3 1 のゲートと接続され、トランジスタ 1 3 4 のゲートは、配線 1 1 3 と接続される。

20

【 0 1 4 6 】

次に、図 1 (A)、図 6 (A) ~ (F)、図 7 (A) ~ (E)、図 8 (A) ~ (F)、および図 9 (A) ~ (B) で述べる構成において、トランジスタをダイオードに置き換えることが可能である。例えば、トランジスタをダイオード接続にすることが可能である。

30

【 0 1 4 7 】

図 1 1 (A) には、図 1 (A) の半導体装置において、トランジスタがダイオードに置き換えられる構成を示す。トランジスタ 1 0 1 は、一方の電極 (例えば入力端子) がノード 1 1 と接続され、他方の電極 (例えば出力端子) が配線 1 1 1 と接続されるダイオード 1 0 1 d に置き換えられることが可能である。または、トランジスタ 1 0 2 は、一方の電極 (例えば入力端子) が配線 1 1 1 と接続され、他方の電極 (例えば出力端子) が配線 1 1 4 と接続されるダイオード 1 0 2 d に置き換えられることが可能である。または、トランジスタ 1 0 3 は、一方の電極 (例えば入力端子) が配線 1 1 1 と接続され、他方の電極 (例えば出力端子) が配線 1 1 3 と接続されるダイオード 1 0 3 d に置き換えられることが可能である。または、トランジスタ 1 0 4 を、一方の電極 (例えば入力端子) が配線 1 1 2 と接続され、他方の電極 (例えば出力端子) がノード 1 1 と接続されるダイオード 1 0 4 d に置き換えられることが可能である。または、トランジスタ 1 0 5 は、一方の電極 (例えば入力端子) がノード 1 1 と接続され、他方の電極 (例えば出力端子) が配線 1 1 3 と接続されるダイオード 1 0 5 d に置き換えられることが可能である。こうすることによって、信号又は電源の数を減らすことができる。つまり、配線の数を減らすことができる。よって、回路 1 0 0 が形成される基板と、その基板に信号を供給するための基板との接続数を減らすことができるので、信頼性の向上、歩留まりの向上、又は製造コストの削減などを図ることができる。回路 1 0 0 が有する複数のトランジスタ (例えばトランジスタ

40

50

101～105)の一部のトランジスタがダイオードに置き換えられることが可能である。

【0148】

図11(B)には図1(A)の半導体装置において、トランジスタがダイオード接続される場合の構成を示す。トランジスタ101の第1の端子は、ノード11と接続されることが可能である。または、トランジスタ102の第1の端子は、配線114と接続され、トランジスタ102のゲートは、配線111と接続されることが可能である。または、トランジスタ103の第1の端子は、配線113と接続され、トランジスタ103のゲートは、配線111と接続されることが可能である。または、トランジスタ105の第1の端子は、配線113と接続され、トランジスタ105のゲートは、ノード11と接続されることが可能である。こうすることによって、信号又は電源の数を減らすことができる。つまり、配線の数減らすことができる。よって、回路100が形成される基板と、その基板に信号を供給するための基板との接続数を減らすことができるので、信頼性の向上、歩留まりの向上、又は製造コストの削減などを図ることができる。回路100が有する複数のトランジスタ(例えばトランジスタ101～105)の一部のトランジスタがダイオード接続されることが可能である。

10

【0149】

次に、図1(A)、図6(A)～(F)、図7(A)～(E)、図8(A)～(F)、図9(A)～(B)、及び図11(A)～(B)で述べる構成において、トランジスタを容量素子に置き換えられることが可能である。例えば、トランジスタを省略せずに、当該容量素子を新たに設けることが可能である。

20

【0150】

図11(C)には、図1(A)の半導体装置において、トランジスタ104は、配線112とノード11との間に接続される容量素子104Aに置き換える構成を示す。容量素子104Aは、容量結合によって、配線112の電位に応じてノード11の電位を制御することが可能である。このように、トランジスタ104を容量素子104Aに置き換えることによって、定常電流を減らすことができるので、消費電力の低減を図ることができる。

【0151】

図11(D)には、図1(A)の半導体装置において、容量素子104Aを新たに設ける構成を示す。ノード11の電位の変化を急峻にすることができるので、消費電力を小さくすることができる。

30

【0152】

図11(E)には、図1(A)の半導体装置において、トランジスタ102、トランジスタ103、及びトランジスタ105が、各々、配線114と配線111との間に接続される容量素子102A、配線113と配線111との間に接続される容量素子103B、配線113とノード11との間に接続される容量素子105Bに置き換えられる構成を示す。

【0153】

次に、図1(A)、図6(A)～(F)、図7(A)～(E)、図8(A)～(F)、図9(A)～(B)、及び図11(A)～(F)で述べる構成において、トランジスタを抵抗素子に置き換えることが可能である。

40

【0154】

図11(F)には、図1(A)の半導体装置において、トランジスタ104が抵抗素子104Rに置き換えられる構成を示す。抵抗素子104Rは、配線112とノード11との間に接続される。

【0155】

次に、図1(A)、図6(A)～(F)、図7(A)～(E)、図8(A)～(F)、図9(A)～(B)、及び図11(A)～(F)で述べる構成において、トランジスタ108が新たに設けられることが可能である。

【0156】

50

図46(A)には、図1(A)の半導体装置に、トランジスタ108が新たに設けられる構成を示す。トランジスタ108は、Nチャネル型とする。ただし、本実施の形態は、これに限定されず、トランジスタ108は、Pチャネル型であることが可能である。トランジスタ108の第1の端子は、配線111と接続され、トランジスタ108の第2の端子は、ノード11と接続され、トランジスタ108のゲートは、配線112と接続される。

【0157】

図46(A)の半導体装置の動作について説明する。動作1~3において、信号IN1はHレベルになるので、トランジスタ108はオンになる。すると、配線111とノード11とは導通状態になるので、配線111の電位はノード11に供給される。または、ノード11の電位は、配線111に供給される。ただし、動作4では、信号IN3はHレベルになるものの、ノード11の電位及び配線111の電位がHレベルになるので、トランジスタ108はオフになる。しかし、配線111の電位がHレベルになるまでは、トランジスタ108はオンになる。よって、ノード11の電位が減少する。すると、トランジスタ101の V_{gs} が小さくなるので、トランジスタ101の絶縁破壊、又は劣化などを防止することができる。一方で、動作5~8では、信号IN1がLレベルになるので、トランジスタ108はオフになる。よって、ノード11と配線111とは非導通状態になる。

10

【0158】

次に、図1(A)、図6(A)~(F)、図7(A)~(E)、図8(A)~(F)、図9(A)~(B)、図11(A)~(F)、図46(A)で述べる構成において、信号OUTとは別の信号を生成することが可能である。このために、これらの半導体装置に、トランジスタ109を新たに設けることが可能である。

20

【0159】

図46(B)には、図1(A)の半導体装置に、トランジスタ109を新たに設ける構成を示す。トランジスタ109は、トランジスタ101と同じ極性である。そして、トランジスタ109は、トランジスタ101と同じ機能を有することが可能である。トランジスタ109の第1の端子は、配線112と接続され、トランジスタ109の第2の端子は、配線117と接続され、トランジスタ109のゲートは、ノード11と接続されることが可能である。

【0160】

ここで、図1(A)、図6(A)~(F)、図7(A)~(E)、図8(A)~(F)、図9(A)~(B)、図11(A)~(F)、図46(A)~(B)で述べる構成を適宜組み合わせることが可能であることを付記する。

30

【0161】

図12(A)には、図6(B)で述べる構成と図6(E)で述べる構成とを組み合わせる構成を示す。トランジスタ103の第1の端子は、配線112と接続され、トランジスタ103の第2の端子は、配線111と接続され、トランジスタ103のゲートは配線111と接続される。トランジスタ105の第1の端子は、配線112と接続され、トランジスタ105の第2の端子は、ノード11と接続され、トランジスタ105のゲートは、ノード11と接続される。こうして、信号IN2及び配線113を省略することができるので、信号数の削減、又は配線数の削減を図ることができる。よって、回路100が形成される基板と別の基板との接続点数の削減、信頼性の向上、製造コストの削減、及びノイズ又は消費電力の低減などを行うことができる。

40

【0162】

図12(B)には、図7(A)で述べる構成と図8(E)で述べる構成とを組み合わせる構成を示す。トランジスタ105は省略され、トランジスタ104の第1の端子は、配線112と接続され、トランジスタ104の第2の端子は、ノード11と接続され、トランジスタ104のゲートは、配線116と接続される。こうして、トランジスタの数を減らすことができるので、レイアウト面積の縮小を図ることができる。さらに、ノード11の電位をLレベルに固定することができるので、ノイズに強い回路を得ることができる。

【0163】

50

図 1 2 (C) には、図 7 (D) で述べる構成と図 1 1 (C) で述べる構成とを組み合わせる構成を示す。トランジスタ 1 0 3 の第 1 の端子は、配線 1 1 4 と接続され、トランジスタ 1 0 5 の第 1 の端子は、配線 1 1 4 と接続され、トランジスタ 1 0 4 は、配線 1 1 2 とノード 1 1 との間に接続される容量素子 1 0 4 A に置き換えられる。

【 0 1 6 4 】

以上のように、本実施の形態は、図 1 (A) で述べる構成に限定されず、他にも様々な構成を用いることができる。

【 0 1 6 5 】

次に、図 1 (A)、図 6 (A) ~ (F)、図 7 (A) ~ (E)、図 8 (A) ~ (F)、図 9 (A) ~ (B)、図 1 1 (A) ~ (F)、図 1 2 (A) ~ (C)、及び図 4 6 (A) ~ (B) で述べる構成において、トランジスタとして、Pチャネル型トランジスタを用いることが可能である。半導体装置が有する複数のトランジスタの一部のみがPチャネル型であることが可能である。つまり、本実施の形態の半導体装置は、CMOS回路であることが可能である。

10

【 0 1 6 6 】

図 1 3 (A) には、図 1 (A) の半導体装置において、トランジスタとして、Pチャネル型トランジスタが用いられる場合の構成を示す。トランジスタ 1 0 1 p ~ 1 0 5 p は、トランジスタ 1 0 1 ~ 1 0 5 と同様の機能を有し、Pチャネル型である。このような場合、配線 1 1 5 には、電圧 V 2 が供給される。

【 0 1 6 7 】

20

図 1 3 (A) の半導体装置では、図 1 3 (B) に示すように、回路 1 0 0 は、NANDを含む論理回路としての機能を有することが可能である。具体的には、回路 1 0 0 は、3 入力 NAND と、二つの NOT とを組み合わせた論理回路としての機能を有することが可能である。そして、NAND の第 1 の入力端子には、信号 IN 1 が入力されることが可能であり、NAND の第 2 の入力端子には、信号 IN 2 が第 1 の NOT によって反転される信号が入力されることが可能であり、NAND の第 3 の入力端子には、信号 IN 3 が第 2 の NOT によって反転される信号が入力されることが可能であり、NAND の出力からは信号 OUT が出力されることが可能である。つまり、回路 1 0 0 は、図 1 3 (C) に示す論理式を実現する機能、又はこの論理式によって得られる真理値表を実現する機能を有することが可能である。よって、信号 IN 1 が L レベルになり、信号 IN 2 及び信号 IN 3 が H レベルになる場合に、信号 OUT は L レベルになり、それ以外の入力信号では、信号 OUT は H レベルになることを付記する。図 1 3 (D) には、信号 IN 1 ~ IN 3 がデジタル信号である場合の真理値表を示す。

30

【 0 1 6 8 】

図 1 2 (D) には、図 1 (A) の半導体装置において、一部のトランジスタとして、Pチャネル型トランジスタが用いられる構成を示す。トランジスタ 1 0 4 p のゲートは、ノード 1 1 と接続される。

【 0 1 6 9 】

(実施の形態 2)

本実施の形態では、実施の形態 1 の半導体装置に、素子又は回路などを新たに設ける半導体装置について説明する。

40

【 0 1 7 0 】

まず、実施の形態 1 の半導体装置に、トランジスタ 2 0 1 (第 6 のトランジスタ) を新たに設ける構成について説明する。図 1 4 (A) には、図 1 (A) の半導体装置に、トランジスタ 2 0 1 を新たに設ける構成を示す。

【 0 1 7 1 】

トランジスタ 2 0 1 は、Nチャネル型である。ただし、本実施の形態は、これに限定されず、トランジスタ 2 0 1 は、Pチャネル型であることが可能である。トランジスタ 2 0 1 の第 1 の端子は、配線 1 1 5 と接続され、トランジスタ 2 0 1 の第 2 の端子は、配線 2 1 1 (第 6 の配線) と接続され、トランジスタ 2 0 1 のゲートは、配線 1 1 1 と接続される

50

。

【0172】

なお、トランジスタ201のゲートをノード12と示す。ノード12は、実施の形態1で述べる配線111に対応するので、配線111と記載する場合、配線111をノード12と言い換えることが可能である。よって、配線111の電位（信号OUTの電位）と記載する場合、配線111の電位（信号OUTの電位）を、ノード12の電位と言い換えることが可能である。

【0173】

トランジスタ201の機能について説明する。トランジスタ201は、配線115と配線211との導通状態を制御する機能を有する。または、トランジスタ201は、配線115の電位を配線211に供給するタイミングを制御する機能を有する。または、配線115に信号又は電圧が入力されるとすると、トランジスタ201は、配線115に入力される信号又は電圧を配線211に供給するタイミングを制御する機能を有する。または、トランジスタ201は、配線211に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ201は、配線211の電位を減少させるタイミングを制御する機能を有する。以上のように、トランジスタ201は、スイッチとしての機能を有することが可能である。なお、トランジスタ201は、上記の機能のすべてを有する必要はない。なお、トランジスタ201は、回路100の出力信号によって制御されることが可能である。

10

【0174】

次に、図14(A)の半導体装置の動作について、図15(A)を参照して説明する。図15(A)には、本実施の形態の半導体装置に用いることが可能なタイミングチャートを示す。

20

【0175】

なお、図15(A)のタイミングチャートは、期間Aと期間Bとを有する。そして、図15(A)のタイミングチャートには、期間Aと期間Bとは、交互に配置される。図15(A)のタイミングチャートには、複数の期間Aと複数の期間Bと交互に配置されることが可能である。または、図15(A)のタイミングチャートは、期間A及び期間B以外の期間を有することが可能であるし、期間Aと期間Bとの一方の期間を省略することが可能である。

30

【0176】

なお、期間Aと期間Bとは、おおむね等しい長さである。または、例えば本実施の形態の半導体装置にクロック信号が入力されるとすると、期間Aの長さ及び期間Bの長さは、そのクロック信号の半周期とおおむね等しい長さである。または、例えば本実施の形態の半導体装置がゲートドライバに用いられるとすると、期間Aの長さ及び期間Bの長さは、1ゲート選択期間とおおむね等しくなる。

【0177】

まず、期間Aにおける半導体装置の動作について、図14(B)の模式図を参照して説明する。期間Aでは、信号IN1はHレベルになり、信号IN2はLレベルになり、信号IN3はLレベルになる。よって、回路100は図3(A)の動作4を行うことが可能なので、ノード12の電位（信号OUT）は、Hレベルになる。この結果、トランジスタ201はオンになるので、配線115と配線211とは導通状態になる。すると、配線115の電位（例えば電圧V1）は、配線211に供給されるので、配線211の電位（信号GOUT）はLレベルになる。

40

【0178】

次に、期間Bにおける半導体装置の動作について、図14(C)の模式図を参照して説明する。期間Bでは、信号IN1はLレベルになり、信号IN2はHレベルになり、信号IN3はLレベルになる。よって、回路100は、図3(C)の動作6を行うことが可能なので、ノード12の電位（信号OUT）は、Lレベルになる。この結果、トランジスタ201はオフになるので、配線115と配線211とは非導通状態になる。よって、配線2

50

11は浮遊状態になるので、配線211の電位はおおむねV1に維持される。

【0179】

以上のように、トランジスタ201は、期間Aではオンになり、期間Bではオフになる。よって、トランジスタ201がオンになる時間を短くすることができる。よって、トランジスタの劣化を抑制することができる。また期間A及び期間Bにおいて、トランジスタ101、トランジスタ102、トランジスタ103、トランジスタ104、トランジスタ105及びトランジスタ201がオンし続けることはなく、オンになる時間を短く又はオンになる回数を少なくすることができる。

【0180】

次に、信号IN1～IN3の機能、及びこれらの信号の特徴について説明する。

10

【0181】

まず、信号IN1は、HレベルとLレベルとを期間毎に繰り返す。よって、信号IN1は、クロック信号としての機能を有することが可能である。または、配線112はクロック信号線（クロック線、又はクロック供給線）としての機能を有することが可能である。

【0182】

次に、信号IN2は、HレベルとLレベルとを期間毎に繰り返す。そして、信号IN2は、信号IN1の反転信号、又は信号IN1から位相が180°ずれた信号である。よって、信号IN2は、反転クロック信号としての機能を有することが可能である。または、配線113は、クロック信号線としての機能を有することが可能である。

【0183】

次に、信号IN1、及び信号IN2は、クロック信号としての機能を有するとする。この場合、信号IN1、及び信号IN2は、図15(A)のように平衡であることが可能であるし、非平衡であることが可能である。平衡とは、1周期のうち、Hレベルになる期間とLレベルになる期間とがおおむね等しいことをいう。非平衡とは、Hレベルになる期間とLレベルになる期間とが異なることをいう。なお、ここでは異なるとはおおむね等しい場合の範囲以外のものであるとする。

20

【0184】

図15(B)には、図15(A)のタイミングチャートにおいて、信号IN1及び信号IN2が非平衡である場合のタイミングチャートを示す。

【0185】

次に、本実施の形態の半導体装置には、n相のクロック信号を入力することが可能である。または、本実施の形態の半導体装置にはn相のクロック信号のうちいくつかを入力することが可能である。n相のクロック信号とは、周期がそれぞれ1/n周期ずつずれたn個のクロック信号のことである。

30

【0186】

図15(C)には、3相のクロック信号の一を信号IN1として用い、3相のクロック信号の別の一を信号IN2として用いる場合のタイミングチャートを示す。

【0187】

以上のように、信号IN1～IN3としては、図15(A)のタイミングチャートに示す波形だけでなく、他にも様々な波形とすることが可能である。

40

【0188】

次に、トランジスタ201のチャンネル幅の比率について説明する。例えば、配線211がゲート信号線としての機能を有する場合、配線211は、画素部に延伸して配置され、画素と接続されることがある。つまり、配線211には、大きな負荷が接続される。よって、トランジスタ201のチャンネル幅は、回路100が有するトランジスタのチャンネル幅よりも大きい。このような場合、トランジスタ201のチャンネル幅は、トランジスタ101のチャンネル幅の10倍以下であることが好ましい。より好ましくは、トランジスタ201のチャンネル幅は、トランジスタ101のチャンネル幅の5倍以下であることが好ましい。さらに好ましくは、トランジスタ201のチャンネル幅は、トランジスタ101のチャンネル幅の3倍以下であることが好ましい。

50

【0189】

以上のように、トランジスタのチャンネル幅の比率を適切な値にすることが好ましい。なお、上記のトランジスタのチャンネル幅の比率を考慮すると、トランジスタ201のチャンネル幅は、1000 μm 以上、5000 μm 以下であることが好ましい。より好ましくは、トランジスタ201のチャンネル幅は、1500 μm 以上、4000 μm 以下であることが好ましい。より好ましくは、トランジスタ201のチャンネル幅、2000 μm 以上、3000 μm 以下であることが好ましい。

【0190】

次に、図14(A)とは異なる構成の半導体装置について説明する。

【0191】

まず、図14(A)で述べる構成において、回路100としては、図1(A)の構成に限定されず、実施の形態1で述べる様々な構成を用いることが可能である。回路100としては、所定の機能を満たすことができれば、実施の形態1で述べる構成以外の構成を用いることが可能である。

10

【0192】

図10(A)には、図14(A)で述べる構成において、回路100として、図7(B)の構成を用いる構成を示す。

【0193】

図10(B)には、図14(A)で述べる構成において、回路100として、図8(D)の構成を用いる構成を示す。トランジスタ103を介してノード12にノイズが生じること防止することができる。よって、誤動作を防止することができる。

20

【0194】

図10(C)には、図14(A)で述べる構成において、回路100として、図8(C)の構成を用いる場合の構成を示す。ノード11の電位をより小さくすることができるので、トランジスタ201がオンになることを防止することができる。

【0195】

次に、図10(A)~(C)、図14(A)で述べる構成において、トランジスタ202を新たに設けることが可能である。

【0196】

図16(A)には、図14(A)の半導体装置に、トランジスタ202を新たに設ける構成を示す。トランジスタ202は、Nチャンネル型である。ただし、本実施の形態は、これに限定されず、トランジスタ202は、Pチャンネル型であることが可能である。トランジスタ202の第1の端子は、配線115と接続され、トランジスタ202の第2の端子は、配線211と接続され、トランジスタ202のゲートは、配線113と接続される。トランジスタ202のゲートは、配線113とは別の配線と接続されることが可能である。または、トランジスタ202の第1の端子は、配線115とは別の配線と接続されることが可能である。

30

【0197】

トランジスタ202の機能について説明する。トランジスタ202は、配線115と配線211との導通状態を制御する機能を有する。または、トランジスタ202は、配線115の電位を配線211に供給するタイミングを制御する機能を有する。または、配線115に信号又は電圧が入力されるとすると、トランジスタ202は、配線115に入力される信号又は電圧を配線211に供給するタイミングを制御する機能を有する。または、トランジスタ202は、配線211に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ202は、配線211の電位を減少させるタイミングを制御する機能を有する。以上のように、トランジスタ202は、スイッチとしての機能を有することが可能である。なお、トランジスタ202は、上記の機能のすべてを有する必要はない。なお、トランジスタ202は、配線113の電位(例えば信号IN2)によって制御されることが可能である。

40

【0198】

50

図16(A)の半導体装置の動作について説明する。期間Aにおいて、信号IN2はLレベルになるので、図16(B)に示すように、トランジスタ202はオフになる。期間Bにおいて、信号IN2はHレベルになるので、図16(C)に示すように、トランジスタ202はオンになる。よって、期間Bにおいても、配線115と配線211とは導通状態になるので、配線115の電位(例えば電圧V1)は、配線211に供給される。よって、配線211のノイズを低減することができる。例えば、図16(A)の半導体装置が表示装置に用いられ、且つ配線211が画素の選択用トランジスタのゲートと接続されるとする。この場合、配線211のノイズによって、当該画素に、別の行に属する画素へのビデオ信号が書き込まれることを防止することができる。または、配線211のノイズによって、画素が保持するビデオ信号が変化することを防止することができる。よって、表示品位の向上を図ることができる。

10

【0199】

次に、図10(A)~(C)、図14(A)、及び図16(A)で述べる構成において、トランジスタ203(第7のトランジスタ)を新たに設けることが可能である。

【0200】

図17(A)には、図14(A)の半導体装置に、トランジスタ203を新たに設ける構成を示す。トランジスタ203は、Nチャネル型である。ただし、本実施の形態は、これに限定されず、トランジスタ203は、Pチャネル型であることが可能である。トランジスタ203の第1の端子は、配線112と接続され、トランジスタ203の第2の端子は、配線211と接続される。そして、トランジスタ203のゲートをノード13と示す。なお、トランジスタ102のゲートは、ノード13と接続されることが可能である。よって、信号IN3として、ノード13の電位(V13)が用いられることが可能である。

20

【0201】

トランジスタ203の機能について説明する。トランジスタ203は、配線112と配線211との導通状態を制御する機能を有する。または、トランジスタ203は、配線112の電位を配線211に供給するタイミングを制御する機能を有する。または、配線112に信号又は電圧が入力されるとすると、トランジスタ203は、配線112に入力される信号又は電圧を配線211に供給するタイミングを制御する機能を有する。または、トランジスタ203は、配線211に、H信号又は電圧V2を供給するタイミングを制御する機能を有する。または、トランジスタ203は、配線211に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ203は、配線211の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ203は、配線211の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ203は、ブートストラップ動作を行う機能を有する。または、トランジスタ203は、ノード13の電位をブートストラップ動作によって上昇させる機能を有する。以上のように、トランジスタ203は、スイッチ、又はバッファとしての機能を有することが可能である。なお、トランジスタ203は、上記の機能のすべてを有する必要はない。なお、トランジスタ203は、ノード13の電位、配線112の電位(信号IN1)、及び/又は、配線211の電位(信号GOUT)によって制御されることが可能である。

30

【0202】

図17(A)の半導体装置の動作について、図17(B)を参照して説明する。図17(B)には、本実施の形態の半導体装置に用いることが可能なタイミングチャートを示す。

40

【0203】

なお、図17(B)のタイミングチャートは、期間A~期間Eを有する。図17(B)のタイミングチャートには、期間Cと期間Dと期間Eとは、順番に配置される。そして、それ以外の期間に、期間Aと期間Bとが交互に配置される。期間A~期間Eは、様々な順番に配置されてもよい。

【0204】

期間Aにおける半導体装置の動作について、図18(A)の模式図を参照して説明する。期間Aでは、信号IN1はHレベルになり、信号IN2はLレベルになり、ノード13の

50

電位（信号IN3）はLレベルになる。よって、回路100は、図3（A）の動作4を行うことが可能になるので、ノード12の電位（信号OUT）はHレベルになる。すると、トランジスタ201はオンになるので、配線115と配線211とは導通状態になる。よって、配線115の電位（例えば電圧V1）は、配線211に供給される。このとき、ノード13の電位はLレベルになるので、トランジスタ203はオフになる。すると、配線112と配線211とは非導通状態になる。これらの結果、配線211には、配線115の電位（例えば電圧V1）が供給されるので、信号GOUTはLレベルになる。

【0205】

期間Bにおける半導体装置の動作について、図18（B）の模式図を参照して説明する。期間Bでは、信号IN1はLレベルになり、信号IN2はHレベルになり、ノード13の電位（信号IN3）はLレベルのままになる。よって、回路100は、図3（C）の動作6を行うことが可能なので、ノード12の電位（信号OUT）は、Lレベルになる。すると、トランジスタ201はオフになるので、配線115と配線211とは非導通状態になる。このとき、ノード13の電位はLレベルになるので、トランジスタ203はオフになる。すると、配線112と配線211とは非導通状態になる。これらの結果、配線211は浮遊状態になるので、配線211の電位はおおむねV1に維持される。

10

【0206】

期間Cにおける半導体装置の動作について、図19（A）の模式図を参照して説明する。期間Cでは、信号IN1はLレベルになり、信号IN2はHレベルになり、ノード13の電位（信号IN3）はHレベルになる。よって、回路100は、図3（B）の動作5を行うことが可能なので、ノード12の電位（信号OUT）は、Lレベルになる。すると、トランジスタ201はオフになるので、配線115と配線211とは非導通状態になる。このとき、ノード13の電位はHレベルになるので、トランジスタ203はオンになる。すると、配線112と配線211とは導通状態になるので、配線112の電位（Lレベルの信号IN1）は、配線211に供給される。これらの結果、配線211には、配線112の電位（Lレベルの信号IN1）が供給されるので、信号GOUTはLレベルになる。

20

【0207】

期間Dにおける半導体装置の動作について、図19（B）の模式図を参照して説明する。期間Dでは、信号IN1はHレベルになり、信号IN2はLレベルになり、ノード13の電位（信号IN3）はHレベルになる。よって、回路100は、図2（C）の動作3を行うことが可能なので、ノード12の電位（信号OUT）は、Lレベルになる。すると、トランジスタ201はオフになるので、配線115と配線211とは非導通状態になる。このとき、ノード13の電位は、Hレベルになるので、トランジスタ203はオンになる。すると、配線112と配線211とは導通状態になるので、配線112の電位（Hレベルの信号IN1）は、配線211に供給される。これらの結果、配線211には、配線112の電位（Hレベルの信号IN1）が供給されるので、配線211の電位は上昇し始める。このとき、ノード13は、浮遊状態であるとする。すると、トランジスタ203のゲートと第2の端子との間の寄生容量によって、ノード13の電位は上昇する。この結果、ノード13の電位は、 $V_2 + V_{th203} + V_a$ となる。いわゆる、ブートストラップ動作である。こうして、配線211の電位はV2になるので、信号GOUTはHレベルになる。

30

40

【0208】

期間Eにおける半導体装置の動作について、図19（C）の模式図を参照して説明する。期間Eでは、信号IN1はLレベルになり、信号IN2はHレベルになり、ノード13の電位（信号IN3）はLレベルになる。よって、回路100は、図3（C）の動作6を行うことが可能なので、ノード12の電位（信号OUT）は、Lレベルになる。すると、トランジスタ201はオフになるので、配線115と配線211とは非導通状態になる。このとき、ノード13の電位は、Lレベルになる。すると、トランジスタ203はオフになるので、配線112と配線211とは非導通状態になる。ただし、信号IN1がHレベルからLレベルになるタイミングは、ノード13の電位がHレベルからLレベルに減少する

50

タイミングよりも早いことが可能である。この場合、トランジスタ203がオンであるとき、つまり配線112と配線211とが導通状態であるときに、信号IN1はLレベルになることがある。よって、Lレベルの信号IN1が配線211に供給されるので、信号GOUTはLレベルになる。

【0209】

なお、図10(A)~(C)、図14(A)、図16(A)、及び図17(A)で述べる構成において、トランジスタ203のゲートは、ノード12と接続されることが可能である。または、トランジスタ201のゲートは、ノード13と接続されることが可能である(図47(A))。

【0210】

なお、図10(A)~(C)、図14(A)、図16(A)、図17(A)、及び図47(A)で述べる構成において、回路100と、その他のトランジスタとは、別々の配線と接続されることが可能である。例えば、図47(B)に示すように、トランジスタ203の第1の端子は、配線112とは別の配線(配線112A)と接続されることが可能である。または、トランジスタ201の第1の端子は、配線115とは別の配線(配線115A)と接続されることが可能である。

【0211】

次に、図10(A)~(C)、図14(A)、図16(A)、図17(A)、及び図47(A)~(B)で述べる構成において、トランジスタ204を新たに設けることが可能である。

【0212】

図20(A)には、図17(A)の半導体装置に、トランジスタ204を新たに設ける構成を示す。トランジスタ204は、Nチャネル型である。ただし、本実施の形態は、これに限定されず、トランジスタ204は、Pチャネル型であることが可能である。トランジスタ204の第1の端子は、配線115と接続され、トランジスタ204の第2の端子は、ノード13と接続され、トランジスタ204のゲートは、ノード12と接続される。

【0213】

トランジスタ204の機能について説明する。トランジスタ204は、配線115とノード13との導通状態を制御する機能を有する。または、トランジスタ204は、配線115の電位をノード13に供給するタイミングを制御する機能を有する。または、配線115に信号又は電圧が入力されるとすると、トランジスタ204は、配線115に入力される信号又は電圧をノード13に供給するタイミングを制御する機能を有する。または、トランジスタ204は、ノード13に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ204は、ノード13の電位を減少させるタイミングを制御する機能を有する。以上のように、トランジスタ204は、スイッチとしての機能を有することが可能である。なお、トランジスタ204は、上記の機能のすべてを有する必要はない。なお、トランジスタ204は、ノード12の電位(例えば信号OUT)によって制御されることが可能である。

【0214】

図20(A)の半導体装置の動作について説明する。期間Aにおいて、図20(B)に示すように、回路100はH信号を出力するので、トランジスタ204はオンになる。すると、配線115とノード13とは導通状態になるので、配線115の電位(例えば電圧V1)は、ノード13に供給される。期間B~期間Eにおいて、回路100はL信号を出力するので、トランジスタ204はオフになる。よって、配線115とノード13とは非導通状態になる。なお、図20(C)には、期間Bにおける図20(A)の半導体装置の模式図を示す。

【0215】

次に、図10(A)~(C)、図14(A)、図16(A)、図17(A)、図20(A)、及び図47(A)~(B)で述べる構成において、トランジスタ205を新たに設けることが可能である。

10

20

30

40

50

【0216】

図21(A)には、図17(A)の半導体装置に、トランジスタ205を新たに設ける構成を示す。トランジスタ205は、Nチャネル型である。ただし、本実施の形態は、これに限定されず、トランジスタ205は、Pチャネル型であることが可能である。トランジスタ205の第1の端子は、配線212と接続され、トランジスタ205の第2の端子は、ノード13と接続され、トランジスタ205のゲートは、配線212と接続される。

【0217】

配線212に入力される信号、及び配線212の機能について説明する。配線212には、信号IN4が入力される。信号IN4は、スタートパルスとしての機能を有することが可能である。よって、配線212は、信号線としての機能を有することが可能である。配線212には、一定の電圧が供給されることが可能である。よって、配線212は、電源線としての機能を有することが可能である。

10

【0218】

なお、複数の半導体装置が接続されるとすると、配線212は、別の半導体装置(例えば前の段の半導体装置)の配線211と接続される。よって、配線212は、ゲート信号線、走査線、選択線、容量線、又は電源線としての機能を有することが可能である。そして、信号IN4は、ゲート信号、又は走査信号としての機能を有することが可能である。

【0219】

トランジスタ205の機能について説明する。トランジスタ205は、配線212とノード13との導通状態を制御する機能を有する。または、トランジスタ205は、配線212の電位をノード13に供給するタイミングを制御する機能を有する。または、配線212に信号又は電圧が入力されるとすると、トランジスタ205は、配線212に入力される信号又は電圧をノード13に供給するタイミングを制御する機能を有する。または、トランジスタ205は、ノード13に、H信号又は電圧V2を供給するタイミングを制御する機能を有する。または、トランジスタ205は、信号又は電圧をノード13に供給しない機能を有する。または、トランジスタ205は、ノード13の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ205は、ノード13を浮遊状態にする機能を有する。以上のように、トランジスタ205は、スイッチ、ダイオード、又はダイオード接続のトランジスタなどとしての機能を有することが可能である。なお、トランジスタ205は、上記の機能のすべてを有する必要はない。なお、トランジスタ205は、配線212の電位(信号IN4)、及びノード13の電位によって制御されることが可能である。

20

30

【0220】

図21(A)の半導体装置の動作について、図21(B)を参照して説明する。図21(B)には、本実施の形態の半導体装置に用いることが可能なタイミングチャートを示す。期間Cにおいて、図22(A)に示すように、信号IN4は、Hレベルになる。よって、トランジスタ205はオンになるので、配線212とノード13とは導通状態になる。すると、配線212の電位(例えばHレベルの信号IN4)は、ノード13に供給される。この結果、ノード13の電位は上昇し始める。その後、ノード13の電位がトランジスタ205のゲートの電位(例えばV2)から、トランジスタ205の閾値電圧(V_{th205})を引いた値($V2 - V_{th205}$)になったところで、トランジスタ205はオフになる。よって、ノード13は、浮遊状態になるので、ノード13の電位は $V2 - V_{th205}$ に維持される。期間A~B、及び期間D~Eにおいて、信号IN4は、Lレベルになる。よって、トランジスタ205はオフになるので、配線212とノード13とは非導通状態になる。なお、図22(B)には、期間Bにおける図21(A)の半導体装置の動作の模式図を示す。

40

【0221】

次に、図10(A)~(C)、図14(A)、図16(A)、図17(A)、図20(A)、図21(A)、及び図47(A)~(B)で述べる構成において、トランジスタ206を新たに設けることが可能である。

50

【0222】

図23(A)には、図21(A)の半導体装置に、トランジスタ206を設ける構成を示す。トランジスタ206は、Nチャネル型である。ただし、本実施の形態は、これに限定されず、トランジスタ206は、Pチャネル型であることが可能である。トランジスタ206の第1の端子は、配線212と接続され、トランジスタ206の第2の端子は、ノード13と接続され、トランジスタ206のゲートは、配線113と接続される。

【0223】

トランジスタ206の機能について説明する。トランジスタ206は、配線212とノード13との導通状態を制御する機能を有する。または、トランジスタ206は、配線212の電位をノード13に供給するタイミングを制御する機能を有する。または、配線212に信号又は電圧が入力されるとすると、トランジスタ206は、配線212に入力される信号又は電圧をノード13に供給するタイミングを制御する機能を有する。または、トランジスタ206は、ノード13に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ206は、ノード13に、H信号又は電圧V2を供給するタイミングを制御する機能を有する。または、トランジスタ206は、ノード13の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ206は、ノード13の電位を上昇させるタイミングを制御する機能を有する。以上のように、トランジスタ206は、スイッチとしての機能を有することが可能である。なお、トランジスタ206は、上記の機能のすべてを有する必要はない。なお、トランジスタ206は、配線113の電位(例えば信号IN2)によって制御されることが可能である。

【0224】

図23(A)の半導体装置の動作について説明する。期間Cにおいて、図23(B)に示すように、信号IN2はHレベルになるので、トランジスタ206はオンになる。よって、配線212とノード13とは導通状態になるので、配線212の電位(例えばHレベルの信号IN4)は、ノード13に供給される。こうして、期間Cにおいて、ノード13の電位の変化を急峻にすることができるので、半導体装置の駆動周波数を高くすることができる。

【0225】

期間B、及び期間Eにおいても、期間Cと同様に、信号IN2はHレベルになるので、トランジスタ206はオンになる。よって、配線212とノード13とは導通状態になるので、配線212の電位(例えばLレベルの信号IN4)は、ノード13に供給される。こうして、期間Bにおいては、ノード13の電位を固定することができるので、ノイズに強い半導体装置を得ることができる。または、期間Eにおいては、ノード13の電位を下げるので、トランジスタ203をオフにすることができる。なお、図24(A)には、期間Bにおける図23(A)の半導体装置の動作の模式図を示す。

【0226】

期間Aにおいて、図24(B)に示すように、信号IN2はLレベルになるので、トランジスタ206はオフになる。よって、配線212とノード13とは非導通状態になる。こうして、トランジスタ206はオフになるので、トランジスタ206の劣化を抑制することができる。

【0227】

次に、図10(A)~(C)、図14(A)、図16(A)、図17(A)、図20(A)、図21(A)、図23(A)、及び図47(A)~(B)で述べる構成において、トランジスタ207を新たに設けることが可能である。

【0228】

図25(A)には、図17(A)の半導体装置に、トランジスタ207を新たに設ける構成を示す。トランジスタ207は、Nチャネル型である。ただし、本実施の形態は、これに限定されず、トランジスタ207は、Pチャネル型であることが可能である。トランジスタ207の第1の端子は、配線115と接続され、トランジスタ207の第2の端子は、ノード13と接続され、トランジスタ207のゲートは、配線213と接続される。

【0229】

配線213に入力される信号、及び配線213の機能について説明する。配線213には、信号IN5が入力される。信号IN5は、リセット信号としての機能を有することが可能である。よって、配線213は、信号線としての機能を有することが可能である。配線213には、一定の電圧が供給されることが可能である。よって、配線213は、電源線としての機能を有することが可能である。

【0230】

なお、複数の半導体装置が接続されるとすると、配線213は、別の半導体装置（例えば次の段の半導体装置）の配線211と接続される。よって、配線213は、ゲート信号線、走査線、選択線、容量線、又は電源線としての機能を有することが可能である。そして、信号IN5は、ゲート信号、又は走査信号としての機能を有することが可能である。

10

【0231】

トランジスタ207の機能について説明する。トランジスタ207は、配線115とノード13との導通状態を制御する機能を有する。または、トランジスタ207は、配線115の電位をノード13に供給するタイミングを制御する機能を有する。または、配線115に信号又は電圧が入力されるとすると、トランジスタ207は、配線115に入力される信号又は電圧をノード13に供給するタイミングを制御する機能を有する。または、トランジスタ207は、ノード13に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、トランジスタ207は、ノード13の電位を減少させるタイミングを制御する機能を有する。以上のように、トランジスタ207は、スイッチとしての機能を有することが可能である。なお、トランジスタ207は、上記の機能のすべてを有する必要はない。なお、トランジスタ207は、配線213の電位（例えば信号IN5）によって制御されることが可能である。

20

【0232】

図25(A)の半導体装置の動作について、図25(B)を参照して説明する。図25(B)には、本実施の形態の半導体装置に用いることが可能なタイミングチャートを示す。期間Eにおいて、図26(A)に示すように、信号IN5は、Hレベルになる。よって、トランジスタ207はオンになるので、配線115とノード13とは導通状態になる。すると、配線115の電位（例えば電圧V1）は、ノード13に供給される。この結果、ノード13の電位は減少する。期間A～Dにおいて、信号IN5はLレベルになる。よって、トランジスタ207はオフになるので、配線115とノード13とは非導通状態になる。なお、図26(B)には、期間Bにおける図25(A)の半導体装置の動作の模式図を示す。

30

【0233】

次に、図10(A)～(C)、図14(A)、図16(A)、図17(A)、図20(A)、図21(A)、図23(A)、図25(A)、及び図47(A)～(B)で述べる構成において、トランジスタ102のゲートは、ノード13とは別の配線（例えば配線211など）と接続されることが可能である。

【0234】

図27(B)には、図27(A)の半導体装置において、トランジスタ102のゲートは、配線211と接続される構成を示す。トランジスタ102のゲートに大きな電圧が印加されることによって、トランジスタ102が絶縁破壊されること、又は劣化することを防止することができる。

40

【0235】

なお、図27(A)の半導体装置とは、図14(A)の半導体装置に、トランジスタ201～207を新たに追加する構成である。

【0236】

次に、図10(A)～(C)、図14(A)、図16(A)、図17(A)、図20(A)、図21(A)、図23(A)、図25(A)、図27(A)～(B)、及び図47(A)～(B)で述べる構成において、トランジスタ204の第1の端子は、配線115と

50

は別の配線（例えば、配線 1 1 3、配線 2 1 2、配線 2 1 3、ノード 1 2、又はノード 1 3 など）と接続されることが可能である。または、トランジスタ 2 0 4 のゲートは、ノード 1 2 とは別の配線（例えば、配線 1 1 2 など）と接続されることが可能である。

【0237】

図 2 7 (C) には、図 2 7 (A) の半導体装置において、トランジスタ 2 0 4 の第 1 の端子は、配線 2 1 1 と接続され、トランジスタ 2 0 4 のゲートは、配線 1 1 2 と接続される構成を示す。こうして、期間 D において、ノード 1 3 の電位を低減することができる。よって、ノード 1 3 と接続されるトランジスタ（例えばトランジスタ 1 0 2、トランジスタ 2 0 3、トランジスタ 2 0 5、又はトランジスタ 2 0 6 など）の絶縁破壊を防止すること、又はこれらのトランジスタの劣化を抑制することができる。

10

【0238】

次に、図 1 0 (A) ~ (C)、図 1 4 (A)、図 1 6 (A)、図 1 7 (A)、図 2 0 (A)、図 2 1 (A)、図 2 3 (A)、図 2 5 (A)、図 2 7 (A) ~ (C)、及び図 4 7 (A) ~ (B) で述べる構成において、トランジスタ 2 0 5 の第 1 の端子は、配線 2 1 2 とは別の配線（例えば、配線 1 1 3、配線 1 1 6 など）と接続されることが可能である。または、トランジスタ 2 0 5 のゲートは、配線 2 1 2 とは別の配線（例えば、配線 1 1 3、配線 1 1 6 など）と接続されることが可能である。

【0239】

図 2 8 (A) には、図 2 7 (A) の半導体装置において、トランジスタ 2 0 5 の第 1 の端子が配線 1 1 6 と接続される構成を示す。

20

【0240】

次に、図 1 0 (A) ~ (C)、図 1 4 (A)、図 1 6 (A)、図 1 7 (A)、図 2 0 (A)、図 2 1 (A)、図 2 3 (A)、図 2 5 (A)、図 2 7 (A) ~ (C)、図 2 8 (A)、及び図 4 7 (A) ~ (B) で述べる構成において、トランジスタ 2 0 7 の第 2 の端子は、ノード 1 3 とは別の配線（例えば、配線 2 1 1、ノード 1 1、又はノード 1 2 など）と接続されることが可能である。または、トランジスタ 2 0 7 の第 1 の端子は、配線 1 1 5 とは別の配線（例えば、配線 1 1 2、配線 1 1 6、ノード 1 1、又はノード 1 2 など）と接続されることが可能である。

【0241】

図 2 8 (B) には、図 2 7 (A) の半導体装置において、トランジスタ 2 0 7 の第 2 の端子は、配線 2 1 1 と接続される構成を示す。期間 E において、配線 1 1 5 の電位（例えば電圧 V_1 ）は、配線 2 1 1 に、トランジスタ 2 0 7 を介して供給されることが可能になる。よって、信号 G O U T の立ち下がり時間を短くすることができる。

30

【0242】

次に、図 1 0 (A) ~ (C)、図 1 4 (A)、図 1 6 (A)、図 1 7 (A)、図 2 0 (A)、図 2 1 (A)、図 2 3 (A)、図 2 5 (A)、図 2 7 (A) ~ (C)、図 2 8 (A) ~ (B)、及び図 4 7 (A) ~ (B) で述べる構成において、トランジスタ 2 0 1 の第 1 の端子は、配線 1 1 5 とは別の配線（例えば、配線 1 1 3、配線 2 1 2、配線 2 1 3、ノード 1 2、又はノード 1 3 など）と接続されることが可能である。または、トランジスタ 2 0 2 の第 1 の端子は、配線 1 1 5 とは別の配線（例えば配線 1 1 2、又はノード 1 2 など）と接続されることが可能である。または、トランジスタ 2 0 4 の第 1 の端子は、配線 1 1 5 とは別の配線（例えば、配線 1 1 3、配線 2 1 2、配線 2 1 3、ノード 1 2、又はノード 1 3 など）と接続されることが可能である。または、トランジスタ 2 0 7 の第 1 の端子は、配線 1 1 5 とは別の配線（例えば、配線 1 1 2、配線 1 1 6、配線 2 1 2、ノード 1 2 など）と接続されることが可能である。各トランジスタの各端子は、図で述べる接続関係以外にも様々な配線と接続されることが可能である。

40

【0243】

図 2 8 (C) には図 2 7 (A) の半導体装置において、トランジスタ 2 0 1 の第 1 の端子は、配線 1 1 3 と接続され、トランジスタ 2 0 2 の第 1 の端子は、配線 1 1 3 と接続され、トランジスタ 2 0 4 の第 1 の端子は、配線 1 1 3 と接続され、トランジスタ 2 0 7 の第

50

1の端子は、配線112と接続される構成を示す。トランジスタ201、トランジスタ202、トランジスタ204、及びトランジスタ207の第1の端子に、H信号を入力することが可能になるため、これらのトランジスタの劣化を抑制することができる。

【0244】

次に、図10(A)~(C)、図14(A)、図16(A)、図17(A)、図20(A)、図21(A)、図23(A)、図25(A)、図27(A)~(C)、図28(A)~(C)、及び図47(A)~(B)で述べる構成において、トランジスタをダイオードに置き換えることが可能である。例えば、トランジスタをダイオード接続にすることが可能である。

【0245】

図29(A)には、図27(A)の半導体装置において、トランジスタがダイオードに置き換えられる構成を示す。トランジスタ201は、一方の電極(例えば入力端子)が配線211と接続され、他方の電極(例えば出力端子)がノード12と接続されるダイオード201dに置き換えられることが可能である。または、トランジスタ202は、一方の電極(例えば入力端子)が配線211と接続され、他方の電極(例えば出力端子)が配線113と接続されるダイオード202dに置き換えられることが可能である。または、トランジスタ203は、一方の電極(例えば入力端子)がノード13と接続され、他方の電極(例えば出力端子)が配線211と接続されるダイオード203dに置き換えられることが可能である。または、トランジスタ204は、一方の電極(例えば入力端子)がノード13と接続され、他方の電極(例えば出力端子)がノード12と接続されるダイオード204dに置き換えられることが可能である。または、トランジスタ205は、一方の電極(例えば入力端子)が配線212と接続され、他方の電極(例えば出力端子)がノード13と接続されるダイオード205dに置き換えられることが可能である。または、トランジスタ207は、一方の電極(例えば入力端子)がノード13と接続され、他方の電極(例えば出力端子)が配線213と接続されるダイオード207dに置き換えられることが可能である。こうして、信号又は電源の数を減らすことができる。つまり、配線の数を減らすことができる。よって、本実施の形態の半導体装置が形成される基板と、その基板に信号を供給するための基板との接続数を減らすことができるので、信頼性の向上、歩留まりの向上、又は製造コストの削減などを図ることができる。本実施の形態の複数のトランジスタの一部のトランジスタがダイオードに置き換えられることが可能である。

【0246】

図29(B)には、図27(A)の半導体装置において、トランジスタがダイオード接続される構成を示す。例えば、トランジスタ201の第1の端子は、ノード12と接続され、トランジスタ201のゲートは、配線211と接続される。または、例えば、トランジスタ202の第1の端子は、配線113と接続され、トランジスタ202のゲートは、配線211と接続される。または、例えば、トランジスタ203の第1の端子は、ノード13と接続され、トランジスタ203のゲートは、ノード13と接続される。または、例えば、トランジスタ204の第1の端子は、ノード12と接続され、トランジスタ204のゲートは、ノード13と接続される。または、例えば、トランジスタ207の第1の端子は、配線213と接続され、トランジスタ207のゲートは、ノード13と接続される。こうして、信号又は電源の数を減らすことができる。つまり、配線の数を減らすことができる。よって、本実施の形態の半導体装置が形成される基板と、その基板に信号を供給するための基板との接続数を減らすことができるので、信頼性の向上、歩留まりの向上、又は製造コストの削減などを図ることができる。本実施の形態の複数のトランジスタの一部のトランジスタがダイオード接続されることが可能である。

【0247】

図29(C)には、図27(A)の半導体装置において、Pチャネル型のトランジスタがダイオード接続される構成を示す。トランジスタ201p、トランジスタ202p、トランジスタ203p、トランジスタ204p、トランジスタ205p、トランジスタ207pは、各々、トランジスタ201、トランジスタ202、トランジスタ203、トランジ

10

20

30

40

50

スタ 204、トランジスタ 205、トランジスタ 207と同様の機能を有し、Pチャネル型である。図 29 (C)の半導体装置は、図 29 (B)の半導体装置と同じ接続関係である。ただし、トランジスタをダイオード接続にするために、図 29 (B)の半導体装置として比較して、トランジスタ 201pのゲートがノード 12と接続され、トランジスタ 202pのゲートが配線 113と接続され、トランジスタ 203pのゲートが配線 211と接続され、トランジスタ 204pのゲートがノード 12と接続され、トランジスタ 205pのゲートがノード 13と接続され、トランジスタ 207pのゲートが配線 213と接続されるところが異なる。こうして、信号又は電源の数を減らすことができる。つまり、配線の数を減らすことができる。よって、本実施の形態の半導体装置が形成される基板と、その基板に信号を供給するための基板との接続数を減らすことができるので、信頼性の向上、歩留まりの向上、又は製造コストの削減などを図ることができる。本実施の形態の複数のトランジスタの一部のトランジスタがダイオード接続されることが可能である。

10

【0248】

次に、図 10 (A) ~ (C)、図 14 (A)、図 16 (A)、図 17 (A)、図 20 (A)、図 21 (A)、図 23 (A)、図 25 (A)、図 27 (A) ~ (C)、図 28 (A) ~ (C)、図 29 (A) ~ (C)、及び図 47 (A) ~ (B)で述べる構成において、トランジスタの各端子又は各電極は、別々の配線と接続されることが可能である。例えば、トランジスタ 101の第1の端子と、トランジスタ 104の第1の端子と、トランジスタ 203の第1の端子とは、別々の配線と接続されることが可能である。または、例えば、トランジスタ 103のゲートと、トランジスタ 105のゲートと、トランジスタ 202のゲートとは、別々の配線と接続されることが可能である。または、例えば、トランジスタ 102の第1の端子と、トランジスタ 105の第1の端子と、トランジスタ 201の第1の端子と、トランジスタ 202の第1の端子と、トランジスタ 204の第1の端子と、トランジスタ 207の第1の端子とは、別々の配線と接続されることが可能である。または、例えば、トランジスタ 205の第1の端子と、トランジスタ 206の第1の端子とは、別々の配線と接続されることが可能である。これを実現するために、配線を複数の配線に分割することが可能である。

20

【0249】

図 30 (A)には、図 27 (A)の半導体装置において、配線 112は、配線 112A ~ 112Cという複数の配線に分割され、配線 113は、配線 113A ~ 113Dという複数の配線に分割され、配線 115は、配線 115A ~ 115Gという複数の配線に分割される構成を示す。そして、トランジスタ 201の第1の端子は、配線 115Dと接続される。または、トランジスタ 202の第1の端子は、配線 115Eと接続され、トランジスタ 202のゲートは、配線 113Cと接続される。または、トランジスタ 203の第1の端子は、配線 112Cと接続される。または、トランジスタ 204の第1の端子は、配線 115Fと接続される。または、トランジスタ 205の第1の端子及びゲートは、配線 212Aと接続される。または、トランジスタ 206の第1の端子は、配線 212Bと接続される。または、トランジスタ 206のゲートは、配線 113Dと接続される。または、トランジスタ 207の第1の端子は、配線 115Gと接続される。

30

40

【0250】

なお、配線 112A ~ 112Cは、配線 112と同様な機能を有することが可能である。または、配線 113A ~ 113Dは、配線 113と同様な機能を有することが可能である。または、配線 115A ~ 115Gは、配線 115と同様な機能を有することが可能である。よって、配線 112A ~ 112Cには、信号 IN1が入力されることが可能である。または、配線 113A ~ 113Dには、信号 IN2が入力されることが可能である。または、配線 115A ~ 115Gには、電圧 V1が供給されることが可能である。または、配線 212A ~ 212Bには、信号 IN4が入力されることが可能である。配線 112A ~ 112Cには、別々の電圧又は別々の信号が供給されることが可能である。または、配

50

線 1 1 3 A ~ 1 1 3 D には、別々の電圧又は別々の信号が供給されることが可能である。または、配線 1 1 5 A ~ 1 1 5 G には別々の電圧又は別々の信号が供給されることが可能である。または、配線 2 1 2 A ~ 2 1 2 B には、別々の電圧又は別々の信号が供給されることが可能である。

【 0 2 5 1 】

次に、図 1 0 (A) ~ (C)、図 1 4 (A)、図 1 6 (A)、図 1 7 (A)、図 2 0 (A)、図 2 1 (A)、図 2 3 (A)、図 2 5 (A)、図 2 7 (A) ~ (C)、図 2 8 (A) ~ (C)、図 2 9 (A) ~ (C)、図 3 0 (A)、及び図 4 7 (A) ~ (B) で述べる構成において、一部のトランジスタは、省略されることが可能である。例えば、トランジスタ 2 0 1 とトランジスタ 2 0 4 の一方を省略されることが可能である。または、例えば、半導体装置がトランジスタ 2 0 6 を有するとする。この場合、トランジスタ 2 0 5 とトランジスタ 2 0 7 との一方又は両方を省略することが可能である。他にも必要に応じて、トランジスタの一部を省略することが可能である。

10

【 0 2 5 2 】

図 3 0 (B) には、図 2 7 (A) の半導体装置において、トランジスタ 2 0 1、及びトランジスタ 2 0 5 を省略する構成を示す。トランジスタの数が減るので、レイアウト面積を小さくすることができる。または、消費電力を小さくすることができる。

【 0 2 5 3 】

次に、図 1 0 (A) ~ (C)、図 1 4 (A)、図 1 6 (A)、図 1 7 (A)、図 2 0 (A)、図 2 1 (A)、図 2 3 (A)、図 2 5 (A)、図 2 7 (A) ~ (C)、図 2 8 (A) ~ (C)、図 2 9 (A) ~ (C)、図 3 0 (A) ~ (B)、及び図 4 7 (A) ~ (B) で述べる構成において、ノード 1 3 と配線 2 1 1 との間に接続される容量素子 2 2 0 を新たに設けることが可能である。

20

【 0 2 5 4 】

図 3 0 (C) には、図 1 7 (A) の半導体装置に、ノード 1 3 と配線 2 1 1 との間に接続される容量素子 2 2 0 を新たに設ける構成を示す。こうすることによって、ブートストラップ動作時に、ノード 1 3 の電位が上昇しやすくなる。よって、トランジスタ 2 0 3 の V_{gs} を大きくすることができる。この結果、トランジスタ 2 0 3 のチャネル幅を小さくすることができる。または、信号 G O U T の立ち下がり時間又は立ち上がり時間を短くすることができる。例えば、容量素子として M O S 容量を用いることが可能である。

30

【 0 2 5 5 】

次に、図 1 0 (A) ~ (C)、図 1 4 (A)、図 1 6 (A)、図 1 7 (A)、図 2 0 (A)、図 2 1 (A)、図 2 3 (A)、図 2 5 (A)、図 2 7 (A) ~ (C)、図 2 8 (A) ~ (C)、図 2 9 (A) ~ (C)、図 3 0 (A) ~ (C)、及び図 4 7 (A) ~ (B) で述べる構成において、信号 G O U T とは別の信号を生成することが可能である。例えば、本実施の形態の半導体装置は、信号 G O U T とは別に、信号 S O U T を生成するとする。そして、例えば、複数の半導体装置が接続されるとする。この場合、信号 S O U T は、配線 2 1 1 に出力されずに、別の段の半導体装置にスタートパルスとして入力されることが可能である。よって、信号 S O U T の遅延又はなまりは、信号 G O U T と比較して小さくなる。したがって、遅延又はなまりが小さい信号を用いて、半導体装置を駆動することができるので、半導体装置の出力信号の遅延を低減することができる。これを実現するために、図 1 4 (A)、図 1 6 (A)、図 1 7 (A)、図 2 0 (A)、図 2 1 (A)、図 2 3 (A)、図 2 5 (A)、図 2 7 (A) ~ (C)、図 2 8 (A) ~ (C)、図 2 9 (A) ~ (C)、図 3 0 (A) ~ (C)、及び図 4 7 (A) ~ (B) で述べる構成において、トランジスタ 2 0 8 を新たに設けることが可能である。

40

【 0 2 5 6 】

図 3 1 (A) には、図 1 7 (A) の半導体装置に、トランジスタ 2 0 8 を新たに設ける構成を示す。トランジスタ 2 0 8 は、トランジスタ 2 0 3 と同じ機能を有することが可能であり、同じ極性である。トランジスタ 2 0 8 の第 1 の端子は、配線 1 1 2 と接続され、トランジスタ 2 0 8 の第 2 の端子は、配線 2 1 4 と接続され、トランジスタ 2 0 8 のゲート

50

は、ノード13と接続される。配線214は、配線211と同様の機能を有することが可能である。そして、例えば、複数の半導体装置が接続されるとすると、配線211は、別の半導体装置（例えば次の段の半導体装置）の配線212と接続されることが可能である。例えば、図31(B)に示すように、トランジスタ209を新たに設けることが可能である。トランジスタ209は、トランジスタ203と同じ機能を有することが可能であり、同じ極性であることが可能である。トランジスタ209の第1の端子は、配線115と接続され、トランジスタ209の第2の端子は、配線214と接続され、トランジスタ209のゲートは、ノード12と接続される。なお、図31(C)には、信号GOUTとは別に、信号SOUTを生成する場合のタイミングチャートを示す。

【0257】

以上のように、本実施の形態は、図14(A)で述べる構成に限定されず、他にも様々な構成を用いることが可能である。

【0258】

次に、図10(A)~(C)、図14(A)、図16(A)、図17(A)、図20(A)、図21(A)、図23(A)、図25(A)、図27(A)~(C)、図28(A)~(C)、図29(A)~(C)、図30(A)~(C)、図31(A)~(B)、及び図47(A)~(B)で述べる構成において、トランジスタとして、Pチャネル型トランジスタを用いることが可能である。半導体装置が有する複数のトランジスタの一部のみがPチャネル型であることが可能である。つまり、本実施の形態の半導体装置は、CMOS回路であることが可能である。

【0259】

図32(A)には、図27(A)の半導体装置において、トランジスタとして、Pチャネル型トランジスタが用いられる構成を示す。トランジスタ201p~207pは、トランジスタ201~207と同様の機能を有し、Pチャネル型である。このような場合、配線115には、電圧V2が供給される。なお、図32(B)のタイミングチャートに示すように、信号IN1、信号IN2、信号IN4、信号IN5、ノード11の電位、ノード12の電位、ノード13の電位、及び信号GOUTは、反転することが可能であることを付記する。

【0260】

次に、トランジスタ201~209のチャンネル幅の比率、及びトランジスタのサイズについて説明する。

【0261】

まず、トランジスタ201は、配線211に電位を供給する。そして、配線211の負荷は、ノード12の負荷よりも大きい。よって、トランジスタ201のチャンネル幅は、回路100が有するトランジスタのチャンネル幅よりも大きい。このような場合、トランジスタ201のチャンネル幅は、トランジスタ101のチャンネル幅の10倍以下であることが好ましい。より好ましくは、5倍以下であることが好ましい。さらに好ましくは、3倍以下であることが好ましい。

【0262】

次に、トランジスタ202のゲートの電位は、トランジスタ201のゲートの電位よりも急峻に変化する。よって、トランジスタ202のチャンネル幅は、トランジスタ201のチャンネル幅よりも小さいことが好ましい。このような場合、トランジスタ201のチャンネル幅は、トランジスタ202のチャンネル幅の10倍以下であることが好ましい。より好ましくは、7倍以下であることが好ましい。さらに好ましくは、5倍以下であることが好ましい。

【0263】

次に、トランジスタ203は、配線211に電位を供給することによって、配線211の電位を変化させる。そして、配線211には、大きな負荷（例えばゲート信号線、画素、トランジスタ、又は容量素子など）が接続される。よって、トランジスタ203のチャンネル幅は、本実施の形態の半導体装置が有するトランジスタの中で、一番大きい。例えば、

10

20

30

40

50

トランジスタ203のチャンネル幅は、トランジスタ201の10倍以下であることが好ましい。より好ましくは、5倍以下であることが好ましい。さらに好ましくは2倍以下であることが好ましい。

【0264】

次に、トランジスタ204は、ノード13に電位を供給する。そして、ノード13の負荷は、ノード12の負荷よりも大きい。よって、トランジスタ204のチャンネル幅は、トランジスタ201のチャンネル幅よりも小さい。このような場合、トランジスタ201のチャンネル幅は、トランジスタ204のチャンネル幅の5倍以下であることが好ましい。より好ましくは、3倍以下であることが好ましい。さらに好ましくは、2倍以下であることが好ましい。

10

【0265】

次に、トランジスタ205のチャンネル幅を大きくすることによって、期間Aにおいて、ノード13の電位の変化を急峻にすることができるので、半導体装置の駆動周波数を高くすることができる。よって、トランジスタ205のチャンネル幅は、トランジスタ201、又は回路100が有するトランジスタのチャンネル幅よりも大きい。または、トランジスタ205のチャンネル幅は、トランジスタ203のチャンネル幅よりも小さい。このような場合、トランジスタ203のチャンネル幅は、トランジスタ205のチャンネル幅の10倍以下であることが好ましい。より好ましくは、5倍以下であることが好ましい。さらに好ましくは、2倍以下であることが好ましい。

【0266】

次に、トランジスタ206は、ノード13に電位を供給することによって、ノード13の電位を維持する。よって、トランジスタ206のチャンネル幅は、トランジスタ205のチャンネル幅よりも小さい。このような場合、トランジスタ205のチャンネル幅は、トランジスタ206のチャンネル幅の3倍以下であることが好ましい。より好ましくは、2倍以下であることが好ましい。さらに好ましくは、1.8倍以下であることが好ましい。

20

【0267】

次に、トランジスタ207は、ノード13に電位を供給することによって、ノード13の電位を減少させる。ただし、ノード13の電位の減少を遅くすることによって、期間Eにおいて、トランジスタ203がオンになることが可能である。こうして、期間Eにおいて、トランジスタ203は、配線211に電位を供給することが可能なので、配線211の電位を早く下げることができる。よって、トランジスタ207のチャンネル幅は、トランジスタ205のチャンネル幅よりも小さいことが好ましい。このような場合、トランジスタ205のチャンネル幅は、トランジスタ207のチャンネル幅の10倍以下であることが好ましい。より好ましくは、7倍以下であることが好ましい。さらに好ましくは、5倍以下であることが好ましい。

30

【0268】

次に、トランジスタ208は、配線214に電位を供給する。そして、配線214の負荷は、配線211の負荷よりも小さい。よって、トランジスタ208のチャンネル幅は、トランジスタ203のチャンネル幅よりも小さい。このような場合、トランジスタ203のチャンネル幅は、トランジスタ208の10倍以下であることが好ましい。より好ましくは、7倍以下であることが好ましい。さらに好ましくは4倍以下であることが好ましい。

40

【0269】

次に、トランジスタ209は、配線214に電位を供給する。そして、配線214の負荷は、配線211の負荷よりも小さい。よって、トランジスタ209のチャンネル幅は、トランジスタ203のチャンネル幅よりも小さい。このような場合、トランジスタ203のチャンネル幅は、トランジスタ209のチャンネル幅の7倍以下であることが好ましい。より好ましくは、4倍以下であることが好ましい。さらに好ましくは2.5倍以下であることが好ましい。

【0270】

なお、上記のトランジスタのチャンネル幅の比率を考慮すると、トランジスタ201のチャ

50

ネル幅は、1000 μm 以上、5000 μm 以下であることが好ましい。より好ましくは、トランジスタ201のチャンネル幅は、1500 μm 以上、4000 μm 以下であることが好ましい。より好ましくは、トランジスタ201のチャンネル幅、2000 μm 以上、3000 μm 以下であることが好ましい。または、トランジスタ202のチャンネル幅は、200 μm 以上、3000 μm 以下であることが好ましい。より好ましくは、300 μm 以上、2000 μm 以下であることが好ましい。さらに好ましくは、400 μm 以上、1000 μm 以下であることが好ましい。または、トランジスタ203のチャンネル幅は、2000 μm 以上、3000 μm 以下であることが好ましい。より好ましくは、3000 μm 以上、15000 μm 以下であることが好ましい。さらに好ましくは、4000 μm 以上、10000 μm 以下であることが好ましい。または、トランジスタ204のチャンネル幅は、200 μm 以上、2500 μm 以下であることが好ましい。より好ましくは、400 μm 以上、2000 μm 以下であることが好ましい。さらに好ましくは、700 μm 以上、1500 μm 以下であることが好ましい。または、トランジスタ205のチャンネル幅は、500 μm 以上、3000 μm 以下であることが好ましい。より好ましくは1000 μm 以上、2500 μm 以下であることが好ましい。さらに好ましくは、1500 μm 以上、2000 μm 以下であることが好ましい。または、トランジスタ206のチャンネル幅は、300 μm 以上、2000 μm 以下であることが好ましい。より好ましくは500 μm 以上、1500 μm 以下であることが好ましい。さらに好ましくは800 μm 以上、1300 μm 以下であることが好ましい。または、トランジスタ207のチャンネル幅は、100 μm 以上、1500 μm 以下であることが好ましい。より好ましくは、300 μm 以上、1000 μm 以下であることが好ましい。さらに好ましくは、400 μm 以上、800 μm 以下であることが好ましい。または、トランジスタ208のチャンネル幅は、300 μm 以上、5000 μm 以下であることが好ましい。より好ましくは、500 μm 以上、2000 μm 以下であることが好ましい。さらに好ましくは800 μm 以上、1500 μm 以下であることが好ましい。または、トランジスタ209のチャンネル幅は、200 μm 以上、2000 μm 以下であることが好ましい。より好ましくは、トランジスタ209のチャンネル幅は、400 μm 以上、1500 μm 以下であることが好ましい。より好ましくは、トランジスタ209のチャンネル幅は、500 μm 以上、1000 μm 以下であることが好ましい。

【0271】

(実施の形態3)

本実施の形態では、表示装置、表示装置が有する画素、及び表示装置が有するシフトレジスタ回路について説明する。なお、当該シフトレジスタ回路は、実施の形態1～実施の形態2で述べる半導体装置を有することが可能である。

【0272】

まず、図33(A)～(D)を参照して、表示装置について説明する。表示装置は、回路1001、回路1002、回路1003__1、画素部1004、及び端子1005を有する。画素部1004には、回路1003__1から複数の配線が延伸して配置されることが可能である。当該複数の配線は、ゲート信号線又は走査線としての機能を有することが可能である。または、画素部1004には、回路1002から複数の配線が延伸して配置されることが可能である。当該複数の配線は、ビデオ信号線又はデータ線としての機能を有する。そして、回路1003__1から延伸して配置される複数の配線と、回路1002から延伸して配置される複数の配線とに対応して、複数の画素が配置される。例えば、画素部1004には、他にも様々な配線が配置されることが可能である。当該配線は、ゲート信号線、データ線、電源線、又は容量線などとしての機能を有することが可能である。

【0273】

なお、回路1001は、回路1002、及び回路1003に、信号、電圧、又は電流などを供給する機能を有する。または、回路1001は、回路1002、及び回路1003を制御する機能を有する。このように、回路1001は、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータなどとしての機能を有することが可能で

ある。

【0274】

なお、回路1002は、ビデオ信号を画素部1004に供給する機能を有する。または、回路1002は、画素部1004が有する画素の輝度又は透過率などを制御する機能を有する。このように、回路1002は、駆動回路、ソースドライバ、又は信号線駆動回路などとしての機能を有する。

【0275】

なお、回路1003__1及び回路1003__2は、走査信号、又はゲート信号を画素部1004に供給する機能を有する。または、回路1003__1及び回路1003__2は、画素部1004が有する画素を選択する機能を有する。このように、回路1003__1及び回路1003__2は、駆動回路、ゲートドライバ、又は走査線駆動回路としての機能を有する。なお、回路1003__1及び回路1003__2は、同じ配線を駆動することが可能であるし、別々の配線を駆動することが可能である。例えば、回路1003__1が奇数段目のゲート信号線を駆動し、回路1003__2が偶数段目のゲート信号線を駆動することが可能である。

【0276】

なお、回路1001、回路1002、回路1003__1、及び回路1003__2は、画素部1004と同じ基板1006に形成されることが可能であるし、画素部1004とは別の基板（例えば半導体基板又はSOI基板など）に形成されることが可能である。

【0277】

図33(A)には、回路1003__1が画素部1004と同じ基板1006に形成され、回路1001及び回路1002が画素部1004とは別の基板に形成される構成を示す。回路1003__1の駆動周波数は、回路1001又は回路1002と比較して遅い。よって、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、酸化物半導体、有機半導体などを用いることが容易になる。この結果、表示装置を大きくすることができる。表示装置を安価に製造することができる。

【0278】

図33(B)には、回路1003__1及び回路1003__2が画素部1004と同じ基板1006に形成され、回路1001及び回路1002が画素部1004とは別の基板に形成される構成を示す。回路1003__1及び回路1003__2の駆動周波数は、回路1001又は回路1002と比較して、遅い。よって、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、酸化物半導体、有機半導体などを用いることが容易になる。この結果、表示装置を大きくすることができる。表示装置を安価に製造することができる。

【0279】

図33(C)には、回路1002、回路1003__1、及び回路1003__2が画素部1004と同じ基板1006に形成され、回路1001が画素部1004とは別の基板に形成される構成を示す。

【0280】

図33(D)には、回路1002の一部の回路1002a、回路1003__1、及び回路1003__2が画素部1004と同じ基板1006に形成され、回路1001及び回路1002の別の部分の回路1002bが画素部1004とは別の基板に形成される構成を示す。この場合、回路1002aとしては、スイッチ、シフトレジスタ、及びノ又は、セクタなどの駆動周波数が低い回路を用いることが可能である。

【0281】

次に、画素部1004が有する画素について、図33(E)を参照して説明する。画素3020は、トランジスタ3021、液晶素子3022、及び容量素子3023を有する。トランジスタ3021の第1の端子は、配線3031と接続され、トランジスタ3021の第2の端子は、液晶素子3022の一方の電極及び容量素子3023の一方の電極と接続され、トランジスタ3021のゲートは、配線3032と接続される。液晶素子302

10

20

30

40

50

2の他方の電極は、電極3034と接続され、容量素子3023の他方の電極は、配線3033と接続される。

【0282】

配線3031には、図33(A)~(D)で述べる回路1002からビデオ信号が入力される。よって、配線3031は、信号線、ビデオ信号線、又はソース信号線としての機能を有することが可能である。配線3032には、図33(A)~(D)で述べる回路1003_1、及び/又は、回路1003_2から走査信号、選択信号、又はゲート信号が入力される。よって、配線3032は、信号線、走査線、又はゲート信号線としての機能を有することが可能である。配線3033及び電極3034には、図33(A)~(D)で述べる回路1001から一定の電圧が供給されることが可能である。よって、配線3033は、電源線、又は容量線としての機能を有することが可能である。または、電極3034は、共通電極、又は対向電極としての機能を有することが可能である。例えば、配線3031には、プリチャージ電圧が供給されることが可能である。プリチャージ電圧は、電極3034に供給される電圧とおおむね等しい値である。別の例として、配線3033には、信号が入力されることが可能である。こうして、液晶素子3022に印加される電圧を制御することが可能になるので、ビデオ信号の振幅を小さくできたり、反転駆動を実現できたりする。別の例として、電極3034に信号が入力されることが可能である。こうして、フレーム反転駆動を実現することができる。

10

【0283】

トランジスタ3021は、配線3031と、液晶素子3022の一方の電極との導通状態を制御する機能を有する。または、画素にビデオ信号を書き込むタイミングを制御する機能を有する。このように、トランジスタ3021は、スイッチとしての機能を有する。容量素子3023は、液晶素子3022の一方の電極の電位と、配線3033の電位との電位差を保持する機能を有する。または、液晶素子3022に印加される電圧を一定となるように保持する機能を有する。このように、容量素子3023は、保持容量としての機能を有する。

20

【0284】

次に、シフトレジスタ回路について、図34を参照して説明する。当該シフトレジスタ回路は、回路1002、回路1003_1、及び/又は、回路1003_2に含まれることが可能である。

30

【0285】

シフトレジスタ回路1100は、フリップフロップ回路1101_1~1101_N(Nは自然数)という複数のフリップフロップ回路を有する。なお、フリップフロップ回路1101_1~1101_Nとしては、各々、実施の形態1~実施の形態2で述べる半導体装置を用いることが可能である。

【0286】

シフトレジスタ回路1100は、配線1111_1~1111_N、配線1112、配線1113、配線1114、配線1115、及び配線1116と接続される。そして、フリップフロップ回路1101_i(iは、1~Nのいずれか一の自然数)において、配線211は、配線1111_iと接続され、配線112は、配線1112と接続され、配線113は、配線1113と接続され、配線212は、配線1111_{i-1}と接続され、配線213は、配線1111_{i+1}と接続され、配線115は、配線1115と接続される。ただし、奇数段目のフリップフロップ回路と、偶数段目のフリップフロップ回路とでは、配線112と配線113との接続先が逆になる。なお、フリップフロップ回路1101_1において、配線212は、配線1114と接続される。なお、フリップフロップ回路1101_Nにおいて、配線213は、配線1116と接続される。

40

【0287】

次に、各配線に入力又は出力される信号又は電圧の一例、及び各配線の機能について説明する。配線1111_1~1111_Nからは、各々、信号GOUT_1~GOUT_Nが出力される。信号GOUT_1~GOUT_Nは、各々、フリップフロップ回路110

50

1__1 ~ 1101__Nの出力信号である場合が多く、信号GOUTと同様の機能を有することが可能である。よって、配線1111__1 ~ 1111__Nは、配線211と同様の機能を有することが可能である。配線1112には、信号GCK1が入力され、配線1113には、信号GCK2が入力される。信号GCK1は、信号IN2又は信号IN3と同様の機能を有することが可能であり、信号GCK2は、信号IN2又は信号IN3と同様の機能を有することが可能である。よって、配線1112は、配線112又は配線113と同様の機能を有することが可能であり、配線1113は、配線112又は配線113と同様の機能を有することが可能である。配線1114には、信号GSPが入力される。信号GSPは、信号IN4と同様の機能を有することが可能である。よって、配線1114は、配線212と同様の機能を有することが可能である。配線1115には、電圧V1が供給される。よって、配線1115は、配線115と同様の機能を有することが可能である。配線1116には、信号GREが入力される。信号GREは、信号IN5と同様の機能を有することが可能である。よって、配線1116は、配線213と同様の機能を有することが可能である。

10

【0288】

次に、図34のシフトレジスタ回路の1フレーム期間中の動作について、図35のタイミングチャートを参照して説明する。

【0289】

例えば、信号GOUT__i - 1がHレベルになるとする。すると、フリップフロップ回路1101__iは、期間Cにおける動作を開始する。その後、信号GCK1、及び信号GCK2が反転すると、フリップフロップ回路1101__iは、期間Dにおける動作を開始する。よって、信号GOUT__iは、Hレベルになる。信号GOUT__iは、フリップフロップ回路1101__i + 1に入力されるので、フリップフロップ回路1101__i + 1は、期間Cにおける動作を開始する。その後、信号GCK1、及び信号GCK2が反転すると、フリップフロップ回路1101__i + 1は、期間Dにおける動作を開始する。すると、信号GOUT__i + 1は、Hレベルになる。信号GOUT__i + 1は、フリップフロップ回路1101__iに入力されるので、フリップフロップ回路1101__iは、期間Eにおける動作を開始する。よって、信号GOUT__iは、Lレベルになる。その後、信号GCK1、及び信号GCK2が反転するたびに、フリップフロップ回路1101__iは、期間Aにおける動作と期間Bにおける動作とを交互に繰り返す。よって、信号GOUT__iは、Lレベルに維持される。なお、図35では、信号GCK1及びGCK2の一方をGCKと示す。

20

30

【0290】

なお、本実施の形態のシフトレジスタは、実施の形態1 ~ 実施の形態2で述べる半導体装置を用いることが可能である。よって、信号GOUT__1 ~ GOUT__NのHレベルの値をV2まで上昇させることができるので、画素が有するトランジスタがオンになる時間を長くすることができる。この結果、画素に十分な時間でビデオ信号を書き込むことができるので、表示品位の向上を図ることができる。または、信号GOUT__1 ~ GOUT__Nの立ち下がり時間、及び立ち上がり時間を短くすることができるので、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれてしまうことを防止することができる。この結果、表示品位の向上を図ることができる。または、信号GOUT__1 ~ GOUT__Nの立ち下がり時間のばらつきを抑制することができるので、画素が保持するビデオ信号へのフィードスルーの影響のばらつきを抑制することができる。よって、クロストーク等の表示ムラを抑制することができる。または、トランジスタのサイズを小さくすることができるので、シフトレジスタの負荷（例えば寄生容量など）を小さくすることができる。この結果、シフトレジスタに信号又は電圧などを供給する機能を有する外部回路、これの電流供給能力を小さくすることができるので、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることができる。

40

【0291】

(実施の形態4)

50

本実施の形態では、信号線駆動回路について説明する。なお、信号線駆動回路を半導体装置、又は信号生成回路と示すことが可能である。

【0292】

まず、信号線駆動回路の構成について、図36(A)を参照して説明する。信号線駆動回路は、回路2001、及び回路2002を有する。回路2002は、回路2002__1~2002__N(Nは自然数)という複数の回路を有する。回路2002__1~2002__Nは、各々、トランジスタ2003__1~2003__k(kは自然数)という複数のトランジスタを有する。トランジスタ2003__1~2003__kは、Nチャネル型である。ただし、これに限定されず、トランジスタ2003__1~2003__kは、Pチャネル型とすることが可能であるし、CMOS型のスイッチとすることが可能である。

10

【0293】

信号線駆動回路の接続関係について、回路2002__1を例にして説明する。トランジスタ2003__1~2003__kの第1の端子は、各々、配線2004__1~2004__kと接続される。トランジスタ2003__1~2003__kの第2の端子は、各々、配線S1~Skと接続される。トランジスタ2003__1~2003__kのゲートは、配線2005__1と接続される。

【0294】

回路2001は、配線2005__1~2005__Nに順番にHレベルの信号を出力するタイミングを制御する機能を有する。または、回路2002__1~2002__Nを順番に選択する機能を有する。このように、回路2001は、シフトレジスタとしての機能を有する。回路2001は、配線2005__1~2005__Nに様々な順番でHレベルの信号を出力することが可能である。または、回路2002__1~2002__Nを様々な順番で選択することが可能である。このように、回路2001は、デコーダとしての機能を有することが可能である。

20

【0295】

回路2002__1は、配線2004__1~2004__kと配線S1~Skとが導通するタイミングを制御する機能を有する。または、回路2002__1は、配線2004__1~2004__kの電位を配線S1~Skに供給するタイミングを制御する機能を有する。このように、回路2002__1は、セレクトアとしての機能を有することが可能である。なお、回路2002__2~2002__Nは、回路2002__1と同様の機能を有することが可能である。

30

【0296】

トランジスタ2003__1~2003__Nは、各々、配線2004__1~2004__kと配線S1~Skとが導通するタイミングを制御する機能を有する。または、トランジスタ2003__1~2003__Nは、各々、配線2004__1~2004__kの電位を配線S1~Skに供給するタイミングを制御する機能を有する。例えば、トランジスタ2003__1は、配線2004__1と配線S1とが導通するタイミングを制御する機能を有する。または、トランジスタ2003__1は、配線2004__1の電位を配線S1に供給するタイミングを制御する機能を有する。このように、トランジスタ2003__1~2003__Nは、各々、スイッチとしての機能を有することが可能である。

40

【0297】

なお、配線2004__1~2004__kには、各々、信号が入力される。当該信号は、画像情報又は画像信号に応じたアナログ信号である。このように、当該信号は、ビデオ信号としての機能を有することが可能である。よって、配線2004__1~2004__kは、信号線としての機能を有することが可能である。例えば、画素構成によっては、デジタル信号であることが可能であるし、アナログ電圧であることが可能であるし、アナログ電流であることが可能である。

【0298】

次に、図36(A)の信号線駆動回路の動作について、図36(B)のタイミングチャートを参照して説明する。図36(B)には、信号2015__1~2015__N、及び信号

50

2014__1 ~ 2014__kを示す。信号2015__1 ~ 2015__Nは、各々、回路2001の出力信号であり、信号2014__1 ~ 2014__kは、各々、配線2004__1 ~ 2004__kに入力される信号である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、期間T0、及び期間T1 ~ 期間TNに分割される。期間T0は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間としての機能を有することが可能である。期間T1 ~ TNは、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間としての機能を有することが可能である。

【0299】

まず、期間T0において、回路2001は、配線2005__1 ~ 2005__Nに、Hレベルの信号を供給する。すると、例えば、回路2002__1において、トランジスタ2003__1 ~ 2003__kがオンになるので、配線2004__1 ~ 2004__kと、配線S1 ~ Skとが導通状態になる。このとき、配線2004__1 ~ 2004__kには、プリチャージ電圧Vpが供給される。よって、プリチャージ電圧Vpは、トランジスタ2003__1 ~ 2003__kを介して、配線S1 ~ Skにそれぞれ出力される。よって、プリチャージ電圧Vpは、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

10

【0300】

期間T1 ~ 期間TNにおいて、回路2001は、Hレベルの信号を配線2005__1 ~ 2005__Nに順番に出力する。例えば、期間T1において、回路2001は、Hレベルの信号を配線2005__1に出力する。すると、トランジスタ2003__1 ~ 2003__kはオンになるので、配線2004__1 ~ 2004__kと、配線S1 ~ Skとが導通状態になる。このとき、配線2004__1 ~ 2004__kには、Data(S1) ~ Data(Sk)が入力される。Data(S1) ~ Data(Sk)は、各々、トランジスタ2003__1 ~ 2003__kを介して、選択される行に属する画素のうち、1列目 ~ k列目の画素に書き込まれる。こうして、期間T1 ~ TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号が書き込まれる。

20

【0301】

以上のように、ビデオ信号が複数の列ずつ画素に書き込まれることによって、ビデオ信号の数、又は配線の数を減らすことができる。よって、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品点数の削減、及び/又は、コストの削減を図ることができる。または、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができる。よって、ビデオ信号の書き込み不足を防止することができるので、表示品位の向上を図ることができる。

30

【0302】

なお、kを大きくすることによって、外部回路との接続数を減らすことができる。ただし、kが大きすぎると、画素への書き込み時間が短くなる。よって、k = 6であることが好ましい。より好ましくはk = 3であることが好ましい。さらに好ましくはk = 2であることが好ましい。

40

【0303】

特に、画素の色要素がn (nは自然数) 個である場合、k = n、又はk = n × d (dは自然数) であることが好ましい。例えば、画素の色要素が赤(R)と緑(G)と青(B)との三つに分割される場合、k = 3、又はk = 3 × dであることが好ましい。例えば、画素がm (mは自然数) 個のサブ画素(サブ画素のことをサブピクセル又は副画素ともいう) に分割される場合、k = m、又はk = m × dであることが好ましい。例えば、画素が2個のサブ画素に分割される場合、k = 2であることが好ましい。または、画素の色要素がn個である場合、k = m × n、又はk = m × n × dであることが好ましい。

【0304】

例えば本実施の形態を表示装置に用いる。この場合、本実施の形態の信号線駆動回路は、画素部と同じ基板に形成されることが可能であるし、画素部とは別の基板(例えばシリコ

50

ン基板又はSOI基板など)に形成されることが可能である。または、本実施の形態の信号線駆動回路の一部(例えば回路2002)が画素部と同じ基板に形成され、本実施の形態の信号線駆動回路の別の部分(例えば回路2001)が画素部と別の基板に形成されることが可能である。

【0305】

図36(C)には、画素部2007と同じ基板に、回路2001と回路2002とが形成される構成を示す。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減などを図ることができる。特に、走査線駆動回路2006A及び走査線駆動回路2006Bも画素部2007と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。

10

【0306】

図36(D)には、画素部2007と同じ基板に回路2002が形成され、画素部2007は別の基板に回路2001が形成される構成を示す。この場合でも、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減などを図ることができる。または、画素部2007と同じ基板に形成する回路が少なくなるので、額縁を小さくすることができる。

【0307】

なお、回路2001として、実施の形態3のシフトレジスタ回路を用いることが可能である。こうして、全てのトランジスタの極性をNチャンネル型にすることが可能になるので、製造工程の削減を図ることができる。または、トランジスタの劣化を抑制することができるので、信号線駆動回路の寿命を長くすることができる。

20

【0308】

(実施の形態5)

本実施の形態では、保護回路について説明する。保護回路は、ある配線に接続される半導体デバイス(例えばトランジスタ、容量素子、回路など)などがESD(静電気放電)によって破壊されることを防止する目的で設けられる。

【0309】

まず、保護回路について、図37(A)を参照して説明する。保護回路3000は、トランジスタ3001、及びトランジスタ3002を有する。トランジスタ3001、及びトランジスタ3002は、Nチャンネル型であるとする。ただし、本実施の形態は、これに限定されず、Pチャンネル型であることが可能である。

30

【0310】

保護回路3000の接続関係について説明する。トランジスタ3001の第1の端子は、配線3012と接続され、トランジスタ3001の第2の端子は、配線3011と接続され、トランジスタ3001のゲートは、配線3011と接続される。トランジスタ3002の第1の端子は、配線3013と接続され、トランジスタ3002の第2の端子は、配線3011と接続され、トランジスタ3002のゲートは、配線3013と接続される。

【0311】

配線3011~3013に入力される信号又は電圧などの一例、及びこれらの配線の機能について説明する。配線3011には、信号(例えば、走査信号、ビデオ信号、クロック信号、スタート信号、リセット信号、又は選択信号など)、又は、電圧(負電源電圧、グランド電圧、正電源電圧など)が供給される。よって、配線3011は、信号線、電源線などとしての機能を有することが可能である。配線3012には、正電源電圧(VDD)が供給される。よって、配線3012は、電源線としての機能を有することが可能である。配線3013には、負電源電圧(VSS)、又はグランド電圧などが供給される。よって、配線3013は、電源線としての機能を有することが可能である。

40

【0312】

保護回路3000の動作について説明する。配線3011の電位がおおむねVSS~VDDの間の値であれば、トランジスタ3001、及びトランジスタ3002はオフになる。

50

よって、配線 3011 に供給される電圧又は信号などは、配線 3011 と接続される半導体デバイスに供給される。ただし、静電気などの影響によって、配線 3011 に、電源電圧よりも高い電位、又は電源電圧よりも低い電位が供給される。そして、この電源電圧よりも高い電位又は電源電圧よりも低い電位によって、配線 3011 と接続される半導体デバイスが破壊されることがある。このような半導体デバイスの静電破壊を防止するために、トランジスタ 3001 又はトランジスタ 3002 がオンになることによって、配線 3011 の変化を抑制する。例えば、配線 3011 に電源電圧よりも高い電位が供給される場合、トランジスタ 3001 がオンになる。すると、配線 3011 の電荷は、トランジスタ 3001 を介して配線 3012 に移動するので、配線 3011 の電位が減少する。こうして、半導体デバイスの静電破壊を防止することができる。一方、例えば、配線 3011 に電源電圧よりも低い電位が供給される場合、トランジスタ 3002 がオンになる。すると、配線 3011 の電荷は、トランジスタ 3002 を介して配線 3013 に移動するので、配線 3011 の電位が上昇する。こうして、配線 3011 と接続される半導体デバイスの静電破壊を防ぐことができる。

10

【0313】

なお、図 37 (A) で述べる構成において、トランジスタ 3001、及びトランジスタ 3002 の一方を省略することが可能である。図 37 (B) には、図 37 (A) の保護回路において、トランジスタ 3002 が省略される構成を示す。図 37 (C) には、図 37 (A) の保護回路において、トランジスタ 3001 が省略される構成を示す。

20

【0314】

なお、図 37 (A) ~ (C) で述べる構成において、配線 3011 と配線 3012 との間に、複数のトランジスタを直列に接続することが可能である。または、配線 3011 と配線 3013 との間に、複数のトランジスタを直列に接続することが可能である。図 37 (D) には、図 37 (A) の保護回路において、配線 3011 と配線 3012 との間に、トランジスタ 3001 とトランジスタ 3003 とが直列に接続される構成を示す。そして、配線 3011 と配線 3013 との間に、トランジスタ 3002 とトランジスタ 3004 とが直列に接続される構成を示す。トランジスタ 3003 の第 1 の端子は、配線 3012 と接続され、トランジスタ 3003 の第 2 の端子は、トランジスタ 3001 の第 1 の端子と接続され、トランジスタ 3003 のゲートは、トランジスタ 3001 の第 1 の端子と接続される。トランジスタ 3004 の第 1 の端子は、配線 3013 と接続され、トランジスタ 3004 の第 2 の端子は、トランジスタ 3002 の第 1 の端子と接続され、トランジスタ 3004 のゲートは、トランジスタ 3004 の第 1 の端子と接続される。例えば、図 37 (E) に示すように、トランジスタ 3001 のゲートとトランジスタ 3003 のゲートとは接続されることが可能である。または、トランジスタ 3002 のゲートとトランジスタ 3004 のゲートとは接続されることが可能である。または、配線 3011 と配線 3012 との間と、配線 3011 と配線 3013 との間と、の一方において、複数のトランジスタが直列に接続されることが可能である。

30

【0315】

なお、図 37 (A) ~ (E) で述べる構成において、配線 3011 と配線 3012 との間に、複数のトランジスタを並列に接続されることが可能である。または、配線 3011 と配線 3013 との間に、複数のトランジスタを並列に接続することが可能である。図 37 (F) には、図 37 (A) の保護回路において、配線 3011 と配線 3012 との間に、トランジスタ 3001 とトランジスタ 3003 とが並列に接続される構成を示す。そして、配線 3011 と配線 3013 との間に、トランジスタ 3002 とトランジスタ 3004 とが並列に接続される構成を示す。トランジスタ 3003 の第 1 の端子は、配線 3012 と接続され、トランジスタ 3003 の第 2 の端子は、配線 3011 と接続され、トランジスタ 3003 のゲートは、配線 3011 と接続される。トランジスタ 3004 の第 1 の端子は、配線 3013 と接続され、トランジスタ 3004 の第 2 の端子は、配線 3011 と接続され、トランジスタ 3004 のゲートは、配線 3013 と接続される。

40

【0316】

50

なお、図37(A)~(F)で述べる構成において、トランジスタのゲートと第1の端子との間に、容量素子と抵抗素子とを並列に接続することが可能である。トランジスタのゲートと第1の端子との間に、容量素子と抵抗素子との一方のみを接続することが可能である。図37(G)には、図37(A)の保護回路において、トランジスタ3001のゲートと第1の端子との間に、容量素子3005と抵抗素子3006とが並列に接続される構成を示す。そして、トランジスタ3002のゲートと第1の端子との間に、容量素子3007と抵抗素子3008が並列に接続される構成を示す。こうして、保護回路3000自体の破壊又は劣化を防止することができる。例えば、配線3011に電源電圧よりも高い電位が供給される場合、トランジスタ3001の V_{gs} が大きくなる。よって、トランジスタ3001がオンになるので、配線3011の電位が減少する。しかし、トランジスタ3001のゲートと第2の端子との間には、大きな電圧が印加されるので、トランジスタ3001が破壊されることや、劣化することがある。これを防止するために、トランジスタ3001のゲートの電位を上昇させて、トランジスタ3001の V_{gs} を小さくする。これを実現するために、容量素子3005が用いられる。トランジスタ3001がオンになると、トランジスタ3001の第1の端子の電位が瞬間的に上昇する。すると、容量素子3005の容量結合によって、トランジスタ3001のゲートの電位が上昇する。こうして、トランジスタ3001の V_{gs} を小さくすることができ、トランジスタ3001の破壊又は劣化を抑制することができる。同様に、配線3011に電源電圧よりも低い電位が供給されると、トランジスタ3002の第1の端子の電位が瞬間的に減少する。すると、容量素子3007の容量結合によって、トランジスタ3002のゲートの電位が減少する。こうして、トランジスタ3002の V_{gs} を小さくすることができるので、トランジスタ3002の破壊又は劣化を抑制することができる。

【0317】

なお、容量素子としては、トランジスタのゲートと第1の端子との間の寄生容量を用いることが可能である。よって、トランジスタのゲートとして用いられる材料と、トランジスタの第1の端子として用いられる材料とが重なる面積は、トランジスタのゲートとして用いられる材料と、トランジスタの第2の端子として用いられる材料とが重なる面積よりも大きいことが好ましい。

【0318】

なお、抵抗素子としては、配線3011に用いられる材料又はトランジスタのゲートとして用いられる材料よりも導電率が低い材料(例えば画素電極と同じ材料、透光性電極、不純物が添加された半導体層など)を用いることが可能である。

【0319】

ここで、図37(A)~(G)で述べる保護回路は、様々な回路又は配線(例えば信号線駆動回路、走査線駆動回路、レベルシフト回路、ゲート信号線、ソース信号線、電源線、容量線など)に用いることが可能である。図38(A)には、ゲート信号線に保護回路を設ける場合の構成を示す。この場合、配線3012、及び配線3013は、ゲートドライバ3100に接続される配線のいずれかと接続されることが可能である。こうすることによって、電源の数、及び配線の数減らすことができる。図38(B)には、FPCなどの外部から信号又は電圧が供給される端子に、保護回路を設ける場合の構成を示す。この場合、配線3012、及び配線3013は、外部端子のいずれかと接続されることが可能である。例えば、配線3012は端子3101aと接続され、配線3013が端子3101bと接続されるとする。この場合、端子3101aに設けられる保護回路において、トランジスタ3001を省略することが可能である。同様に、端子3101bに設けられる保護回路において、トランジスタ3002を省略することが可能である。こうすることによって、トランジスタの数を減らすことができるので、レイアウト面積の縮小を図ることができる。

【0320】

(実施の形態6)

本実施の形態では、トランジスタについて図39(A)、(B)、及び(C)を参照して

説明する。

【0321】

図39(A)は、トップゲート型のトランジスタと、その上に形成される表示素子とを示す図である。図39(B)は、ボトムゲート型のトランジスタと、その上に形成される表示素子とを示す図である。

【0322】

図39(A)のトランジスタは、基板5260と、基板5260の上に形成される絶縁層5261と、絶縁層5261の上に形成され、領域5262a、領域5262b、領域5262c、領域5262d、及び5262eを有する半導体層5262と、半導体層5262を覆うように形成される絶縁層5263と、半導体層5262及び絶縁層5263の上に形成される導電層5264と、絶縁層5263及び導電層5264の上に形成され、開口部を有する絶縁層5265と、絶縁層5265の上及び絶縁層5265の開口部に形成される導電層5266と、を有する。

10

【0323】

図39(B)のトランジスタは、基板5300と、基板5300の上に形成される導電層5301と、導電層5301を覆うように形成される絶縁層5302と、導電層5301及び絶縁層5302の上に形成される半導体層5303aと、半導体層5303aの上に形成される半導体層5303bと、半導体層5303bの上及び絶縁層5302の上に形成される導電層5304と、絶縁層5302の上及び導電層5304の上に形成され、開口部を有する絶縁層5305と、絶縁層5305の上及び絶縁層5305の開口部に形成される導電層5306と、を有する。

20

【0324】

図39(C)のトランジスタは、領域5353及び領域5355を有する半導体基板5352と、半導体基板5352の上に形成される絶縁層5356と、半導体基板5352の上に形成される絶縁層5354と、絶縁層5356の上に形成される導電層5357と、絶縁層5354、絶縁層5356、及び導電層5357の上に形成され、開口部を有する絶縁層5358と、絶縁層5358の上及び絶縁層5358の開口部に形成される導電層5359とを有する。こうして、領域5350と領域5351とに、各々、トランジスタが作製される。

30

【0325】

なお、図39(A)~(C)で述べるトランジスタにおいて、図39(A)に示すように、トランジスタの上に、導電層5266の上及び絶縁層5265の上に形成され、開口部を有する絶縁層5267と、絶縁層5267の上及び絶縁層5267の開口部に形成される導電層5268と、絶縁層5267の上及び導電層5268の上に形成され、開口部を有する絶縁層5269と、絶縁層5269の上及び絶縁層5269の開口部に形成される発光層5270と、絶縁層5269の上及び発光層5270の上に形成される導電層5271と、を形成することが可能である。

【0326】

なお、図39(A)~(C)で述べるトランジスタにおいて、図39(B)に示すように、トランジスタの上に、絶縁層5305の上及び導電層5306の上に配置される液晶層5307と、液晶層5307の上に形成される導電層5308と、を形成することが可能である。

40

【0327】

絶縁層5261は、下地膜として機能することが可能である。絶縁層5354は、素子間分離層(例えばフィールド酸化膜)として機能する。絶縁層5263、絶縁層5302、絶縁層5356は、ゲート絶縁膜として機能することが可能である。導電層5264、導電層5301、導電層5357は、ゲート電極として機能することが可能である。絶縁層5265、絶縁層5267、絶縁層5305、及び絶縁層5358は、層間膜、又は平坦化膜として機能することが可能である。導電層5266、導電層5304、及び導電層5359は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可

50

能である。導電層 5 2 6 8、及び導電層 5 3 0 6 は、画素電極、又は反射電極などとして機能することが可能である。絶縁層 5 2 6 9 は、隔壁として機能することが可能である。導電層 5 2 7 1、及び導電層 5 3 0 8 は、対向電極、又は共通電極などとして機能することが可能である。

【0328】

基板 5 2 6 0、及び基板 5 3 0 0 は、ガラス基板、石英基板、半導体基板（例えばシリコン基板、又は単結晶基板）、S O I 基板、プラスチック基板、金属基板、ステンレス基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板又は可撓性基板などがある。ガラス基板としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板としては、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルフォン（P E S）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。

10

【0329】

半導体基板 5 3 5 2 としては、n 型又は p 型の導電性を有する単結晶 S i 基板を用いることが可能である。ただし、これに限定されず、半導体基板 5 3 5 2 に用いることのできる基板を一部または全部に用いて半導体基板 5 3 5 2 とすることもできる。領域 5 3 5 3 は、半導体基板 5 3 5 2 に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板 5 3 5 2 が p 型の導電性を有する場合、領域 5 3 5 3 は、n 型の導電性を有し、n ウェルとして機能する。一方、半導体基板 5 3 5 2 が n 型の導電性を有する場合、領域 5 3 5 3 は、p 型の導電性を有し、p ウェルとして機能する。領域 5 3 5 5 は、不純物が半導体基板 5 3 5 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板 5 3 5 2 に、L D D 領域を形成することが可能である。

20

【0330】

絶縁層 5 2 6 1 としては、酸化珪素（ $S i O_x$ ）、窒化珪素（ $S i N_x$ ）、酸化窒化珪素（ $S i O_x N_y$ ）（ $x > y > 0$ ）、窒化酸化珪素（ $S i N_x O_y$ ）（ $x > y > 0$ ）などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。絶縁層 5 2 6 1 が 2 層構造で設けられる場合、1 層目の絶縁層として窒化珪素膜を設け、2 層目の絶縁層として酸化珪素膜を設けることが可能である。絶縁層 5 2 6 1 が 3 層構造で設けられる場合、1 層目の絶縁層として酸化珪素膜を設け、2 層目の絶縁層として窒化珪素膜を設け、3 層目の絶縁層として酸化珪素膜を設けることが可能である。

30

【0331】

半導体層 5 2 6 2、半導体層 5 3 0 3 a、及び半導体層 5 3 0 3 b としては、非単結晶半導体（例えば、非晶質（アモルファス）シリコン、多結晶シリコン、微結晶シリコンなど）、単結晶半導体、化合物半導体若しくは酸化物半導体（例えば、 $Z n O$ 、 $I n G a Z n O$ 、 $S i G e$ 、 $G a A s$ 、 $I Z O$ （インジウム亜鉛酸化物）、 $I T O$ （インジウム錫酸化物）、 $S n O$ 、 $T i O$ 、 $A l Z n S n O$ （ $A Z T O$ ））、有機半導体、又はカーボンナノチューブなどがある。

40

【0332】

なお、例えば、領域 5 2 6 2 a は、不純物が半導体層 5 2 6 2 に添加されていない真性の状態であり、チャンネル領域として機能する。ただし、領域 5 2 6 2 a に不純物を添加することが可能であり、領域 5 2 6 2 a に添加される不純物は、領域 5 2 6 2 b、領域 5 2 6 2 c、領域 5 2 6 2 d、又は領域 5 2 6 2 e に添加される不純物の濃度よりも低いことが好ましい。領域 5 2 6 2 b、及び領域 5 2 6 2 d は、領域 5 2 6 2 c 又は領域 5 2 6 2 e よりも低濃度の不純物が添加された領域であり、L D D（*L i g h t l y D o p e d D r a i n*）領域として機能する。ただし、領域 5 2 6 2 b、及び領域 5 2 6 2 d を省略することが可能である。領域 5 2 6 2 c、及び領域 5 2 6 2 e は、高濃度に不純物が半導体層 5 2 6 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。

50

【0333】

なお、半導体層5303bは、不純物元素としてリンなどが添加された半導体層であり、n型の導電性を有する。

【0334】

なお、半導体層5303aとして、酸化物半導体、又は化合物半導体が用いられる場合、半導体層5303bを省略することが可能である。

【0335】

絶縁層5263、絶縁層5302、及び絶縁層5356としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y > 0$)、窒化酸化珪素(SiN_xO_y) ($x > y > 0$)などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

10

【0336】

導電層5264、導電層5266、導電層5268、導電層5271、導電層5301、導電層5304、導電層5306、導電層5308、導電層5357、及び導電層5359としては、単層構造の導電膜、又はこれらの積層構造などがある。当該導電膜としては、アルミニウム(Al)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マンガン(Mn)、コバルト(Co)、ニオブ(Nb)、シリコン(Si)、鉄(Fe)、パラジウム(Pd)、炭素(C)、スカンジウム(Sc)、亜鉛(Zn)、ガリウム(Ga)、インジウム(In)、錫(Sn)、ジルコニウム(Zr)、セリウム(Ce)によって構成される群、この群から選ばれた一つの元素の単体膜、又は、この群から選ばれた一つの元素若しくは複数の元素を含む化合物などがある。なお、当該単体膜又は当該化合物は、リン(P)、ボロン(B)、ヒ素(As)、及び/又は、酸素(O)などを含むことが可能である。

20

【0337】

当該化合物としては、前述した複数の元素から選ばれた一つの元素若しくは複数の元素を含む化合物(例えば合金)、前述した複数の元素から選ばれた一つの元素若しくは複数の元素と窒素との化合物(例えば窒化膜)、前述した複数の元素から選ばれた一つの元素若しくは複数の元素とシリコンとの化合物(例えばシリサイド膜)、又はナノチューブ材料などがある。合金としては、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化錫(SnO)、酸化錫カドミウム(CTO)、アルミニウムネオジム(Al-Nd)、アルミニウムタングステン(Al-W)、アルミニウムジルコニウム(Al-Zr)、アルミニウムチタン(Al-Ti)、アルミニウムセリウム(Al-Ce)、マグネシウム銀(Mg-Ag)、モリブデンニオブ(Mo-Nb)、モリブデンタングステン(Mo-W)、モリブデンタンタル(Mo-Ta)などがある。窒化膜としては、窒化チタン、窒化タンタル、窒化モリブデンなどがある。シリサイド膜としては、タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミニウムシリコン、モリブデンシリコンなどがある。ナノチューブ材料としては、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどがある。

30

40

【0338】

絶縁層5265、絶縁層5267、絶縁層5269、絶縁層5305、及び絶縁層5358としては、単層構造の絶縁層、又はこれらの積層構造などがある。当該絶縁層としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、若しくは酸化窒化珪素(SiO_xN_y) ($x > y > 0$)、窒化酸化珪素(SiN_xO_y) ($x > y > 0$)等の酸素若しくは窒素を含む膜、DLC(ダイヤモンドライクカーボン)等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

【0339】

発光層5270としては、有機EL素子、又は無機EL素子などがある。有機EL素子と

50

しては、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層など、若しくはこれらの材料のうち複数の材料を混合した層の単層構造、若しくはこれらの積層構造などがある。

【0340】

なお、絶縁層5305の上及び導電層5306の上には、配向膜として機能する絶縁層、突起部として機能する絶縁層などを形成することが可能である。

【0341】

なお、導電層5308の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層5308の下には、配向膜として機能する絶縁層を形成することが可能である。

10

【0342】

本実施の形態のトランジスタは、実施の形態1～実施の形態2で述べる半導体装置に用いることが可能である。特に、図39(B)において、半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタが劣化してしまう。しかし、実施の形態1～実施の形態6の半導体装置、シフトレジスタ、又は表示装置では、トランジスタの劣化を抑制することができるので有用である。

【0343】

(実施の形態7)

本実施の形態では、表示装置の断面構造について、図40(A)、(B)、及び(C)を参照して説明する。

20

【0344】

図40(A)は、表示装置の上面図である。基板5391に、駆動回路5392と画素部5393とが形成されている。駆動回路5392としては、走査線駆動回路、又は信号線駆動回路などがある。

【0345】

図40(B)には、図40(A)のA-B断面を示す。そして、図40(B)には、基板5400と、基板5400の上に形成される導電層5401と、導電層5401を覆うように形成される絶縁層5402と、導電層5401及び絶縁層5402の上に形成される半導体層5403aと、半導体層5403aの上に形成される半導体層5403bと、半導体層5403bの上及び絶縁層5402の上に形成される導電層5404と、絶縁層5402の上及び導電層5404の上に形成され、開口部を有する絶縁層5405と、絶縁層5405の上及び絶縁層5405の開口部に形成される導電層5406と、絶縁層5405の上及び導電層5406の上に配置される絶縁層5408と、絶縁層5405の上に形成される液晶層5407と、液晶層5407の上及び絶縁層5408の上に形成される導電層5409と、導電層5409の上に形成される基板5410とを示す。

30

【0346】

導電層5401は、ゲート電極として機能することが可能である。絶縁層5402は、ゲート絶縁膜として機能することが可能である。導電層5404は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。絶縁層5405は、層間膜、又は平坦化膜として機能することが可能である。導電層5406は、配線、画素電極、又は反射電極として機能することが可能である。絶縁層5408は、シール材として機能することが可能である。導電層5409は、対向電極、又は共通電極として機能することが可能である。

40

【0347】

ここで、駆動回路5392と、導電層5409との間には、寄生容量が生じることがある。この結果、駆動回路5392の出力信号又は各ノードの電位に、なまり又は遅延などが生じてしまう。または、消費電力が大きくなってしまふ。しかし、図40(B)に示すように、駆動回路5392の上に、シール材として機能することが可能な絶縁層5408を

50

形成することによって、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間に生じる寄生容量を低減することができる。なぜなら、シール材の誘電率は、液晶層の誘電率よりも低いからである。したがって、駆動回路 5 3 9 2 の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。または、駆動回路 5 3 9 2 の消費電力を低減することができる。

【 0 3 4 8 】

なお、図 4 0 (C) に示すように、駆動回路 5 3 9 2 の一部の上に、シール材として機能することが可能な絶縁層 5 4 0 8 が形成されることが可能である。このような場合でも、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間に生じる寄生容量を低減することができるので、駆動回路 5 3 9 2 の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。ただし、これに限定されず、駆動回路 5 3 9 2 の上に、シール材として機能することが可能な絶縁層 5 4 0 8 が形成されていないことが可能である。

10

【 0 3 4 9 】

なお、表示素子は、液晶素子に限定されず、E L 素子、又は電気泳動素子などの様々な表示素子を用いることが可能である。

【 0 3 5 0 】

以上、本実施の形態では、表示装置の断面構造について説明した。このような構造と、実施の形態 1 ~ 実施の形態 2 の半導体装置とを組み合わせることが可能である。例えば、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタのチャネル幅が大きくなる。しかし、本実施の形態のように、駆動回路の寄生容量を小さくできると、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積の縮小を図ることができるので、表示装置を狭額縁にすることができる。または、表示装置を高精細にすることができる。

20

【 0 3 5 1 】

(実施の形態 8)

本実施の形態では、半導体装置の作製工程について説明する。ここでは、トランジスタ、及び容量素子の作製工程について説明する。特に、半導体層として、酸化物半導体を用いる場合の作製工程について説明する。

【 0 3 5 2 】

図 4 1 (A) ~ (C) を参照して、トランジスタ、及び容量素子の作製工程について説明する。図 4 1 (A) ~ (C) には、トランジスタ 5 4 4 1、及び容量素子 5 4 4 2 の作製工程である。トランジスタ 5 4 4 1 は、逆スタガ型薄膜トランジスタであり、酸化物半導体層上にソース電極またはドレイン電極を介して配線が設けられているトランジスタである。

30

【 0 3 5 3 】

まず、基板 5 4 2 0 上に、スパッタリング法により第 1 導電層を全面に形成する。次に、第 1 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に第 1 導電層のエッチングを行い、導電層 5 4 2 1、及び導電層 5 4 2 2 を形成する。導電層 5 4 2 1 は、ゲート電極として機能することが可能であり、導電層 5 4 2 2 は、容量素子の一方の電極として機能することが可能である。ただし、これに限定されず、導電層 5 4 2 1、及び導電層 5 4 2 2 は、配線、ゲート電極、又は容量素子の電極として機能する部分を有することが可能である。この後、レジストマスクを除去する。

40

【 0 3 5 4 】

次に、絶縁層 5 4 2 3 をプラズマ C V D 法またはスパッタリング法を用いて全面に形成する。絶縁層 5 4 2 3 は、ゲート絶縁層として機能することが可能であり、導電層 5 4 2 1、及び導電層 5 4 2 2 を覆うように形成される。なお、絶縁層 5 4 2 3 の膜厚は、5 0 n m 以上、2 5 0 n m 以下である。

【 0 3 5 5 】

次に、第 2 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、絶縁層 5 4 2 3 を選択的にエッチングして導電層 5 4 2 1 に達するコンタクト

50

ホール 5 4 2 4 を形成する。この後、レジストマスクを除去する。ただし、これに限定されず、コンタクトホール 5 4 2 4 を省略することが可能である。または、酸化物半導体層の形成後に、コンタクトホール 5 4 2 4 を形成することが可能である。ここまでの段階での断面図が図 4 1 (A) に相当する。

【 0 3 5 6 】

次に、酸化物半導体層をスパッタリング法により全面に形成する。ただし、これに限定されず、酸化物半導体層をスパッタリング法により形成し、さらにその上にバッファ層（例えば n^+ 層）を形成することが可能である。なお、酸化物半導体層の膜厚は、5 nm 以上、200 nm 以下である。

【 0 3 5 7 】

次に、第 3 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて選択的に、酸化物半導体層のエッチングを行う。この後、レジストマスクを除去する。

【 0 3 5 8 】

次に、スパッタリング法により第 2 導電層を全面に形成する。次に、第 4 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて選択的に第 2 導電層のエッチングを行い、導電層 5 4 2 9、導電層 5 4 3 0、及び導電層 5 4 3 1 を形成する。導電層 5 4 2 9 は、コンタクトホール 5 4 2 4 を介して導電層 5 4 2 1 と接続される。導電層 5 4 2 9、及び導電層 5 4 3 0 は、ソース電極又はドレイン電極として機能することが可能であり、導電層 5 4 3 1 は、容量素子の他方の電極として機能することが可能である。ただし、これに限定されず、導電層 5 4 2 9、導電層 5 4 3 0、及び導電層 5 4 3 1 は、配線、ソース若しくはドレイン電極、又は容量素子の電極として機能する部分を含むことが可能である。ここまでの段階での断面図が図 4 1 (B) に相当する。

【 0 3 5 9 】

次に、大気雰囲気下または窒素雰囲気下で 200 ~ 600 の加熱処理を行う。この熱処理により $In - Ga - Zn - O$ 系非単結晶層の原子レベルの再配列が行われる。このように、熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体の形成後であれば、様々なタイミングで行うことが可能である。

【 0 3 6 0 】

次に、絶縁層 5 4 3 2 を全面に形成する。絶縁層 5 4 3 2 としては、単層構造であることが可能であるし、積層構造であることが可能である。例えば、絶縁層 5 4 3 2 として有機絶縁層を用いる場合、有機絶縁層の材料である組成物を塗布し、大気雰囲気下または窒素雰囲気下で 200 ~ 600 の加熱処理を行って、有機絶縁層を形成する。このように、酸化物半導体層に接する有機絶縁層を形成することにより、電気特性の信頼性の高い薄膜トランジスタを作製することができる。なお、絶縁層 5 4 3 2 として有機絶縁層を用いる場合、有機絶縁層の下に、窒化珪素膜、又は酸化珪素膜を設けることが可能である。

【 0 3 6 1 】

次に、第 3 導電層を全面に形成する。次に、第 5 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて第 3 導電層を選択的にエッチングして、導電層 5 4 3 3、及び導電層 5 4 3 4 を形成する。ここまでの段階での断面図が図 4 1 (C) に相当する。導電層 5 4 3 3、及び導電層 5 4 3 4 は、配線、画素電極、反射電極、透光性電極、又は容量素子の電極として機能することが可能である。特に、導電層 5 4 3 4 は、導電層 5 4 2 2 と接続されるので、容量素子 5 4 4 2 の電極として機能することが可能である。ただし、これに限定されず、第 1 導電層と第 2 導電層とを接続する機能を有することが可能である。例えば、導電層 5 4 3 3 と導電層 5 4 3 4 とを接続することによって、導電層 5 4 2 2 と導電層 5 4 3 0 とを第 3 導電層（導電層 5 4 3 3 及び導電層 5 4 3 4）を介して接続することが可能になる。

【 0 3 6 2 】

以上の工程により、トランジスタ 5 4 4 1 と容量素子 5 4 4 2 とを作製することができる

10

20

30

40

50

。

【0363】

なお、図41(D)に示すように、酸化物半導体層5425の上に絶縁層5435を形成することが可能である。なお、図41(D)中、参照番号5437は導電層、5436は半導体層を示す。

【0364】

なお、図41(E)に示すように、第2導電層をパターンニングした後に、酸化物半導体層5425を形成することが可能である。なお、図41(E)中、参照番号5438、5439はそれぞれ、導電層を示す。

10

【0365】

なお、本実施の形態の基板、絶縁層、導電層、及び半導体層としては、他の実施の形態に述べる材料、又は本明細書において述べる材料と同様なものを用いることが可能である。

【0366】

(実施の形態9)

本実施の形態では、半導体装置のレイアウト図(上面図ともいう)について説明する。本実施の形態では、図1(A)の半導体装置のレイアウト図について説明する。なお、本実施の形態で述べる内容は、他の実施の形態で述べる内容と適宜組み合わせることが可能である。なお、本実施の形態のレイアウト図は一例であって、半導体装置のレイアウト図がこれに限定されるものではないことを付記する。

20

【0367】

本実施の形態のレイアウト図について、図42を参照して説明する。図42には、図1(A)の半導体装置のレイアウト図を示す。

【0368】

図42に示すトランジスタ、又は配線などは、導電層901、半導体層902、導電層903、導電層904、及びコンタクトホール905によって構成される。ただし、これに限定されず、別の導電層、絶縁膜、又は別のコンタクトホールを新たに形成することが可能である。例えば、導電層901と導電層903とを接続するためのコンタクトホールを新たに追加することが可能である。

30

【0369】

導電層901は、ゲート電極、又は配線として機能する部分を含むことが可能である。半導体層902は、トランジスタの半導体層として機能する部分を含むことが可能である。導電層903は、配線、ソース、又はドレインとして機能する部分を含むことが可能である。導電層904は、透光性電極、画素電極、又は配線として機能する部分を含むことが可能である。コンタクトホール905は、導電層901と導電層904とを接続する機能、又は導電層903と導電層904とを接続する機能を有する。

【0370】

なお、導電層901と導電層903とが重なる部分には、半導体層902を形成することが可能である。こうすることによって、導電層901と導電層903との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層901と導電層904とが重なる部分には、半導体層902又は導電層903を形成することが可能である。

40

【0371】

なお、導電層901の一部の上に導電層904を形成し、当該導電層901は、コンタクトホール905を介して導電層904と接続されることが可能である。こうすることによって、配線抵抗を下げるができる。または、導電層901の一部の上に導電層903、及び導電層904を形成し、当該導電層901は、コンタクトホール905を介して当該導電層904と接続され、当該導電層903は、別のコンタクトホール905を介して当該導電層904と接続されることが可能である。こうすることによって、配線抵抗をさらに下げることができる。

50

【0372】

なお、導電層903の一部の上に導電層904を形成し、当該導電層903は、コンタクトホール905を介して導電層904と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。

【0373】

なお、導電層904の一部の下に導電層901、又は導電層903を形成し、当該導電層904は、コンタクトホール905を介して、当該導電層901、又は当該導電層903と接続されることが可能である。こうすることによって、配線抵抗を下げるができる。

【0374】

なお、すでに述べたように、トランジスタ101において、ゲートと第1の端子との間の寄生容量よりも、ゲートと第2の端子との間の寄生容量を大きくすることが可能である。このために、トランジスタ101において、第2の端子としての機能を有する導電層903とゲートとしての機能を有する導電層901とが重なる面積は、第1の端子としての機能を有する導電層903とゲートとしての機能を有する導電層901とが重なる面積よりも、大きいことが好ましい。

【0375】

(実施の形態10)

本実施の形態においては、電子機器の例について説明する。

【0376】

図43(A)~(H)、図44(A)~(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005(電源スイッチ、又は操作スイッチを含む)、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

【0377】

図43(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図43(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図43(C)はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図43(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図43(E)はプロジェクタであり、上述したものの他に、光源5033、投射レンズ5034、等を有することができる。図43(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図43(G)はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図43(H)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図44(A)はディスプレイであり、上述したものの他に、支持台5018、等を有することができる。図44(B)はカメラであり、上述したものの他に、外部接続ポート5019、シャッターボタン5015、受像部5016、等を有することができる。図44(C)はコンピュータであり、上述したものの他に、ポインティングデバイス5020、外部接続ポート5019、リーダ/ライタ5021、等を有することができる。図44(D)は携帯電話機であり、上述したものの他に、アンテナ、携帯電話・移動端末向けの1セグメント部分受信サービス用チューナ、等を有することができる。

【0378】

図43(A)~(H)、図44(A)~(D)に示す電子機器は、様々な機能を有するこ

10

20

30

40

50

とができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図43（A）～（H）、図44（A）～（D）に示す電子機器が有することができる機能はこれらに限定されず、様々な機能を有することができる。

10

【0379】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。本実施の形態の電子機器と、実施の形態1～実施の形態5の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、信頼性の向上、歩留まりの向上、コストの削減、表示部の大型化、表示部の高精細化などを図ることができる。

20

【0380】

次に、半導体装置の応用例を説明する。

【0381】

図44（E）に、半導体装置を、建造物と一体にして設けた例について示す。図44（E）は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0382】

図44（F）に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

30

【0383】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【0384】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【0385】

図44（G）は、半導体装置を、自動車に設けた例について示した図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

40

【0386】

図44（H）は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図44（H）は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示した図である。表示パネル5031は、天井5030とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。

【0387】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示した

50

がこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

【符号の説明】

【0388】

1 1	ノード	
1 2	ノード	
1 3	ノード	
1 0 0	回路	
1 0 1	トランジスタ	
1 0 1 d	ダイオード	10
1 0 1 p	トランジスタ	
1 0 2	トランジスタ	
1 0 2 A	容量素子	
1 0 2 d	ダイオード	
1 0 2 S	スイッチ	
1 0 3	トランジスタ	
1 0 3 A	トランジスタ	
1 0 3 B	容量素子	
1 0 3 d	ダイオード	
1 0 3 S	スイッチ	20
1 0 4	トランジスタ	
1 0 4 A	容量素子	
1 0 4 d	ダイオード	
1 0 4 p	トランジスタ	
1 0 4 R	抵抗素子	
1 0 5	トランジスタ	
1 0 5 A	トランジスタ	
1 0 5 B	容量素子	
1 0 5 D	容量素子	
1 0 5 S	スイッチ	30
1 0 6	トランジスタ	
1 0 7	容量素子	
1 0 8	トランジスタ	
1 0 9	トランジスタ	
1 1 1	配線	
1 1 2	配線	
1 1 2 A	配線	
1 1 2 B	配線	
1 1 2 C	配線	
1 1 3	配線	40
1 1 3 A	配線	
1 1 3 B	配線	
1 1 3 C	配線	
1 1 3 D	配線	
1 1 4	配線	
1 1 5	配線	
1 1 5 A	配線	
1 1 5 B	配線	
1 1 5 C	配線	
1 1 5 D	配線	50

1 1 5 E	配線	
1 1 5 F	配線	
1 1 5 G	配線	
1 1 6	配線	
1 1 7	配線	
1 2 0	回路	
1 2 1	抵抗素子	
1 2 2	容量素子	
1 2 3	バッファ回路	
1 2 4	インバータ回路	10
1 2 5	トランジスタ	
1 2 6	トランジスタ	
1 2 7	トランジスタ	
1 2 8	トランジスタ	
1 2 9	配線	
1 3 0	配線	
1 3 1	トランジスタ	
1 3 2	トランジスタ	
1 3 3	トランジスタ	
1 3 4	トランジスタ	20
1 5 0	回路	
1 5 1	回路	
1 5 2	回路	
1 5 3	回路	
1 5 4	回路	
1 6 0	保護回路	
2 0 1	トランジスタ	
2 0 1 d	ダイオード	
2 0 1 p	トランジスタ	
2 0 2	トランジスタ	30
2 0 2 d	ダイオード	
2 0 2 p	トランジスタ	
2 0 3	トランジスタ	
2 0 3 d	ダイオード	
2 0 3 p	トランジスタ	
2 0 4	トランジスタ	
2 0 4 d	ダイオード	
2 0 4 p	トランジスタ	
2 0 5	トランジスタ	
2 0 5 d	ダイオード	40
2 0 5 p	トランジスタ	
2 0 6	トランジスタ	
2 0 7	トランジスタ	
2 0 7 d	ダイオード	
2 0 7 p	トランジスタ	
2 0 8	トランジスタ	
2 0 9	トランジスタ	
2 1 1	配線	
2 1 2	配線	
2 1 2 A	配線	50

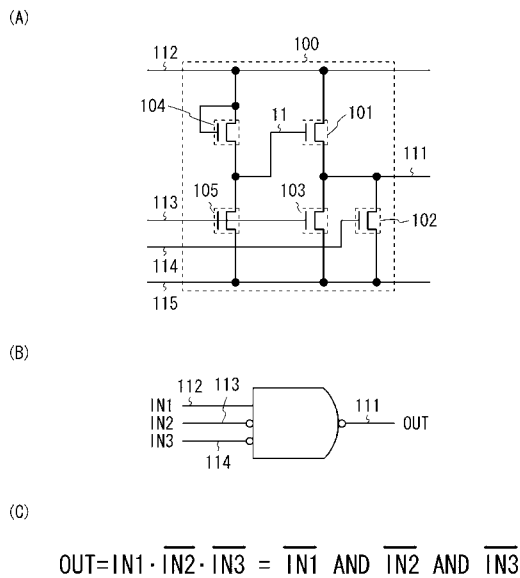
2 1 2 B	配線	
2 1 3	配線	
2 1 4	配線	
2 2 0	容量素子	
3 5 0	ホールディング制御部	
9 0 1	導電層	
9 0 2	半導体層	
9 0 3	導電層	
9 0 4	導電層	
9 0 5	コンタクトホール	10
1 0 0 1	回路	
1 0 0 2	回路	
1 0 0 2 a	回路	
1 0 0 2 b	回路	
1 0 0 3	回路	
1 0 0 4	画素部	
1 0 0 5	端子	
1 0 0 6	基板	
1 1 0 0	シフトレジスタ回路	
1 1 0 1	フリップフロップ回路	20
1 1 1 1	配線	
1 1 1 2	配線	
1 1 1 3	配線	
1 1 1 4	配線	
1 1 1 5	配線	
1 1 1 6	配線	
2 0 0 0	回路	
2 0 0 1	回路	
2 0 0 2	回路	
2 0 0 3	トランジスタ	30
2 0 0 4	配線	
2 0 0 5	配線	
2 0 0 6 A	走査線駆動回路	
2 0 0 6 B	走査線駆動回路	
2 0 0 7	画素部	
2 0 1 4	信号	
2 0 1 5	信号	
2 2 0 6	トランジスタ	
3 0 0 0	保護回路	
3 0 0 1	トランジスタ	40
3 0 0 2	トランジスタ	
3 0 0 3	トランジスタ	
3 0 0 4	トランジスタ	
3 0 0 5	容量素子	
3 0 0 6	抵抗素子	
3 0 0 7	容量素子	
3 0 0 8	抵抗素子	
3 0 1 1	配線	
3 0 1 2	配線	
3 0 1 3	配線	50

3 0 2 0	画素	
3 0 2 1	トランジスタ	
3 0 2 2	液晶素子	
3 0 2 3	容量素子	
3 0 3 1	配線	
3 0 3 2	配線	
3 0 3 3	配線	
3 0 3 4	電極	
3 1 0 0	ゲートドライバ	
3 1 0 1 a	端子	10
3 1 0 1 b	端子	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E Dランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	20
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	30
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ/ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	40
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 2 6 0	基板	
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 2 a	領域	
5 2 6 2 b	領域	50

5 2 6 2 c	領域	
5 2 6 2 d	領域	
5 2 6 2 e	領域	
5 2 6 3	絶縁層	
5 2 6 4	導電層	
5 2 6 5	絶縁層	
5 2 6 6	導電層	
5 2 6 7	絶縁層	
5 2 6 8	導電層	
5 2 6 9	絶縁層	10
5 2 7 0	発光層	
5 2 7 1	導電層	
5 2 7 3	絶縁層	
5 3 0 0	基板	
5 3 0 1	導電層	
5 3 0 2	絶縁層	
5 3 0 3 a	半導体層	
5 3 0 3 b	半導体層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	20
5 3 0 6	導電層	
5 3 0 7	液晶層	
5 3 0 8	導電層	
5 3 5 0	領域	
5 3 5 1	領域	
5 3 5 2	半導体基板	
5 3 5 3	領域	
5 3 5 4	絶縁層	
5 3 5 5	領域	
5 3 5 6	絶縁層	30
5 3 5 7	導電層	
5 3 5 8	絶縁層	
5 3 5 9	導電層	
5 3 9 1	基板	
5 3 9 2	駆動回路	
5 3 9 3	画素部	
5 4 0 0	基板	
5 4 0 1	導電層	
5 4 0 2	絶縁層	
5 4 0 3 a	半導体層	40
5 4 0 3 b	半導体層	
5 4 0 4	導電層	
5 4 0 5	絶縁層	
5 4 0 6	導電層	
5 4 0 7	液晶層	
5 4 0 8	絶縁層	
5 4 0 9	導電層	
5 4 1 0	基板	
5 4 2 0	基板	
5 4 2 1	導電層	50

- 5 4 2 2 導電層
- 5 4 2 3 絶縁層
- 5 4 2 4 コンタクトホール
- 5 4 2 5 酸化物半導体層
- 5 4 2 9 導電層
- 5 4 3 0 導電層
- 5 4 3 1 導電層
- 5 4 3 2 絶縁層
- 5 4 3 3 導電層
- 5 4 3 4 導電層
- 5 4 3 5 絶縁層
- 5 4 4 1 トランジスタ
- 5 4 4 2 容量素子

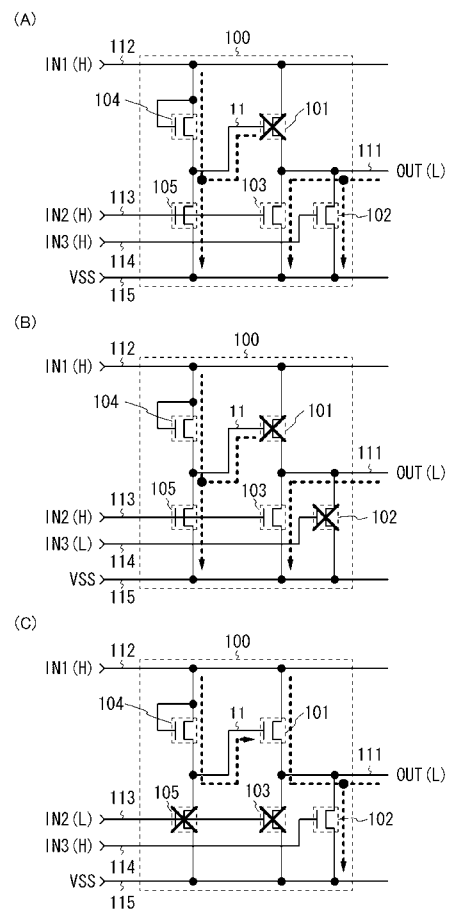
【 図 1 】



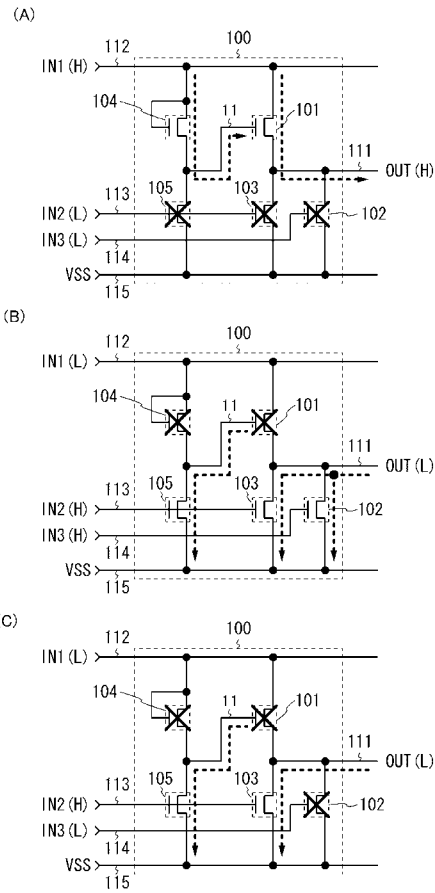
(D)

	IN1	IN2	IN3	OUT
動作1	H	H	H	L
動作2	H	H	L	L
動作3	H	L	H	L
動作4	H	L	L	H
動作5	L	H	H	L
動作6	L	H	L	L
動作7	L	L	H	L
動作8	L	L	L	Z

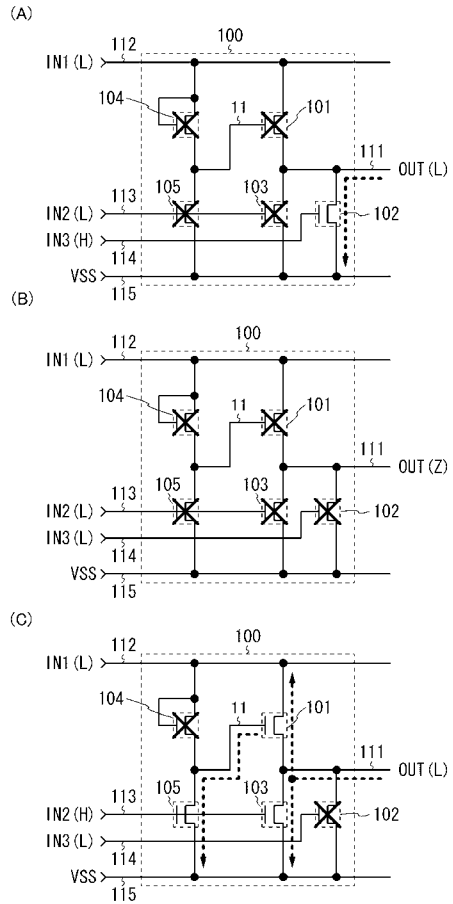
【 図 2 】



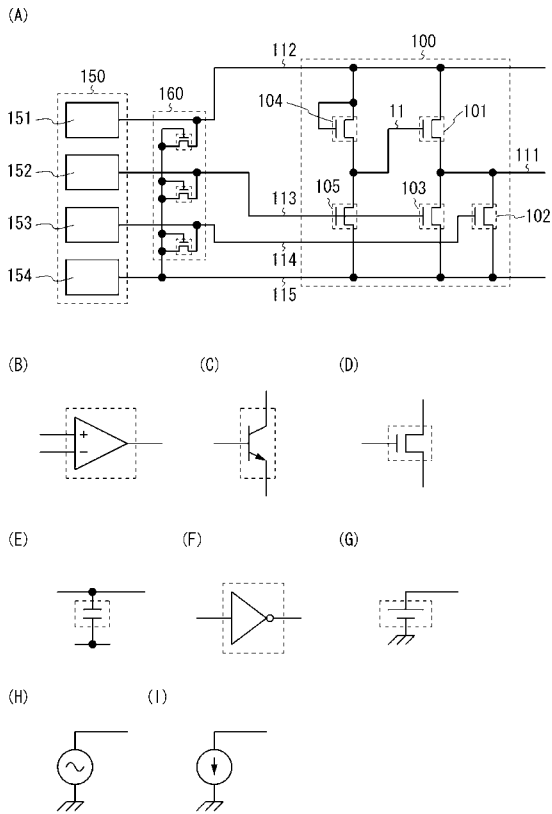
【 図 3 】



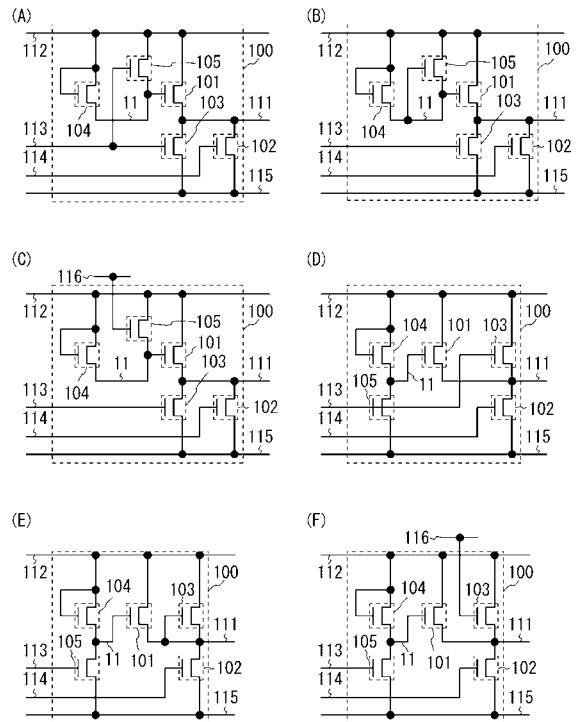
【 図 4 】



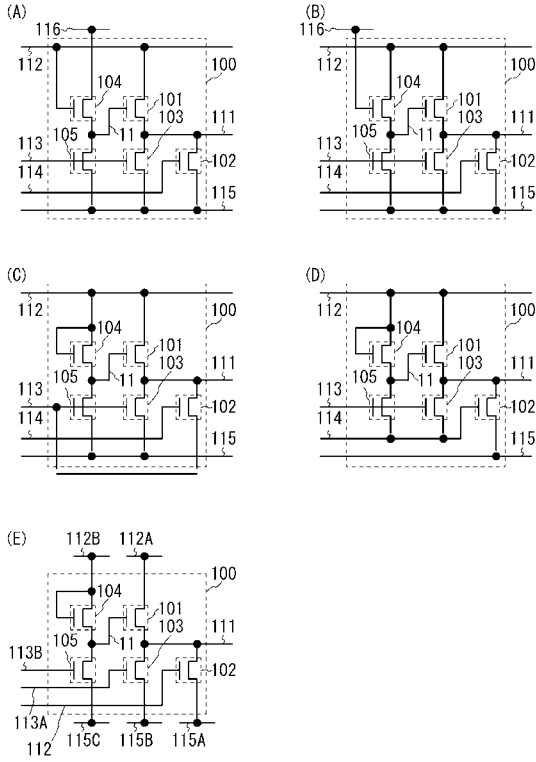
【 図 5 】



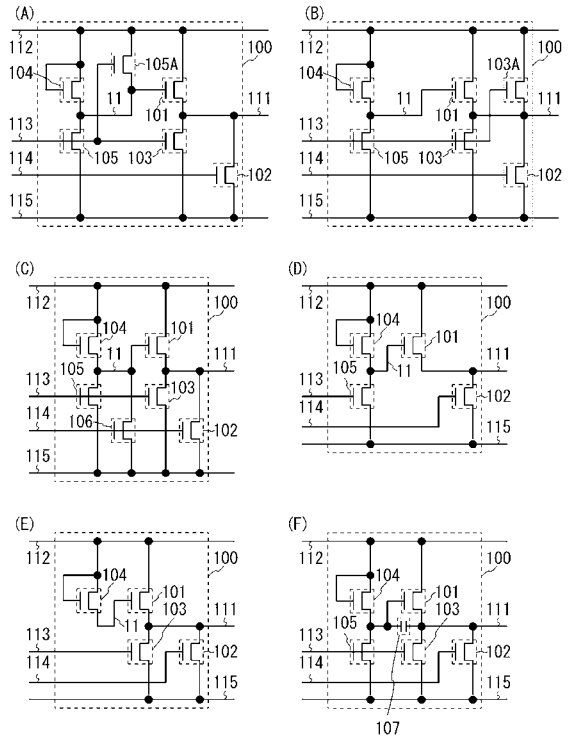
【 図 6 】



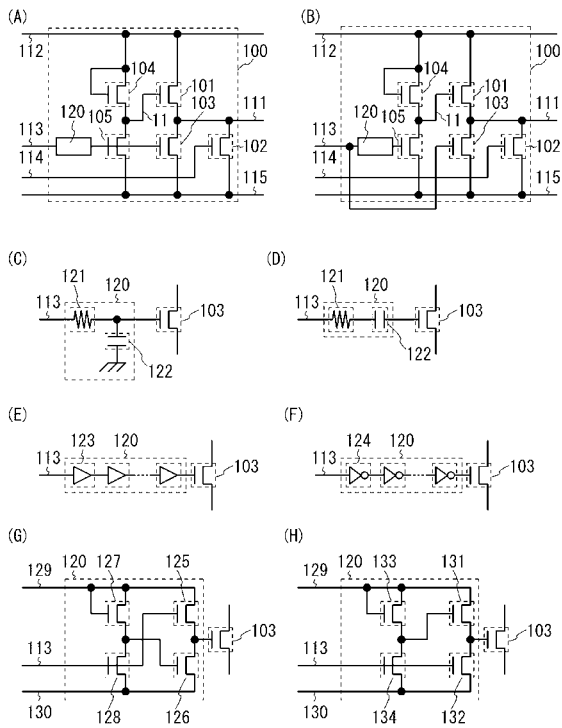
【 図 7 】



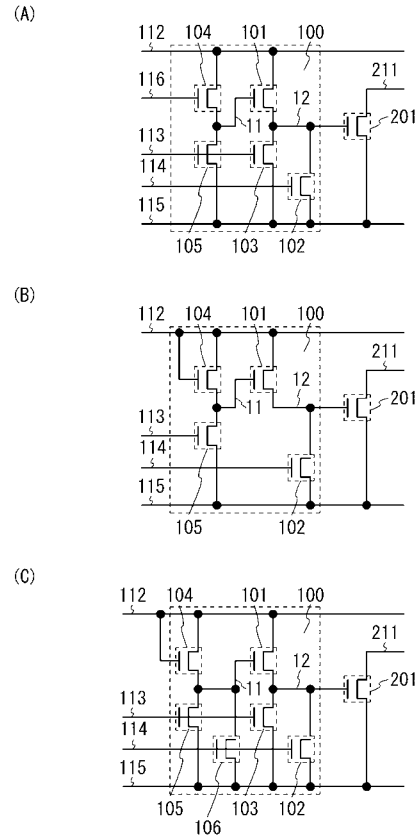
【 図 8 】



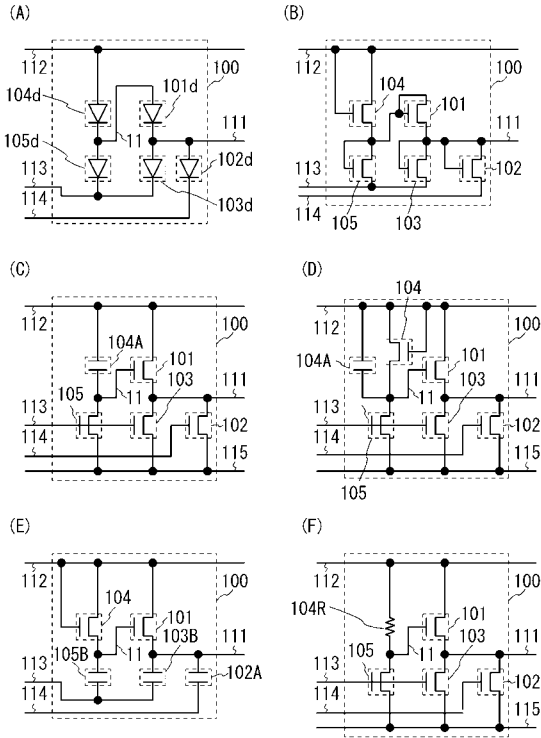
【 図 9 】



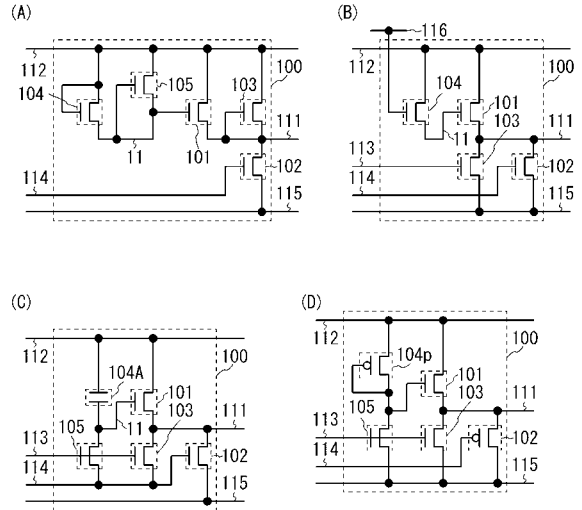
【 図 10 】



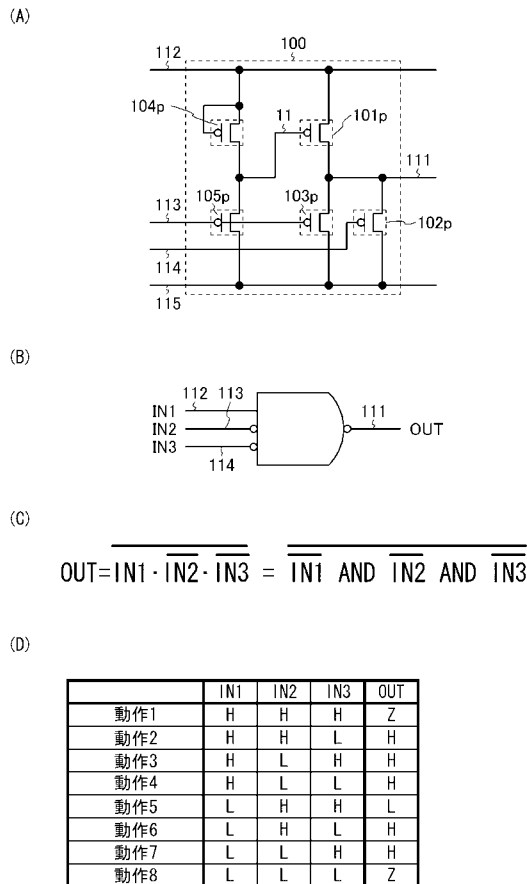
【 図 1 1 】



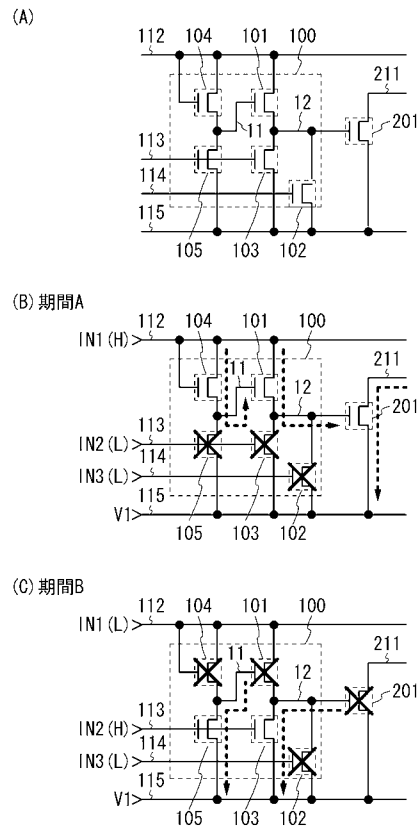
【 図 1 2 】



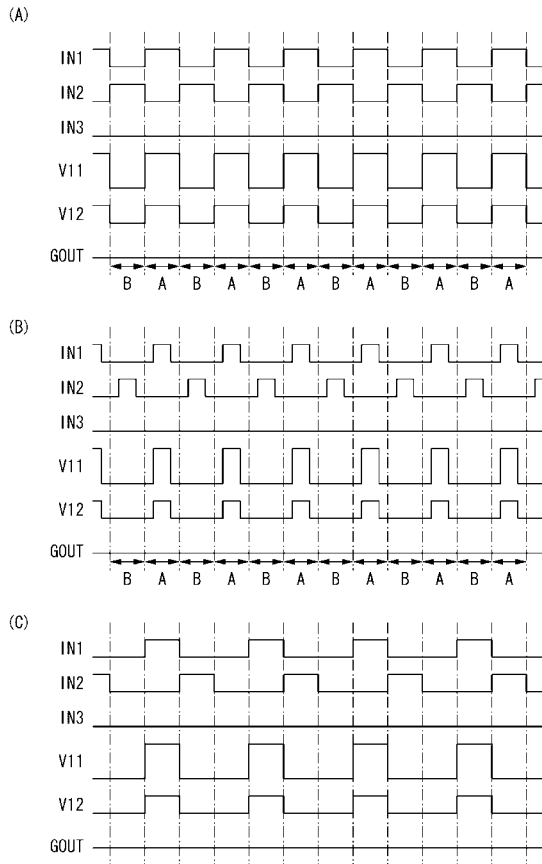
【 図 1 3 】



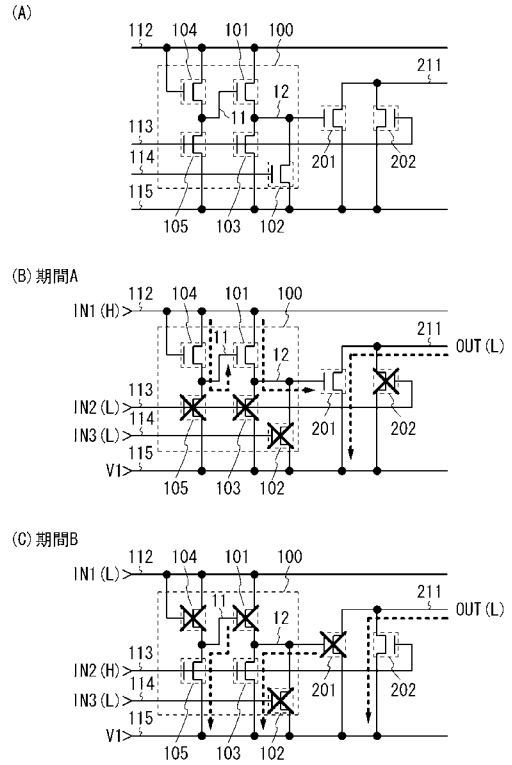
【 図 1 4 】



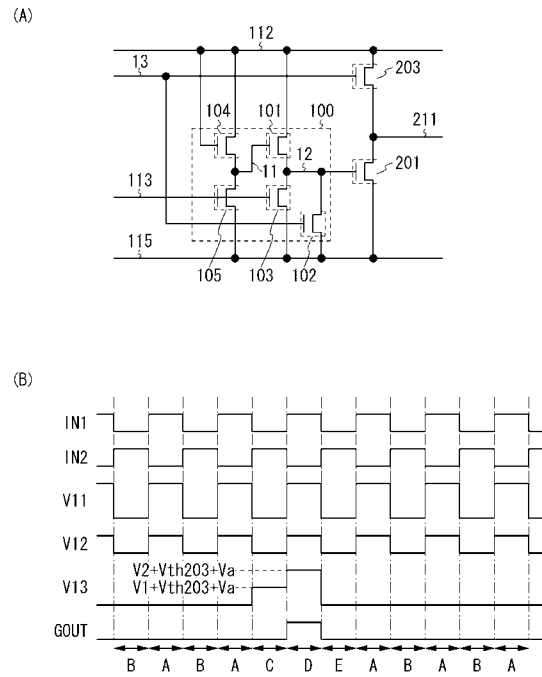
【図 15】



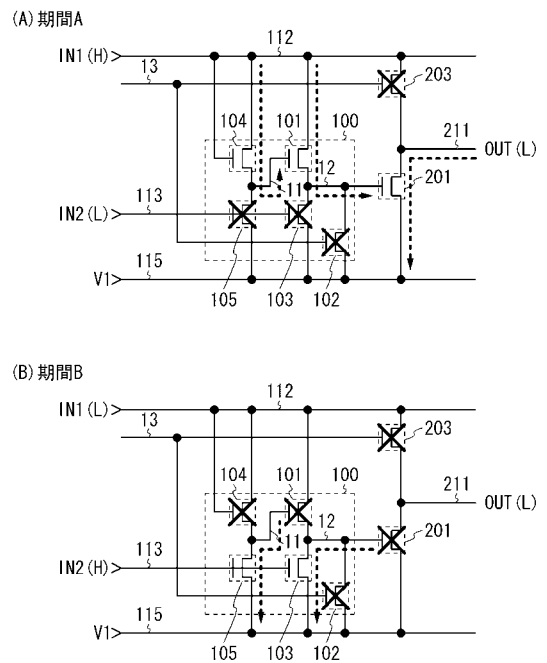
【図 16】



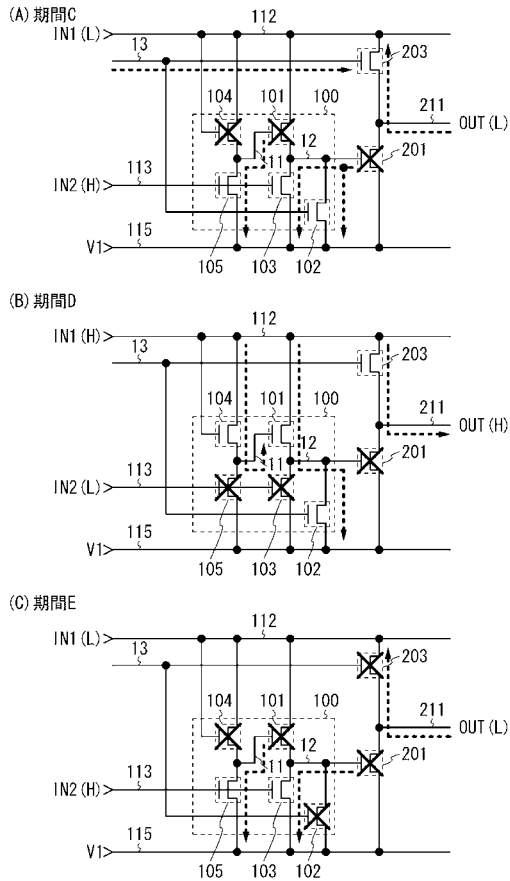
【図 17】



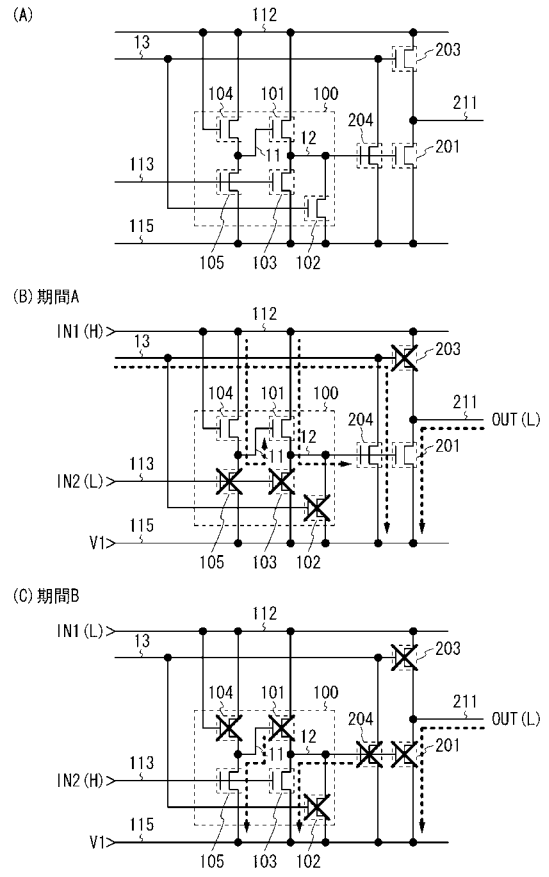
【図 18】



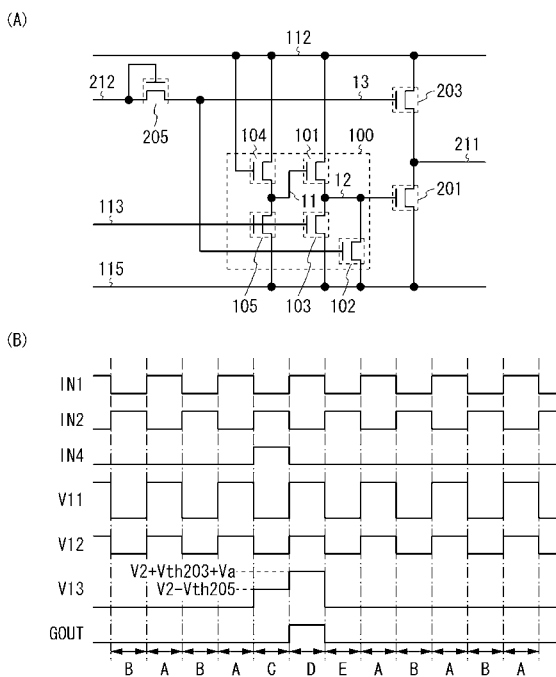
【図 19】



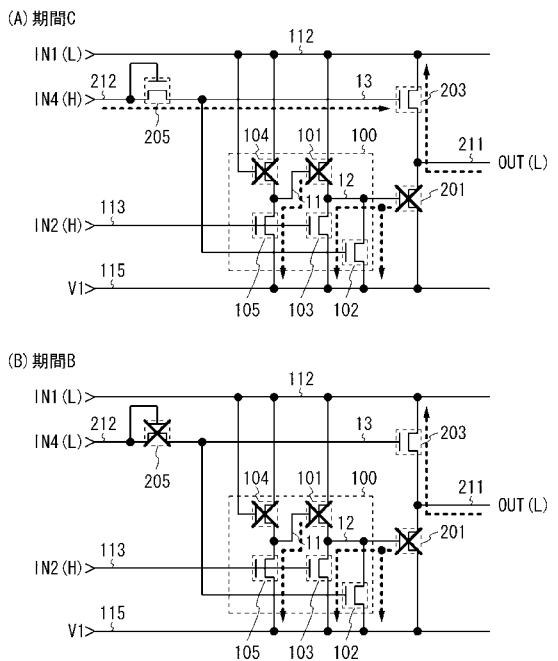
【図 20】



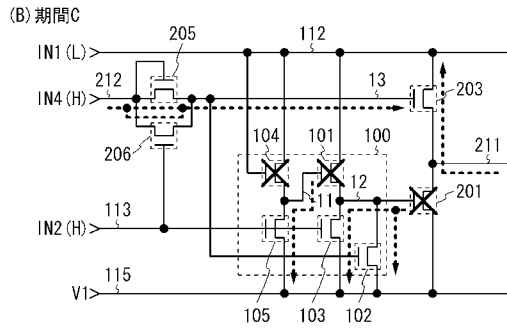
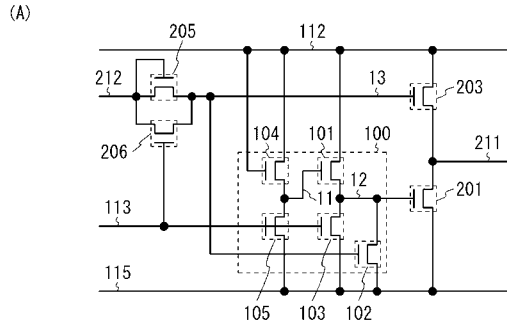
【図 21】



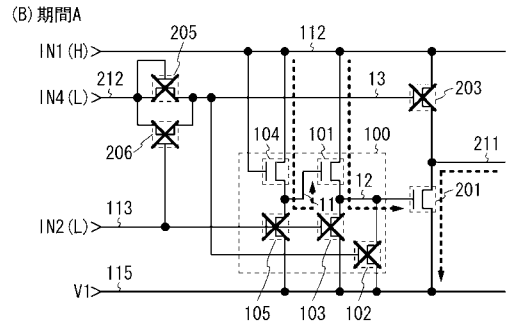
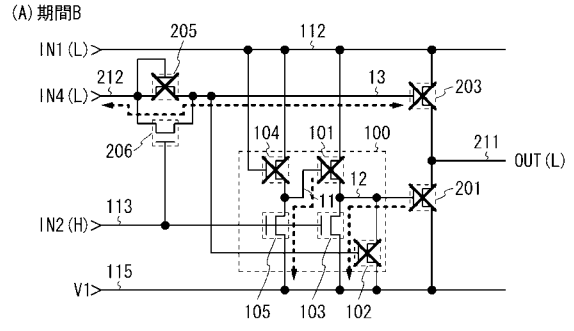
【図 22】



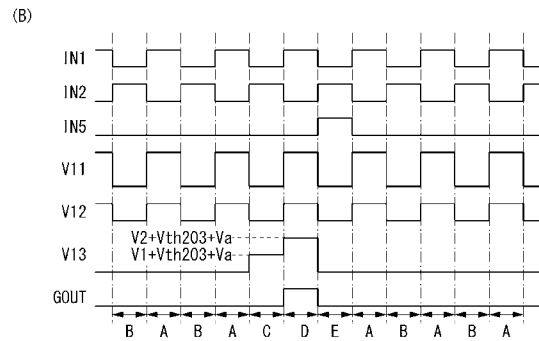
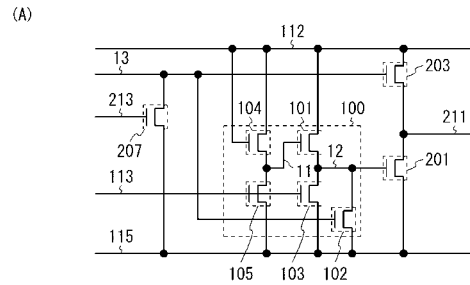
【図 2 3】



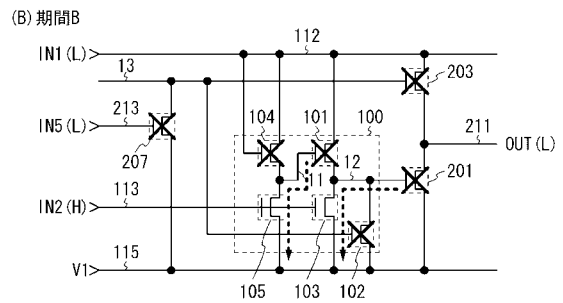
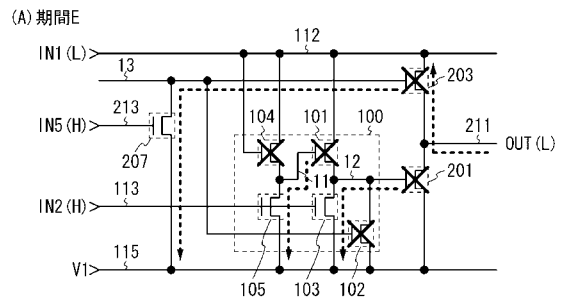
【図 2 4】



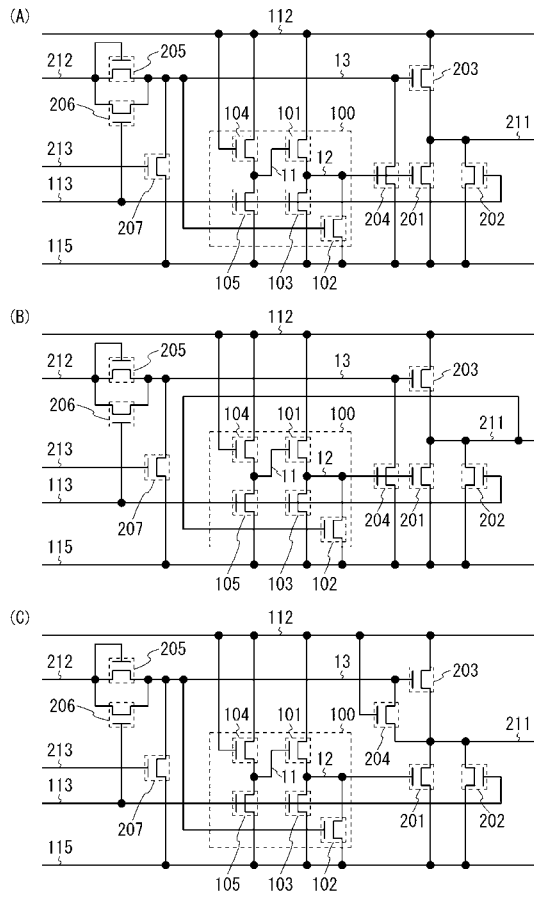
【図 2 5】



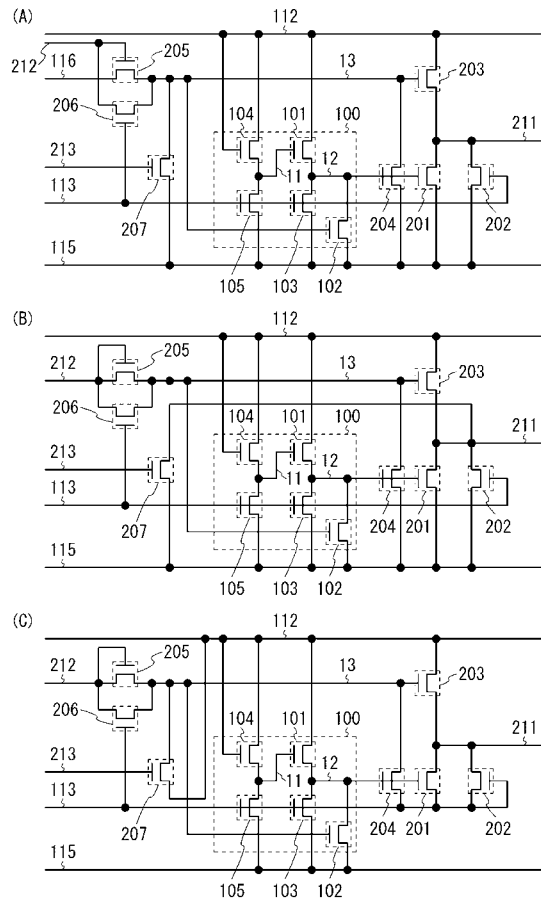
【図 2 6】



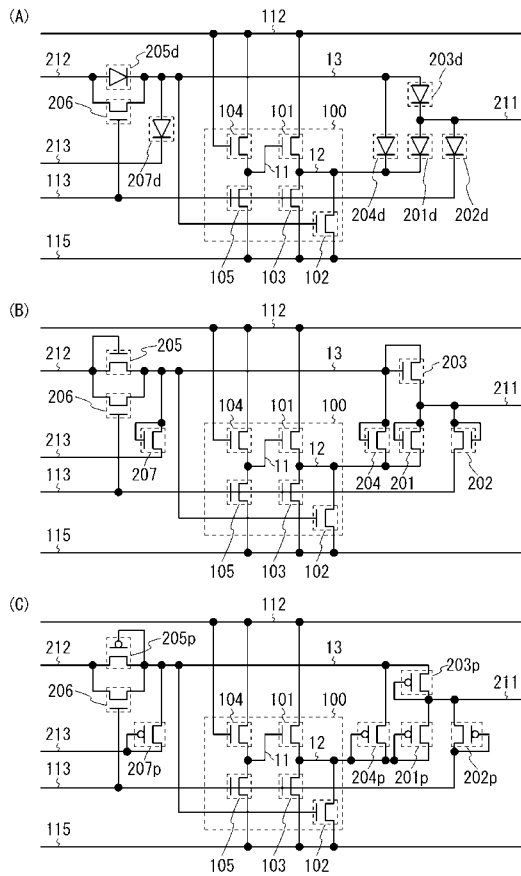
【図 27】



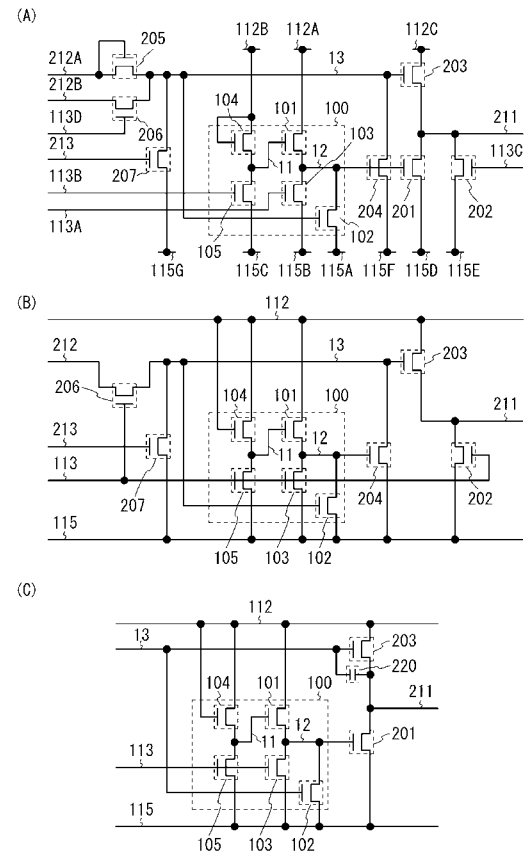
【図 28】



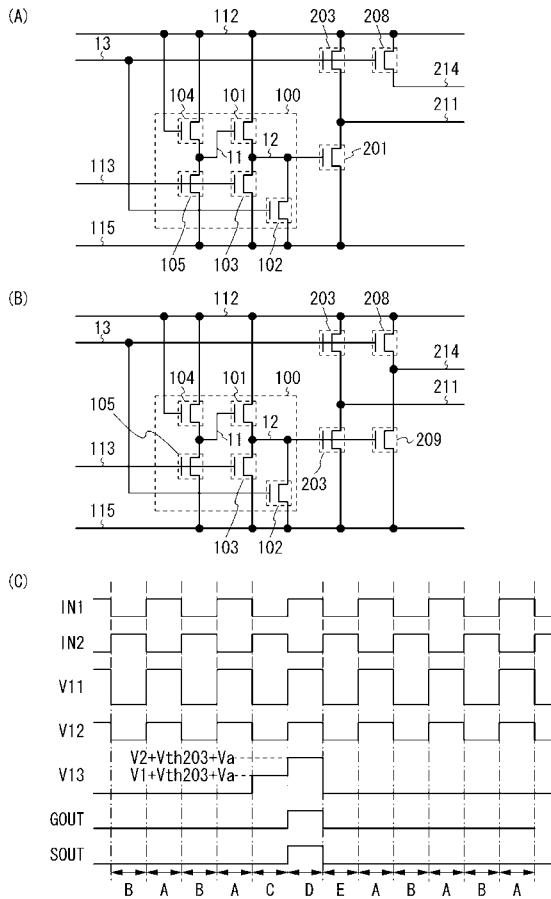
【図 29】



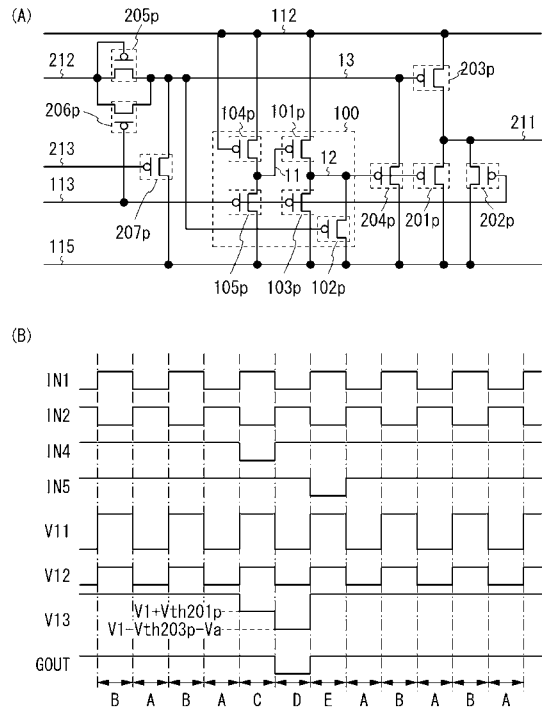
【図 30】



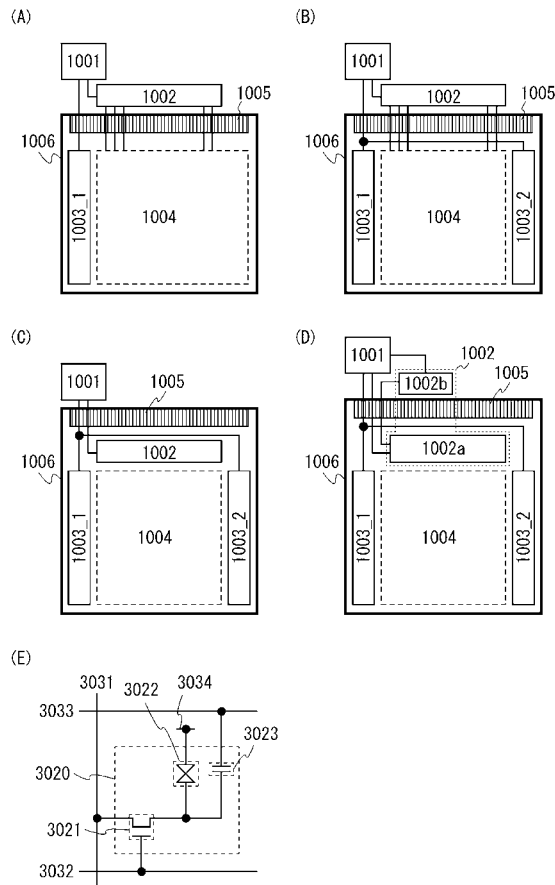
【 図 3 1 】



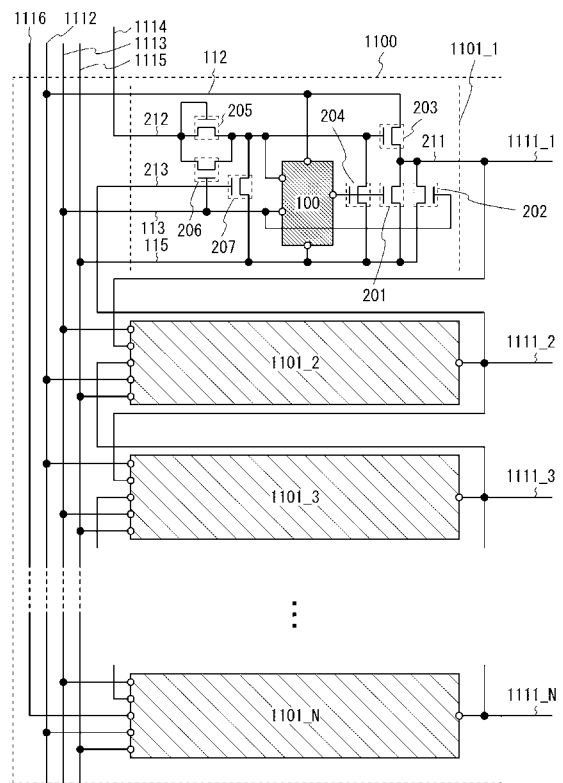
【 図 3 2 】



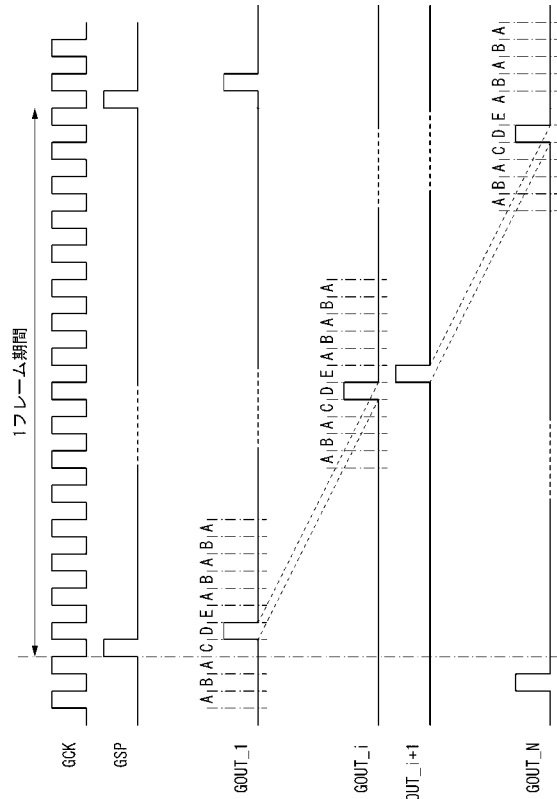
【 図 3 3 】



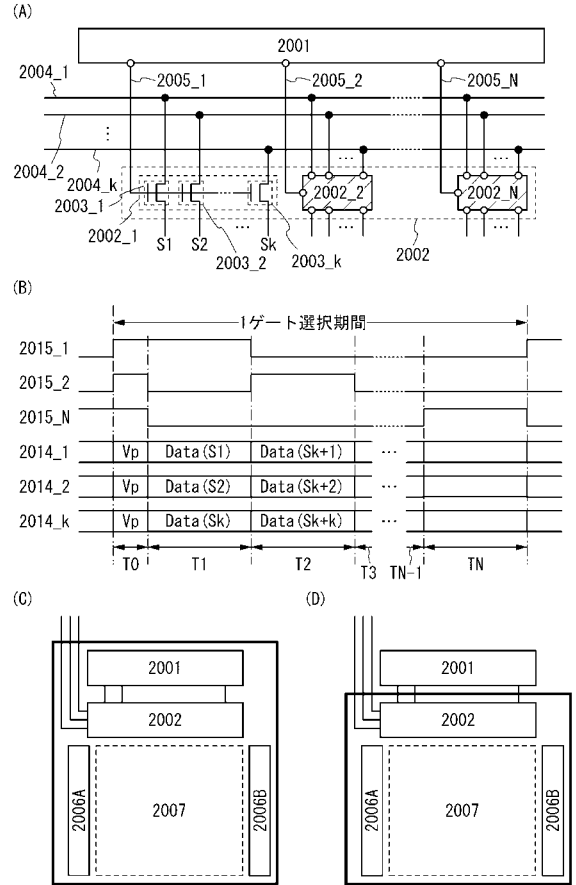
【 図 3 4 】



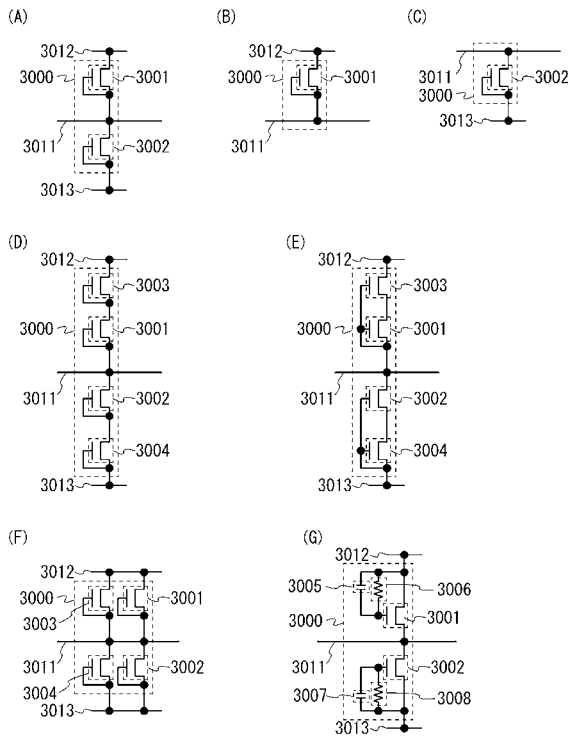
【図 3 5】



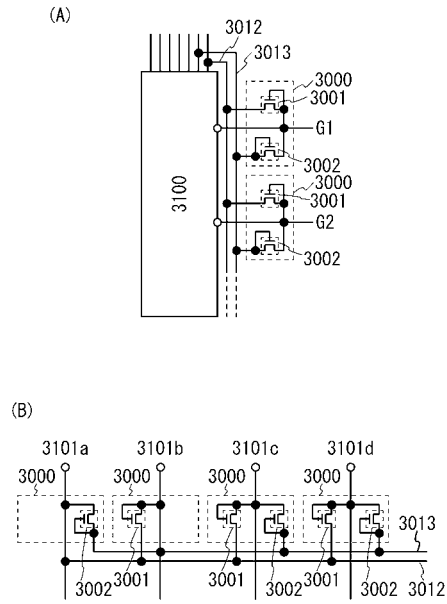
【図 3 6】



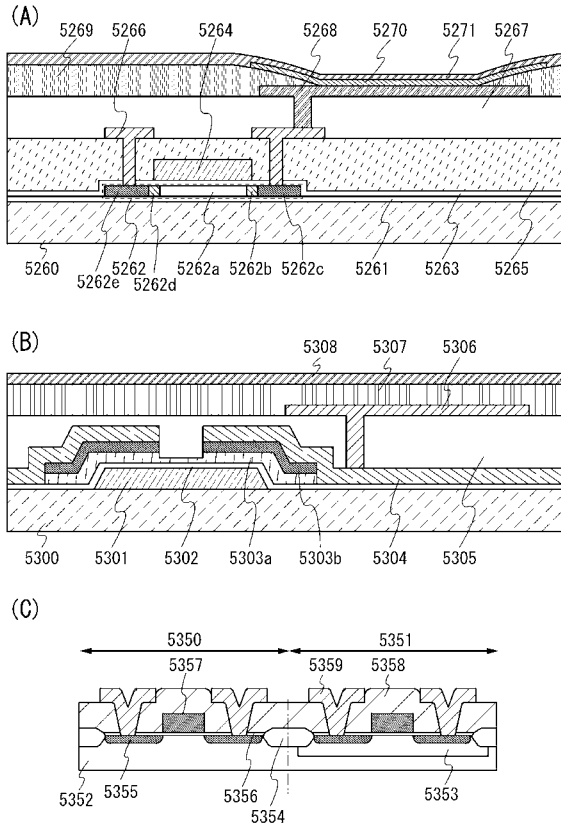
【図 3 7】



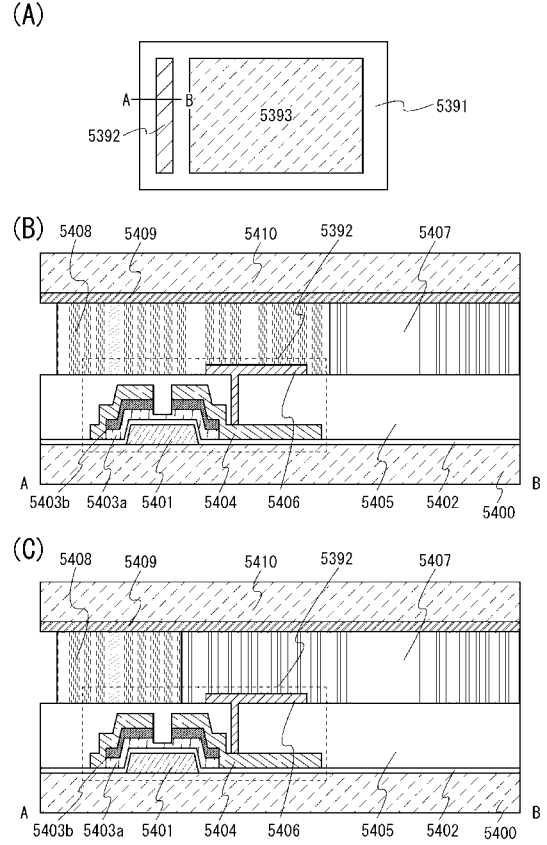
【図 3 8】



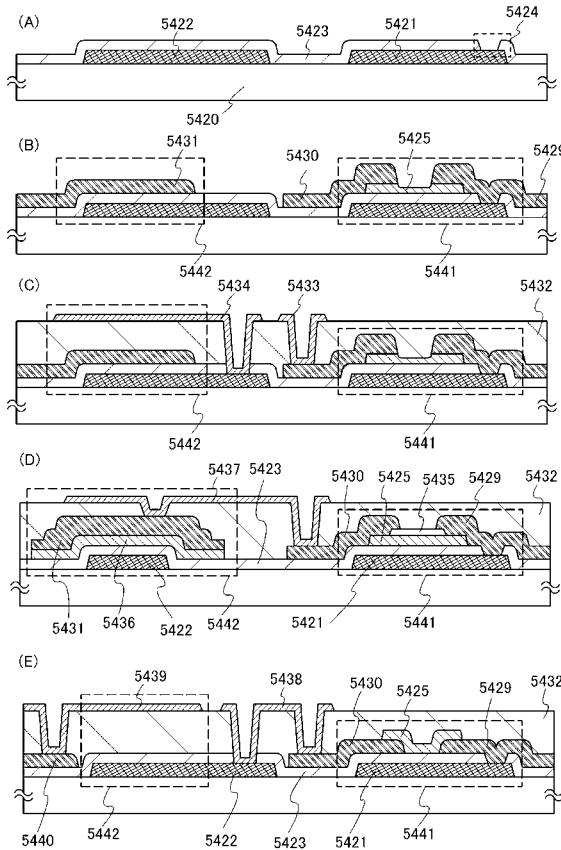
【 図 3 9 】



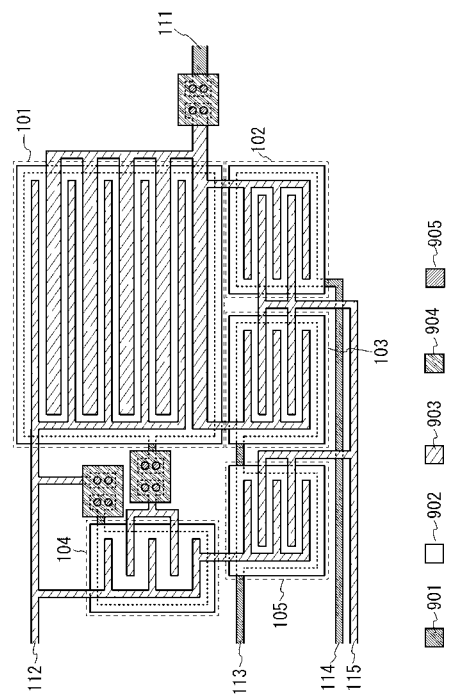
【 図 4 0 】



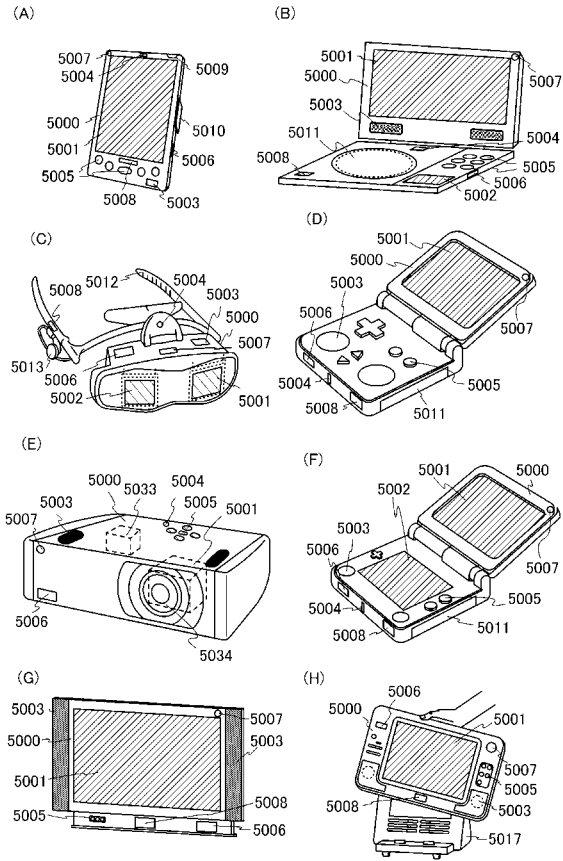
【 図 4 1 】



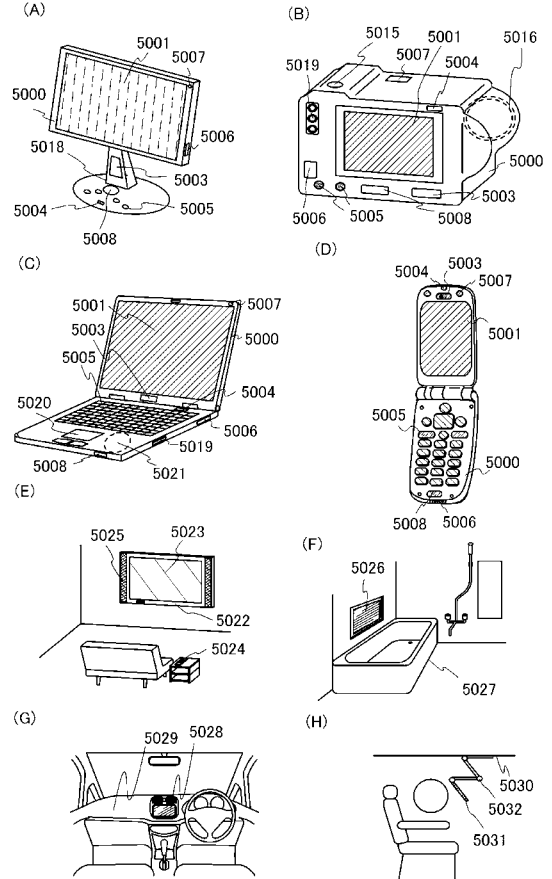
【 図 4 2 】



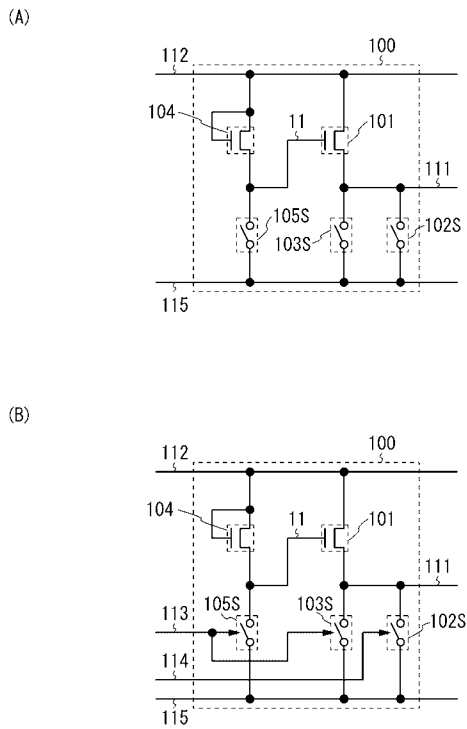
【図 4 3】



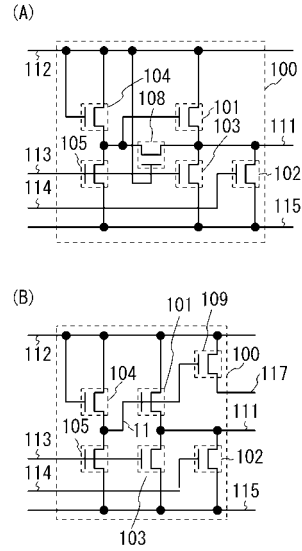
【図 4 4】



【図 4 5】



【図 4 6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 1 1 H
G 0 2 F	1/133	5 5 0

Fターム(参考)	5C006	AA02	AA16	AA22	AF46	AF50	AF81	AF82	BB16	BB28	BC03
		BC06	BC20	BF03	BF06	BF25	BF26	BF27	BF29	BF33	BF34
		BF36	BF37	BF38	BF42	BF46	EB04	EC13	FA14	FA15	FA31
		FA43	FA46	FA47	FA51	GA02	GA03				
	5C080	AA06	AA10	AA13	BB05	CC03	DD07	DD08	DD09	DD12	DD19
		DD22	DD25	DD26	DD27	DD28	DD29	EE01	EE19	EE29	EE30
		FF11	FF12	GG05	GG07	JJ03	JJ04	JJ06	KK02	KK07	KK20
		KK23	KK42	KK43	KK47	KK50					

专利名称(译)	半导体器件，液晶显示器件和电子器件		
公开(公告)号	JP2014139691A	公开(公告)日	2014-07-31
申请号	JP2014082837	申请日	2014-04-14
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇 梅崎敦司		
发明人	木村 肇 梅崎 敦司		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	H01L27/088 H01L27/1225 H01L29/7869 G02F1/13306 G02F1/136286 G02F1/1368 G09G3/36 G09G3/3677 G11C19/28 H01L27/124 G02F1/133345 G02F1/1339 G02F1/134309 G02F1/136213 G02F2001/133302 G02F2201/121 G02F2201/123 G09G2310/0251 G09G2310/08 G09G2330/021 H01L27/1244 H01L27/1251 H01L27/1255 H01L27/127 H01L27/1288 H01L29/41733 H01L29/42384 H01L29/78696		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.680.F G09G3/20.691.D G09G3/20.670.J G09G3/20.670.K G09G3/20.611.H G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZE06 2H193/ZF23 2H193/ZF24 2H193/ZF32 2H193/ZF42 2H193/ZF43 2H193/ZF44 5C006/AA02 5C006/AA16 5C006/AA22 5C006/AF46 5C006/AF50 5C006/AF81 5C006/AF82 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF06 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF29 5C006/BF33 5C006/BF34 5C006/BF36 5C006/BF37 5C006/BF38 5C006/BF42 5C006/BF46 5C006/EB04 5C006/EC13 5C006/FA14 5C006/FA15 5C006/FA31 5C006/FA43 5C006/FA46 5C006/FA47 5C006/FA51 5C006/GA02 5C006/GA03 5C080/AA06 5C080/AA10 5C080/AA13 5C080/BB05 5C080/CC03 5C080/DD07 5C080/DD08 5C080/DD09 5C080/DD12 5C080/DD19 5C080/DD22 5C080/DD25 5C080/DD26 5C080/DD27 5C080/DD28 5C080/DD29 5C080/EE01 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/GG05 5C080/GG07 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK20 5C080/KK23 5C080/KK42 5C080/KK43 5C080/KK47 5C080/KK50 5B074/AA02 5B074/CA01		
优先权	2009209099 2009-09-10 JP		
外部链接	Espacenet		

摘要(译)

提供一种具有几乎没有劣化的电路的半导体器件。第一晶体管，第二晶体管，第一开关和第二开关。H和第三开关，第一晶体管的第一端子连接到第一布线 第二端子连接到第二布线，第二晶体管的栅极和第一 该端子连接到第一布线，并且第二端子连接到第一晶体管的栅极。第一开关连接在第二布线和第三布线之间，第二开关 开关连接在第二布线和第三布线之间，并且第三开关连接到第三布线。半导体器件，其连接在1的晶体管的栅极和第三布线之间。[选型图]图1

	IN1	IN2	IN3	OUT
動作1	H	H	H	L
動作2	H	H	L	L
動作3	H	L	H	L
動作4	H	L	L	H
動作5	L	H	H	L
動作6	L	H	L	L
動作7	L	L	H	L
動作8	L	L	L	Z