

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-2408

(P2014-2408A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20	5C006
G02F 1/133 (2006.01)	G09G 3/20	5C080
	G09G 3/20	680G
	G09G 3/20	623Q

審査請求 有 請求項の数 1 O L (全 30 頁) 最終頁に続く

(21) 出願番号	特願2013-170934 (P2013-170934)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成25年8月21日 (2013.8.21)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(62) 分割の表示	特願2011-253993 (P2011-253993) の分割	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成12年7月14日 (2000.7.14)	(72) 発明者	山形 裕和 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願平11-206378	(72) 発明者	F ターム (参考) 2H193 ZA04 ZB02 ZB03 ZC16 ZC25 ZD32 ZE04 ZF02 ZF23 ZF24 ZF35 ZF36 ZF45
(32) 優先日	平成11年7月21日 (1999.7.21)		最終頁に続く
(33) 優先権主張国	日本国 (JP)		

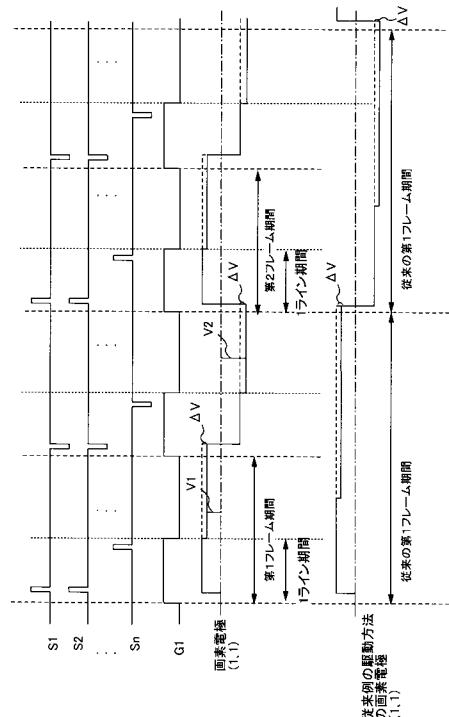
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 高画質な液晶表示装置を提供する。

【解決手段】 第1のフレーム期間中に、第1の映像信号が、第1の画素電極に供給され、第2のフレーム期間中に、第1の映像信号と逆の極性の第2の映像信号が、第1の画素に供給され、第1のフレーム期間中に、第1の映像信号と同じ極性の第3の映像信号が、第2の画素電極に供給され、第2のフレーム期間中に、第1の映像信号と逆の極性の第4の映像信号が、第2の画素電極に供給され、第1のフレーム期間中に、第1の映像信号と同じ極性の第5の映像信号が、第3の画素電極に供給され、第2のフレーム期間中に、第1の映像信号と逆の極性の第6の映像信号が、第3の画素に供給され、第1のフレーム期間中に、第1の映像信号と同じ極性の第7の映像信号が、第4の画素電極に供給され、第2のフレーム期間中に、第1の映像信号と逆の極性の第8の映像信号が、第4の画素電極に供給され、120Hzで駆動される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ソース信号線と、第1及び第2のゲート信号線と、
 第1乃至第4の画素電極と、を有し、
 前記第1乃至第4の画素電極を有する基板上にカラーフィルターが形成され、
 前記第1の画素電極は、前記第1のゲート信号線により、第1及び第2の映像信号の入
 力が制御され、
 前記第2の画素電極は、前記第2のゲート信号線により、第3及び第4の映像信号の入
 力が制御され、

前記第3の画素電極は、前記第1のゲート信号線により、第5及び第6の映像信号の入
 力が制御され、

前記第4の画素電極は、前記第2のゲート信号線により、第7及び第8の映像信号の入
 力が制御され、

前記第1の画素電極は、前記ソース信号線を挟んで前記第3の画素電極と隣接し、
 前記第2の画素電極は、前記ソース信号線を挟んで前記第4の画素電極と隣接し、

前記第1のゲート信号線は前記第2のゲート信号線の隣のゲート信号線であり、

第1のフレーム期間と前記第1のフレーム期間の次のフレーム期間である第2のフレー
 ム期間とを有し、

前記第1のフレーム期間中に、前記第1の映像信号が、前記第1の画素電極に供給され
 、

前記第2のフレーム期間中に、前記第1の映像信号と逆の極性の前記第2の映像信号が
 、前記第1の画素電極に供給され、

前記第1のフレーム期間中に、前記第1の映像信号と同じ極性の前記第3の映像信号が
 、前記第2の画素電極に供給され、

前記第2のフレーム期間中に、前記第1の映像信号と逆の極性の前記第4の映像信号が
 、前記第2の画素電極に供給され、

第1のフレーム期間中に、前記第1の映像信号と同じ極性の前記第5の映像信号が、前
 記第3の画素電極に供給され、

第2のフレーム期間中に、前記第1の映像信号と逆の極性の前記第6の映像信号が、前
 記第3の画素電極に供給され、

前記第1のフレーム期間中に、前記第1の映像信号と同じ極性の前記第7の映像信号が
 、前記第4の画素電極に供給され、

前記第2のフレーム期間中に、前記第1の映像信号と逆の極性の前記第8の映像信号が
 、前記第4の画素電極に供給され、

フレーム周波数は120Hz以上であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶等の表示媒体を用い、マトリクス状に画素が配置された表示装置に好適
 な駆動方法に関する。また、前記駆動方法を用いて表示を行う表示装置に関する。特に直
 視型のアクティブマトリクス型液晶パネル(液晶パネル)に関する。

【背景技術】

【0002】

近年、絶縁性基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(FTF)
 を作製する技術が急速に発達している。その理由は、液晶パネル(代表的には、アクティブマトリクス型液晶パネル)の需要が高まってきたことによる。

【0003】

アクティブマトリクス型液晶パネルは、マトリクス状に配置された数十～数百万個もの
 画素に出入りする電荷を画素のスイッチング素子により制御して画像を表示するものである。

10

20

30

40

50

【0004】

なお、本明細書中における画素とは、スイッチング素子と、前記スイッチング素子に接続された画素電極と、液晶と、前記液晶を介して画素電極に対向して設けられた対向電極とで主に構成されている素子を指している。

【0005】

以下に図19を用いて、アクティブマトリクス型液晶パネルの表示動作の代表的な例を簡略に説明する。

【0006】

ソース信号線駆動回路103とソース信号線S1～S6とが接続されている。

またゲート信号線駆動回路104とゲート信号線G1～G5とが接続されている。そしてソース信号線S1～S6とゲート信号線G1～G5とで囲まれている部分に画素106が複数設けられている。画素106にはスイッチング素子101と画素電極102とが設けられている。なおソース信号線とゲート信号線の数はこの値に限定されない(図19(A))。なお図19(B)は画素部105が有する複数の画素106の位置を示す図(表示パターン)である。

10

【0007】

ソース信号線駆動回路103内のシフトレジスタ回路等(図示しない)からの信号に従って、ソース信号線S1に映像信号が印加される。またゲート信号線駆動回路104からゲート信号線G1に選択信号が印加され、ゲート信号線G1とソース信号線S1とが交差している部分の画素(1、1)のスイッチング素子をオン状態にする。そしてソース信号線S1の映像信号が画素(1、1)の画素電極に印加される。この印加された映像信号の電位により液晶を駆動し、透過光量を制御して、画素(1、1)に画像の一部(画素(1、1)に相当する画像)が表示される。

20

【0008】

次に、画素(1、1)に画像が表示された状態を保持容量(図示せず)等で保持したまま、次の瞬間には、ソース信号線駆動回路内103のシフトレジスタ回路等(図示しない)からの信号に従って、ソース信号線S2に映像信号が入力される。ゲート信号線駆動回路104からゲート信号線G1に選択信号が印加されたままであり、ゲート信号線G1とソース信号線S2とが交差している部分の画素(1、2)のスイッチング素子をオン状態にする。そしてソース信号線S2の映像信号の電位が画素(1、2)の画素電極に印加される。この印加された映像信号の電位により液晶を駆動し、透過光量を制御して、画素(1、1)と同様に、画素(1、2)に画像の一部(画素(1、2)に相当する画像)が表示される。

30

【0009】

このような表示動作を順次行い、ゲート信号線G1に接続されている画素(1、1)(1、2)(1、3)(1、4)(1、5)(1、6)に画像の一部を次々と表示する。この間、ゲート信号線G1には選択信号が印加され続けている。

【0010】

ゲート信号線G1に接続されている画素の全てに映像信号が印加されると、ゲート信号線G1には選択信号が印加されなくなり、引き続いて、ゲート信号線G2にのみ選択信号が印加される。そしてゲート信号線G2に接続されている画素(2、1)(2、2)(2、3)(2、4)(2、5)(2、6)に画像の一部を次々と表示する。この間、ゲート信号線G2には選択信号が印加され続けている。このような表示動作を全てのゲート信号線において行うことにより、表示領域に一画面(フレーム)を表示する。この期間を1フレーム期間と呼ぶ。(図19(B))

40

【0011】

最後に映像信号が印加される画素(4、6)に画像の一部が表示されるまで、他の全ての画素は画像が表示された状態を保持容量(図示せず)等で保持している。

【0012】

これらの表示動作を順次繰り返すことにより、画素部105に画像を表示する。

50

【発明の概要】

【発明が解決しようとする課題】

【0013】

通常スイッチング素子としてTFT等を用いた液晶パネルでは、液晶材料の劣化を防ぐために、各画素へ印加する信号の電位の極性を、共通電位を基準として反転（交流化駆動）させる。

【0014】

交流化駆動方法の1つにソースライン反転駆動が挙げられる。図20（A）にソースライン反転駆動における画素の極性パターンを示す。なお図20に示した極性パターンは、図19（B）に示した表示パターンと対応している。

10

【0015】

なお、本明細書中の極性パターンを示した図〔図20、図22、図23〕では、共通電位を基準として、画素に印加される映像信号の電位が正である場合は「+」で図示し、負である場合は「-」で示している。

【0016】

加えて、走査方式には、1画面（1フレーム）のゲート信号線を1つづつ飛び越すことで2回（2フィールド）に分けて走査するインターレス走査と、ゲート信号線を飛び越さずに順番に走査するノンインターレス走査とがあるが、ここでは主にノンインターレス走査を用いた例で説明する。

20

【0017】

図20（A）で示したように、ソースライン反転駆動の特徴は、任意の1フレーム期間において、同じソース信号線に接続されている全ての画素に同じ極性の映像信号が印加されており、隣り合うソース信号線に接続されている画素どうして逆の極性の映像信号が印加されていることである。そして次の1フレーム期間において、直前の1フレーム期間で表示された極性パターン1と逆の極性の映像信号が各画素に印加されて極性パターン2が表示される。

【0018】

また、他の交流化駆動方法としてゲートライン反転駆動が挙げられる。ゲートライン反転駆動の極性パターンを図20（B）に示す。

30

【0019】

図20（B）で示したように、任意の1フレーム期間において、同じゲート信号線に接続されている全ての画素に同じ極性の映像信号が印加されており、隣り合うゲート信号線に接続されている画素どうして逆の極性の映像信号が印加されていることである。そして次の1フレーム期間において、直前の1フレーム期間で表示された極性パターン3と逆の極性の映像信号が各画素に印加されて極性パターン4が表示される。

【0020】

即ち、上記従来のソースライン反転駆動方法と同様に、2種類の極性パターン（極性パターン3と極性パターン4）が繰り返し表示される駆動方法であった。

40

【0021】

近年、液晶パネルは、その薄型、軽量化が求められると同時に、高精細化、高画質化、及び高輝度化も要求されている。

【0022】

液晶パネルの薄型、軽量化を図るために、液晶パネルの基板サイズの小型化が必要となる。基板サイズを小さくして、なおかつ画質を落とさないためには、必然的に画素ピッチを短くして画素部の面積を小さくしなくてはならない。

【0023】

図21に液晶パネルの画素の拡大図を示す。ソース信号線12aと、ゲート信号線12bと、半導体層13及びゲート信号線12bの一部であるゲート電極14を有する画素TFT（スイッチング素子）15と、画素電極16とが、図21に示すように設けられている。そしてソース信号線12aと、ゲート信号線12bと、画素TFT15との上に、可

50

視光を透過する必要のない領域を覆ってブラックマトリクス 17 が設けられている。ブラックマトリクス (B M) とは、可視光を透過させる必要のない配線 (ソース信号線 12 a、ゲート信号線 12 b) または画素 TFT 15 等の上方に設けられる遮光性を有する膜のことを指す。

【0024】

画素ピッチ L とは、画素 11 を挟んで向かい合っているソース信号線 12 a どうしの距離と、向かい合っているゲート信号線 12 b どうしの距離とで短い方を指す。両方の信号線同志の距離が同じ場合はその距離を画素ピッチ L とする。

【0025】

画素ピッチが短くなると、隣り合う画素の有する画素電極 16 どうしの距離が短くなってくる。そのためソースライン反転駆動及びゲートライン反転駆動をした場合、逆の極性が印加された隣接画素間にディスクリネーションラインと呼ばれる縞が発生し、表示画面全体の明るさが低減される傾向があった。

【0026】

本明細書中では、正の極性の映像信号が印加された画素と、負の極性の映像信号が印加された画素との間で生じる電位差に起因する液晶の配向状態の乱れ (ディスクリネーション) による表示不良 (ノーマリホワイトの場合は光のロス、ノーマリブラックの場合は光漏れ) をディスクリネーションラインと呼んでいる。

【0027】

隣り合う画素間で生じる電位差は、図 22 (A) に示す電気力線により生じる。図 22 (A) には、2 つの隣り合う画素が有する画素電極 A、B に印加された紙面に垂直方向の有効電界 (正または負) に対して、2 つの画素電極 A、B の間で生じる電気力線の状態図の上面図を示し、図 22 (B) には、その断面図を示した。ただし、便宜上、図 22 (A) は、横方向に生じる画素電極 A、B の間で生じる電気力線のみを示し、図 22 (B) は、垂直方向に配向制御されている液晶分子が電界の印加に反応する直前の電気力線の状態図を示した。

【0028】

なお、図 20 (A) に対応するディスクリネーションパターンを図 22 (C) に示した。図 22 (C) には、ディスクリネーションラインが定位置に形成され、画素に印加された映像信号の極性は異なっているものの、実質的にはディスクリネーションパターン 1 とディスクリネーションパターン 2 は同一である。図 22 (C) に示したようなディスクリネーションラインは、ゲートライン反転駆動においても見られる。ゲートライン反転駆動の場合ディスクリネーションラインは、画素と画素の間をゲート信号線の方向と平行して現れる。

【0029】

加えて図示しないが他の交流化駆動方法として、画素に印加する映像信号の極性を、隣接する全ての画素どうしで反転させる方法 (ドット反転駆動) が提案されている。ドット反転駆動は隣接画素と極性が異なるため、隣接する画素との間で生じる電位差の影響が大きく、特に画素ピッチが短くなるとディスクリネーションが表示に大きく影響する。

【0030】

画素ピッチが短くなればなるほど、隣り合う画素電極 どうしの距離が短くなる。ディスクリネーションは $20 \mu m$ 以下になると特に著しかった。

【0031】

そこでソースライン反転駆動、ゲートライン反転駆動及びドット反転駆動の代わりに、1 フレーム期間毎に全ての画素に印加する映像信号の極性を反転させるフレーム反転駆動を用いることでディスクリネーションを抑えることが考えられる。

【0032】

図 23 にフレーム反転駆動における各画素の極性パターンを示す。フレーム反転駆動の特徴は、任意の 1 フレーム期間内で、全ての画素に同一の極性の映像信号が印加され (極性パターン 5) 、そして次の 1 フレーム期間では、全ての画素に印加される映像信号の極性が反転する。

10

20

30

40

50

性を反転させて表示する（極性パターン6）点である。即ち、極性パターンのみに注目すると2種類の極性パターン（極性パターン5と極性パターン6）が繰り返し表示される駆動方法であった。このため同一フレーム期間内では、隣り合う画素に印加される映像信号の極性は同じであり、ディスクリネーションの発生は抑えられる。

【0033】

しかしフレーム反転駆動の問題点は、映像信号の極性が正の時の表示と負の時の表示とで画面の明るさが微妙に異なってしまうために、観察者にチラツキとして視認されてしまうことである。このちらつきの発生の原因について以下詳しく説明する。

【0034】

図24にソース信号線S1～Snに印加される映像信号と、ゲート信号線G1に印加される選択信号と、画素（1、1）が有する画素電極（1、1）の電位のタイミングチャートを示した。ゲート信号線G1に選択信号が印加されている期間を1ライン期間、全てのゲート信号線に選択信号が印加され1つの画像が表示されるまでの期間を1フレーム期間とする。

10

【0035】

ソース信号線S1とゲート信号線G1にそれぞれ映像信号と選択信号とが印加されると、ソース信号線S1とゲート信号線G1との交差している部分に設けられた画素（1、1）に、選択信号によって選択された正の極性の映像信号の電位が印加される。そして理想的にこの電位は、保持容量等によって1フレーム期間保持される。

20

【0036】

しかし実際には、1ライン期間が終了するとゲート信号線G1に選択信号が印加されなくなつてゲート信号線G1の電位が変化すると同時に、画素電極の電位も変化する。ゲート信号線は画素のスイッチング素子である画素TFTのゲート電極に接続されている。そしてソース信号線は画素TFTのソース又はドレイン領域に接続されており、画素電極はソース又はドレイン領域のソース信号線と接続していない方と接続している。そしてゲート電極と画素電極との間には容量がわずかながらに形成されており、ゲート信号線G1の電位が変化すると画素電極の電位もそれにつられてVだけ変化する。この場合、負の方向に画素電極の電位が変化する。図24に示すタイミングチャートにおいて、実際の画素電極の電位を実線で、ゲート電極と画素電極との間に形成されている容量がないものと考えたときの画素電極の電位を点線で示す。

30

【0037】

次に第2フレーム期間において、第1フレーム期間とは逆の負の極性の映像信号が画素（1、1）の有する画素電極に印加される。第2フレーム期間の1ライン期間が終わると、ゲート信号線G1に選択信号が印加されなくなり、ゲート信号線G1の電位が変化する。そして画素電極の電位もそれにつられて負の方向にVだけ変化する。

【0038】

つまり、第1フレーム期間の1ライン期間終了後の画素電極の電位と共通電位との電位差V1とし、第2フレーム期間の1ライン期間終了後の画素電極と共通電位との電位差V2とすると、電位差V1と電位差V2とは $2 \times V$ も差がでてしまう。このため第1フレーム期間と第2フレーム期間とでは画面の明るさが異なってしまう。

40

【0039】

ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動の場合も同様に、正の極性の映像信号が印加された画素と、負の極性の映像信号が印加された画素とでは明るさは異なつてしまつが、明るさの異なる画素どうしが隣接しているため、観察者には視認されにくい。しかしフレーム反転駆動の場合隣り合う画素どうしの極性が全て同じであり、また人間の目に視認できる周波数域（約30Hz程度）である1フレーム期間で極性が反転するため、映像信号の極性が正の時の表示と映像信号の極性が負の時の表示とが微妙に異なつていることが、チラツキとして観察者に視認される。特に、中間階調表示において顕著にチラツキが確認された。

【0040】

50

このように、ソースライン反転駆動及びゲートライン反転駆動では、図20(A)及び図20(B)に一例を示したように、極性パターン1と極性パターン2が繰り返し表示され、極性の異なる隣接画素間にディスクリネーションラインが連続して定位置に形成されるため、画面の明るさが低減してしまっていた。加えてドット反転駆動でも同様であった。

【0041】

またフレーム反転駆動ではディスクリネーションは発生しないが、チラツキが生じていた。

【0042】

そこで、本発明ではこのような諸問題を解決しようとするものである。

10

【0043】

すなわち本発明は、チラツキがなく、且つ明るい表示を得ることのできる、画素ピッチの短い液晶パネルおよびその駆動方法を提供することを目的とするものである。

【課題を解決するための手段】

【0044】

本発明によって、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との各交差部に設けられた複数の画素電極とを有する第1の基板と、3つの色を含むカラーフィルターを有する第2の基板と、を有する表示装置において、第1のフレーム期間において、前記複数のソース信号線を通して前記複数の画素電極には同じ極性の第1の映像信号が印加されており、前記第1のフレーム期間の次の第2のフレーム期間において、前記複数のソース信号線を通して前記複数の画素電極には、前記第1の映像信号とは逆の極性の第2の映像信号が印加されていることを特徴とする表示装置が提供される。

20

【0045】

本発明によって、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との各交差部に設けられた複数の画素電極とを有する第1の基板と、3つの色を含むカラーフィルターを有する第2の基板と、を有する表示装置において、前記複数のソース信号線を通して前記複数の画素電極には同じ極性の映像信号が印加されており、前記映像信号の極性は1フレーム期間毎に変化していることを特徴とする表示装置が提供される。

30

【0046】

本発明によって、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との各交差部に設けられた複数のスイッチング素子及び複数の画素電極とを有する第1の基板と、3つの色を含むカラーフィルターを有する第2の基板と、を有する表示装置において、前記複数のソース信号線を通して前記複数のスイッチング素子には同じ極性の映像信号が印加されており、前記複数のゲート信号線を通して、前記複数のスイッチング素子には前記映像信号を選択する選択信号が印加されており、前記複数のスイッチング素子を通して前記複数の画素電極には前記選択信号によって選択された映像信号が印加されており、前記映像信号の極性は1フレーム期間毎に変化していることを特徴とする表示装置が提供される。

40

【0047】

前記複数のゲート信号線または前記複数のソース信号線どうしの間隔は20μm以下であっても良い。

【0048】

前記第1フレーム期間及び第2のフレーム期間の長さは8.3msec以下であっても良い。

【0049】

前記1フレーム期間の長さは8.3msec以下であっても良い。

【0050】

前記複数のスイッチング素子は、ゲート電極と、ソース領域、ドレイン領域及びチャネ

50

ル形成領域を有する半導体層と、前記ゲート電極と前記半導体層との間に設けられた絶縁膜とをそれぞれ有しており、前記ゲート信号線は前記ゲート電極と接続されており、前記ソース信号線は前記ソース領域または前記ドレイン領域と接続されていても良い。

【0051】

前記第1の基板と前記第2の基板との間には液晶が設けられていても良い。

【0052】

前記複数の画素電極はそれぞれ前記カラーフィルターが含む3つの色のうちの1つに対応していても良い。

【0053】

前記表示装置を1個有するゴーグル型ディスプレイが提供される。

10

【0054】

前記表示装置を2個有するゴーグル型ディスプレイが提供される。

【0055】

前記表示装置を1個有するモバイルコンピュータが提供される。

【0056】

前記表示装置を1個有するノートブック型パーソナルコンピュータが提供される。

【0057】

前記表示装置を1個有するビデオカメラが提供される。

【0058】

前記表示装置を1個有するDVDプレーヤーが提供される。

20

【0059】

前記表示装置を1個有するゲーム機が提供される。

【発明の効果】

【0060】

本発明は、フレーム周波数を120Hz以上とし、かつフレーム反転駆動法によって駆動した。また各画素がTFT基板側に設けたカラーフィルターのR、G、Bのうちの1つに対応するようにした。上記構成によって直視型の画素ピッチが20μm以下と短い表示装置において、ディスクリネーションもチラツキもみられず、且つ良好なコントラストの明るい表示を得ることができた。

【図面の簡単な説明】

30

【0061】

【図1】本発明の液晶パネルのタイミングチャートを示す図。

【図2】本発明のTFT基板の概略図。

【図3】本発明の画素とカラーフィルターの配置を示す図。

【図4】本発明のソース信号線駆動回路の一例を示す図。

【図5】本発明のゲート信号線駆動回路の一例を示す図。

【図6】シフトレジスタ回路とレベルシフト回路の等価回路図。

【図7】デジタル駆動回路を有するTFT基板の図。

【図8】本発明のTFTの作製工程を示す断面図。

【図9】本発明のTFTの作製工程を示す断面図。

40

【図10】本発明のTFTの作製工程を示す断面図。

【図11】本発明のTFTの作製工程を示す断面図。

【図12】本発明のTFTの作製工程を示す断面図。

【図13】本発明のTFTの作製工程を示す断面図。

【図14】本発明のTFTの構成を示す断面図。

【図15】本発明のTFTの構成を示す断面図。

【図16】無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図。

【図17】本発明の液晶パネルの外観図。

【図18】本発明の表示装置を用いた電子機器の図。

【図19】TFT基板の上面図及び表示パターンを示す図。

50

【図20】ソースライン反転駆動及びゲートライン反転駆動の極性パターンを示す図。

【図21】画素部の拡大図。

【図22】ディスクリネーションの発生のメカニズムを示す図。

【図23】フレーム反転駆動の極性パターンを示す図。

【図24】従来の液晶パネルのタイミングチャートを示す図。

【発明を実施するための形態】

【0062】

以下に本発明の構成について従来の構成と比較しながら説明する。なお、ここではノンインターレス走査を用いた例で説明するが、本発明は、ノンインターレス走査に限定されることなく、インターレス走査等の他の走査方式でも適用可能であることは言うまでもない。

【0063】

図2に本発明のアクティブマトリクス型液晶パネルの構成を示す。ソース信号線駆動回路1801とゲート信号線駆動回路1802は、一般に駆動回路と総称されている。近年この駆動回路は、マトリクス状に画素が設けられた画素部1808と同一基板上に一体形成されていることもある。

【0064】

また、画素部1808では、ソース信号線駆動回路1801に接続されたソース信号線1803(S1~Sn)と、ゲート信号線駆動回路1802に接続されたゲート信号線1804(G1~Gn)とが交差している。そのソース信号線1803とゲート信号線1804とに囲まれた領域に、画素の薄膜トランジスタ(画素TFT)1805と、対向電極と画素電極の間に液晶を挟んだ液晶セル1806と、保持容量1807とが設けられている。

【0065】

ソース信号線駆動回路1801から出力されたタイミング信号によりサンプリングされた、映像信号がソース信号線1803に印加される。

【0066】

画素TFT1805は、ゲート信号線駆動回路1802からゲート信号線1804を通して入力される選択信号によって画素TFT1805をオン状態にする。画素TFT1805をオン状態になるとソース信号線1803に印加された映像信号が液晶セル1806の画素電極に印加される。

【0067】

図2に示した液晶パネルにおいて、ソース信号線S1、S2、…、Snに印加される映像信号と、ゲート信号線G1に印加される選択信号と、ソース信号線S1とゲート信号線G1との交差している部分の画素(1、1)が有する画素電極の電位のタイミングチャートを図1に示した。また従来例として、60Hzのフレーム周波数で駆動した液晶パネルの画素(1、1)が有する画素電極の電位も示した。ゲート信号線G1に選択信号が印加されている期間を1ライン期間、全てのゲート信号線に選択信号が印加され終わるまでの期間を1フレーム期間とする。

【0068】

本発明において、1フレーム期間は8.3 msec以下にする。つまりフレーム周波数が120Hz以上であることが望ましい。本実施の形態ではフレーム周波数を120Hzとした。

【0069】

ソース信号線S1とゲート信号線G1にそれぞれ映像信号と選択信号とが印加されると、ソース信号線S1とゲート信号線G1との交差している部分に設けられた画素(1、1)に、選択信号によって選択された正の極性の映像信号の電位が印加される。そして理想的にこの電位は保持容量等によって1フレーム期間保持される。

【0070】

しかし実際には1ライン期間が終了するとゲート信号線G1に選択信号が印加されなく

10

20

30

40

50

なり、ゲート信号線 G 1 の電位が変化すると同時に画素電極の電位も変化する。ゲート信号線は画素のスイッチング素子である画素 TFT のゲート電極に接続されている。そしてソース信号線は画素 TFT のソース又はドレイン領域に接続されており、画素電極はソース又はドレイン領域のソース信号線と接続していない方と接続している。そしてゲート電極と画素電極との間には容量がわずかながらに形成されており、ゲート信号線 G 1 の電位が変化すると画素電極の電位もそれにつられて ΔV だけ変化する。この場合負の方向に画素電極の電位が変化する。図 1 に示すタイミングチャートにおいて、実際の画素電極の電位を実線で、ゲート電極と画素電極との間に形成されている容量がないと考えたときの画素電極の電位を点線で示す。

【0071】

10

次に第 2 フレーム期間において、第 1 フレーム期間とは逆の負の極性の映像信号が画素 (1, 1) の有する画素電極に印加される。第 2 フレーム期間の 1 ライン期間が終わると、ゲート信号線 G 1 に選択信号が印加されなくなり、ゲート信号線 G 1 の電位が変化する。そして画素電極の電位もそれにつられて負の方向に ΔV だけ変化する。

【0072】

つまり、第 1 フレーム期間の 1 ライン期間終了後の画素電極の電位と共通電位との電位差 V_1 とし、第 2 フレーム期間の 1 ライン期間終了後の画素電極と共通電位との電位差 V_2 とすると、電位差 V_1 と電位差 V_2 とは、 $2 \times \Delta V$ も差がでてしまう。このため第 1 フレーム期間と第 2 フレーム期間とでは画面の明るさが異なってしまう。

【0073】

20

しかしフレーム周波数を 120 Hz 以上とすることで、第 1 フレーム期間と第 2 フレーム期間の画面の明るさの違いが人間の目に視認できなくなる。よって 1 フレーム期間毎に極性が反転するため、映像信号の極性が正の時の表示と映像信号の極性が負の時の表示とが微妙に異なっていても、チラツキとして観察者に視認されることがなくなる。

【0074】

30

このように本発明では直視型の液晶パネルにおいて、フレーム反転駆動法を用いて駆動し、かつフレーム周波数を従来よりも高速に 120 Hz 以上とすることで、直視型の画素ピッチが 20 μm 以下と短い表示装置において、ディスクリネーションもチラツキもみられず、且つ良好なコントラストの明るい表示を得ることができた。

【0075】

30

図 3 ~ 図 18 を用いて、本発明の実施例を説明する。

【実施例 1】

【0076】

本発明の画素の配置とカラーフィルターの配置について、図 3 を用いて説明する。本発明においてカラーフィルターは TFT 基板側に設けられている。図 3 (A) に液晶パネルの画素配列がデルタ配列である場合について説明する。各画素は R (赤)、G (緑)、B (青) の三色のそれぞれに対応している。隣接している R (赤)、G (緑)、B (青) のそれぞれに対応した 3 つの画素で、1 つのドットを構成している。

【0077】

40

図 3 (B) に液晶パネルの画素配列がストライプ配列である場合について説明する。各画素は R (赤)、G (緑)、B (青) の三色のうちの 1 つに対応している。隣接している R (赤)、G (緑)、B (青) のそれぞれに対応した 3 つの画素で、1 つのドットを構成している。

【実施例 2】

【0078】

本実施例では、本発明に用いられる駆動回路の一例について説明する。

【0079】

図 4 に本発明の液晶パネルの駆動回路の 1 つであるソース信号線駆動回路の一例を示す。ソース信号線駆動回路の外部から入力された入力信号、この場合はソース用クロック信号 (S - C L) とソース用クロック信号 (S - C L) の共通電位に対して反転した信号 (

50

S - C L b) がソース信号線駆動回路に入力される。

【 0 0 8 0 】

ソース信号線駆動回路に入力されたソース用クロック信号 (S - C L) は、ソース用シフトレジスタ回路 4 0 1 に入力される。入力されたソース用クロック信号 (S - C L) および同じ時にソース用シフトレジスタ回路に入力したソース用スタートパルス信号 (S - S P) によってソース用シフトレジスタ回路 4 0 1 が動作し、映像信号のサンプリングのためのタイミング信号を順に生成する。

【 0 0 8 1 】

タイミング信号はソース用レベルシフト回路 4 0 2 に入力され、その電圧振幅レベルを上げられる。ここで本明細書において電圧振幅レベルとは信号の最も高い電位と最も低い電位の差 (電位差) の絶対値を意味しており、電圧振幅レベルが高くなる (上げられる) とは電位差が大きくなることを意味し、電圧振幅レベルが低くなるとは電位差が小さくなることを意味する。

【 0 0 8 2 】

電圧振幅レベルが上げられたタイミング信号は映像信号線 4 0 4 からサンプリング回路 4 0 3 に入力され、入力されたタイミング信号に基づいてサンプリング回路 4 0 3 が映像信号をサンプリングする動作をする。サンプリングされた映像信号は対応するソース信号線 S 1 、 S 2 に順に印加される。

【 0 0 8 3 】

次に本実施例のゲート信号線駆動回路の回路図を図 5 に示す。ゲート信号線駆動回路の外部からゲート用クロック信号 (G - C L) とゲート用クロック信号 (G - C L) の共通電位に対して反転した信号 (G - C L b) がゲート信号線駆動回路に入力される。

【 0 0 8 4 】

ゲート信号線駆動回路に入力されたゲート用クロック信号 (G - C L) はゲート用シフトレジスタ回路 5 0 1 に入力される。

【 0 0 8 5 】

ゲート用シフトレジスタ回路 5 0 1 に入力されたゲート用クロック信号 (G - C L) をもとに、同時にゲート用シフトレジスタ回路 5 0 1 に入力したゲート用スタートパルス信号 (G - S P) によって、ゲート用シフトレジスタ回路 5 0 1 がゲート信号線に接続された全ての画素 T F T を動作させるための選択信号を順に生成する動作をする。生成した選択信号はゲート用レベルシフト回路 5 0 2 に入力される。

【 0 0 8 6 】

ゲート用レベルシフト回路 5 0 2 により、ゲート用レベルシフト回路 5 0 2 に入力された選択信号の電圧振幅レベルが上げられる。この選択信号は、全ての画素 T F T を確実に動作させるのに必要な電圧振幅レベルまで高くすることが必要である。電圧振幅レベルが上げられた選択信号はゲート信号線 G 0 、 G 1 、 G 2 に入力され、画素 T F T が映像信号を液晶に印加する動作をする。各駆動回路に用いたシフトレジスタ回路 (ソース用シフトレジスタ回路 4 0 1 、ゲート用シフトレジスタ回路 5 0 1) の回路図の一例を図 6 (A) に示した。

【 0 0 8 7 】

また各駆動回路に用いたレベルシフト回路 (ソース用レベルシフト回路 4 0 2 、ゲート用レベルシフト回路 5 0 2) の等価回路図を、図 6 (B) に示す。 i n は信号が入力されることを意味し、 i n b は i n の反転信号が入力されることを意味する。また、 V D D はプラスの電圧を示している。レベルシフト回路は、 i n に入力された信号を高電圧化し反転させた信号が、 o ut b から出力されるように設計されている。つまり、 i n に H i が入力されると o ut b から L o の信号が、 L o が入力されると o ut から H i の信号が出力される。

【 実施例 3 】

【 0 0 8 8 】

本実施例では、 T F T 基板がデジタル駆動回路を有している場合について、図 7 を用い

10

20

30

40

50

て説明する。

【0089】

本実施例のディスプレイは、TFT基板上に、ソース信号線駆動回路A301、ソース信号線駆動回路B302、ゲート信号線駆動回路303、デジタルビデオデータ分割回路305および複数の画素TFTがマトリクス状に設けられた画素部304を有している。ソース信号線駆動回路B302は、ソース信号線駆動回路A301と同じ構成を有している。

【0090】

ソース信号線駆動回路301及びゲート信号線駆動回路303は画素部304に設けられた複数の画素TFTを駆動する。FPC端子を介して外部からソース信号線駆動回路301及びゲート信号線駆動回路303は画素部304に種々の信号が入力される。

10

【0091】

ソース信号線駆動回路A301は、ソース信号線側シフトレジスタ回路(240ステージ×2のシフトレジスタ回路)301-1、ラッチ回路1(960×8デジタルラッチ回路)301-2、ラッチ回路2(960×8デジタルラッチ回路)301-3、セレクタ回路1(240のセレクタ回路)301-4、D/A変換回路(240のD/A)301-5、セレクタ回路2(240のセレクタ回路)301-6を有している。その他、バッファ回路やレベルシフト回路(いずれも図示せず)を有していても良い。また、説明の便宜上、D/A変換回路301-5にはレベルシフト回路が含まれている。

20

【0092】

ゲート信号線駆動回路303は、シフトレジスタ回路、バッファ回路、レベルシフト回路等(いずれも図示せず)を有している。

【0093】

画素部304は、(640×RGB)×1080(横×縦)の画素を有している。各画素には画素TFTが配置されており、各画素TFTのソース領域にはソース信号線が、ゲート電極にはゲート信号線が電気的に接続されている。また、各画素TFTのドレイン領域には画素電極が電気的に接続されている。各画素TFTは、各画素TFTに電気的に接続された画素電極への映像信号(階調電圧)の印加を制御している。各画素電極に映像信号(階調電圧)が印加され、各画素電極と対向電極との間に挿まれた液晶に電圧が印加され液晶が駆動される。

30

【0094】

ここで、本実施例のTFT基板の動作および信号の流れを説明する。

【0095】

まず、ソース信号線駆動回路A301の動作を説明する。なお、ソース信号線駆動回路B302の動作については、ソース信号線駆動回路A301の動作を参照すればよい。

【0096】

ソース信号線側シフトレジスタ回路301-1にクロック信号(CK)およびスタートパルス(SP)が入力される。シフトレジスタ回路は、これらのクロック信号(CK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ回路等を通して後段の回路へタイミング信号を順次印加する。

40

【0097】

ソース信号線側シフトレジスタ回路301-1からのタイミング信号は、バッファ回路等によってバッファされる。タイミング信号が印加されるソース信号線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりの”鈍り”を防ぐために、このバッファ回路が形成される。

【0098】

バッファ回路によってバッファされたタイミング信号は、ラッチ回路1(301-2)に印加される。ラッチ回路1(301-2)は、8ビットデジタルビデオデータを処理するラッチ回路を960ステージ有している。ラッチ回路1(301-2)は、前記タイミ

50

ング信号が入力されると、デジタルビデオデータ分割回路 305 から印加される 8 ビットデジタルビデオデータを順次取り込み、保持する。

【0099】

ラッチ回路 1 (301-2) の全てのステージにラッチ回路にデジタルビデオデータの書き込みが一通り終了するまでの時間は、ライン期間と呼ばれる。すなわち、ラッチ回路 1 (301-2) の中で一番左側のステージのラッチ回路にデジタルビデオデータの書き込みが開始される時点から、一番右側のステージのラッチ回路にデジタルビデオデータの書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間と呼ぶこともある。

【0100】

1 ライン期間の終了後、ソース信号線側シフトレジスタ回路 301-1 の動作タイミングに合わせて、ラッチ回路 2 (301-3) にラッチシグナル (Latch Signal) が印加される。この瞬間、ラッチ回路 1 (301-2) に書き込まれ保持されているデジタルビデオデータは、ラッチ回路 2 (301-3) に一斉に送出され、ラッチ回路 2 (301-3) の全ステージのラッチ回路に書き込まれ、保持される。

【0101】

デジタルビデオデータをラッチ回路 2 (301-3) に送出し終えたラッチ回路 1 (301-2) には、ソース信号線側シフトレジスタ回路 301-1 のタイミング信号に基づき、再びデジタルビデオデータ分割回路から印加されるデジタルビデオデータの書き込みが順次行われる。

【0102】

この 2 順目の 1 ライン期間中には、ラッチ回路 2 (301-3) に書き込まれ、保持されているデジタルビデオデータが、セレクタ回路 1 (301-4) によって順次選択され、D/A 変換回路に印加される。なお本実施例では、セレクタ回路 1 (301-4) においては、1 つのセレクタ回路がソース信号線 4 本に対応している。

【0103】

なお、セレクタ回路については、本出願人による特許出願である特願平 11-167373 号に記載されているものを用いることもできる。

【0104】

セレクタ回路で選択されたラッチ回路 2 (301-3) からの 8 ビット・デジタルビデオデータが D/A 変換回路に印加される。

【0105】

D/A 変換回路は、8 ビットのデジタルビデオデータを映像信号 (階調電圧) に変換し、セレクタ回路 2 (301-6) によって選択されるソース信号線に順次印加される。

【0106】

ソース信号線に印加される映像信号は、ソース信号線に接続されている画素部の画素 TFT のソース領域に印加される。

【0107】

ゲート信号線駆動回路 303 においては、シフトレジスタからのタイミング信号 (走査信号) がバッファ回路に印加され、対応するゲート信号線 (ゲート信号線) に印加される。ゲート信号線には、1 ライン分の画素 TFT のゲート電極が接続されており、1 ライン分全ての画素 TFT を同時に ON にしなくてはならないので、バッファ回路には電流容量の大きなものが用いられる。

【0108】

このように、ゲート信号線駆動回路 303 からの走査信号によって対応する画素 TFT のスイッチングが行われ、ソース信号線駆動回路 A301、ソース信号線駆動回路 B302 からの映像信号 (階調電圧) が画素 TFT に印加され、液晶分子が駆動される。

【0109】

デジタルビデオデータ分割回路 (S P C ; Serial-to-Parallel Conversion Circuit) 305 は、外部から入力されるデジタルビデオデータの周波数を 1 / x に落とすための回

10

20

30

40

50

路である（ $1 < x$ ）。外部から入力されるデジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も $1/x$ に落とすことができる。

【実施例 4】

【0110】

ここでは画素部の画素 TFT と、画素部の周辺に設けられる駆動回路（ソース信号線駆動回路、ゲート信号線駆動回路、D/A 変換回路、デジタルビデオデータ時間階調処理回路等）の TFT を同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路、D/A 変換回路などの基本回路である CMOS 回路と、n チャネル型 TFT とを図示することにする。

10

【0111】

図 8 (A)において、基板（TFT 基板）6001 には低アルカリガラス基板や石英基板を用いることができる。本発明ではスマートカット、SIMOX、ELTRAN 等の SOI 基板を用いても良い。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも 10 ~ 20 度低い温度であらかじめ熱処理しておいても良い。この基板 6001 の TFT を形成する表面には、基板 6001 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 6002 を形成する。例えば、プラズマ CVD 法で SiH₄、NH₃、N₂O から作製される酸化窒化シリコン膜を 100 nm、同様に SiH₄、N₂O から作製される酸化窒化シリコン膜を 200 nm の厚さに積層形成する。

20

【0112】

次に、20 ~ 150 nm（好ましくは 30 ~ 80 nm）の厚さで非晶質構造を有する半導体膜 6003a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコングルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 6002 と非晶質シリコン膜 6003a とは同じ成膜法で形成することができる。下地膜を形成した後、一旦大気雰囲気に晒さないことでその表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。（図 8 (A)）

30

【0113】

そして、公知の結晶化技術を使用して非晶質シリコン膜 6003a から結晶質シリコン膜 6003b を形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良い。レーザー結晶化の際に、連続発光エキシマレーザーを用いても良い。ここでは、特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 6003b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400 ~ 500 で 1 時間程度の熱処理を行い、含有水素量を 5 atom% 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では 55 nm）よりも 1 ~ 15 % 程度減少した。（図 8 (B)）

40

【0114】

そして、結晶質シリコン膜 6003b を島状に分割して、島状半導体層 6004 ~ 6007 を形成する。その後、プラズマ CVD 法またはスパッタ法により 50 ~ 100 nm の厚さの酸化シリコン膜によるマスク層 6008 を形成する。（図 8 (C)）

【0115】

そしてレジストマスク 6009 を設け、n チャネル型 TFT を形成する島状半導体層 6005 ~ 6007 の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン (B) を添加した。ボロン (B) の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同

50

時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要でないが、ボロン（B）を添加した半導体層6010～6012はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。（図8（D））

【0116】

駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層6010、6011に選択的に添加する。そのため、あらかじめレジストマスク6013～6016を形成した。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（PH₃）を用いたイオンドープ法を適用した。形成された不純物領域6017、6018のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の範囲とすれば良い。本明細書中では、ここで形成された不純物領域6017～6019に含まれるn型を付与する不純物元素の濃度を（n⁻）と表す。また、不純物領域6019は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加した。（図9（A））

【0117】

次に、マスク層6008をフッ酸などにより除去して、図8（D）と図9（A）で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光（波長248nm）を用い、線状ビームを形成して、発振周波数5～50Hz、エネルギー密度100～500mJ/cm²として線状ビームのオーバーラップ割合を80～98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。また連続発光エキシマレーザーを用いて活性化を行っても良い。

【0118】

そして、ゲート絶縁膜6020をプラズマCVD法またはスパッタ法を用いて10～150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。（図9（B））

【0119】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層（A）6021と金属膜から成る導電層（B）6022とを積層させた。導電層（B）6022はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜）で形成すれば良く、導電層（A）6021は窒化タンタル（Ta_N）、窒化タングステン（WN）、窒化チタン（Ti_N）膜、窒化モリブデン（Mo_N）で形成する。また、導電層（A）6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層（B）6022は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン（W）は酸素濃度を30ppm以下とすることで20μcm以下の比抵抗値を実現することができた。

【0120】

導電層（A）6021は10～50nm（好ましくは20～30nm）とし、導電層（B）6022は200～400nm（好ましくは250～350nm）とすれば良い。本実施例では、導電層（A）6021に30nmの厚さの窒化タンタル膜を、導電層（B）6022には350nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層

10

20

30

40

50

(A) 6021の下に2~20nm程度の厚さでリン(P)をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)6021または導電層(B)6022が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる。(図9(C))

【0121】

次に、レジストマスク6023~6027を形成し、導電層(A)6021と導電層(B)6022とを一括でエッチングしてゲート電極6028~6031と容量配線6032を形成する。ゲート電極6028~6031と容量配線6032は、導電層(A)から成る6028a~6032aと、導電層(B)から成る6028b~6032bとが一体に形成されている。この時、駆動回路に形成するゲート電極6029、6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する。(図9(D))

10

【0122】

次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTが形成される領域はレジストマスク6033で被覆しておく。そして、ジボラン(B_2H_6)を用いたイオンドープ法で不純物領域6034を形成した。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域6034に含まれるp型を付与する不純物元素の濃度を(p^+)と表す。(図10(A))

20

【0123】

次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク6035~6037を形成し、n型を付与する不純物元素が添加して不純物領域6038~6042を形成した。これは、フォスフィン(PH_3)を用いたイオンドープ法で行い、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域6038~6042に含まれるn型を付与する不純物元素の濃度を(n^+)と表す。(図10(B))

30

【0124】

不純物領域6038~6042には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でリン(P)が添加されるので、前工程で添加されたリン(P)またはボロン(B)の影響は考えなくても良い。また、不純物領域6038に添加されたリン(P)濃度は図10(A)で添加されたボロン(B)濃度の1/2~1/3なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0125】

そして、画素マトリクス回路のnチャネル型TFTのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極6031をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図9(A)、図10(A)及び図10(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域6043、6044のみが形成される。本明細書中では、この不純物領域6043、6044に含まれるn型を付与する不純物元素の濃度を(n^{--})と表す。(図10(C))

40

【0126】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1

50

p p m 以下の窒素雰囲気中で 400 ~ 800 、代表的には 500 ~ 600 で行うものであり、本実施例では 550 で 4 時間の熱処理を行った。また、基板 6001 に石英基板のような耐熱性を有するものを使用した場合には、800 で 1 時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

【0127】

この熱処理において、ゲート電極 6028 ~ 6031 と容量配線 6032 形成する金属膜 6028b ~ 6032b は、表面から 5 ~ 80 nm の厚さで導電層 (C) 6028c ~ 6032c が形成される。例えば、導電層 (B) 6028b ~ 6032b がタンゲステン (W) の場合には窒化タンゲステン (WN) が形成され、タンタル (Ta) の場合には窒化タンタル (TaN) を形成することができる。本発明では、シリコン (Si) 膜と WN 膜と W 膜とを積層したもの、W 膜と Si を有する W 膜とを積層したもの、W 膜と Si を有する W 膜と Si とを積層したもの、Mo を有する W 膜、または Mo を有する Ta 膜を用いてゲート電極としても良い。また、導電層 (C) 6028c ~ 6032c は、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気にゲート電極 6028 ~ 6031 を晒しても同様に形成することができる。さらに、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素、プラズマ化した水素を用いる) を行っても良い。

10

20

30

【0128】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でも TFT を完成させることができると可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン (P) の濃度は図 10 (B) で形成した不純物領域 (n⁺) と同程度であり、ここで実施される活性化工程の熱処理により、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をゲッタリングすることができた。(図 10 (D))

【0129】

活性化および水素化の工程が終了したら、ゲート配線となる第 2 の導電膜を形成する。この第 2 の導電膜は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) 6045 と、チタン (Ti) やタンタル (Ta)、タンゲステン (W)、モリブデン (Mo) から成る導電層 (E) 6046 とで形成すると良い。本実施例では、チタン (Ti) を 0.1 ~ 2 重量 % 含むアルミニウム (Al) 膜を導電層 (D) 6045 とし、チタン (Ti) 膜を導電層 (E) 6046 として形成した。導電層 (D) 6045 は 200 ~ 400 nm (好ましくは 250 ~ 350 nm) とすれば良く、導電層 (E) 6046 は 50 ~ 200 nm (好ましくは 100 ~ 150 nm) で形成すれば良い。(図 11 (A))

40

【0130】

そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 6046 と導電層 (D) 6045 とをエッティング処理して、ゲート配線 6047、6048 と容量配線 6049 を形成した。エッティング処理は最初に SiC_{1.4} と C_{1.2} と BC_{1.3} との混合ガスを用いたドライエッティング法で導電層 (E) 6046 の表面から導電層 (D) 6045 の途中まで除去し、その後リン酸系のエッティング溶液によるウエットエッティングで導電層 (D) 6045 を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。(図 11 (B))

【0131】

第 1 の層間絶縁膜 6050 は 500 ~ 1500 nm の厚さで酸化シリコン膜または酸化

50

窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線 6051～6054と、ドレイン配線 6055～6058を形成する。図示していないが、本実施例ではこの電極を、Ti膜を 100 nm、Tiを含むアルミニウム膜 300 nm、Ti膜 150 nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0132】

次に、パッシベーション膜 6059として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を 50～500 nm (代表的には 100～300 nm) の厚さで形成する。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3～100 % の水素を含む雰囲気中で、300～450 で 1～12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 6059に開口部を形成しておいても良い。(図 11 (C))

【0133】

その後、有機樹脂からなる第 2 の層間絶縁膜 6060を 1.0～1.5 μm の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 で焼成して形成した。そして、第 2 の層間絶縁膜 6060 にドレイン配線 6058 に達するコンタクトホールを形成し、画素電極 6061、6062を形成する。画素電極は、透過型液晶パネルとする場合には透明導電膜を用いれば良く、反射型の液晶パネルとする場合には金属膜を用いれば良い。本実施例では透過型の液晶パネルとするために、酸化インジウム・スズ (ITO) 膜を 100 nm の厚さにスパッタ法で形成した。(図 12)

【0134】

こうして同一基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができた。駆動回路には p チャネル型 TFT 6101、第 1 の n チャネル型 TFT 6102、第 2 の n チャネル型 TFT 6103、画素部には画素 TFT 6104、保持容量 6105 が形成された。本明細書では便宜上このような基板を TFT 基板と呼ぶ。

【0135】

駆動回路の p チャネル型 TFT 6101 は、島状半導体層 6004 にチャネル形成領域 6106、ソース領域 6107a、6107b、ドレイン領域 6108a, 6108b を有している。第 1 の n チャネル型 TFT 6102 は、島状半導体層 6005 にチャネル形成領域 6109、ゲート電極 6029 と重なる LDD 領域 6110 (以降、このような LDD 領域を Lov と記す)、ソース領域 6111、ドレイン領域 6112 を有している。この Lov 領域のチャネル長方向の長さは 0.5～3.0 μm、好ましくは 1.0～1.5 μm とした。第 2 の n チャネル型 TFT 6103 には、島状半導体層 6006 にチャネル形成領域 6113、LDD 領域 6114, 6115、ソース領域 6116、ドレイン領域 6117 を有している。この LDD 領域は Lov 領域とゲート電極 6030 と重ならない LD 領域 (以降、このような LDD 領域を Loff と記す) とが形成され、この Loff 領域のチャネル長方向の長さは 0.3～2.0 μm、好ましくは 0.5～1.5 μm である。画素 TFT 6104 には、島状半導体層 6007 にチャネル形成領域 6118、6119、Loff 領域 6120～6123、ソースまたはドレイン領域 6124～6126 を有している。Loff 領域のチャネル長方向の長さは 0.5～3.0 μm、好ましくは 1.5～2.5 μm である。さらに、容量配線 6032、6049 と、ゲート絶縁膜 6020 と同じ材料から成る絶縁膜と、画素 TFT 6104 のドレイン領域 6126 に接続し、n 型を付与する不純物元素が添加された半導体層 6127 とから保持容量 6105 が形成されている。図 12 では画素 TFT 6104 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0136】

10

20

30

40

50

こうして同一基板上に、駆動回路 TFT と画素部の画素 TFT を有した基板を完成させることができる。駆動回路には p チャネル型 TFT 6101、第 1 の n チャネル型 TFT 6102、第 2 の n チャネル型 TFT 6103、画素部には画素 TFT 6104、保持容量 6105 が形成されている（図 12）。本明細書では便宜上このような基板を TFT 基板と呼んでいる。

【0137】

次に、上記の工程によって作製された TFT 基板をもとに、液晶パネルを作製する工程を説明する。

【0138】

図 12 の状態の TFT 基板に配向膜 6070 を形成する。本実施例では、配向膜 6070 にはポリイミドを用いた（図 13（A））。次に、対向基板を用意する。対向基板は、ガラス基板 6075、カラーフィルター 6074、透明導電膜からなる対向電極 6073、配向膜 6072 とで構成される。なおカラーフィルター 6074 の有する色は、それぞれ画素部の画素 1つ1つに対応していることを特徴としている。

【0139】

なお、本実施例では、配向膜 6070 には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0140】

次に、上記の工程を経た TFT 基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶 6071 を注入し、封止剤（図示せず）によって完全に封止する。よって、図 14 に示すような反射型液晶パネルが完成する。（図 13（B））

）

【0141】

以上の様に本実施例では、画素 TFT および駆動回路が要求する仕様に応じて各回路を構成する TFT の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができます。さらにゲート電極を、耐熱性を有する導電性材料で形成することにより LDD 領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、画素部（画面サイズ）が 4 インチクラス以上の表示装置にも適用することができる。

【実施例 5】

【0142】

本実施例では、本発明の液晶パネルを逆スタガ型の TFT を用いた構成した例を示す。

【0143】

図 14 を参照する。図 14 には、本実施例の液晶パネルを構成する逆スタガ型の N チャネル型 TFT の断面図が示されている。なお、図 14 には、1 つの N チャネル型 TFT しか図示しないが、P チャネル型 TFT と N チャネル型 TFT とによって CMOS 回路を構成することもできるのは言うまでもない。また、同様の構成により画素 TFT を構成できることも言うまでもない。

【0144】

3001 は基板であり、実施例 4 で説明したようなものが用いられる。3002 は酸化シリコン膜である。3003 はゲート電極である。3004 はゲート絶縁膜である。3005、3006、3007 および 3008 は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例 4 で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、3005 はソース領域、3006 はドレイン領域、3007 は低濃度不純物領域（LDD 領域）、3008 はチャネル形成領域である。3009 はチャネル保護膜であり、3010 は層間絶縁膜である。3011 および 3012 はそれぞれ、ソース配線、ドレイン配線である。

10

20

30

40

50

【0145】

次に、図15を参照する。図15には、図14で示したものとは構成が異なる逆スタガ型のTFTによって液晶パネルが構成された場合について説明する。

【0146】

図15においても、1つのNチャネル型TFTしか図示しないが、上述のようにPチャネル型TFTとNチャネル型TFTとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成できることも言うまでもない。

【0147】

3101は基板である。3102は酸化シリコン膜である。3103はゲート電極である。3104はベンゾジクロブテン（BCB）膜であり、その上面が平坦化される。3105は窒化シリコン膜である。BCB膜と窒化シリコン膜とでゲート絶縁膜を構成する。3106、3107、3108および3109は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例4で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、3106はソース領域、3107はレイン領域、3108は低濃度不純物領域（LDD領域）、3109はチャネル形成領域である。3110はチャネル保護膜であり、3111は層間絶縁膜である。3112および3113はそれぞれ、ソース配線、ドレイン配線である。

【0148】

本実施例によると、BCB膜と窒化シリコン膜とで構成されるゲート絶縁膜が平坦化されているので、その上に成膜される非晶質シリコン膜も平坦なものになる。よって、非晶質シリコン膜を多結晶化する際に、従来の逆スタガ型のTFTよりも均一な多結晶シリコン膜を得ることができる。

【実施例6】

【0149】

本発明の液晶パネルには、TN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0150】

ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0151】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図16に示す。図16に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶パネルの入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスマートフィック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0152】

図16に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

10

20

30

40

50

【0153】

このような低電圧駆動の無しきい値反強誘電性混合液晶を、アナログ駆動回路を有する液晶パネルに用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V～8V程度に抑えることが可能となる。よって、駆動回路の動作電源電圧を下げる事ができ、液晶パネルの低消費電力化および高信頼性が実現できる。

【0154】

また、このような低電圧駆動の無しきい値反強誘電性混合液晶を、デジタル駆動回路を有する液晶パネルに用いた場合にも、D/A変換回路の出力電圧を下げる事ができるので、D/A変換回路の動作電源電圧を下げる事ができ、駆動回路の動作電源電圧を低くする事ができる。よって、液晶パネルの低消費電力化および高信頼性が実現できる。

10

【0155】

よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0156】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶パネルに用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶パネルの駆動方法を線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィードピリオド）を長くし、保持容量が小さくともそれを補うようにしてもよい。

20

【0157】

なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶パネルの低消費電力が実現される。

【0158】

なお、図16に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の液晶パネルの表示媒体として用いることができる。

【実施例7】

【0159】

実施例1～5に示した構造を有するTFT基板を用い、液晶パネルを構成した例を図17に示す。図17は液晶パネルの本体に相当する部位であり、液晶パネルとも呼ばれる。

30

【0160】

図17において、8001はTFT基板であり、TFT基板8001上に複数のTFTが形成されている。これらのTFTは基板上に画素部8002、ゲート信号線駆動回路8003、ソース信号線駆動回路8004、ロジック回路8005を構成する。その様なTFT基板に対して対向基板8006が貼り合わされる。TFT基板と対向基板8006との間には液晶層（図示せず）が挟持される。

【0161】

また、図17に示す構成では、TFT基板8001の側面と対向基板8006の側面とをある1辺を除いて全てそろえることが望ましい。こうすることで大版基板からの多面取り数を効率良く増やすことができる。また、前述の一辺では、対向基板8006の一部を除去してTFT基板8001の一部を露出させ、そこにFPC（フレキシブル・プリント・サーチケット）8007を取り付ける。ここには必要に応じてICチップ（単結晶シリコン上に形成されたMOSFETで構成される半導体回路）を搭載しても構わない。

40

【0162】

実施例4または実施例5で示した作製工程によって形成されたTFTは極めて高い動作速度を有しているため、数百MHz～数GHzの高周波数で駆動する信号処理回路を画素部と同一の基板上に一体形成することが可能である。即ち、図17に示す液晶パネルはシステム・オン・パネルを具現化したものである。

【実施例8】

50

【0163】

本発明を実施して形成されたC M O S回路や画素マトリクス回路は様々な電気光学装置（アクティブマトリクス型液晶パネル）に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0164】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。

それらの一例を図18に示す。

10

【0165】

図18（A）はパーソナルコンピュータであり、本体7001、映像入力部7002、表示装置7003、キーボード7004で構成される。本発明を映像入力部7002、表示装置7003に適用することができる。

【0166】

図18（B）はビデオカメラであり、本体7101、表示装置7102、音声入力部7103、操作スイッチ7104、バッテリー7105、受像部7106で構成される。本発明を表示装置7102、音声入力部7103に適用することができる。

20

【0167】

図18（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体7201、カメラ部7202、受像部7203、操作スイッチ7204、表示装置7205で構成される。本発明は表示装置7205に適用できる。

30

【0168】

図18（D）はゴーグル型ディスプレイであり、本体7301、表示装置7302、アーム部7303で構成される。本発明は表示装置7302に適用することができる。

【0169】

図18（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体7401、表示装置7402、スピーカ部7403、記録媒体7404、操作スイッチ7405で構成される。なお、この装置は記録媒体としてD V D（D i g i t a l V e r s a t i l e D i s c）、C D等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置7402に適用することができる。

30

【0170】

図18（F）はゲーム機であり、本体7501、本体用表示装置7502、表示装置7503、記録媒体7504、コントローラ7505、本体用センサ部7506、センサ部7507、C P U部7508で構成される。本体用センサ部7506、センサ部7507はそれぞれコントローラ7505、本体7501から出される赤外線を感知することができる。本発明を本体用表示装置7502、表示装置7503に適用することができる。

40

【0171】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することができる。また、本実施例の電子機器は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

【符号の説明】

【0172】

1801 ソース信号線駆動回路

1802 ゲート信号線駆動回路

1803 ソース信号線

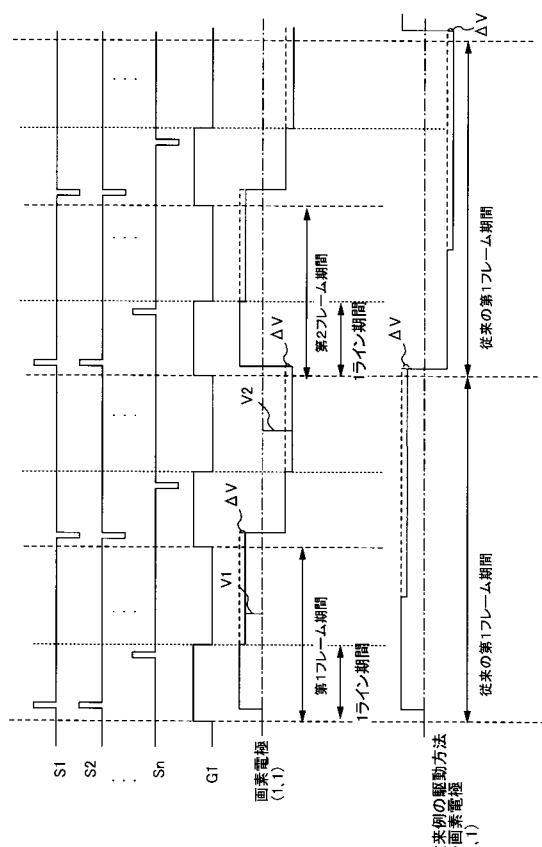
1804 ゲート信号線

1805 画素TFT（スイッチング素子）

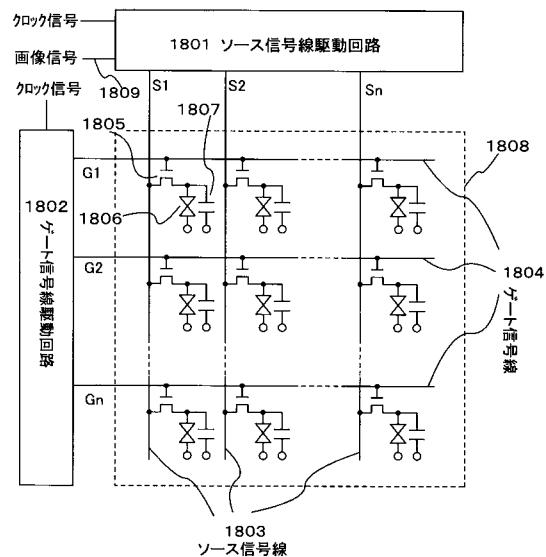
50

- 1 8 0 6 液晶セル
 1 8 0 7 保持容量
 1 8 0 8 画素部
 1 8 0 9 画像信号線

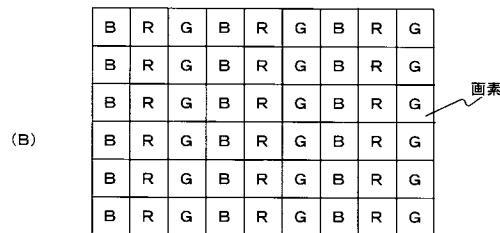
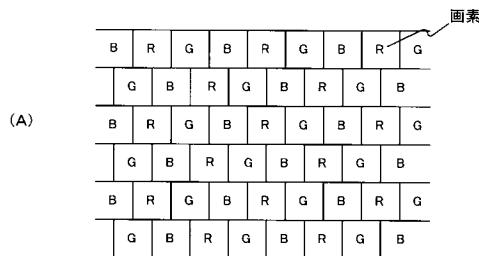
【図 1】



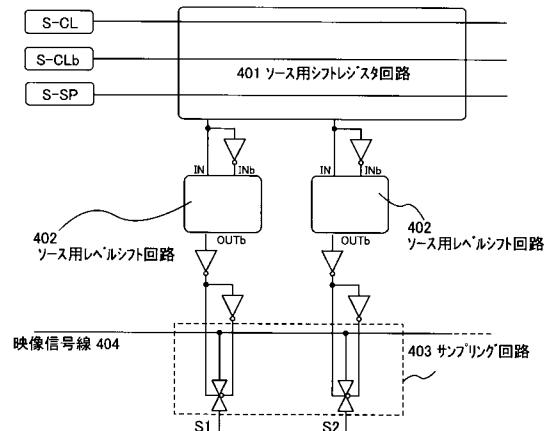
【図 2】



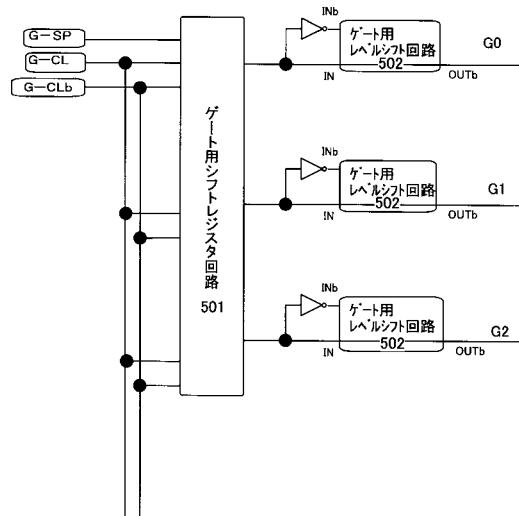
【図3】



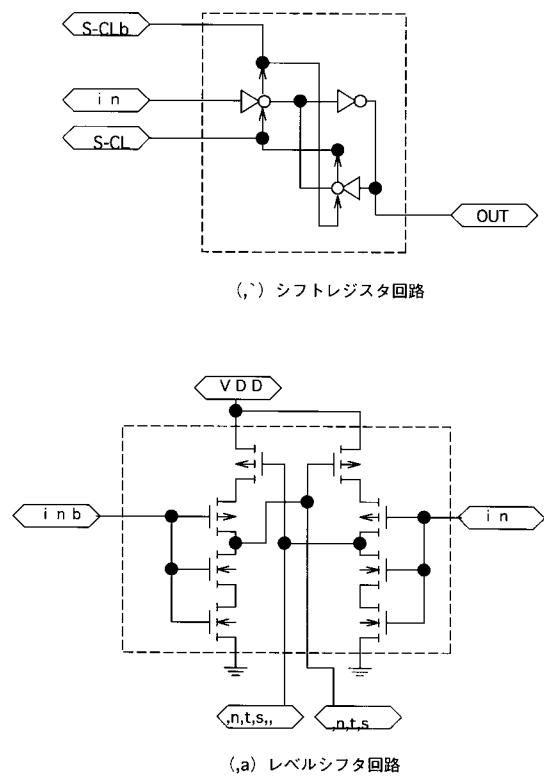
【図4】



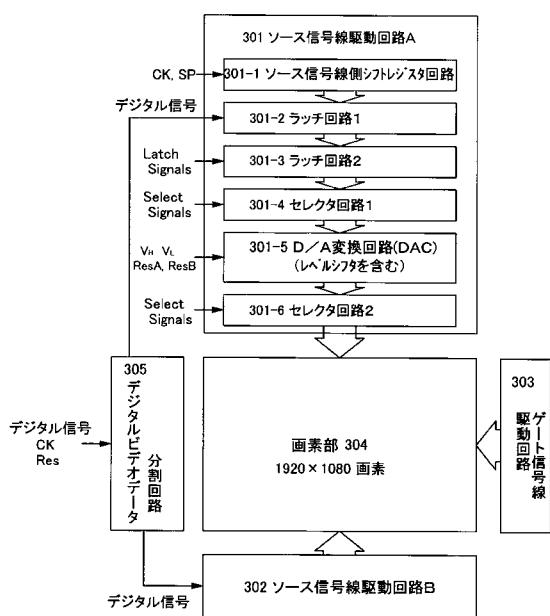
【図5】



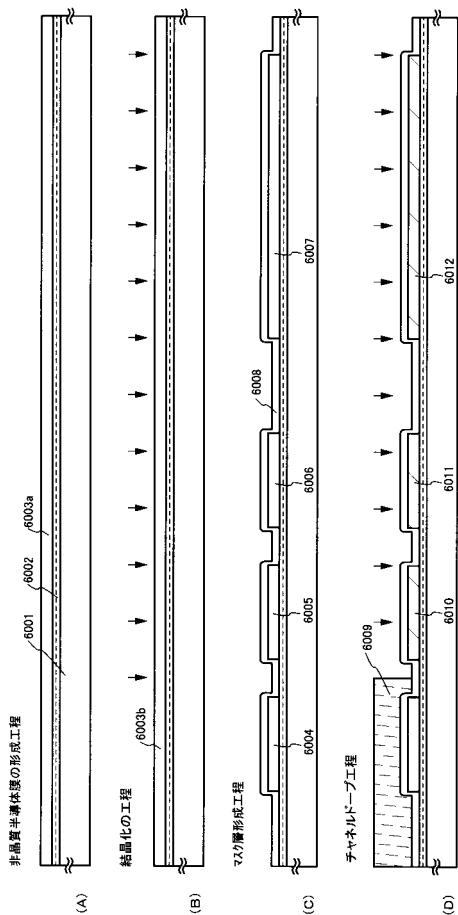
【図6】



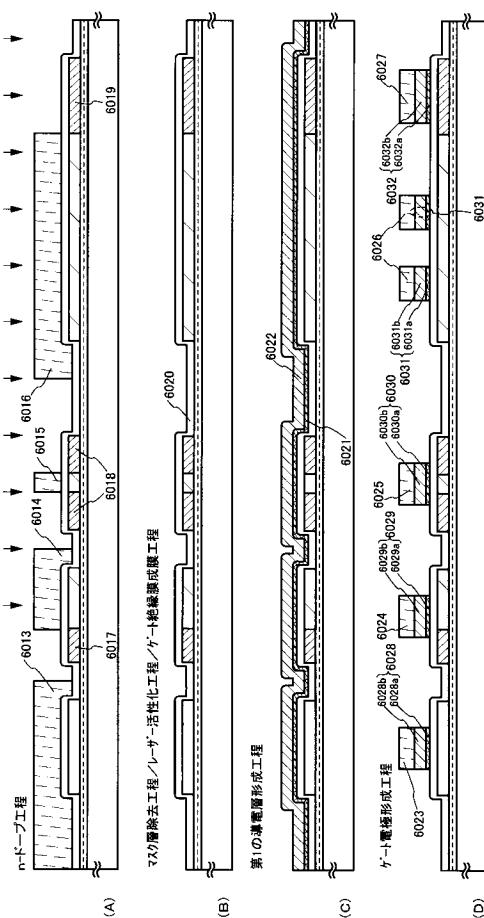
【図7】



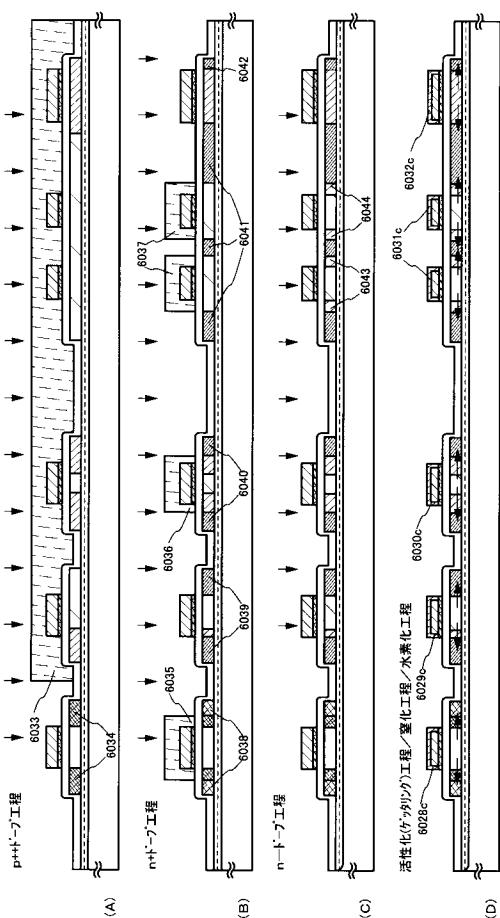
【図8】



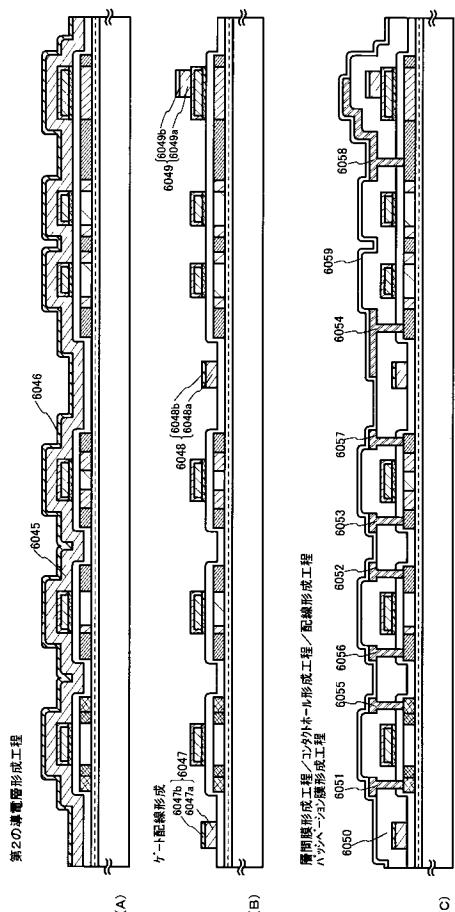
【図9】



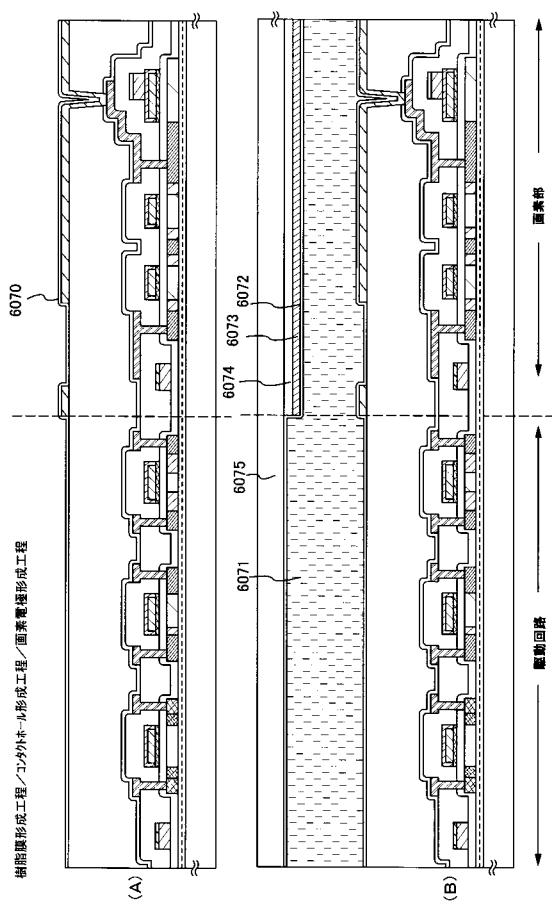
【図10】



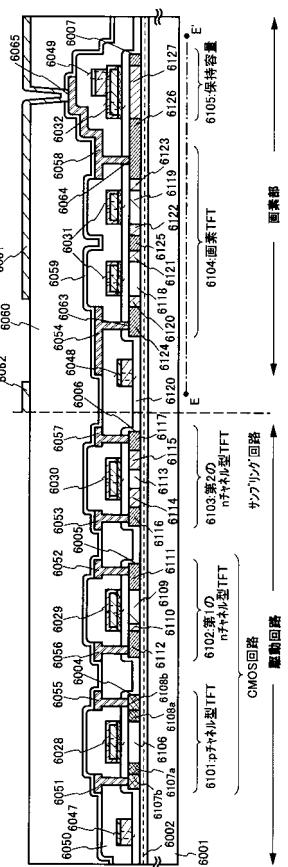
【 図 1 1 】



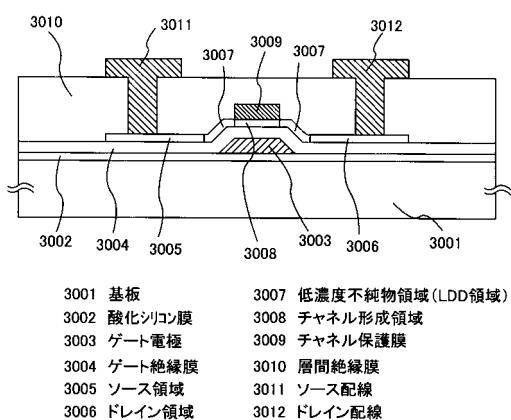
【 13 】



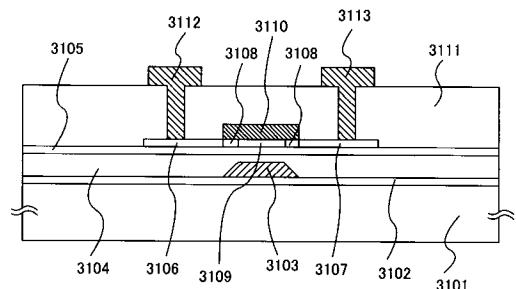
【 図 1 2 】



〔 四 14 〕

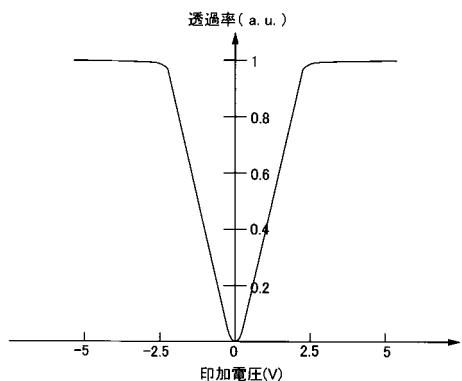


【図15】

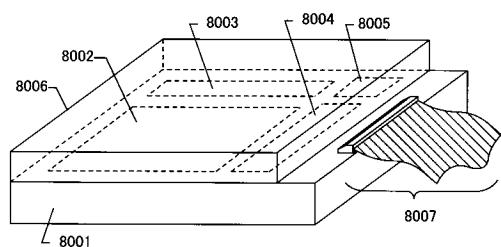


3101 基板
3102 酸化シリコン膜
3103 ゲート電極
3104 ベンディングパターン(BCB)
3105 窒化シリコン
3106 ソース領域
3107 ドレイン領域
3108 低濃度不純物領域(LDD領域)
3109 チャネル形成領域
3110 チャネル保護膜
3111 層間絶縁膜
3112 ソース配線
3113 ドレイン配線

【図16】

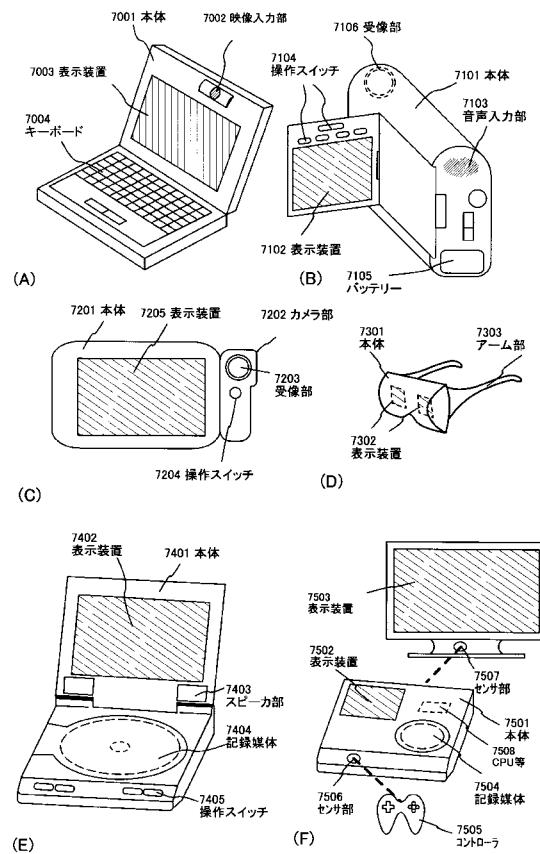


【図17】

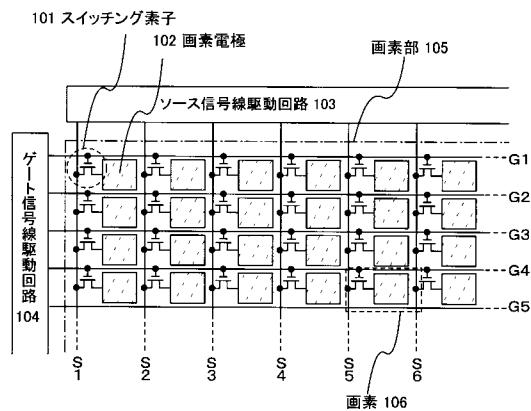


8001 アクティブマトリクス基板
8002 画素部
8003 ゲート信号線側駆動回路
8004 ソース信号線側駆動回路
8005 ロジック回路
8006 対向基板
8007 FPC

【図18】



【図19】



(A) 画素部の簡略構造図

(1, 1)	(1, 2)	(1, 3)	(1, 4)	(1, 5)	(1, 6)
(2, 1)	(2, 2)	(2, 3)	(2, 4)	(2, 5)	(2, 6)
(3, 1)	(3, 2)	(3, 3)	(3, 4)	(3, 5)	(3, 6)
(4, 1)	(4, 2)	(4, 3)	(4, 4)	(4, 5)	(4, 6)

(B) 表示パターン

【図20】

(A) ソースライン(1ライン)反転駆動における各画素の極性パターン

+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-

極性パターン①

-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+

極性パターン②

(B) ケートライン(1ライン)反転駆動における各画素の極性パターン

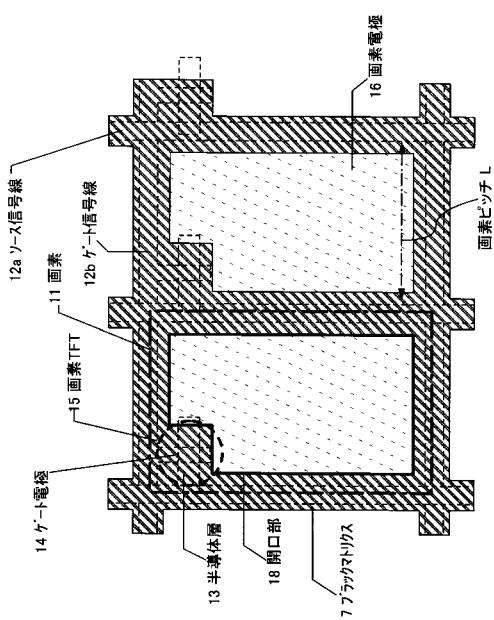
+	+	+	+	+	+
-	-	-	-	-	-
+	+	+	+	+	+
-	-	-	-	-	-

極性パターン③

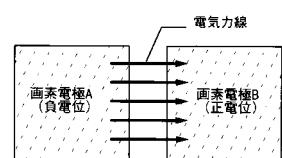
-	-	-	-	-	-
+	+	+	+	+	+
-	-	-	-	-	-
+	+	+	+	+	+

極性パターン④

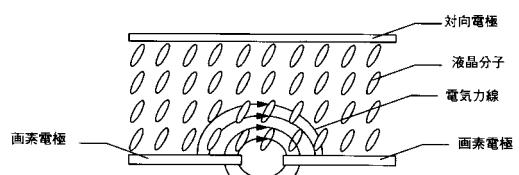
【図21】



【図22】



(A) 画素間に発生する電気力線の状態図(上面図)



(B) (電圧印加直後の状態での(液晶分子が反応する前)) 画素間に発生する電気力線の状態モデル図(断面図)

+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-

ディスクリネーションパターン①

-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+

ディスクリネーションパターン②

(C) ディスクリネーションパターン

【図 2 3】

+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+
+	+	+	+	+	+	+

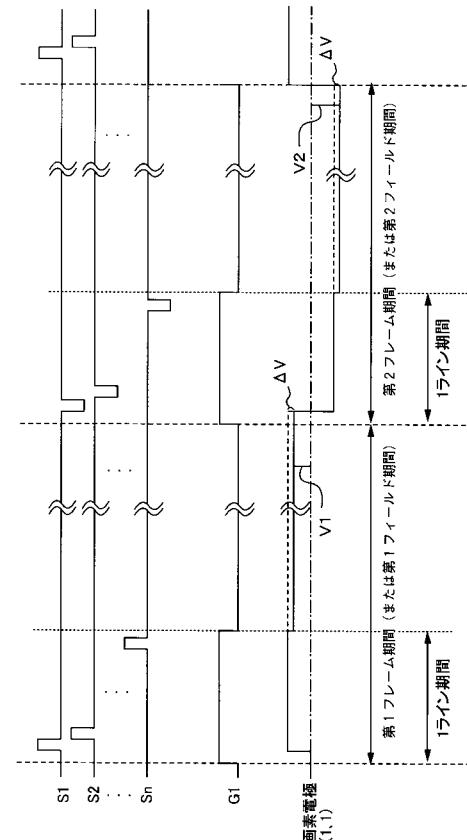
極性パターン⑤

-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-

極性パターン⑥

フレーム反転駆動における各画素の極性パターン

【図 2 4】



フロントページの続き

(51) Int.CI.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 C
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 5 0 J
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 4 2 E
G 0 2 F	1/133	5 2 5

F ターム(参考) 5C006 AA16 AA22 AC11 AC27 AC28 AC29 AC30 AF25 AF42 AF43
AF44 AF50 AF51 AF71 AF83 BA13 BB16 BC03 BC12 BC20
BC23 BF03 BF04 BF24 BF25 FA15 FA16 FA22 FA23 FA33
FA37 FA38 FA42 FA46 FA47 FA48 FA54
5C080 AA10 BB05 BB06 CC03 DD03 DD05 DD06 DD07 DD10 DD23
DD24 DD25 DD26 DD29 EE28 EE29 EE30 FF11 FF13 JJ02
JJ03 JJ04 JJ05 JJ06 KK02 KK04 KK20 KK23 KK43 KK50

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014002408A	公开(公告)日	2014-01-09
申请号	JP2013170934	申请日	2013-08-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤 山形裕和		
发明人	山崎 舜平 小山 潤 山形 裕和		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1362		
CPC分类号	H01L29/78672 G02F1/13454 G02F2001/136222 G09G3/3614 G09G3/3648 G09G3/3666 G09G3/3677 G09G3/3688 G09G2300/0408 G09G2310/027 G09G2310/0289 G09G2320/0209 G09G2320/0219 G09G2320/0233 G09G2320/0247 G09G2340/0435 H01L27/1214 H01L27/124 H01L27/127		
FI分类号	G09G3/36 G09G3/20.642.K G09G3/20.623.U G09G3/20.680.G G09G3/20.623.Q G09G3/20.621.C G09G3/20.621.B G09G3/20.650.J G09G3/20.641.C G09G3/20.611.D G09G3/20.642.A G09G3/20.642.D G09G3/20.611.E G09G3/20.611.J G09G3/20.642.E G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZB03 2H193/ZC16 2H193/ZC25 2H193/ZD32 2H193/ZE04 2H193/ /ZF02 2H193/ZF23 2H193/ZF24 2H193/ZF35 2H193/ZF36 2H193/ZF45 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AC29 5C006/AC30 5C006/AF25 5C006/AF42 5C006/ /AF43 5C006/AF44 5C006/AF50 5C006/AF51 5C006/AF71 5C006/AF83 5C006/BA13 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF24 5C006/ /BF25 5C006/FA15 5C006/FA16 5C006/FA22 5C006/FA23 5C006/FA33 5C006/FA37 5C006/FA38 5C006/FA42 5C006/FA46 5C006/FA47 5C006/FA48 5C006/FA54 5C080/AA10 5C080/BB05 5C080/ /BB06 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD06 5C080/DD07 5C080/DD10 5C080/DD23 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD29 5C080/EE28 5C080/EE29 5C080/EE30 5C080/ /FF11 5C080/FF13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/ /KK04 5C080/KK20 5C080/KK23 5C080/KK43 5C080/KK50		
优先权	1999206378 1999-07-21 JP		
外部链接	Espacenet		

摘要(译)

提供了具有高图像质量的液晶显示装置。在第一帧周期期间将第一视频信号提供给第一像素电极，并且在第二帧周期期间将提供与第一视频信号具有相反极性的第二视频信号。将该信号提供给第一像素，并且在第一帧周期期间，将与第一视频信号具有相同极性的第三视频信号提供给第二像素电极，以及第二帧周期。具有与第一视频信号的极性相反的极性的第四视频信号被提供给第二像素电极，并且在第一帧周期期间被提供具有与第一视频信号相同的极性的第五视频信号。被提供给第三像素电极，并且在第二帧周期期间，具有与第一视频信号的极性相反的极性的第六视频信号被提供给第三像素并且在第一帧周期期间。另外，具有与第一视频信号相同的极性的第七视频信号被提供给第四像素电极，并且在第二帧周期期间，第八视频信号具有与第一视频信号相反的极性。但是第四提供给的像素电极，并以120 Hz的频率驱动。[选型图]图1

