

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-195686

(P2013-195686A)

(43) 公開日 平成25年9月30日(2013.9.30)

|                              |               |             |
|------------------------------|---------------|-------------|
| (51) Int.Cl.                 | F 1           | テーマコード (参考) |
| <b>GO2F 1/1343 (2006.01)</b> | GO2F 1/1343   | 2H088       |
| <b>GO2F 1/13 (2006.01)</b>   | GO2F 1/13 1O1 | 2H092       |

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願2012-62387 (P2012-62387)  
 (22) 出願日 平成24年3月19日 (2012.3.19)

(71) 出願人 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 110001737  
 特許業務法人スズエ国際特許事務所  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100159651  
 弁理士 高倉 成男  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100109830  
 弁理士 福原 淑弘

最終頁に続く

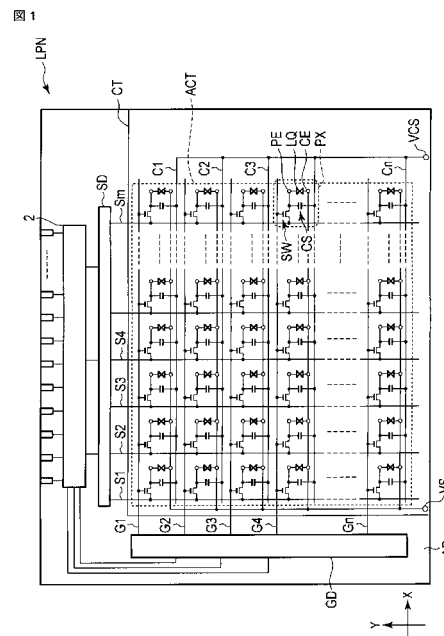
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】 主画素電極 P A を備えた第 1 基板 A R と、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行に延出した主共通電極 C A を備えた第 2 基板 C T と、第 1 基板 A R と第 2 基板 C T との間に保持された液晶分子 L M を含む液晶層 L Q と、を備え、主画素電極 P A と主共通電極 C A との第 1 方向 X に沿った水平電極間距離 H D が  $1.1 \mu\text{m}$  以上  $1.3 \mu\text{m}$  以下であって、液晶層 L Q の誘電率異方性は 1.0 以上である。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

主画素電極を備えた第 1 基板と、  
前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第 2 基板と、  
前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、  
前記主画素電極と前記主共通電極との第 1 方向に沿った水平電極間距離が  $11\ \mu\text{m}$  以上  $13\ \mu\text{m}$  以下であって、前記液晶層の誘電率異方性は 1.0 以上である液晶表示装置。

**【請求項 2】**

前記液晶層の誘電率異方性は 1.4 以上である請求項 1 記載の液晶表示装置。

10

**【請求項 3】**

前記液晶層の誘電率異方性は 1.6 である請求項 1 記載の液晶表示装置。

**【請求項 4】**

前記主画素電極と前記主共通電極との垂直電極間距離が略  $3\ \mu\text{m}$  である請求項 1 乃至請求項 3 のいずれか 1 項記載の液晶表示装置。

**【請求項 5】**

前記液晶層に印加される最高電圧は 5 V 以下である請求項 1 乃至請求項 4 のいずれか 1 項記載の液晶表示装置。

**【請求項 6】**

第 2 方向に延びたソース配線と、前記第 2 方向と略直交する第 1 方向に延びたゲート配線と、前記第 1 方向に延びた補助容量線と、前記ソース配線間において第 2 方向に延びた主画素電極と、前記主画素電極と電氣的に接続するとともに前記補助容量線の上層に配置されたコンタクト部と、前記ゲート配線に印加された信号により前記ソース配線と前記主画素電極との接続を切替えるスイッチング素子と、を備えた第 1 基板と、

20

前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、  
前記主画素電極と前記主共通電極との第 1 方向に沿った水平電極間距離が  $11\ \mu\text{m}$  以上  $13\ \mu\text{m}$  以下であるとき、前記液晶層の誘電率異方性は 1.0 以上である液晶表示装置。

**【発明の詳細な説明】**

30

**【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

**【背景技術】****【0002】**

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

40

**【0003】**

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

**【先行技術文献】****【特許文献】****【0004】**

【特許文献 1】特開 2009 - 192822 号公報

50

【特許文献2】特開平9 - 160041号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態によれば、主画素電極を備えた第1基板と、前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記主画素電極と前記主共通電極との第1方向に沿った水平電極間距離が $11\mu\text{m}$ 以上 $13\mu\text{m}$ 以下であるとき、前記液晶層の誘電率異方性は10以上である液晶表示装置。

10

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図2に示した液晶表示パネルをA - A線で切断したときの断面構造を概略的に示す断面図である。

20

【図4】図4は、本実施形態と比較例との液晶表示装置に適用する液晶材料について、屈折率異方性と誘電率異方性との関係の一例を示す図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

30

【0010】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 $m$ 及び $n$ は正の整数である）。

【0011】

40

液晶表示パネルLPNは、アクティブエリアACTにおいて、 $n$ 本のゲート配線G（ $G_1 \sim G_n$ ）、 $n$ 本の補助容量線C（ $C_1 \sim C_n$ ）、 $m$ 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、屈曲していてもよい。

【0012】

50

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 3 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【 0 0 1 4 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 5 】

スイッチング素子 S W は、例えば、n チャネル薄膜トランジスタ ( T F T ) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【 0 0 1 6 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド ( I T O ) やインジウム・ジंक・オキサイド ( I Z O ) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【 0 0 1 7 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

【 0 0 1 8 】

図 2 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 0 1 9 】

図示した画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形状である。補助容量線 C 1、および補助容量線 C 2 は、第 1 方向 X に沿って延出している。ゲート配線 G 1 は、隣接する補助容量線 C 1 と補助容量線 C 2 との間に配置され、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 2 方向 Y に沿って延出している。画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、画素電極 P E は、補助容量線 C 1 と補助容量線 C 2 との間に位置している。

【 0 0 2 0 】

図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左

10

20

30

40

50

側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素の略中央部に配置されている。

#### 【 0 0 2 1 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられ、そのドレイン配線はソース配線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール（図示せず）を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

10

#### 【 0 0 2 2 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及びコンタクト部 P C を備えている。主画素電極 P A は、コンタクト部 P C から画素 P X の下側端部付近まで第 2 方向 Y に沿って直線的に延出している。本実施形態では、主画素電極 P A の第 1 方向 X における幅は略 5  $\mu\text{m}$  である。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。ソース配線 S 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、ソース配線 S 2 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。コンタクト部 P C は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール（図示せず）を介してスイッチング素子 S W と電氣的に接続されている。このコンタクト部 P C は、主画素電極 P A よりも幅広に形成されている。

20

#### 【 0 0 2 3 】

共通電極 C E は、主共通電極 C A を備えている。主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。本実施形態では、主共通電極 C A の第 1 方向 X における幅は略 5  $\mu\text{m}$  である。主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

30

#### 【 0 0 2 4 】

図示した例では、主共通電極 C A は、第 1 方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの主共通電極 C A を区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線 S 2 と対向している。これらの主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

40

#### 【 0 0 2 5 】

画素 P X において、主共通電極 C A L は左側端部に配置され、主共通電極 C A R は右側端部に配置されている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

#### 【 0 0 2 6 】

主画素電極 P A と主共通電極 C A との位置関係に着目すると、主画素電極 P A と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。主画素電極 P A と主共通電極 C A とは、互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも主画素電極 P A とは重ならない。

50

## 【0027】

すなわち、隣接する主共通電極C A L及び主共通電極C A Rの間には、1本の主画素電極P Aが位置している。換言すると、主共通電極C A L及び主共通電極C A Rは、主画素電極P Aの直上の位置を挟んだ両側に配置されている。あるいは、主画素電極P Aは、主共通電極C A Lと主共通電極C A Rとの間に配置されている。このため、主共通電極C A L、主画素電極P A、及び、主共通電極C A Rは、第1方向Xに沿ってこの順に配置されている。

## 【0028】

画素電極P Eと共通電極C Eとの第1方向Xに沿った間隔は略一定である。すなわち、主共通電極C A Lと主画素電極P Aとの第1方向Xに沿った間隔は、主共通電極C A Rと主画素電極P Aとの第1方向Xに沿った間隔と略同等である。

10

## 【0029】

本実施形態では、主共通電極C Aと主画素電極P Aとの第1方向Xに沿った間隔、つまり、X-Y平面内において、主画素電極P A及び主共通電極C Aの互いに向かい合うエッジ間の第1方向Xに沿った距離は、水平電極間距離H Dと称する。本実施形態の液晶表示装置では、水平電極間距離H Dは略13 $\mu$ mである。水平電極間距離H Dが小さくなると、液晶の配向状態を制御するための電圧を比較的低くすることができ低消費電力を実現できる一方、各画素における開口領域が減少するため輝度が低下することがある。また、水平電極間距離H Dが大きくなると、開口領域を大きくすることができる一方、液晶の配向状態を制御するために高い電圧を印加することが必要となり消費電力を低減することが困難である。したがって、水平電極間距離H Dは、消費電力が所定の範囲になるように、できるだけ大きくすることが望ましい。本実施形態では、後述する液晶材料を採用することにより、水平電極間距離H Dを11 $\mu$ m以上13 $\mu$ m以下とすることが可能である。

20

## 【0030】

図3は、図2に示した液晶表示パネルL P NをA-A線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

## 【0031】

液晶表示パネルL P Nを構成するアレイ基板A Rの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(C C F L)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

30

## 【0032】

アレイ基板A Rは、光透過性を有する第1絶縁基板10を用いて形成されている。ソース配線Sは、第1層間絶縁膜11の上に形成され、第2層間絶縁膜12によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第1絶縁基板10と第1層間絶縁膜11との間に配置されている。画素電極P Eは、第2層間絶縁膜12の上に形成されている。画素電極P Eは、隣接するソース配線Sのそれぞれの直上の位置よりもそれらの内側に位置している。

## 【0033】

第1配向膜A L 1は、アレイ基板A Rの対向基板C Tと対向する面に配置され、アクティブエリアA C Tの略全体に亘って延在している。第1配向膜A L 1は、画素電極P Eなどを覆っており、第2層間絶縁膜12の上にも配置されている。第1配向膜A L 1は、水平配向性を示す材料によって形成されている。

40

## 【0034】

なお、アレイ基板A Rは、さらに、共通電極C Eの一部を備えていても良い。

## 【0035】

対向基板C Tは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板C Tは、ブラックマトリクスB M、カラーフィルタC F、オーバーコート層O C、共通電極C E、第2配向膜A L 2などを備えている。

## 【0036】

50

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。ブラックマトリクス B M は、第 2 絶縁基板 20 のアレイ基板 A R に対向する内面 20 A に配置されている。

【0037】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 20 の内面 20 A における開口部 A P に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタ C F R は、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタ C F B は、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタ C F G は、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

10

【0038】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

20

【0039】

共通電極 C E は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。この共通電極 C E と画素電極 P E との第 3 方向 Z に沿った間隔は略一定である。第 3 方向 Z とは、第 1 方向 X 及び第 2 方向 Y に直交する方向、あるいは、液晶表示パネル L P N の法線方向である。本実施形態では、共通電極 C E と画素電極 P E との第 3 方向 Z に沿った間隔、つまり、X - Z 平面内において、画素電極 P E 及び共通電極 C E の互いに向かい合う表面間の第 3 方向 Z に沿った距離は、垂直電極間距離 V D と称する。本実施形態の液晶表示装置では、垂直電極間距離 V D は略 3  $\mu$ m である。

【0040】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E 及びオーバーコート層 O Cなどを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

30

【0041】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1、及び、第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、図 2 に示したように、第 2 方向 Y と略平行であって、同じ向きである。

40

【0042】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば 2 ~ 7  $\mu$ m のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材 S B によって貼り合わせられている。なお、ここでのセルギャップとは、上記の垂直電極間距離 V D と略同等である。

50

## 【 0 0 4 3 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。

## 【 0 0 4 4 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

## 【 0 0 4 5 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

## 【 0 0 4 6 】

図 2 において、( a ) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

## 【 0 0 4 7 】

また、図 2 において、( b ) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

## 【 0 0 4 8 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

## 【 0 0 4 9 】

上記液晶表示装置では、2 枚の偏光板 P L 1、P L 2 の配置により、電圧無印加時には黒色画面を表示する。また、ソース配線 S からスイッチング素子 S W を介して画素電極 P E に映像信号を供給することにより、共通電極 C E との間の電位差によって基板にほぼ平行な水平電界が形成される。液晶分子は、この水平電界の向きに配列しようとして基板主面とほぼ平行な平面内で回転する。

## 【 0 0 5 0 】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 及び図 3 を参照しながら説明する。

## 【 0 0 5 1 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成されていない状態（O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F

時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0052】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0053】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

10

【0054】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

【0055】

ここで、第1配向膜AL1を第1配向処理方向PD1に配向処理した結果、第1配向膜AL1の近傍における液晶分子LMは第1配向処理方向PD1に初期配向され、第2配向膜AL2を第2配向処理方向PD2に配向処理した結果、第2配向膜AL2の近傍における液晶分子LMは第2配向処理方向PD2に初期配向される。そして、第1配向処理方向PD1と第2配向処理方向PD2は互いに平行で且つ同じ向きである場合には、上述のように液晶分子LMはスプレイ配向になり、上記したように液晶層LQの中間部を境界として、アレイ基板AR上の第1配向膜AL1の近傍での液晶分子LMの配向と対向基板CT上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

20

30

【0056】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0057】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

40

【0058】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0059】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域内の液晶分子LM

50

は、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEと主共通電極CARとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

【0060】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0061】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライト光は、その偏光状態が変化する。このようなON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

【0062】

OFF状態では、液晶分子LMは、第2方向Yに略平行な方向に初期配向している。画素電極PEと共通電極CEとの間に電位差が形成されたON状態では、液晶分子LMのダイレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

【0063】

図示した例では、ON状態となったとき、主共通電極CALと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で45°-225°の方位と略平行となり、主共通電極CARと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で135°-315°の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては透過率が略ゼロとなる一方で、画素電極PEと共通電極CEとの間の電極間隙では、略全域に亘って高い透過率が得られる。

【0064】

なお、ソース配線S1の直上に位置する主共通電極CAL及びソース配線S2の直上に位置する主共通電極CARは、それぞれブラックマトリクスBMと対向しているが、これらの主共通電極CAL及び主共通電極CARは、ともにブラックマトリクスBMの第1方向Xに沿った幅と同等以下の幅を有しており、ブラックマトリクスBMと重なる位置よりも画素電極PEの側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクスBMの間もしくはソース配線S1とソース配線S2との間の領域のうち、画素電極PEと主共通電極CAL及び主共通電極CARとの間の領域に相当する。

【0065】

本実施形態によれば、したがって、透過率の低下を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

【0066】

ここで、本実施形態の液晶表示装置において、液晶材料の誘電率異方性 $\Delta\epsilon$ 、水平電極間距離HD等の条件によっては電界を有効に利用できず、透過率が低下することがあった。例えば、上記液晶表示装置に、横電界を利用するIPSモードやFFSモードの液晶表示装置と同じ液晶材料を用いた場合、十分な輝度を得ることができなかった。

【0067】

そこで、本願発明者らは、上記液晶表示装置において十分な輝度を得るために必要な液晶材料の条件を見出した。以下、本実施形態の液晶表示装置に適用する液晶材料について、比較例を用いて説明する。

10

20

30

40

50

## 【 0 0 6 8 】

図 4 は、本実施形態の液晶表示装置に適用する液晶材料と比較例の液晶表示装置に適用する液晶材料とについて、屈折率異方性  $\Delta n$  と誘電率異方性  $\Delta \epsilon$  との関係の一例を示す図である。

## 【 0 0 6 9 】

図 4 は、横軸を屈折率異方性  $\Delta n$  とし、縦軸を誘電率異方性  $\Delta \epsilon$  として、複数の液晶材料をプロットした散布図と、近似式のグラフ G 1、G 2 とを示している。ダイヤ型のプロットは、比較例の IPS モードや FFS モードの液晶表示装置に適用した液晶材料であって、いずれも十分な輝度が得られた場合の液晶材料のプロットである。四角型のプロット P 1 は、本実施形態の液晶表示装置に適用した場合に、十分な輝度が得られた液晶材料のプロットである。プロット P 1 の液晶材料は、誘電率異方性  $\Delta \epsilon$  が 1 6 であり屈折率異方性  $\Delta n$  が約 0 . 1 である。

10

## 【 0 0 7 0 】

比較例の液晶表示装置は、画素電極 P E と共通電極 C E とが共にアレイ基板 A R に配置され、画素電極 P E と共通電極 C E との間に生じる横電界を利用して液晶の配向状態を制御するもの（例えば FFS モードや IPS モードの液晶表示装置）である。比較例の液晶表示装置において、画素電極 P E と共通電極 C E との第 1 方向 X における電極間隔（水平電極間隔）は、3  $\mu\text{m}$  以上 4  $\mu\text{m}$  以下である。

## 【 0 0 7 1 】

その他、本実施形態の液晶表示装置も比較例の液晶表示装置も、アレイ基板 A R と対向基板 C T との間のギャップ（垂直電極間距離）は略 3  $\mu\text{m}$  であり、白表示時の液晶層 L Q に対する印加電圧は略 5 V である。

20

## 【 0 0 7 2 】

図 4 に示した近似グラフ G 1 は、本実施形態の液晶表示装置の液晶材料のプロットを通り、近似グラフ G 2 と同じ傾きを有するグラフである。なお、比較例の液晶表示装置の液晶材料のプロットの近似式は、例えば、最小二乗法により算出した。

## 【 0 0 7 3 】

本実施形態の液晶表示装置にプロット P 1 の液晶材料（誘電率異方性  $\Delta \epsilon = 1 6$  ）を適用した場合、比較例の液晶表示装置の輝度（透過率）に対して 9 0 % ~ 9 5 % の輝度が得られた。

30

## 【 0 0 7 4 】

また、シミュレーションにより、誘電率異方性  $\Delta \epsilon$  が 1 4 であり屈折率異方性  $\Delta n$  が約 0 . 1 である液晶材料を本実施形態の液晶表示装置に適用した場合には、比較例の液晶表示装置の輝度に対して 8 0 % 以上の輝度が得られた。

## 【 0 0 7 5 】

誘電率異方性  $\Delta \epsilon$  が 1 0 であり屈折率異方性  $\Delta n$  が約 0 . 1 である液晶材料を本実施形態の液晶表示装置に適用した場合には、比較例の液晶表示装置の輝度に対して 7 0 % 以上の輝度が得られた。比較例の液晶表示装置に対して 7 0 % の輝度である場合、白表示時の液晶駆動電圧を高くしたり、バックライトを明るくしたりすることにより、表示品位を低下させることなく比較例の液晶表示装置と同等の輝度を得ることができた。

40

## 【 0 0 7 6 】

上記結果により、本実施形態の液晶表示装置では、液晶材料は、誘電率異方性  $\Delta \epsilon$  が 1 0 以上であることが望ましく、誘電率異方性  $\Delta \epsilon$  が 1 4 以上であることがさらに望ましい。さらには、液晶材料の誘電率異方性  $\Delta \epsilon$  を略 1 6 とすると、白表示時の液晶駆動電圧を高くしたり、バックライトを明るくしたりすることなく十分な輝度の液晶表示装置を得ることができる。

## 【 0 0 7 7 】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することで対応す

50

ることが可能となる。本実施形態では、水平電極間距離  $H D$  を  $11\ \mu m$  以上  $13\ \mu m$  以下とすることにより、上記液晶材料を用いて、十分な輝度の液晶表示装置を得ることができた。

#### 【0078】

さらに、白表示時の液晶駆動電圧を高くしたり、バックライトを明るくしたりすると、電力消費が大きくなるが、適切な液晶材料を選択することにより、消費電力が大きくなることを回避することができる。

#### 【0079】

すなわち、本実施形態によれば、適切な液晶材料を用いて輝度の低下を抑制し、表示品位の劣化を抑制することが可能な液晶表示装置を提供することができる。

10

#### 【0080】

また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素  $P X$  の略中央に配置された画素電極  $P E$  に対して主共通電極  $C A$  の配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

#### 【0081】

また、本実施形態によれば、ブラックマトリクス  $B M$  と重なる領域での透過率分布に着目すると、透過率が十分に低下する。これは、共通電極  $C E$  の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス  $B M$  を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス  $B M$  と重なる領域の液晶分子が  $O F F$  時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

20

#### 【0082】

また、アレイ基板  $A R$  と対向基板  $C T$  との合わせずれが生じた際に、画素電極  $P E$  を挟んだ両側の共通電極  $C E$  との水平電極間距離  $H D$  に差が生じることがある。しかしながら、このような合わせずれは、全ての画素  $P X$  に共通に生じるため、画素  $P X$  間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板  $A R$  と対向基板  $C T$  との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

30

#### 【0083】

また、本実施形態によれば、主共通電極  $C A$  は、それぞれソース配線  $S$  と対向している。特に、主共通電極  $C A L$  及び主共通電極  $C A R$  がそれぞれソース配線  $S 1$  及びソース配線  $S 2$  の直上に配置されている場合には、主共通電極  $C A L$  及び主共通電極  $C A R$  がソース配線  $S 1$  及びソース配線  $S 2$  よりも画素電極  $P E$  側に配置された場合と比較して、開口部  $A P$  を拡大することができ、画素  $P X$  の透過率を向上することが可能となる。

40

#### 【0084】

また、主共通電極  $C A L$  及び主共通電極  $C A R$  をそれぞれソース配線  $S 1$  及びソース配線  $S 2$  の直上に配置することによって、画素電極  $P E$  と主共通電極  $C A L$  及び主共通電極  $C A R$  との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である  $I P S$  モード等の利点である広視野角化も維持することが可能となる。

#### 【0085】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる

50

。

## 【0086】

なお、上記の例では、液晶分子LMの初期配向方向が第2方向Yと平行である場合について説明したが、液晶分子LMの初期配向方向は、図2に示したように、第2方向Yを斜めに交差する斜め方向Dであっても良い。ここで、第2方向Yに対する初期配向方向Dのなす角度 $\theta_1$ は、 $0^\circ$ より大きく $45^\circ$ より小さい角度である。なお、このなす角度 $\theta_1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは $20^\circ$ 以下とすることが液晶分子LMの配向制御の観点で極めて有効である。つまり、液晶分子LMの初期配向方向は、第2方向Yに対して $0^\circ$ 乃至 $20^\circ$ の範囲内の方向と略平行であることが望ましい。

## 【0087】

また、上記の例では、液晶層LQが正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層LQは、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 $\theta_1$ が $45^\circ \sim 90^\circ$ 、望ましくは $70^\circ$ 以上とすることが好ましい。

## 【0088】

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

## 【0089】

本実施形態において、画素PXの構造は、図2に示した例に限定されるものではない。例えば、一つの画素PXに複数の主画素電極PAが配置され、各主画素電極を挟む両側に複数の主共通電極CAが配置されてもよい。その場合にも、水平電極間距離HDを $11\mu\text{m}$ 以上 $13\mu\text{m}$ 以下とし、適切な液晶材料を採用することにより、上記実施形態と同様の効果を得ることができる。

## 【0090】

なお、本実施形態においては、共通電極CEは、対向基板CTに備えられた主共通電極CAに加えて、アレイ基板ARに備えられ主共通電極CAと対向する（あるいはソース配線Sと対向する）とともに、画素電極PEと電氣的に分離した第2主共通電極を備えていても良い。この第2主共通電極は、主共通電極CAと略平行に延出し、しかも、主共通電極CAと同電位である。このような第2主共通電極を設けることにより、ソース配線Sからの不所望な電界をシールドすることが可能である。

## 【0091】

また、共通電極CEは、対向基板CTに備えられた主共通電極CAに加えて、アレイ基板ARに備えられゲート配線Gや補助容量線Cと対向する第2副共通電極を備えていても良い。この第2副共通電極は、主共通電極CAと交差する方向に延出し、しかも、主共通電極CAと同電位である。このような第2副共通電極を設けたことにより、ゲート配線Gや補助容量線Cからの不所望な電界をシールドすることが可能である。このような第2主共通電極や第2副共通電極を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

## 【0092】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

## 【0093】

なお、上記実施形態では、第1方向Xにおける電極間距離と、液晶材料の誘電率異方性

10

20

30

40

50

とを適切に設定することにより、表示品位の良好な液晶表示装置を提供している。垂直電極間距離  $VD$  について規定していないのは、垂直電極間距離  $VD$  が変わると主画素電極  $PA$  と主共通電極  $CA$  との間の距離も変化するため表示品位への影響はあるものの、水平電極間距離  $HD$  が変化するよりもその影響は小さいためである。なお、垂直電極間距離  $VD$  は  $2\ \mu\text{m}$  以上  $4\ \mu\text{m}$  以下であることが望ましい。この場合、表示品位が良好であり、かつ、消費電力を抑えた液晶表示装置を提供することができる。

#### 【0094】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【符号の説明】

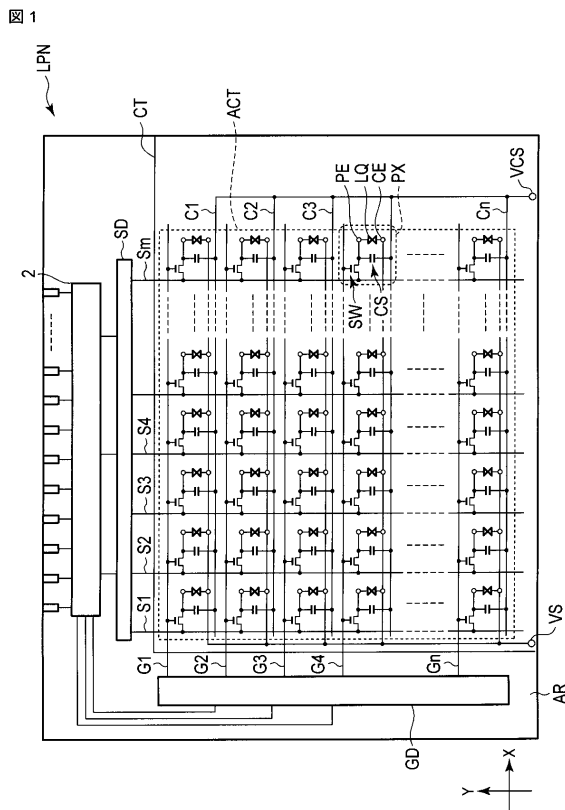
#### 【0095】

$AR$  ... アレイ基板（第1基板）、 $CT$  ... 対向基板（第2基板）、 $PX$  ... 画素、 $G$  ... ゲート配線、 $C$  ... 補助容量線、 $S$  ... ソース配線、 $X$  ... 第1方向、 $Y$  ... 第2方向、 $Z$  ... 第3方向、 $SW$  ... スwitching素子、 $PE$  ... 画素電極、 $PA$  ... 主画素電極、 $PC$  ... コンタクト部、 $CE$  ... 共通電極、 $CA$ 、 $CAR$ 、 $CAL$  ... 主共通電極、 $HD$  ... 水平電極間距離、 $VD$  ... 垂直電極間距離、ギャップ、 $LM$  ... 液晶分子、 $LQ$  ... 液晶層。

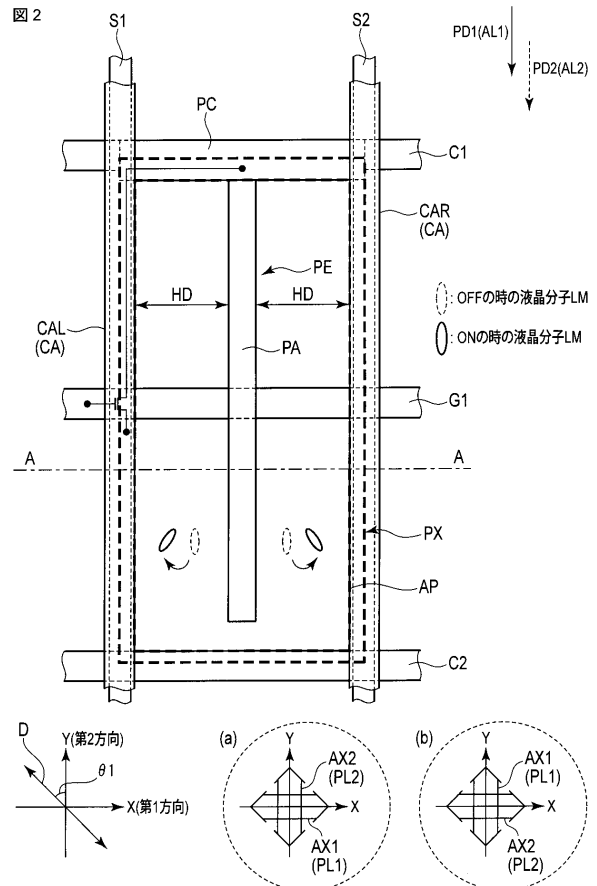
10

20

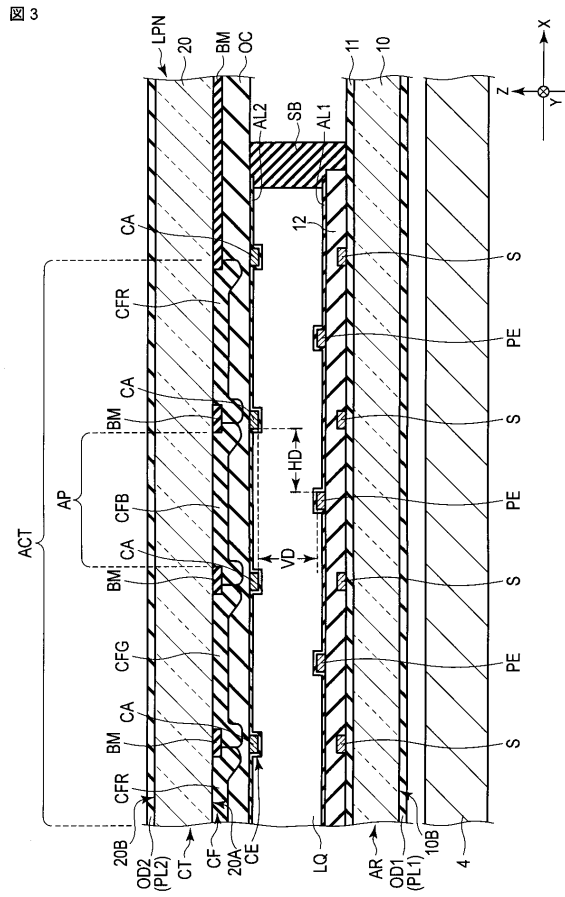
【図1】



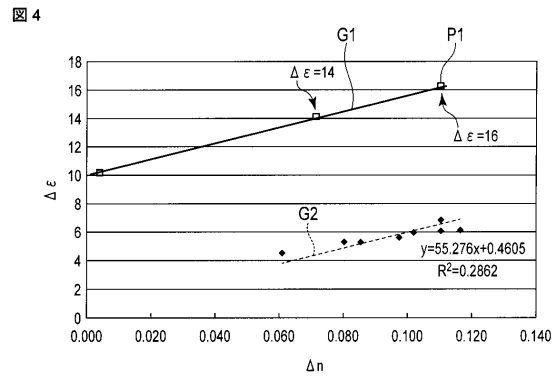
【図2】



【 図 3 】



【 図 4 】



## フロントページの続き

(74)代理人 100075672  
弁理士 峰 隆司

(74)代理人 100095441  
弁理士 白根 俊郎

(74)代理人 100084618  
弁理士 村松 貞男

(74)代理人 100103034  
弁理士 野河 信久

(74)代理人 100119976  
弁理士 幸長 保次郎

(74)代理人 100153051  
弁理士 河野 直樹

(74)代理人 100140176  
弁理士 砂川 克

(74)代理人 100158805  
弁理士 井関 守三

(74)代理人 100172580  
弁理士 赤穂 隆雄

(74)代理人 100179062  
弁理士 井上 正

(74)代理人 100124394  
弁理士 佐藤 立志

(74)代理人 100112807  
弁理士 岡田 貴志

(74)代理人 100111073  
弁理士 堀内 美保子

(74)代理人 100134290  
弁理士 竹内 将訓

(72)発明者 長谷川 ひとみ  
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

(72)発明者 廣澤 仁  
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

(72)発明者 森田 祐介  
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

(72)発明者 森本 浩和  
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

(72)発明者 武田 有広  
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

Fターム(参考) 2H088 HA02 HA03 HA08 KA26  
2H092 GA14 GA15 JA24 JA46 JB05 JB22 JB31 JB69 NA25 PA02  
PA08 PA09 PA11 QA06 RA10

|                |                                                                                                                                                                                                                  |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                           |         |            |
| 公开(公告)号        | <a href="#">JP2013195686A</a>                                                                                                                                                                                    | 公开(公告)日 | 2013-09-30 |
| 申请号            | JP2012062387                                                                                                                                                                                                     | 申请日     | 2012-03-19 |
| [标]申请(专利权)人(译) | 株式会社日本显示器                                                                                                                                                                                                        |         |            |
| 申请(专利权)人(译)    | 有限公司日本显示器                                                                                                                                                                                                        |         |            |
| [标]发明人         | 長谷川ひとみ<br>廣澤仁<br>森田祐介<br>森本浩和<br>武田有広                                                                                                                                                                            |         |            |
| 发明人            | 長谷川 ひとみ<br>廣澤 仁<br>森田 祐介<br>森本 浩和<br>武田 有広                                                                                                                                                                       |         |            |
| IPC分类号         | G02F1/1343 G02F1/13                                                                                                                                                                                              |         |            |
| CPC分类号         | G02F1/134309 G02F1/134336 G02F2202/42                                                                                                                                                                            |         |            |
| FI分类号          | G02F1/1343 G02F1/13.101                                                                                                                                                                                          |         |            |
| F-TERM分类号      | 2H088/HA02 2H088/HA03 2H088/HA08 2H088/KA26 2H092/GA14 2H092/GA15 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB69 2H092/NA25 2H092/PA02 2H092/PA08 2H092/PA09 2H092/PA11 2H092/QA06 2H092/RA10 |         |            |
| 代理人(译)         | 河野 哲<br>中村诚<br>河野直树<br>井上 正<br>冈田隆                                                                                                                                                                               |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                        |         |            |

#### 摘要(译)

根据一个实施例，液晶显示器包括：第一基板，包括主像素电极；第二基板，包括主公共电极，主公共电极在主像素电极的两侧基本上与主像素电极平行地延伸；以及液晶层包括保持在第一基板和第二基板之间的液晶分子。主像素电极和主公共电极之间在第一方向上的水平电极间距离在 $11\mu\text{m}$ 或更大且 $13\mu\text{m}$ 或更小的范围内，并且液晶层的介电常数各向异性为10或更大。

