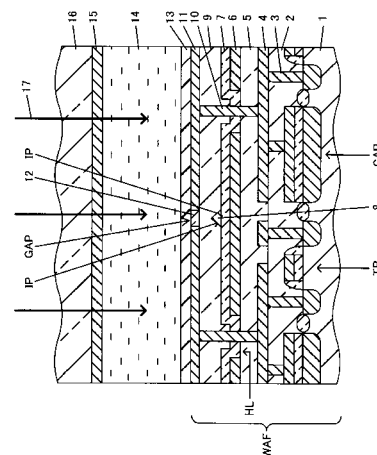




【特許請求の範囲】

【請求項 1】

反射型液晶表示装置に用いられる半導体装置であって、
トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、
前記画素電極下方に形成された遮光膜と、
前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造と
を有する半導体装置。

10

【請求項 2】

前記光反射構造は、前記遮光膜の上方に配置された凸状の部材で形成されている請求項 1 に記載の半導体装置。

【請求項 3】

前記遮光膜は、光反射材料で形成され、
前記光反射構造は、前記遮光膜に形成された凹部で形成されている請求項 1 に記載の半導体装置。

【請求項 4】

トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、
前記画素電極下方に形成された遮光膜と、
前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造と
前記画素電極上方に形成された液晶層と、
前記液晶層上方に形成され、前記液晶層側に透明電極が形成された透明基板と
を有する反射型液晶表示装置。

20

【請求項 5】

トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、
前記画素電極下方に形成された遮光膜と、
前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造と
を有し、
前記光反射構造は、前記遮光膜の上方に配置された凸状の部材で形成されており、反射型液晶表示装置に用いられる半導体装置の製造方法であって、
前記遮光膜を形成する工程と、
前記遮光膜の上方に、光反射材料層を形成する工程と、
前記光反射材料層上に、前記光反射構造の形成領域上を覆うレジストパターンを形成する工程と、
前記レジストパターンをマスクとし、前記光反射材料層を等方性エッチングして、前記光反射構造を形成する工程と
を有する半導体装置の製造方法。

30

40

【請求項 6】

トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、
前記画素電極下方に形成された遮光膜と、
前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に

50

形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造とを有し、

前記遮光膜は、光反射材料で形成され、前記光反射構造は、前記遮光膜に形成された凹部で形成されており、反射型液晶表示装置に用いられる半導体装置の製造方法であって、

前記遮光膜を形成する工程と、

前記遮光膜をエッチングして、前記光反射構造を形成する工程とを有する半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体装置とその製造方法、及び反射型液晶表示装置に関する。

【背景技術】

【0002】

リキッド・クリスタル・オン・シリコン（ＬＣＯＳ）は、画素電極及び画素電極への印加電圧を制御するトランジスタの形成された半導体基板と、透明電極の形成された透明基板との間に液晶層を封入した反射型液晶表示装置である。

【0003】

ＬＣＯＳは、高精細な画像を大画面で提供可能ということから、現状の高精細規格ＨＤの４倍の解像度の次世代規格４Ｋ２Ｋなどの表示装置として開発が進められている。さらに、次次世代向けの規格８Ｋ４Ｋへの展開も期待されている。

20

【0004】

ＬＣＯＳの解像度を向上させるためには、光反射素子である画素電極の数を増加させることになる。画素電極数（ピクセル数）の増加に伴い、画素電極間の間隙の本数、いわゆるピクセルギャップ本数が増加する。

【0005】

液晶表示装置に関し、種々の技術が提案されている（例えば特許文献１～３参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献１】特開２００７－１７１８６７号公報

30

【特許文献２】特開２００４－１９８７６４号公報

【特許文献３】特開２０００－１０１２２号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一目的は、ＬＣＯＳの高精細化に寄与する技術を提供することである。

【課題を解決するための手段】

【0008】

本発明の一観点によれば、反射型液晶表示装置に用いる半導体装置であって、トランジスタが形成された半導体基板と、前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、前記画素電極下方に形成された遮光膜と、前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造とを有する半導体装置が提供される。

40

【発明の効果】

【0009】

光反射構造は、画素電極間の間隙から入射した光を、反射面により斜め方向に反射させる。これにより、垂直上方に反射される光が低減し、画素電極間の間隙から外側に漏れる光を低減させることができる。

【図面の簡単な説明】

50

【0010】

【図1】図1は、第1実施例によるLCOSの概略的な断面図である。

【図2】図2は、第1実施例によるLCOSの概略的な平面図である。

【図3】図3A及び図3Bは、それぞれ、第1実施例及び比較例によるLCOSの遮光膜近傍を示す概略断面図である。

【図4-1】図4A～図4Dは、第1実施例によるLCOSの製造工程を示す概略断面図である。

【図4-2】図4E～図4Hは、第1実施例によるLCOSの製造工程を示す概略断面図である。

【図5】図5A及び図5Bは、第2実施例によるLCOSの遮光膜近傍を示す概略断面図である。

10

【発明を実施するための形態】

【0011】

まず、本発明の第1実施例によるLCOSについて説明する。

【0012】

図1及び図2は、第1実施例によるLCOSの概略的な断面図及び平面図である。図1及び図2を参照して、第1実施例のLCOSの概略構造について説明する。

【0013】

図1に示すように、半導体基板1に、MOSトランジスタTRと、キャパシタCAPとが形成されている。キャパシタCAPは、半導体基板1に形成された拡散領域が下部電極を形成し、絶縁膜を介して積層された導電層が上部電極を形成している。

20

【0014】

1つずつのMOSトランジスタTRとキャパシタCAPとが1組となっている。1組のMOSトランジスタTRの一方のソース／ドレイン領域と、キャパシタCAPの上部電極とが、導電プラグ3、配線4、及び導電プラグ10を介して、1画素分の画素電極11に接続されている。MOSトランジスタTRが、画素電極11への電圧無印加状態と電圧印加状態とを切り替える。キャパシタCAPは、トランジスタTRによる電圧無印加状態への切り替え後、ある程度の時間、電圧印加状態を保持する。

【0015】

半導体基板1上に画素電極11までが形成された構造を、ウエハWAFと呼ぶこととする。ウエハWAFの画素電極11上方に、透明基板16が対向配置され、ウエハWAFと透明基板16との間に液晶層14が形成されている。透明基板16の液晶層側に、透明電極15が形成されており、画素電極11と透明電極15とが、液晶層14を挟んで対向している。

30

【0016】

透明基板16側から、光反射材料で形成された画素電極11の側に、光17が入射する。光17の入射方向は、画素電極11の上面に垂直である。画素電極11ごとに印加電圧を変化させて、液晶層14の状態を変調させることにより、画素電極11ごとに反射される光17の反射量を変化させる。このようにして、反射型表示が行われる。なお、反射型表示装置であるので、画素電極11側の基板1が透光性である必要はない。

40

【0017】

図2に示すように、画素電極11は、行列状に配置されている。1画素分の画素電極11の寸法は、例えば $0.7\mu\text{m}$ 角である。隣接する画素電極11の間に間隙（ピクセルギャップ）GAPが配置され、間隙GAPの幅は、例えば $0.1\mu\text{m}\sim 0.2\mu\text{m}$ である。LCOSの1チップのサイズは、例えば3mm角であり、1チップに、行方向及び列方向に数千個ずつの画素が配置される。

【0018】

図1に示すように、画素電極11の下方に、遮光膜6が形成されている。画素電極11間の間隙GAPからウエハWAFに入り込んだ光17が、半導体基板1まで伝播すると、光リーク電流を発生させ、トランジスタTRの特性を悪化させる。遮光膜6により、間隙

50

G A PからウェハW A Fに入り込んだ光17が、遮光膜6の下方に伝播することが抑制される。遮光膜6は、画素電極11を下方の配線4に接続する導電プラグ10を貫通させる穴部H Lを除き、全面に形成されている。

【0019】

本実施例のL C O Sでは、遮光膜6の上方で、画素電極11間の間隙G A Pの下方に、反射体8が形成されている。なお、後述するように、反射体8の形成工程に伴い、反射体8と遮光膜6との間に保護膜7が形成されている。

【0020】

図1とともに図2を参照する。反射体8は、おおよそ三角柱状に形成され、間隙G A Pの長さ方向に延在して配置されている。反射体8は、間隙G A Pの長さ方向に延在する反射面I Pを有し、反射面I Pは、遮光膜6の上面に対し斜めに傾いている。つまり、反射面I Pは、遮光膜6の上面と平行でも垂直でもない。

10

【0021】

次に、図3Aを参照して、第1実施例による反射体8の働きについて説明する。併せて、図3Bを参照して、比較例によるL C O Sについて説明する。図3A及び図3Bは、それぞれ、第1実施例及び比較例によるL C O Sの遮光膜6の近傍を示す概略断面図である。

【0022】

図3Bに示すように、比較例によるL C O Sは、反射体8が形成されていない。なお、反射体8が形成されていないことに伴い、保護膜7も形成されていない。その他は、第1実施例のL C O Sと同様な構造である。比較例のL C O Sは、画素電極11間の間隙G A Pから垂直入射した光17が、遮光膜6の上面で垂直上方に反射され、間隙G A Pから透明基板側に漏れ出す。

20

【0023】

このような漏れ光に起因して、画像のにじみや、部分的なコントラスト劣化が生じる。L C O Sの高精細化が進むほど、間隙G A Pの本数が増加し、このような漏れ光に起因する画質劣化が大きくなる。

【0024】

一方、図3Aに示すように、第1実施例によるL C O Sでは、画素電極11間の間隙G A Pから垂直入射した光17が、反射体8の反射面I Pで斜め方向に反射され、間隙G A Pから透明基板側に出射することなく、ウェハ側に入り込む。ウェハ側に入り込んだ光17は、遮光膜6と画素電極11との間を伝播して、しだいに減衰する。なお、図3Aに示す概略伝播経路は一例である。

30

【0025】

このように、第1実施例によるL C O Sでは、遮光膜6の上面に対して斜めに傾いた反射面I Pを有する反射体8を、画素電極11間の間隙G A P下方に配置したことにより、間隙G A P部分で垂直上方に反射して透明基板側に戻る漏れ光を抑制することができる。

【0026】

次に、図1及び図4A～図4Hを参照して、第1実施例によるL C O Sの製造方法について説明する。図4A～図4Hは、第1実施例によるL C O SのウェハW A F部分の製造工程のうち、遮光膜6の形成工程以降を特に示す概略断面図である。

40

【0027】

図1を参照する。半導体基板（例えばシリコン基板）1に、M O SトランジスタT Rと、キャパシタC A Pとを形成する。M O SトランジスタT Rは、例えばゲート長が35nmである。キャパシタC A Pは、半導体基板1に形成された拡散領域が下部電極を形成し、絶縁膜を介して積層された導電層が上部電極を形成している。

【0028】

トランジスタT RやキャパシタC A Pの製造方法には、L C O Sの製造方法に係る公知の技術を用いることができる。なお、L C O Sの画素電極11への印加電圧を制御するためのトランジスタT RやキャパシタC A Pの構造は、図1に例示するものに限定されず、

50

公知の他の構造を用いることもできる。

【0029】

トランジスタTR及びキャパシタCAPを覆って、半導体基板1上に、層間絶縁膜2を形成する。層間絶縁膜2は、例えば、酸化シリコンをCVDで厚さ500nm堆積して形成する。層間絶縁膜2に、レジストパターンを用いたエッチングによりビアホールを形成し、ビアホールを埋め込んで、タングステンを用いた導電プラグ3を形成する。

【0030】

導電プラグ3を覆って、層間絶縁膜2上に、例えば、アルミニウムをスパッタリングで厚さ500nm堆積する。レジストパターンを用いたエッチングによりアルミニウム層をパターンニングして、配線4を形成する。1組となったMOSトランジスタTRの一方のソース/ドレイン領域と、キャパシタCAPの上部電極とが、それぞれ導電プラグ3を介して、共通の配線4に接続される。

【0031】

配線4を覆って、層間絶縁膜2上に、層間絶縁膜5を形成する。層間絶縁膜5は、例えば、酸化シリコンをCVDで厚さ700nm堆積して形成する。

【0032】

図4Aを参照する。層間絶縁膜5上に、例えば、アルミニウムをスパッタリングで厚さ50nm~100nm堆積して、アルミニウム層6Aを形成する。アルミニウム層6A上に、遮光膜6の形状のレジストパターンRP1を形成し、レジストパターンRP1をマスクとしたエッチングによりアルミニウム層6Aをパターンニングして、遮光膜6を形成する。その後、レジストパターンRP1をアッシングで除去する。

【0033】

図4Bを参照する。遮光膜6を覆って全面に、遮光膜6を保護する保護膜7を形成する。保護膜7は、例えば、酸化シリコンをCVDで厚さ100nm堆積して形成する。

【0034】

図4Cを参照する。保護膜7上に、例えば、アルミニウムをスパッタリングで厚さ500nm堆積して、アルミニウム層8Aを形成する。

【0035】

図4Dを参照する。アルミニウム層8A上に、反射体8の形成領域を覆うレジストパターンRP2を形成する。

【0036】

図4Eを参照する。レジストパターンRP2をマスクとし、アルミニウム層8Aに等方性エッチングを施して、反射体8を形成する。等方性エッチングは、例えば、硝酸とフッ酸の混合液を用いたウェットエッチングで行う。また例えば、等方性プラズマエッチングを用いることもできる。

【0037】

レジストパターンRP2にマスクされた領域で、アルミニウム層8Aの上部ほどエッチングが進みやすく、上方ほど幅の狭くなるテーパ構造が形成されて、遮光膜6上面に対し斜めに傾いた反射面IPを有する反射体8が形成される。なお、反射面IPの角度は、エッチング時間等で変化させることができる。反射面IPの角度は、例えば20°~80°である。保護膜7が、このエッチングから遮光膜6を保護する。その後、レジストパターンRP2をアッシングで除去する。

【0038】

図4Fを参照する。反射体8を覆って、保護膜7上に、例えば、酸化シリコンをCVDで厚さ1.5μm堆積して、絶縁膜9Aを形成する。絶縁膜9Aを、化学機械研磨(CMP)で平坦化して、層間絶縁膜9を形成する。平坦化後の層間絶縁膜9の厚さは、例えば700nm~800nmである。

【0039】

再び図1を参照する。画素電極11と下方の配線4とを接続する導電プラグ10の配置される穴部HLで、レジストパターンを用いたエッチングにより、層間絶縁膜9、保護膜

10

20

30

40

50

7、及び層間絶縁膜5をエッチングして、ビアホールを形成する。ビアホールを埋め込んで、タングステンを用いた導電プラグ10を形成する。

【0040】

図4Gを参照する。層間絶縁膜9上に、例えば、アルミニウムをスパッタリングで厚さ150nm堆積して、アルミニウム層11Aを形成する。アルミニウム層11A上に、画素電極11の形状のレジストパターンRP3を形成し、レジストパターンRP3をマスクとしたエッチングによりアルミニウム層11Aをパターンニングして、画素電極11を形成する。その後、レジストパターンRP3をアッシングで除去する。

【0041】

図4Hを参照する。画素電極11を覆って、層間絶縁膜9上に、例えば、酸化シリコンをCVDで厚さ1.5μm堆積して、絶縁膜12Aを形成する。CMPにより、画素電極11の上面が露出するまで絶縁膜12Aを除去して、画素電極11間の間隙GAPを埋める絶縁膜12を残す。このようにして、通常の半導体装置製造プロセスを用いて、ウエハWAF部分までが形成される。

【0042】

再び図1を参照する。画素電極11を覆って全面に配向膜13を形成する。透明電極15の形成された透明基板16と、配向膜13の形成されたウエハWAFとの間に、液晶層14を形成する。透明電極15は、例えば酸化インジウムスズ(ITO)で形成され、透明基板16は、例えばガラス基板である。このようにして、第1実施例によるLCOSが形成される。

【0043】

なお、上記実施例では、反射体8の材料として、アルミニウムを用いたが、加工ができるならば他の光反射材料(例えばタングステン等)を用いてもよい。なお、反射体8の加工に起因する遮光膜6の損傷が抑制できるならば、保護膜7は形成せずともよい。

【0044】

次に、第2実施例によるLCOSについて説明する。図5A及び図5Bは、第2実施例によるLCOSの遮光膜6の近傍を示す概略断面図である。

【0045】

図5Aを参照して、第2実施例によるLCOSの構造について説明する。第2実施例のLCOSも、第1実施例と同様に、画素電極11間の間隙GAPからウエハWAF内に入り込んだ光17を、斜め方向に反射させる光反射構造を有する。第2実施例では、光反射構造が第1実施例と異なり、反射体8及び保護膜7は形成されていない。他の構造は、第1実施例と同様である。

【0046】

第1実施例では、遮光膜6上方の、間隙GAPの下方領域に、凸状の反射体8を形成して、光反射構造とした。第2実施例では、間隙GAPの下方領域で、遮光膜6に、遮光膜6の上面に対して斜めに傾いた反射面IPを有する溝GRを形成して、光反射構造としている。実施例による遮光膜6は、光反射材料であるアルミニウムで形成されており、遮光膜6に形成された溝GRの側面が、光反射面として機能する。

【0047】

第1実施例と同様に、画素電極11間の間隙GAPから入射し、斜面IPで斜め方向に反射された光17が、間隙GAPから透明基板側に出射することなくウエハ側に入り込み、遮光膜6と画素電極11との間を伝播して、しだいに減衰する。間隙GAP部分で垂直上方に反射して透明基板側に戻る漏れ光を抑制することができる。

【0048】

図5Bを参照して、第2実施例によるLCOSの製造方法について説明する。第1実施例と同様にして、遮光膜6までを形成する。

【0049】

遮光膜6上に、溝GRの形成部分に開口を有するレジストパターンRP4を形成する。レジストパターンRP4をマスクとし、遮光膜6を等方性エッチングする。レジストマス

10

20

30

40

50

クの影響により、開口中央部付近が相対的に深くエッチングされて、溝GRが形成される。その後、レジストパターンRP4をアッシングで除去する。

【0050】

遮光膜6及び溝GR上に層間絶縁膜9を形成する工程以後は、第1実施例と同様である。このようにして、第2実施例によるLCOSが形成される。

【0051】

なお、第1実施例のような凸状の光反射構造8、あるいは、第2実施例のような凹状の光反射構造GRのいずれについても、反射面IRは平面でなくてもよい。つまり、反射面IRの傾斜角度は、場所によって変化していてもよい。

【0052】

また、光反射構造の頂部または底部は、尖ってなくてもよい。なお、頂部または底部が尖っていれば、遮光膜6の上面と平行な面部分が少ないということなので、垂直上方に反射される漏れ光はより抑制される。

【0053】

なお、第1実施例は遮光膜6上に遮光膜6とは別体の光反射構造8を形成し、第2実施例は遮光膜6自体に光反射構造GRを形成した。いずれの場合も、画素電極11と遮光膜6との間に、光反射構造が形成されていると捉えることができる。

【0054】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0055】

以上説明した第1実施例及び第2実施例を含む実施形態に関し、さらに以下の付記を開示する。

(付記1)

反射型液晶表示装置に用いられる半導体装置であって、
トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、
前記画素電極下方に形成された遮光膜と、
前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造とを有する半導体装置。

(付記2)

前記光反射構造は、前記遮光膜の上方に配置された凸状の部材で形成されている付記1に記載の半導体装置。

(付記3)

前記光反射構造は、頂部が尖っている付記2に記載の半導体装置。

(付記4)

さらに、前記遮光膜と前記反射構造との間に形成された保護膜を有する付記2または3に記載の半導体装置。

(付記5)

前記遮光膜は、光反射材料で形成され、
前記光反射構造は、前記遮光膜に形成された凹部で形成されている付記1に記載の半導体装置。

(付記6)

前記光反射構造は、底部が尖っている付記5に記載の半導体装置。

(付記7)

トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、

10

20

30

40

50

前記画素電極下方に形成された遮光膜と、
前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造と
前記画素電極上方に形成された液晶層と、
前記液晶層上方に形成され、前記液晶層側に透明電極が形成された透明基板とを有する反射型液晶表示装置。

(付記 8)

トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、
前記画素電極下方に形成された遮光膜と、
前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造とを有し、

前記光反射構造は、前記遮光膜の上方に配置された凸状の部材で形成されており、反射型液晶表示装置に用いられる半導体装置の製造方法であって、

前記遮光膜を形成する工程と、

前記遮光膜の上方に、光反射材料層を形成する工程と、

前記光反射材料層上に、前記光反射構造の形成領域上を覆うレジストパターンを形成する工程と、

前記レジストパターンをマスクとし、前記光反射材料層を等方性エッチングして、前記光反射構造を形成する工程と

を有する半導体装置の製造方法。

(付記 9)

さらに、前記遮光膜を形成する工程の後、前記遮光膜上に保護膜を形成する工程を有し、前記保護膜上に、前記光反射材料層が形成される付記 8 に記載の半導体装置の製造方法。

(付記 10)

トランジスタが形成された半導体基板と、
前記半導体基板上方に、行列状に配置され、光反射材料で形成され、前記トランジスタにより電圧印加状態が制御される複数の画素電極と、

前記画素電極下方に形成された遮光膜と、

前記遮光膜と前記画素電極との間であって、隣接する前記画素電極同士の間隙の下方に形成され、前記遮光膜の上面に対して斜めに傾いた反射面を持つ光反射構造と

を有し、

前記遮光膜は、光反射材料で形成され、前記光反射構造は、前記遮光膜に形成された凹部で形成されており、反射型液晶表示装置に用いられる半導体装置の製造方法であって、

前記遮光膜を形成する工程と、

前記遮光膜をエッチングして、前記光反射構造を形成する工程とを有する半導体装置の製造方法。

【符号の説明】

【0056】

1 半導体基板

TR トランジスタ

CAP キャパシタ

2、5、9 層間絶縁膜

3、10 導電プラグ

4 配線

6 遮光膜

7 保護膜

10

20

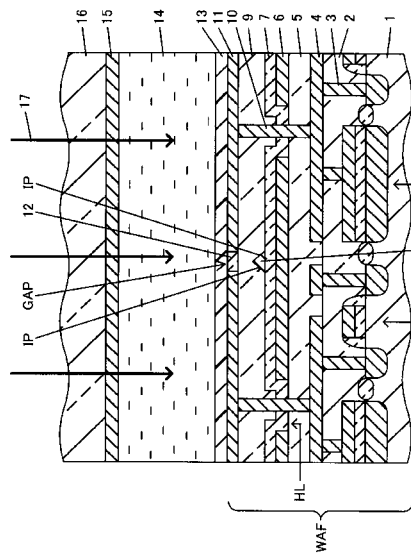
30

40

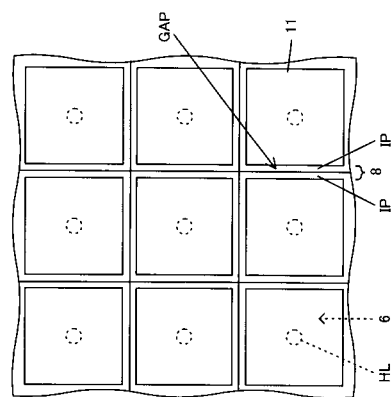
50

- 8 反射体
 I P 反射面
 1 1 画素電極
 G A P 画素電極間の間隙
 1 2 絶縁膜
 W A F ウエハ
 1 3 配向膜
 1 4 液晶層
 1 5 透明電極
 1 6 透明基板
 G R 溝
 R P 1 ~ R P 4 レジストパターン

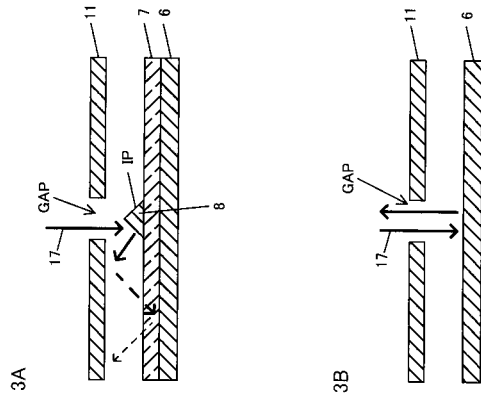
【図 1】



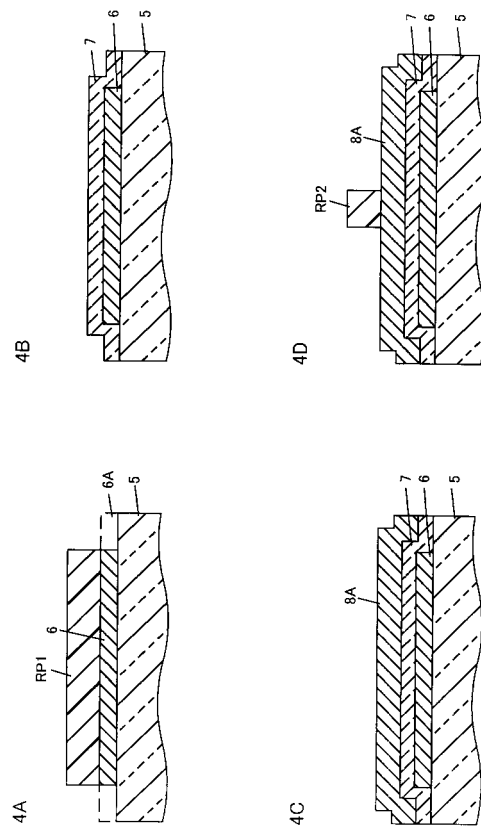
【図 2】



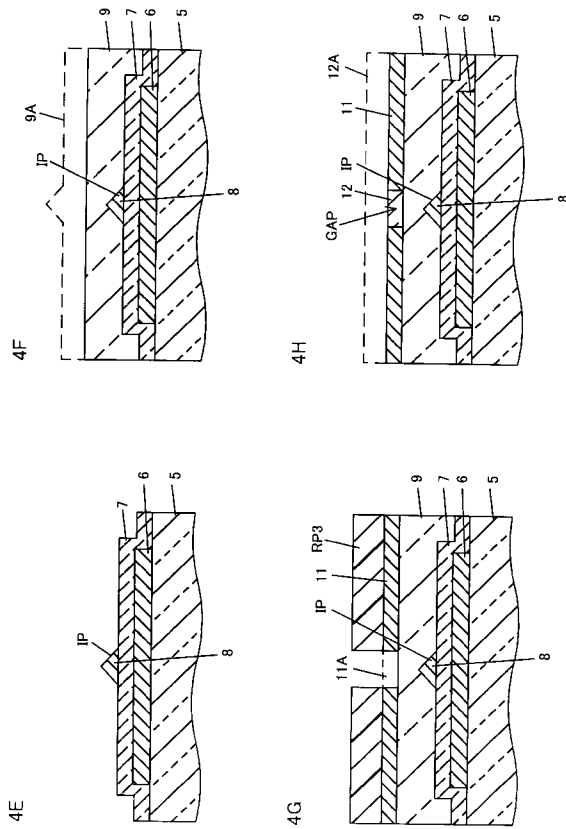
【図 3】



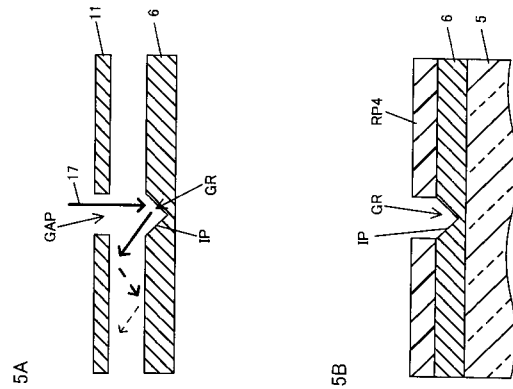
【図 4 - 1】



【図 4 - 2】



【図 5】



专利名称(译)	半导体器件及其制造方法，以及反射型液晶显示器件		
公开(公告)号	JP2013137476A	公开(公告)日	2013-07-11
申请号	JP2011289372	申请日	2011-12-28
[标]申请(专利权)人(译)	富士通半导体股份有限公司		
申请(专利权)人(译)	富士通半导体有限公司		
[标]发明人	鈴木保		
发明人	鈴木 保		
IPC分类号	G02F1/1335 G02F1/1368		
FI分类号	G02F1/1335.520 G02F1/1368		
F-TERM分类号	2H092/JA23 2H092/JA46 2H092/JB07 2H092/JB51 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/NA25 2H092/PA01 2H092/PA09 2H092/PA12 2H191/FA13Y 2H191/FA35Y 2H191/FB14 2H191/FC02 2H191/FD04 2H191/GA01 2H191/GA04 2H191/GA10 2H191/GA19 2H191/LA03 2H192/AA24 2H192/BC72 2H192/BC74 2H192/BC83 2H192/CB02 2H192/DA42 2H192/EA13 2H192/EA17 2H192/GD03 2H192/HA62 2H192/HA88 2H291/FA13Y 2H291/FA35Y 2H291/FB14 2H291/FC02 2H291/FD04 2H291/GA01 2H291/GA04 2H291/GA10 2H291/GA19 2H291/LA03		
其他公开文献	JP5874394B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供有助于高清晰度LCOS的技术。[解决方案] 用于反射型液晶显示装置的半导体装置包括其上形成有晶体管的半导体基板以及在该半导体基板上方以矩阵形式布置并且由光反射材料形成并且其施加电压状态由该晶体管控制的多个半导体装置。像素电极，形成在像素电极下方，并且在遮光膜与像素电极之间，在相邻像素电极之间的间隙下方，并且相对于遮光膜的上表面倾斜地倾斜的遮光膜。具有反射面的光反射结构。[选型图]图1

